

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/136

G02F 1/133

G09F 9/00



[12] 发明专利申请公开说明书

[21] 申请号 200510004494.1

[43] 公开日 2005年8月3日

[11] 公开号 CN 1648748A

[22] 申请日 2005.1.25

[21] 申请号 200510004494.1

[30] 优先权

[32] 2004.1.29 [33] JP [31] 2004-022152

[32] 2004.1.29 [33] JP [31] 2004-022167

[71] 申请人 夏普株式会社

地址 日本大阪府

[72] 发明人 伊奈惠一 白木一郎 中岛睦

吉田圭介 安藤晶一

[74] 专利代理机构 中科专利商标代理有限责任公司

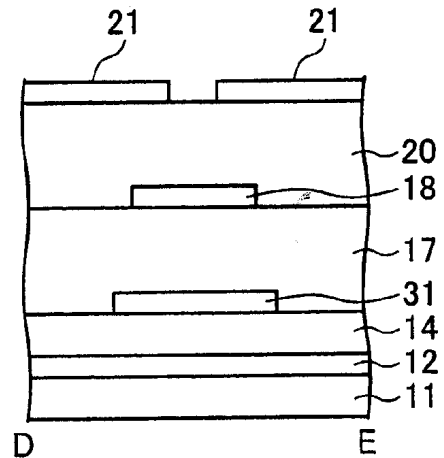
代理人 李香兰

权利要求书 3 页 说明书 30 页 附图 31 页

[54] 发明名称 显示装置

[57] 摘要

本发明提供液晶显示装置等的显示装置。本发明的显示装置在像素电极和源总线附近设置有屏蔽电极。屏蔽电极可以与栅总线形成在同层，或与源总线形成在同层。屏蔽电极可以用绝缘体包围周围，也可以连接源总线以外的配线上。由于设置这样的屏蔽电极，可以降低像素电极与源总线之间的源·漏间寄生电容。



ISSN 1008-4274

1. 一种显示装置，具有栅总线；源总线；和在该栅总线和该源总线
5 包围的区域内，从源总线接收数据信号的像素电极，其特征在于，
在上述源总线与上述像素电极不接触的位置上，配置有降低上述源总
线和上述像素电极之间的电容的屏蔽电极。
2. 根据权利要求 1 所述的显示装置，其特征在于，上述屏蔽电极形
成在上述源总线的和面对上述像素电极的面相反的面的一侧上。
- 10 3. 根据权利要求 1 所述的显示装置，其特征在于，上述屏蔽电极与
上述栅总线形成在同层。
4. 根据权利要求 1 所述的显示装置，其特征在于，上述屏蔽电极由
半导体形成的。
5. 根据权利要求 1 所述的显示装置，其特征在于，上述屏蔽电极与
15 上述源总线形成在同层。
6. 根据权利要求 1 所述的显示装置，其特征在于，上述屏蔽电极形
成在上述源总线与上述像素电极之间。
7. 根据权利要求 1 所述的显示装置，其特征在于，上述屏蔽电极形
成在上述像素电极的和面对上述源总线的面相反的面的一侧上。
- 20 8. 根据权利要求 1 所述的显示装置，其特征在于，上述屏蔽电极的
整个表面被绝缘体包围。
9. 根据权利要求 1 所述的显示装置，其特征在于，上述屏蔽电极连
接在上述源总线以外的配线上。
10. 根据权利要求 9 所述的显示装置，其特征在于，上述屏蔽电极连
25 接在上述栅总线上。
11. 根据权利要求 9 所述的显示装置，其特征在于，该显示装置还包
括辅助电容配线，上述屏蔽电极连接在上述辅助电容配线上。
12. 一种显示装置，具有：包括蛇形凹部区域的多个源总线；覆盖该
多个源总线的绝缘膜；在该绝缘膜上形成、并至少一部分配置在上述凹部
30 区域中的多个像素电极，其特征在于，

关注上述多个像素电极内的一个像素电极时，使该一个像素电极不与未施加数据信号的源总线接触，并且，在不与上述一个像素电极接触的位置上，配置有降低上述源总线与上述像素电极之间的电容的屏蔽电极。

13. 根据权利要求 12 所述的显示装置，其特征在于，上述屏蔽电极形成在上述源总线的和面对上述像素电极的面相反的面的一侧上。

14. 根据权利要求 12 所述的显示装置，其特征在于，上述屏蔽电极与上述栅总线形成在同层。

15. 根据权利要求 12 所述的显示装置，其特征在于，上述屏蔽电极由半导体形成。

16. 根据权利要求 12 所述的显示装置，其特征在于，上述屏蔽电极与上述源总线形成在同层。

17. 根据权利要求 12 所述的显示装置，其特征在于，上述屏蔽电极形成在上述源总线与上述像素电极之间。

18. 根据权利要求 12 所述的显示装置，其特征在于，上述屏蔽电极形成在上述像素电极的和面对上述源总线的面相反的面的一侧上。

19. 根据权利要求 12 所述的显示装置，其特征在于，上述屏蔽电极的整个表面被绝缘体包围。

20. 根据权利要求 12 所述的显示装置，其特征在于，上述屏蔽电极连接在上述源总线以外的配线上。

21. 根据权利要求 20 所述的显示装置，其特征在于，上述屏蔽电极连接在上述栅总线上。

22. 根据权利要求 20 所述的显示装置，其特征在于，上述屏蔽电极连接在辅助电容配线。

23. 根据权利要求 20 所述的显示装置，其特征在于，上述屏蔽电极与源总线同层，在屏蔽电极的下方有辅助电容配线。

24. 一种显示装置，具有：包括蛇形凹部区域的多个源总线；覆盖该多个源总线的绝缘膜；在该绝缘膜上形成、并至少一部分配置在上述凹部区域中的多个像素电极，其特征在于，

关注上述多个像素电极内的一个像素电极时，

当使上述一个像素电极与向上述一个像素电极施加数据信号的第一

源总线之间形成的电容为 C_{sd1} ,

使上述一个像素电极与作为相邻上述第一源总线的源总线的、配置在上述一个像素电极的与上述第一源总线配置侧相反侧的第二源总线之间形成的电容为 C_{sd2} 时, C_{sd2} 小于 C_{sd1} 。

- 5 25. 一种显示装置, 具有: 包括蛇形凹部区域的多个源总线; 覆盖该多个源总线的绝缘膜; 在该绝缘膜上形成、并至少一部分配置在上述凹部区域中的多个像素电极, 其特征在于,

关注上述多个像素电极内的一个像素电极时,

- 10 作为和向上述一个像素电极施加数据信号的上述第一源总线相邻的源总线的、配置在上述一个像素电极的与上述第一源总线配置侧相反侧的第二源总线, 其与上述一个像素电极重叠部位的、在与水平线平行方向上的上述第二源总线的长度为 L_2 时,

L_2 小于 (源总线宽度—两个像素电极之间距离) / 2。

- 15 26. 根据权利要求 12、24 和 25 的任意一项所述的显示装置, 其特征在于, 上述多个源总线分别是一个色的像素专用的。

27. 根据权利要求 12、24 和 25 的任意一项所述的显示装置, 其特征在于, 上述源总线是向面对凸部区域的像素电极供给数据信号的。

显示装置

5 技术领域

本发明涉及液晶显示装置等的显示装置。

背景技术

作为显示种种信息的显示装置，使用例如液晶显示装置。这种显示装置例如如图 37 和图 40 所示，具有栅总线、源总线、辅助电容配线、在由上述栅总线和上述源总线包围的区域内配置成与上述源总线重叠并从上述源总线接收数据信号的像素电极、和面对上述像素电极的对置电极。

作为这种装置，可举出例如美国专利公报 5,946,058（公开日 1999 年 8 月 31 日）、美国专利公报 2002/0057391A1（公开日 2002 年 5 月 16 日）等的装置。

但是，现有的构成中，如图 39 所示，像素电极 21 和源总线 18 重叠的部分形成源·漏间寄生电容（本说明书中以后使用 Csd 的简称）。该源·漏间寄生电容成为纵向串扰、闪动的原因而不好。图中黑箭头表示数据信号的施加。

此外，现有的结构中，如图 42 所示，像素电极和源总线重叠的部分形成源·漏间寄生电容（本说明书中以后使用 Csd 的简称）。经这些电容由源总线的电位变动引入像素的电位。该像素电位的引入量因每个水平线而不同，因此像素电位的引入量之差作为每个水平线的亮度差（=横条纹）显现，得不到均匀的显示。此外，图中黑箭头表示数据信号的施加，空白箭头表示关注 G(绿)像素时的电位引入作用。

详细说明该横条纹的产生。

图 42 模式地表示数字排列显示面板的源总线和像素电极、源·漏间寄生电容。

这里，例如关注 G 像素时，如从图可知，与 G 像素相邻的源总线是 G 的信号源总线和 R 或 B 的信号源总线。与该 G 像素相邻的源总线按

每个水平线交替变化 R 或 B。即，每个水平线上并置 G 线夹持的 G 像素、G, B 线夹持的 G 像素的 2 种 G 像素。

结构上，有像素电极与源总线借助于绝缘膜重叠的部分，因此存在作为寄生电容的源·漏间寄生电容。其中，与驱动自身像素的源总线的电容（这里是与 G 线的电容）为 Csd1、与不驱动自身像素的源总线的电容（这里为与 R,B 线的电容）为 Csd2。通过这些电容由源总线的电位变动引入像素 G 的电位。如前面所述的 R,G 线夹持的 G 像素引入到 R,G 线，G,B 线夹持的 G 像素引入到 G,B 线。其中，由 G 线造成的引入在任何地方都相同，而由 R 线造成的引入和由 B 线造成的引入则不限于相等。由此，G 像素的液晶施加电压因每个水平线而不同。这在 G 像素是中间色调显示的情况下，观察到每个水平线的条纹（横条纹）。这种现象不仅在绿像素 G，在红像素 R 和蓝像素 B 中也同样产生。

例如，R 进行白显示、G 进行中间色调显示、B 进行黑显示的情况下横条纹看起来显著。

15

发明内容

本发明的目的是提供可降低像素电极与源总线之间的寄生电容的显示装置。

本发明的另一目的是提供降低像素电位的引入量在每个水平线上的差别从而可以得到均匀显示的显示装置。

为达到上述目的，本发明的显示装置具有栅总线、源总线、和在该栅总线和该源总线包围的区域内从源总线接收数据信号的像素电极，其特征在于，在上述源总线与上述像素电极不接触的位置上配置有降低上述源总线和上述像素电极之间的电容的屏蔽电极。

根据上述构成，在上述源总线与上述像素电极不接触的位置上配置有降低上述源总线和上述像素电极之间的电容的屏蔽电极。即，上述屏蔽电极在遮蔽上述源总线和上述像素电极之间的电容的方向上作用。因此，可降低上述源总线和上述像素电极之间的电容。也就是，实现能够降低纵向串扰、闪动的效果。

本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极形成

30

在上述源总线的和面对上述像素电极的面相反的面的一侧上。

根据上述构成，上述屏蔽电极形成在上述源总线的和面对上述像素电极的面相反的面的一侧上。因此，在现有的制造过程中，通过图案形成栅总线的工序，仅通过变更图案的简单变更就可形成屏蔽电极。也就是，除
5 上述构成的效果外，实现简化工序、抑制制造成本上升的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极与上述栅总线形成在同层的。

根据上述构成，上述屏蔽电极与上述栅总线形成在同层。因此，在现有的制造过程中，通过图案形成栅总线的工序，仅通过变更图案的简单变更就可形成屏蔽电极。也就是，除上述构成的效果外，实现简化工序、抑
10 制制造成本上升的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极由半导体形成的。

根据上述构成，上述屏蔽电极由半导体形成的。因此，在现有的制造
15 过程中，通过图案形成必要的半导体的工序，仅通过变更图案的简单变更就可形成屏蔽电极。也就是，除上述构成的效果外，实现简化工序、抑制制造成本上升的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极与上述源总线形成在同层的。

20 根据上述构成，上述屏蔽电极与上述源总线形成在同层的。因此，在现有的制造过程中，通过图案形成源总线的工序，仅通过变更图案的简单变更就可形成屏蔽电极。也就是，除上述构成的效果外，实现简化工序、抑制制造成本上升的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电
25 极形成在上述源总线与上述像素电极之间。

根据上述构成，上述屏蔽电极形成在上述源总线与上述像素电极之间。因此，可提高上述屏蔽电极遮蔽上述源总线与上述像素电极之间的电场的效果。也就是，除上述构成的效果外，实现更显著地降低源总线与像素电极之间的电容的效果。

30 此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电

极形成在上述像素电极的和面对上述源总线的面相反的面的一侧上。

根据上述构成，上述屏蔽电极形成在上述像素电极的和面对上述源总线的面相反的面的一侧上。因此，在上述像素电极的面对上述源总线的面5 上不需要配置屏蔽电极。也就是，除上述构成的效果外，实现能够增加上述像素电极的面对上述源总线的面侧的设计自由度的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极的整个表面被绝缘体包围。

根据上述构成，上述屏蔽电极的整个表面被绝缘体包围。这即为：在构成显示面板的层状结构物中，屏蔽电极处于从周围的导体（源总线、栅10 总线、辅助电容配线、像素电极等）离开的浮岛状。例如，可连接地。因此，可以抑制屏蔽电极与源总线之间产生的电场强度。也就是，除上述构成的效果外，实现能够抑制对于驱动源总线的源驱动器而言的负荷、抑制功耗增加的效果。

另外，由于不连接其他配线，增大与其他配线的位置关系的自由度。15 也就是，除上述构成的效果外，实现增大设计自由度的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极连接在上述源总线以外的配线上。

根据上述构成，上述屏蔽电极连接在上述源总线以外的配线上。其结果是容易保证屏蔽电极的电位与源总线的电位不同。例如，至少某时间中20 或者一直连接与源总线的电位不同的另外的配线。这种配线可以在源总线的电位一定期间具有恒定电位，也可以按与源总线的电位变化相同的定时变化为种种电位。可以是一直保持恒定电位的配线。因此，与屏蔽电极为浮岛状的情况相比，确实加强屏蔽电极与源总线之间的电场。也就是，除上述构成的效果外，实现更显著降低源总线与像素电极之间的电容的效25 果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极连接在上述栅总线上。

根据上述构成，上述屏蔽电极连接在上述栅总线上。因此，与屏蔽电极为浮岛状的情况相比，确实加强屏蔽电极与源总线之间的电场。也就是，30 除上述构成的效果外，实现更显著降低源总线与像素电极之间的电容的效

果。

此外，本发明的显示装置，除上述构成外，其特征在于，该显示装置还包括辅助电容配线，上述屏蔽电极连接在上述辅助电容配线上。

5 根据上述构成，上述屏蔽电极连接在辅助电容配线。因此，与屏蔽电极为浮岛状的情况相比，确实加强屏蔽电极与源总线之间的电场。也就是，除上述构成的效果外，实现更显著降低源总线与像素电极之间的电容的效果。

10 另外，为达到上述目的，本发明的显示装置具有包括蛇形凹部区域的多个源总线；覆盖该多个源总线的绝缘膜；在该绝缘膜上形成、并至少一部分配置在上述凹部区域中的多个像素电极，其特征在于，关注上述多个像素电极内的一个像素电极时，使该一个像素电极不与未施加数据信号的源总线接触，并且，在不与上述一个像素电极接触的位置上，配置有降低上述源总线与上述像素电极之间的电容的屏蔽电极。

15 根据上述构成，关注上述多个像素电极内的一个像素电极时，使该一个像素电极不与未施加数据信号的源总线接触，并且，在不与上述一个像素电极接触的位置上，配置有降低上述源总线与上述像素电极之间的电容的屏蔽电极。即，上述屏蔽电极在遮蔽上述源总线和上述像素电极之间的电容的方向上作用。因此，可减小由上述源总线造成的像素电位的引入量因每个水平线的差别。也就是，抑制由源总线造成的像素电位的引入量在
20 每个水平线上的差别作为每个水平线的亮度差（=横条纹）显现出来，实现得到均匀显示的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极形成在上述源总线的和面对上述像素电极的面相反的面的一侧上。

25 根据上述构成，上述屏蔽电极形成在上述源总线的和面对上述像素电极的面相反的面的一侧上。因此，在现有的制造过程中，通过图案形成栅总线的工序，仅通过变更图案的简单变更就可形成屏蔽电极。也就是，除上述构成的效果外，实现简化工序、抑制制造成本上升的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极与上述栅总线形成在同层。

30 根据上述构成，上述屏蔽电极与上述栅总线形成在同层。因此，在现

有的制造过程中，通过图案形成栅总线的工序，仅通过变更图案的简单变更就可形成屏蔽电极。也就是，除上述构成的效果外，实现简化工序、抑制制造成本上升的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极由半导体形成。

根据上述构成，上述屏蔽电极由半导体形成。因此，在现有的制造过程中，通过图案形成必要的半导体的工序，仅通过变更图案的简单变更就可形成屏蔽电极。也就是，除上述构成的效果外，实现简化工序、抑制制造成本上升的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极与上述源总线形成在同层。

根据上述构成，上述屏蔽电极与上述源总线形成在同层。因此，在现有的制造过程中，通过图案形成源总线的工序，仅通过变更图案的简单变更就可形成屏蔽电极。也就是，除上述构成的效果外，实现简化工序、抑制制造成本上升的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极形成在上述源总线与上述像素电极之间。

根据上述构成，上述屏蔽电极形成在上述源总线与上述像素电极之间。因此，可提高上述屏蔽电极遮蔽上述源总线与上述像素电极之间的电场的效果。也就是，除上述构成的效果外，实现更显著地降低源总线与像素电极之间的电容的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极形成在上述像素电极的和面对上述源总线的面相反的面的一侧上。

根据上述构成，上述屏蔽电极形成在上述像素电极的和面对上述源总线的面相反的面的一侧上。因此，在上述像素电极的面对上述源总线的面上不需要配置屏蔽电极。也就是，除上述构成的效果外，实现能够增加上述像素电极的面对上述源总线的面侧的设计自由度的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极的整个表面被绝缘体包围。

根据上述构成，上述屏蔽电极的整个表面被绝缘体包围。这即为：在

构成显示面板的层状结构物中，屏蔽电极处于从周围的导体（源总线、栅总线、辅助电容配线、像素电极等）离开的浮岛状。例如，可连接地。因此，可以抑制屏蔽电极与源总线之间产生的电场强度。也就是，除上述构成的效果外，实现能够抑制对于驱动源总线的源驱动器而言的负荷、抑制
5 功耗增加的效果。

由于不连接其他配线，增大与其他配线的位置关系的自由度。也就是，除上述构成的效果外，实现增大设计自由度的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极连接在上述源总线以外的配线上。

10 根据上述构成，上述屏蔽电极连接在上述源总线以外的配线上。其结果是容易保证屏蔽电极的电位与源总线的电位不同。例如，至少某时间中或者一直连接与源总线的电位不同的另外的配线。这种配线可以在源总线的电位一定期间具有恒定电位，也可以按与源总线的电位变化相同的定时变化为种种电位。可以是一直保持恒定电位的配线。因此，与屏蔽电极为
15 浮岛状的情况相比，确实加强屏蔽电极与源总线之间的电场。也就是，除上述构成的效果外，实现更显著降低源总线与像素电极之间的电容的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电极连接在上述栅总线上。

20 根据上述构成，上述屏蔽电极连接在上述栅总线上。因此，与屏蔽电极为浮岛状的情况相比，确实加强屏蔽电极与源总线之间的电场。也就是，除上述构成的效果外，实现更显著降低源总线与像素电极之间的电容的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电
25 极连接在辅助电容配线。

根据上述构成，上述屏蔽电极连接在辅助电容配线。因此，与屏蔽电极为浮岛状的情况相比，确实加强屏蔽电极与源总线之间的电场。也就是，除上述构成的效果外，实现更显著降低源总线与像素电极之间的电容的效果。

30 此外，本发明的显示装置，除上述构成外，其特征在于，上述屏蔽电

极与源总线同层，在屏蔽电极的下方有辅助电容配线。

根据上述构成，上述屏蔽电极与源总线同层，在屏蔽电极的下方有辅助电容配线。因此，除上述构成的效果外，该辅助电容配线也作为屏蔽电极作用，因此实现更有效地降低源总线和像素电极之间的电容的效果。

5 为解决上述问题，本发明的显示装置具有：包括蛇形凹部区域的多个源总线；覆盖该多个源总线的绝缘膜；在该绝缘膜上形成、并至少一部分配置在上述凹部区域中的多个像素电极，其特征在于，关注上述多个像素电极内的一个像素电极时，当使上述一个像素电极与向上述一个像素电极施加数据信号的第一源总线之间形成的电容为 $Csd1$ ，使上述一个像素电极与作为相邻上述第一源总线的源总线的、配置在上述一个像素电极的与上述第一源总线配置侧相反侧的第二源总线之间形成的电容为 $Csd2$ 时，
10 $Csd2$ 小于 $Csd1$ 。

根据上述构成， $Csd2$ 小于 $Csd1$ 。因此，与 $Csd2$ 大于等于 $Csd1$ 的结构相比，源总线造成的像素电位的引入量在每个水平线上的差别减小。也就是，抑制源总线造成的像素电位的引入量在每个水平线上的差别作为每个水平线的亮度差（=横条纹）显现出来，实现得到均匀显示的效果。
15

为解决上述问题，本发明的显示装置具有：包括蛇形凹部区域的多个源总线；覆盖该多个源总线的绝缘膜；在该绝缘膜上形成、并至少一部分配置在上述凹部区域中的多个像素电极，其特征在于，关注上述多个像素电极内的一个像素电极时，作为和向上述一个像素电极施加数据信号的上述第一源总线相邻的源总线的、配置在上述一个像素电极的与上述第一源总线配置侧相反侧的第二源总线，其与上述一个像素电极重叠部位的、在与水平线平行方向上的上述第二源总线的长度为 $L2$ 时， $L2$ 小于（源总线宽度—两个像素电极之间距离）/2。
20

25 根据上述构成， $L2$ 小于（源总线宽度—两个像素电极之间距离）/2。因此，源总线造成的像素电位的引入量在每个水平线上的差别减小。也就是，抑制由源总线造成的像素电位的引入量在每个水平线上的差别作为每个水平线的亮度差（=横条纹）显现出来，实现得到均匀显示的效果。

此外，本发明的显示装置，除上述构成外，其特征在于，上述多个源总线分别是一个色的像素专用的。
30

根据上述构成,上述多个源总线分别是一个色的像素专用的。这即为:例如某源总线为 R(红)专用、某源总线为 B(蓝)专用、某源总线为 G(绿)专用,一个源总线时为 R 用,不为 G 用。因此,除上述构成的效果外,实现可更有效地降低源总线和像素电极之间的电容的效果。

5 此外,本发明的显示装置,除上述构成外,其特征在于,上述源总线是向面对凸部区域的像素电极供给数据信号的。

根据上述构成,上述源总线向面对凸部区域的像素电极供给数据信号。因此,除上述构成的效果外,实现更有效地降低源总线和像素电极之间的电容的效果。

10 本发明的其他目的、特征和优点通过下面所示的记载变得十分明确。本发明的权益在参考附图的下面说明中变得明显。

附图说明

图 1 是表示本发明的液晶显示装置的显示面板的构成例的平面图。

15 图 2 是表示本发明的液晶显示装置的显示面板的构成例,是表示屏蔽电极与栅总线用相同材料形成并进行浮动配置的构成的平面图。

图 3 是表示本发明的液晶显示装置的显示面板的构成例的截面图。

图 4 是表示本发明的液晶显示装置的显示面板的构成例,是表示屏蔽电极与栅总线用相同材料形成的构成的截面图。

20 图 5 是表示本发明的液晶显示装置的显示面板的构成例,是表示屏蔽电极与栅总线用相同材料形成的构成的截面图。

图 6 是表示本发明的液晶显示装置的显示面板的构成例,是表示屏蔽电极与栅总线用相同材料形成并连接配置源总线以外的任意电极的构成的平面图。

25 图 7 是表示本发明的液晶显示装置的显示面板的构成例,是表示屏蔽电极与栅总线用相同材料形成并连接配置辅助电容配线的构成的平面图。

图 8 是表示本发明的液晶显示装置的显示面板的构成例,是表示屏蔽电极与源总线用相同材料形成并进行浮动配置的构成的平面图。

30 图 9 是表示本发明的液晶显示装置的显示面板的构成例,是表示屏蔽电极与源总线用相同材料形成的构成的截面图。

图 10 是表示本发明的液晶显示装置的显示面板的构成例，是表示 1 个屏蔽电极与源总线用相同材料形成、另一个屏蔽电极与栅总线用相同材料形成的构成的截面图。

图 11 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极与源总线用相同材料形成并连接配置源总线以外的任意电极的构成的平面图。

图 12 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极由任意材料形成并浮动配置的结构平面图。

图 13 表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极由任意材料形成的结构的截面图。

图 14 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极由任意材料形成并连接配置源总线以外的任意电极的构成的平面图。

图 15 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极由任意材料形成的构成的截面图。

图 16 是表示本发明的液晶显示装置的显示面板的构成例的平面图；

图 17 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极与栅总线用相同材料形成并进行浮动配置的构成的平面图。

图 18 是表示本发明的液晶显示装置的显示面板的构成例的截面图；

图 19 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极与栅总线用相同材料形成的构成的截面图。

图 20 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极与栅总线用相同材料形成的结构的截面图。

图 21 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极与栅总线用相同材料形成并连接配置源总线以外的任意电极的构成的平面图。

图 22 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极与栅总线用相同材料形成并连接配置辅助电容配线的构成的平面图。

图 23 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏

蔽电极与源总线用相同材料形成并进行浮动配置的构成的平面图。

图 24 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极与源总线用相同材料形成的构成的截面图。

图 25 是表示本发明的液晶显示装置的显示面板的构成例，是表示 1
5 个屏蔽电极与源总线用相同材料形成、另一个屏蔽电极与栅总线用相同材料形成的构成的截面图。

图 26 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极与源总线用相同材料形成并连接配置源总线以外的任意电极的构成的平面图。

10 图 27 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极由任意材料形成并浮动配置的构成的平面图。

图 28 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极由任意材料形成的构成的截面图。

图 29 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极由任意材料形成并连接配置源总线以外的任意电极的构成的平面图。
15 图。

图 30 是表示本发明的液晶显示装置的显示面板的构成例，是表示屏蔽电极由任意材料形成的构成的截面图。

图 31 是表示本发明的液晶显示装置的显示面板的构成例，是表示源
20 总线从像素电极间的中心偏离配置的构成的平面图。

图 32 是表示本发明的液晶显示装置的显示面板的构成例，是表示源总线从像素电极间的中心偏离配置的构成的截面图。

图 33 是表示本发明的液晶显示装置的显示面板的构成例，是表示源总线从像素电极间的中心偏离配置的构成的截面图。

25 图 33 是表示本发明的液晶显示装置的显示面板的构成例，是表示源总线从像素电极间的中心偏离配置的构成的截面图。

图 34 是表示本发明的液晶显示装置的显示面板的构成例，是表示源总线从像素电极间的中心偏离配置的构成的截面图。

图 35 是表示本发明的液晶显示装置的显示面板的构成例，是表示源
30 总线从像素电极间的中心偏离配置的构成的截面图。

图 36 是表示本发明的液晶显示装置的显示面板的构成例，是表示源总线从像素电极间的中心偏离配置的结构的面视图。

图 37 是表示现有的液晶显示装置的显示面板的构成例的平面图。

图 38 是表示现有的液晶显示装置的显示面板的构成例的截面图。

5 图 39 是表示产生源·漏间寄生电容的状况的模式图。

图 40 是表示现有的液晶显示装置的显示面板的构成例的平面图。

图 41 是表示现有的液晶显示装置的显示面板的构成例的截面图。

图 42 是表示产生源·漏间寄生电容的状况的模式图。

10 具体实施方式

[实施方式 1]

本方式的显示装置是液晶显示装置，其显示像素部 10 如图 1 到 3 所示，具有栅总线 15、源总线 18、辅助电容配线 16、在上述栅总线和上述源总线包围的区域内从上述源总线接收数据信号的像素电极 21，以及面对
15 上述像素电极的对置电极（未示出），是有源矩阵型的液晶显示装置。上述源总线 18 配置成夹持绝缘膜与各像素电极 21 重叠。25 是反射电极。

图 2 中的部位 A 到 E 分别对应图 3、4 中的部位 A 到 E。

16 是辅助电容配线。

13 是 Si 半导体层，具有分别与辅助电容配线 16、漏电极 19、栅电极
20 15a·15b、源总线 18 的源电极重叠的区域 13a·13b·13c·13d。

源总线 18 因此接触孔 18a 与 Si 半导体层 13 相连接。

19 是漏电极，经接触孔 21a 和接触孔 19a 分别连接在像素电极 21 和
13c。

这里，本方式中，屏蔽电极 31 设置在像素电极 21 和源总线 18 的附
25 近。屏蔽电极 31 是为了降低像素电极 21 和源总线 18 之间的源·漏间寄生电容（Csd）（下面简称寄生电容）而形成的。

所谓屏蔽电极是具备遮蔽其他电极间的电场的功能的导电体全称。因此，屏蔽电极不仅包括栅总线这样的连接提供电位的配线的电极，还包含不连接提供电位的配线的电极（所谓的浮动状态）。这里所说的导电体全
30 称，除例如金属膜的良好导体外，还包含例如掺杂 P 的 n+ 半导体这样的半

导体。

如上所述，像素电极 21 配置成与源总线 18 重叠，因此为图像显示将数据信号施加到源总线 18 时，在像素电极 21 与源总线 18 之间产生电场，由此，在像素电极 21 与源总线 18 重叠的部分形成寄生电容。如已经所述，
5 该寄生电容成为纵向串扰、闪动的原因，是不好的。与此相反，本方式中，在像素电极 21 与源总线 18 不接触的（即绝缘的）位置上配置由导体或半导体构成的上述屏蔽电极 31。由此，该屏蔽电极 31 在遮蔽该电场的方向上作用，降低上述寄生电容。

即，在源总线 18 的附近，不仅由像素电极 21 与源总线 18 夹持的区域，
10 在所有方向上由向源总线 18 施加的信号产生电场。从源总线 18 看，在与像素电极 21 相反的方向上也产生电场。并且，通过像素电极 21 存在于源总线 18 的附近，该电场也施加到像素电极 21。因此，这样，通过在电场产生的位置上配置上述屏蔽电极 31，该屏蔽电极 31 可如上所述遮蔽从源总线 18 施加到像素电极 21 的电场。换言之，降低像素电极 21 与源
15 总线 18 之间的电容。即，众所周知，一般地，电容受到关于 2 个导体存在电场的空间的性质的影响，而本方式中，通过该空间内放置屏蔽电极 31，使得该空间变化成从源总线 18 出来的电力线难以进入像素电极 21，这无异于降低电容。

本方式中，如图 2 所示，屏蔽电极 31 是沿着源总线 18 的纵向方向（与
20 水平线正交的方向）伸长的平面形状，为长方形形状。

本方式中，如图 4 所示，屏蔽电极 31 形成在源总线 18 的与面对像素电极 21 的面相反的面的一侧（图中为下侧）上。这里，屏蔽电极 31 形成在夹持作为源总线 18 的下一层的绝缘体的层间绝缘膜 17 的位置上。

如图 3、4 所示，源总线 18 配置成与 2 个像素电极 21 重叠。这里，
25 屏蔽电极 31 的纵向方向（与水平线正交的方向）的中心与源总线 18 的纵向方向的中心一致。即，屏蔽电极 31 对于通过源总线 18 的纵向方向的中心与水平线正交的平面（未示出）（设为平面 S）是左右对称的。其结果，本方式中，源总线 18 和任一像素电极 21 之间的寄生电容都相等地降低。

另外，本方式中，屏蔽电极 31 与栅总线 15 形成在同层。本方式中，
30 屏蔽电极 31 与栅总线 15 用相同材料形成。因此，不需要准备新材料，由

此，可以抑制屏蔽电极 31 的制造成本的上升。

本方式中，屏蔽电极 31 是浮动配置的。这里，所谓浮动配置是将屏蔽电极 31 配置成能从任何施加电信号（电位）的部件完全绝缘开的状态，为整个表面用绝缘体包围的配置。其可以是在绝缘体中浮动的“浮岛”结构。屏蔽电极 31 可连接地。

这里，屏蔽电极 31 和源总线 18 之间也形成电容（后面称为屏蔽电容），但从源驱动器（未示出）看，该电容是负荷之一。然而，这样浮动配置时，由于该电容不那么大就可以，因此，可以抑制功耗。

这样，浮动配置时，不需要考虑与其他配线的连接方法，因此可以增大设计的自由度。

说明液晶显示装置的制造方法。叙述本方式的构成的情况下的制造顺序之前，首先说明一般构成的情况下的顺序。

如图 3、38 所示，首先，通过等离子体 CVD 法在作为绝缘性基板的玻璃基板 11 上设置厚度 100nm 的 SiO₂，作为基础涂层 12。

接着，在基础涂层 12 上通过等离子体 CVD 法设置厚度 50nm 的 Si 半导体层 13（例如硅层）。该 Si 半导体层 13 进行热处理，通过激光退火进行 Si 半导体层 13 的结晶化。此外，将该 Si 半导体层 13 图案形成为平面规定形状。

此外，该 Si 半导体层 13 上通过等离子体 CVD 法设置厚度 100nm 的 SiO₂，作为栅绝缘膜 14。

此外，作为导电性物质，在栅绝缘膜 14 上用溅射法顺序层叠由膜厚 50nm 的氮化钽、膜厚 370nm 的钨膜构成的导电性物质 GE，图案形成为成为辅助电容配线 16、栅总线 15（也包含栅电极 15a・15b）的规定形状。这些导电性物质 GE 可用从 Ta、W、Ti、Mo、Al、Cu 选出的元素、或以上述元素为主成分的合金材料或化合物材料替代氮化钽、钨的材料来形成。

上述 Si 半导体层 13 上，从栅电极 15a・15b 通过栅绝缘膜 14 掺杂 P（磷），将栅电极 15a・15b 两侧的 Si 半导体层 13 设为 n-区域或 n+区域（晶体管的源区域和漏区域）。由此，形成晶体管。这是在 N 沟道形成的情况，而在 P 沟道形成的情况下，在 Si 半导体层 13 中掺杂 B（硼）。

进而，进行热处理，活化处理 Si 半导体层 13 中掺杂的杂质元素。

另外，作为绝缘膜，通过 CVD 法设置由膜厚 950nm 的氮化硅膜、氧化硅膜的 2 层结构构成的层间绝缘膜 17。

接着，到达晶体管部的漏区域和源区域的接触孔部 18a·19a 分别形成在栅绝缘膜 14 和层间绝缘膜 17 上。

之后，作为导电性物质 SE(这里导电性物质 SE 和源总线是相同材料)，分别按 100nm、500nm、100nm 的各膜厚通过溅射法顺序层叠 Ti、Al、Ti，将其图案形成为规定形状，形成源总线 18 和漏电极 19。

热处理以上的层叠结构，进行氢化上述 Si 半导体层 13 的工序。该氢化工序是通过在由氮化硅膜等构成的层间绝缘膜 17 中包含的氢结束 Si 半导体层 13 的不饱和键 (dangling bond) 的工序。

此外，层间绝缘膜 17、源总线 18 和漏电极 19 上设置由有机绝缘材料构成的树脂层 20。此时，树脂层 20 按 1.6 微米膜厚设置。

进而，形成到达漏电极 19 的接触孔 21a，通过溅射法按 100nm 膜厚设置成为像素电极 21 的 ITO(铟锡氧化物)，图案形成为规定形状，并按矩阵状设置多个像素电极 21。

之后，这些像素电极 21 和树脂层 20 上印刷上取向膜 (未示出)，进行规定方向的研磨处理，完成本实施方式的有源矩阵基板。

该有源矩阵基板的取向膜侧散布球状隔板 (未示出) 或柱状形成树脂绝缘膜后，将对置基板 (未示出) 重合在有源矩阵基板上，以规定间隔均匀粘贴有源矩阵基板和对置基板。这两个基板之间夹持液晶层。该对置基板上形成作为透明电极的对置电极 (未示出)，其上印刷取向膜 (未示出) 后，进行与上述同样的研磨处理。通过以上完成作为使用有源矩阵基板的显示装置的有源矩阵型液晶显示装置。

接着，说明本方式的制造方法。与上述一般的顺序相同的部分的说明省略。

如图 3、4 所示，设置上述栅绝缘膜 14，接着，在栅绝缘膜 14 上用溅射法顺序层叠上述导电性物质 GE，与上述同样的辅助电容配线 16、栅总线 15 (还包含栅电极 15a,15b) 的一起，图案形成为成为屏蔽电极 31 的规定形状。

这样，使用现有的制造工艺，仅变更栅总线 15 的图案形成的形状，可以形成屏蔽电极 31。因此，尽管增加屏蔽电极 31 这样的部件，仍可以抑制其成本上升。

本发明还适用于顶栅结构，反交错（stagger）结构。

5 这里，叙述了条形排列的例子，但也可以适用于三角形（delta）排列中。

如图 5 所示，作为屏蔽电极，也可以为 31a • 31b。这是图 4 所示的屏蔽电极 31 的，仅切去包含纵向方向的中心的部分、以使残留了包含端部的部分的形状。屏蔽电极 31a, 31b 在关于上述平面 S 左右对称这一点上
10 与上述相同。

这样构成时，可以减小屏蔽电极与源总线 18 重叠的面积，从而因此可降低屏蔽电容。

作为另一例子，不是浮动配置，而如图 6 所示，将屏蔽电极 31 做成连接源总线 18 以外的任意配线（包含电极）的构成。通过接触孔 31h 将
15 屏蔽电极 31 连接该配线。接触孔 31h 在形成屏蔽电极 31 的面上形成到达该配线的接触孔用的洞，适当变更形成屏蔽电极时的图案形成就能够制造。

这样构成时，容易保证屏蔽电极 31 的电位与源总线 18 的电位不同。因此，与屏蔽电极为浮岛状的情况相比，屏蔽电极 31 与源总线 18 之间的
20 电场确实加强，可以更显著地降低源总线 18 与像素电极 21 之间的电容。

例如，至少某期间中，或者一直是连接与源总线的电位不同的另外的配线。这种配线可以在源总线电位一定期间具有恒定电位，按源总线的电位变化的相同定时变化为种种电位。也可以是一直保持恒定电位的配线。

另外，如图 7 所示，也可以是屏蔽电极 31 连接作为除上述源总线 18
25 以外的任意配线之一的辅助电容配线 16 的构成。

[实施方式 2]

本方式中，如图 8、9 所示，源总线 18 的纵向方向（与水平线正交的方向）的中心与位于一个水平线上的最接近关注源总线 18 的 2 个像素电
30 极 21 之间的距离的中央（设为中心 G）不一致，与源总线 18 重叠的面积

在 2 个像素电极 21 之间不同。源总线 18 和图中左侧的像素电极 21 重叠的面积小于源总线 18 和图中右侧的像素电极 21 重叠的面积。源总线 18 和图中左侧的像素电极 21 重叠的面积也可以为 0。

并且，屏蔽电极 31 与源总线 18 形成在同层，屏蔽电极 31 沿着源总线 18 的纵向方向配置在源总线 18 和上述更远的像素电极（图中左侧的像素电极 21）的附近，更具体说夹持树脂层 20 配置在像素电极 21 的正下方。

本方式中，屏蔽电极 31 与源总线 18 用相同材料形成。因此，不需要准备新材料，因此，可以抑制由于屏蔽电极 31 造成的成本上升。

另外，本方式中，如上所述，屏蔽电极 31 与源总线 18 形成在同层。其结果是使用现有的制造工艺，仅变更源总线 18 的图案形成的形状就可以形成屏蔽电极 31。因此，尽管增加了屏蔽电极 31 这样的部件，仍可以抑制其造成的制造成本上升。

本方式中，屏蔽电极 31 浮动配置着。其结果，如上所述，可以抑制屏蔽电容的增大，抑制功耗。可以增大设计自由度。

此外，由于和使用图 2 到 4 说明的相同，因此说明省略。

如图 10 所示，作为屏蔽电极，可与图 9 的屏蔽电极 31 同样，设置与源总线形成在同层的屏蔽电极 31a，和与栅总线 15 形成在同层的屏蔽电极 31b 两方。

该图 10 的例子中，屏蔽电极 31b 的纵向方向（与水平线正交的方向）的中心与上述中心 G 不一致，与屏蔽电极 31b 重叠的面积在 2 个像素电极 21 之间不同。其不同的方式与源总线 18 和像素电极 21 的重叠面积的大小关系相反，屏蔽电极 31b 和图中左侧的像素电极 21 的重叠面积大于屏蔽电极 31b 和图中右侧的像素电极 21 的重叠面积。屏蔽电极 31b 和图中右侧的像素电极 21 的重叠面积也可以为 0。

其结果，屏蔽电极 31b，相比于源总线 18 和与源总线 18 的重叠面积更大的像素电极 21 之间的寄生电容，进一步降低源总线 18 和与源总线 18 的重叠面积更小的像素电极 21 之间的寄生电容。

作为另外的例子，并非浮动配置，与图 6 的例子所述同样，如图 11 所示，屏蔽电极 31 也可以连接在源总线 18 以外的任意配线（包含电极）。

[实施方式 3]

本方式中，如图 12、13 所示，屏蔽电极 31 形成在源总线 18 与像素电极 21 之间。因此，增大屏蔽电极 31 遮蔽源总线 18 和像素电极 21 之间的电场的效果。也就是，更显著降低源总线 18 和像素电极 21 之间的电容。

5 为形成这样的屏蔽电极 31，在上述制造工艺中，将树脂层 20 分为前半和后半，可以在前半和后半之间层叠屏蔽电极 31 的材料。

屏蔽电极 31 可浮动配置，可与图 6 的例子所述同样，如图 14 所示，屏蔽电极 31 也可以连接源总线 18 以外的任意配线（包含电极）。

此外，与使用图 2 到图 4 所述的相同，所以省略说明。

10

[实施方式 4]

本方式中，如图 12、15 所示，屏蔽电极 31 形成在像素电极 21 的与面对源总线 18 的面相反的面的一侧上。因此，在像素电极 21 的与面对源总线 18 的面上不需要配置屏蔽电极。也就是，增大面对源总线 18 的面侧的设计自由度。

15

为形成这样的屏蔽电极 31，在上述制造工艺中，形成像素电极 21 后，再分为前半和后半来形成绝缘膜 22，可以在前半和后半之间层叠屏蔽电极 31 的材料。

屏蔽电极 31 也可以浮动配置，可与图 6 的例子所述同样，可连接源总线 18 以外的任意配线（包含电极）。

20

此外，与使用图 2 到图 4 所述的相同，所以省略说明。

本发明也适用于由液晶显示装置显示种种信息。

[实施方式 5]

25 本方式的显示装置是三角形排列进行彩色显示的液晶显示装置，其显示像素部 110 如图 16 到 18 所示，具有栅总线 115、源总线 118、辅助电容配线 116、在上述栅总线和上述源总线包围的区域内从上述源总线接收数据信号的像素电极 121，以及夹持液晶层来面对上述像素电极的对置电极（未示出），是有源矩阵型的液晶显示装置。上述源总线 118 配置成夹持绝缘膜与各像素电极 121 重叠。125 是反射电极。

30

这里，源总线 118 通过蛇形具有凸部区域 118b 和凹部区域 118c。即，这里为方便说明，假设行进方向（与水平线正交的方向）为图 16 中的下行，面对行进方向向右弯曲时（图中的左侧），右侧上形成凸部区域 118b，左侧上形成凹部区域 118c。面对行进方向向左弯曲时（图 16 中的右侧），左侧上形成凸部区域 118b，右侧上形成凹部区域 118c。并且，源总线 118 仅向面对凸部区域 118b 的像素电极 121 施加数据信号。即，图 16 中，关注源总线 S 时，像素电极 121 中 A、D、E 位于源总线 S 的凸部区域 118b，像素电极 121 中 B、C、F 位于源总线 S 的凹部区域 118c。因此，该源总线 S 向像素电极 121 中的 A、D、E 施加数据信号，不向像素电极 121 中 B、C、F 施加数据信号。

图 17 中的部位 A 到 E 分别对应图 18、19 中的部位 A 到 E。

116 是辅助电容配线。

113 是 Si 半导体层，具有分别与辅助电容配线 116、漏电极 119、栅电极 115a ·115b、源总线 118 的源电极重叠的区域 113a ·113b ·113c ·113d。

源总线 118 因此接触孔 118a 与 Si 半导体层 113 相连接。

119 是漏电极，经接触孔 121a 和接触孔 119a 分别连接于像素电极 121 和 113c。

这里，本方式中，屏蔽电极 131 设置在像素电极 121 和源总线 118 的附近。屏蔽电极 131 为了降低像素电极 121 和源总线 118 之间的源 · 漏间寄生电容 (Csd)（下面简称寄生电容）而形成。

所谓屏蔽电极是具备遮蔽其他电极间的电场的功能的导电体全称。因此，屏蔽电极不仅包括栅总线这样的连接提供电位的配线的电极，还包含不连接提供电位的配线的电极（所谓的浮动状态）。这里所说的导电体全称，除例如金属膜的良好导体外，还包含例如掺杂 P 的 n+ 半导体这样的半导体。

如上所述，像素电极 121 配置成与源总线 118 重叠，因此为图像显示将数据信号施加到源总线 118 时，在像素电极 121 与源总线 118 之间产生电场，由此，在像素电极 121 与源总线 118 重叠的部分形成寄生电容。与此相反，本方式中，在像素电极 121 与源总线 118 不接触的（即绝缘的）位置上配置由导体或半导体构成的上述屏蔽电极 131。由此，该屏蔽电极

131 在遮蔽该电场的方向上作用，降低上述寄生电容。

即，在源总线 118 的附近，不仅由像素电极 121 与源总线 118 夹持的区域，在所有方向上由向源总线 118 施加的信号产生电场。从源总线 118 看，在与像素电极 121 相反的方向上也产生电场。并且，通过像素电极 121 存在于源总线 118 的附近，该电场也施加到像素电极 121。因此，这样，通过在电场产生的位置上配置上述屏蔽电极 131，该屏蔽电极 131 可如上所述遮蔽从源总线 118 施加到像素电极 121 的电场。换言之，降低像素电极 121 与源总线 118 之间的电容。即，众所周知，一般地，电容受到关于 2 个导体存在电场的空间的性质的影响，而本方式中，通过该空间内放置屏蔽电极 131，使得该空间变化成从源总线 118 出来的电力线难以进入像素电极 121，这无异于降低电容。

如上所述，本方式是通过三角形排列进行彩色显示的液晶显示装置，下面将各像素担当的色称为 R(红)、G(绿)、B(蓝)。用于施加 R、G、B 的数据信号的源总线分别简称为 R 线、G 线、B 线。如前面所述，结构上，有像素电极 121 和源总线 118 经绝缘膜重合的部分，因此存在作为寄生电容的源·漏间寄生电容。其中，与驱动本身像素的源总线 118 的电容（这里是与 G 线的电容）设为 Csd1、与不驱动本身像素的源总线 118 的电容（这里是与 R、B 线的电容）设为 Csd2。经这些电容通过源总线 118 的电位变动引入像素 G 的电位。如前面所述的 R,G 线夹持的 G 像素引入到 R,G 线，G,B 线夹持的 G 像素引入到 G,B 线。其中，G 线造成的引入在任何地方都相同，而 R 线造成的引入和 B 线造成的引入则不限于相等。即，横条纹的原因是 R 线的引入和 B 线的引入之差。该二者（R 线和 B 线）的引入经源·漏间寄生电容 Csd2 进行。因此，如果减小 Csd2 可降低横条纹。该关系不仅在 G 像素，在关注 R、B 像素时也同样，通过降低 Csd2 可降低三角形排列等的显示面板中产生的横条纹。

对此用式子进行表达如下：

$$V_{\text{pix}} = V_{\text{s0}} + (C_{\text{sd1}}/C_{\text{pix}}) \times \Delta V_{\text{s1}} + (C_{\text{sd2}}/C_{\text{pix}}) \times \Delta V_{\text{s2}}$$

这里，

V_{pix} : 引入后的像素电极的电位

V_{s0} : 引入前的像素电极的电位(=从施加数据信号的源总线经 TFT 施

加到像素电极的电位)

Csd1: 任意一个像素电极与向其施加数据信号的源总线之间的寄生电容

5 Csd2: 任意一个像素电极与不向其施加数据信号的源总线之间的寄生电容

Cpix: 向任意一个像素电极施加的电容整体(寄生电容、辅助电容等)的总和

ΔV_{s1} : 向任意一个像素电极施加数据信号的源总线的电压振幅

ΔV_{s2} : 向任意一个像素电极不施加数据信号的源总线的电压振幅。

10 为降低横条纹, 每个水平线的 V_{pix} 之差需要减小。右边的第一项、第二项不管水平线如何都认为是恒定的, 另一方面, 第三项由于上述 ΔV_{s2} 不同而每个水平线不同。这里, 第三项中考虑不能改变 Cpix、 ΔV_{s2} 。因此, 通过减小 Csd2 可减小第三项的每个水平线的差, 从而可以减小每个水平线的 V_{pix} 之差。

15 如上所述, 如果可以至少降低 Csd2, 则可以减小每个水平线的 V_{pix} 之差, 每个水平线的像素电位的引入量之差可以减小。这里, 本方式中, 通过配置上述的屏蔽电极 131 降低 Csd2 的同时, 还降低 Csd1。此时, 也减小每个水平线的 V_{pix} 之差, 每个水平线的像素电位的引入量之差也可以减小。

20 本方式中, 如图 17 所示, 屏蔽电极 131 是沿着源总线 118 的纵向方向(与水平线正交的方向)伸长的平面形状, 为长方形形状。

本方式中, 如图 19 所示, 屏蔽电极 131 形成在源总线 118 的与面对像素电极 121 的面相反的面的一侧(图中为下侧)上。这里, 屏蔽电极 131 形成在夹持作为源总线 118 的下一层的绝缘体的层间绝缘膜 117 的位置

25 上。

如图 18、19 所示, 源总线 118 配置成与 2 个像素电极 121 重叠。这里, 屏蔽电极 131 的纵向方向(与水平线正交的方向)的中心与源总线 118 的纵向方向的中心一致。即, 屏蔽电极 131 对于通过源总线 118 的纵向方向的中心与水平线正交的平面(未示出)(设为平面 S)是左右对称的。

30 其结果, 本方式中, 源总线 118 和任一像素电极 121 之间的寄生电容都相

等地降低。

另外，本方式中，屏蔽电极 131 与栅总线 115 形成在同层。本方式中，屏蔽电极 131 与栅总线 115 用相同材料形成。因此，不需要准备新材料，因此，可以抑制屏蔽电极 131 的制造成本的上升。

5 本方式中，屏蔽电极 131 是浮动配置的。这里，所谓浮动配置是将屏蔽电极 131 配置成能从任何施加电信号（电位）的部件完全绝缘开的状态，使整个表面用绝缘体包围的配置。其可以是在绝缘体中浮动的“浮岛”结构。而且，屏蔽电极 131 也可以连接地。

10 这里，屏蔽电极 131 和源总线 118 之间也形成电容（后面称为屏蔽电容），但从源驱动器（未示出）看，该电容是负荷之一。然而，这样浮动配置时，由于该电容不那么大就可以，因此，可以抑制功耗。

而且，这样浮动配置时，不需要考虑与其他配线的连接方法，因此可以增大设计的自由度。

15 说明液晶显示装置的制造方法。叙述本方式的结构情况下的制造顺序之前，首先说明一般结构情况下的顺序。

如图 18、41 所示，首先，通过等离子体 CVD 法在作为绝缘性基板的玻璃基板 111 上设置厚度 100nm 的 SiO₂，作为基础涂层 112。

20 接着，在基础涂层 112 上通过等离子体 CVD 法设置厚度 50nm 的 Si 半导体层 113（例如硅层）。该 Si 半导体层 113 进行热处理，通过激光退火进行 Si 半导体层 113 的结晶化。此外，将该 Si 半导体层 113 图案形成成为平面规定形状。

此外，该 Si 半导体层 113 上通过等离子体 CVD 法设置厚度 100nm 的 SiO₂，作为栅绝缘膜 114。

25 此外，作为导电性物质，在栅绝缘膜 114 上用溅射法顺序层叠由膜厚 50nm 的氮化钽、膜厚 370nm 的钨膜构成的导电性物质 GE，图案形成为成为辅助电容配线 116、栅总线 115（也包含栅电极 115a・115b）的规定形状。这些导电性物质 GE 可用从 Ta、W、Ti、Mo、Al、Cu 选出的元素、或以上述元素为主成分的合金材料或化合物材料替代氮化钽、钨的材料来形成。

30 上述 Si 半导体层 113 上，从栅电极 115a・115b 通过栅绝缘膜 114 掺

杂 P(磷), 将栅电极 115a · 115b 两侧的 Si 半导体层 113 设为 n-区域和 n+ 区域 (晶体管的源区域和漏区域)。由此, 形成晶体管。这是在 N 沟道形成的情况, 而在 P 沟道形成的情况下, 在 Si 半导体层 113 中掺杂 B(硼)。

进而, 进行热处理, 活化处理 Si 半导体层 113 中掺杂的杂质元素。

5 另外, 作为绝缘膜, 通过 CVD 法设置膜厚 950nm 的氮化硅膜、氧化硅膜的 2 层结构构成的层间绝缘膜 117。

接着, 到达晶体管部的漏区域和源区域的接触孔部 118a · 119a 分别形成在栅绝缘膜 114 和层间绝缘膜 117 上。

10 之后, 作为导电性物质 SE(这里导电性物质 SE 和源总线是相同材料), 分别按 100nm、500nm、100nm 的膜厚通过溅射法顺序层叠 Ti、Al、Ti, 将其图案形成为规定形状, 形成源总线 118 和漏电极 119。

热处理以上的层叠结构, 进行氢化上述 Si 半导体层 113 的工序。该氢化工序是通过在由氮化硅膜等构成的层间绝缘膜 117 中包含的氢结束 Si 半导体层 113 的不饱和键的工序。

15 此外, 层间绝缘膜 117、源总线 118 和漏电极 119 上设置由有机绝缘材料构成的树脂层 120。此时, 树脂层 120 按 1.6 微米膜厚设置。

进而, 形成到达漏电极 119 的接触孔 121a, 通过溅射法按 100nm 膜厚设置成为像素电极 121 的 ITO(铟锡氧化物), 图案形成为规定形状, 并按矩阵状设置多个像素电极 121。

20 之后, 这些像素电极 121 和树脂层 120 上印刷上取向膜 (未示出), 进行规定方向的研磨处理, 完成本实施方式的有源矩阵基板。

该有源矩阵基板的取向膜侧散布球状隔板 (未示出) 或柱状形成树脂绝缘膜后, 将对置基板 (未示出) 重合在有源矩阵基板上, 以规定间隔均匀粘贴有源矩阵基板和对置基板。这两个基板之间夹持液晶层。该对置基板上形成作为透明电极的对置电极 (未示出), 其上印刷取向膜 (未示出) 后, 进行与上述同样的研磨处理。通过以上完成作为使用有源矩阵基板的显示装置的有源矩阵型液晶显示装置。

接着, 说明本方式的制造方法。与上述一般的顺序相同的部分的说明省略。

30 如图 18、19 所示, 设置上述栅绝缘膜 114, 接着, 在栅绝缘膜 114

上用溅射法顺序层叠上述导电性物质 GE，与上述同样的辅助电容配线 116、栅总线 115（还包含栅电极 115a,115b）的一起，图案形成为成为屏蔽电极 131 的规定形状。

这样，使用现有的制造工艺，仅变更栅总线 115 的图案形成的形状，
5 可以形成屏蔽电极 131。因此，尽管增加屏蔽电极 131 这样的部件，仍可以抑制其成本上升。

本发明还适用于顶栅结构，反交错排列结构。

这里，叙述了条形排列的例子，但三角形排列中也可以适用。

如图 20 所示，作为屏蔽电极，也可以为 131a · 131b。这是图 19 所示
10 的屏蔽电极 131 的仅切去包含纵向方向的中心的部分的形状。屏蔽电极 131a · 131b 在关于上述平面 S 左右对称这一点上与上述相同。

这样构成时，由于可以减小屏蔽电极与源总线 118 重叠的面积，由此可以降低屏蔽电容。

作为另一例子，不是浮动配置，而如图 21 所示，将屏蔽电极 131 做
15 成连接源总线 118 以外的任意配线（包含电极）的构成。通过接触孔 131h 连接该配线。接触孔 131h 在形成屏蔽电极 131 的面上形成到达该配线的接触孔用的洞，适当变更形成屏蔽电极时的图案形成就能够制造。

这样构成时，容易保证屏蔽电极 131 的电位与源总线 118 的电位不同。
因此，与屏蔽电极为浮岛状的情况相比，屏蔽电极 131 与源总线 118 之间的
20 的电场确实加强，可以更显著地降低源总线 118 与像素电极 121 之间的电容。

例如，至少某期间中，或者一直是连接与源总线的电位不同的另外的配线。这种配线可以在源总线电位一定期间具有恒定电位，按源总线的电位变化的相同定时变化为种种电位。

而且也可以是一直保持恒定电位的配线。
25

另外，如图 22 所示，也可以是屏蔽电极 131 连接作为除上述源总线 118 以外的任意配线之一的辅助电容配线 116 的构成。

[实施方式 6]

30 本方式中，如图 23、24 所示，源总线 118 的纵向方向（与水平线正

交的方向)的中心与位于一个水平线上的最接近关注源总线 118 的 2 个像素电极 211 之间的距离的中央(设为中心 G)不一致,与源总线 118 重叠的面积在 2 个像素电极 211 之间不同。源总线 118 和图中左侧的像素电极 121 重叠的面积小于源总线 118 和图中右侧的像素电极 121 重叠的面积。

5 源总线 118 和图中左侧的像素电极 121 重叠的面积也可以为 0。

并且,屏蔽电极 131 与源总线 118 形成在同层,屏蔽电极 131 沿着源总线 118 的纵向方向配置在源总线 118 和上述更远的像素电极(图中左侧的像素电极 121)的附近,更具体说夹持树脂层 120 配置在像素电极 121 的正下方。

10 本方式中,屏蔽电极 131 与源总线 118 用相同材料形成。因此,不需要准备新材料,因此,可以抑制由于屏蔽电极 131 造成的成本上升。

本方式中,如上所述,屏蔽电极 131 与源总线 118 形成在同层。其结果是使用现有的制造工艺,仅变更源总线 118 的图案形成形状就可形成屏蔽电极 131。因此,尽管增加了屏蔽电极 131 这样的部件,仍可以抑制其造成的制造成本上升。

15 本方式中,屏蔽电极 131 是浮动配置的。其结果,如上所述,可以抑制屏蔽电容的增大,抑制功耗。可以增大设计自由度。

此外,由于和使用图 17 到 19 说明的相同,因此同样的说明省略。

20 如图 25 所示,作为屏蔽电极,可以与图 24 的屏蔽电极 131 同样,设置与源总线 118 形成在同层的屏蔽电极 131a 和与栅总线 115 形成在同层的屏蔽电极 131b 两方。

该图 25 的例子中,屏蔽电极 131b 的纵向方向(与水平线正交的方向)的中心与上述中心 G 不一致,与屏蔽电极 131b 重叠的面积在 2 个像素电极 121 之间不同。其不同的方式与源总线 118 和像素电极 121 的重叠面积的大小关系相反,屏蔽电极 131b 和图中左侧的像素电极 121 的重叠面积大于屏蔽电极 131b 和图中右侧的像素电极 121 的重叠面积。屏蔽电极 131b 和图中右侧的像素电极 121 的重叠面积也可以为 0。

其结果,相比于源总线 118 和与源总线 118 的重叠面积更大的像素电极 121 之间的寄生电容,屏蔽电极 131b 进一步降低源总线 118 和与源总线 118 的重叠面积更小的像素电极 121 之间的寄生电容。

作为另外的例子，并非浮动配置，与图 21 的例子所述同样，如图 26 所示，屏蔽电极 131 也可以连接源总线 118 以外的任意配线（包含电极）。

[实施方式 7]

5 本方式中，如图 27、28 所示，屏蔽电极 131 形成在源总线 118 与像素电极 121 之间。因此，增大屏蔽电极 131 遮蔽源总线 118 和像素电极 121 之间的电场的效果。也就是，更显著降低源总线 118 和像素电极 121 之间的电容。

10 为形成这样的屏蔽电极 131，在上述制造工艺中，将树脂层 120 分为前半和后半，可以在前半和后半之间层叠屏蔽电极 131 的材料。

屏蔽电极 131 可以浮动配置，也可以与图 21 的例子所述同样，如图 29 所示，屏蔽电极 131 可以连接源总线 118 以外的任意配线（包含电极）。此外，与使用图 17 到 19 所述的相同，同样的说明省略。

15 [实施方式 8]

本方式中，如图 27、30 所示，屏蔽电极 131 形成在像素电极 121 的与面对源总线 118 的面相反的面的一侧上。因此，在像素电极 121 的与面对源总线 118 的面上不需要配置屏蔽电极。也就是，增大面对源总线 118 的面侧的设计自由度。

20 为形成这样的屏蔽电极 131，在上述制造工艺中，形成像素电极 121 后，再分为前半和后半来形成绝缘膜 122，在前半和后半之间层叠屏蔽电极 131 的材料。

屏蔽电极 131 可以浮动配置，也可以与图 21 的例子所述同样，可连接源总线 118 以外的任意配线（包含电极）。

25 此外，与使用图 17 到图 19 所述的相同，同样的说明省略。

[实施方式 9]

30 本方式中，如图 31、32 所示，通过将源总线 118 的配置偏向形成 Csd1 的像素电极 121 侧（图 32 中右侧）降低 Csd2。实施方式 5 到 8 中，通过配置屏蔽电极 131 降低 Csd2 的同时，还降低 Csd1，但如上所述，只要至

少可以降低 C_{sd2} ，则可以减小每个水平线的 V_{pix} 之差，每个水平线的像素电位的引入量之差也可以减小。

更具体地说，关注上述色中的任意一色（例如 G）时，上述一个像素电极与向上述一个像素电极施加数据信号的第一源总线之间形成的电容为 C_{sd1} 、上述一个像素电极与作为和上述第一源总线相邻的源总线并且配置在上述一个像素电极的与上述第一源总线配置侧相反侧的第二源总线之间形成的电容为 C_{sd2} 时， C_{sd2} 小于 C_{sd1} 。

这样一来，与像素电极两侧电容都为 C_{sd1} 的构成相比，可以降低 C_{sd2} ，因此可以抑制每个水平线的条纹（横条纹）的产生。

10 为了 C_{sd2} 小于 C_{sd1} ，具体说，设向关注色用的一个像素电极上施加数据信号的源总线与该像素电极的重叠面积为 $S1$ 、向上述关注色用的一个像素电极上施加数据信号的源总线与作为与关注色不同色用的像素电极且配置在与上述关注色用的像素电极相同的水平线上的像素电极的重叠面积为 $S2$ 时， $S2$ 可以小于 $S1$ 那样构成。而 $S2$ 可以为 0。

15 作为和向上述一个像素电极施加数据信号的上述第一源总线相邻的源总线的、配置在上述一个像素电极的与上述第一源总线配置侧相反侧的第二源总线，其与上述一个像素电极重叠部位的、在与水平线平行方向上的上述第二源总线的长度为 $L2$ 时，可以是 $L2$ 小于（源总线宽度—上述两个像素电极之间距离）/2 的构成。

20 向上述一个像素电极施加数据信号的上述第一源总线，其与上述一个像素电极重叠部位的、在与水平线平行方向上的上述第一源总线的长度为 $L1$ 时，可以是 $L1$ 大于（源总线宽度—上述两个像素电极之间距离）/2。

另外，可以是向关注色用的一个像素电极施加数据信号的源总线，其与该像素电极重叠部位的、在与水平线平行方向上的长度为 $L1$ ，向上述关注色用的像素电极施加数据信号的上述源总线，其与作为和关注色不同的色用的像素电极的、配置在与上述关注色用的像素电极相同的水平线上的像素电极重叠的在与水平线平行方向上的长度为 $L2$ 。

30 如图 33 所示，也可以并存与图 19 的屏蔽电极 131 同样的构成。此时，如图 33 所示，可构成为将屏蔽电极 131 偏向形成 C_{sd1} 的像素电极 121 侧（图中右侧）。

如图 34 所示，可以并存与图 20 的屏蔽电极 131a · 131b 同样的构成。此时，如图 35 所示，可构成为将屏蔽电极 131a · 131b 偏向形成 Csd1 的像素电极 121 侧（图中右侧）。

如图 36 所示，可并存与图 24 的屏蔽电极 131 同样的屏蔽电极 131a 5 和与图 25 的屏蔽电极 131b 同样的屏蔽电极 131b。此时，如图 36 所示，可构成为将源总线 118 完全不与形成 Csd2 的像素电极 121 侧（图中左侧）重叠。

本实施例的显示装置，是在具有栅总线、源总线、和在上述栅总线和上述源总线包围的区域内与上述源总线重叠地配置且从上述源总线按每色接收数据信号的像素电极的显示装置中，关注上述像素电极中的任意一个时，使该像素电极不与未施加数据信号的源总线接触，并且，在不与上述像素电极接触的位置上，配置降低上述源总线与上述像素电极之间的电容的屏蔽电极。 10

根据上述构成，在关注上述像素电极中的任意一个时，使该像素电极不与未施加数据信号的源总线接触，并且，在不与上述像素电极接触的位置上，配置降低上述源总线与上述像素电极之间的电容的屏蔽电极。即，上述像素电极在遮蔽上述源总线和上述像素电极之间的电场的方向上作用。其结果，作为和关注色不同的色用的像素电极、配置在与上述关注色用的像素电极相同的水平线上的上述像素电极与源总线之间的电容可降低。这里，关注色用的源总线和上述像素电极之间的电容不管水平线如何都恒定。因此，可以减小源总线造成的像素电位的引入量在每个水平线上的差异。也就是，抑制源总线造成的像素电位的引入量在每个水平线上的差别作为每个水平线的亮度差（=横条纹）显现出来，可得到均匀显示。 15 20

本发明的显示装置是在具有栅总线、源总线、和在上述栅总线和上述源总线包围的区域内与上述源总线重叠地配置且从上述源总线按每色接收数据信号的像素电极的显示装置中，也可以构成为关注上述色中的任意一个时，向关注色用的一个像素电极上施加数据信号的源总线与该像素电极的重叠面积为 S_1 、向上述关注色用的一个像素电极上施加数据信号的源总线与作为与关注色不同色用的像素电极且配置在与上述关注色用的像素电极相同的水平线上的像素电极的重叠面积为 S_2 时， S_2 （包含 0 的情 25 30

况) 小于 $S1$ 。

根据上述构成, 作为和关注色不同的色用的像素电极、配置在与上述关注色用的像素电极相同的水平线上的源总线与上述像素电极之间的电容可以降低。这里, 关注色用的源总线和上述像素电极之间的电容不管水平线如何都一定。因此, 可以减小源总线造成的像素电位的引入量在每个水平线上的差异。也就是, 抑制源总线造成的像素电位的引入量在每个水平线上的差别作为每个水平线的亮度差 (=横条纹) 显现出来, 可以得到均匀的显示。

本发明的显示装置是在具有栅总线、源总线、和在上述栅总线和上述源总线包围的区域内与上述源总线重叠地配置且从上述源总线按每色接收数据信号的像素电极的显示装置中, 可以构成为关注上述色中的任意一个时, 向关注色用的一个像素电极施加数据信号的源总线, 其与上述一个像素电极重叠部位的、在与水平线平行方向上的长度为 $L1$, 向上述关注色用的像素电极施加数据信号的上述源总线, 其与作为和关注色不同的色用的像素电极的、配置在上述关注色用的像素电极相同水平线上的像素电极重叠的部位的、在与水平线平行方向上的长度为 $L2$ 时, $L2$ 小于 (源总线宽度—上述两个像素电极之间距离) / 2。

根据上述构成, 作为和关注色不同的色用的像素电极的、配置在上述关注色用的像素电极相同水平线上的源总线与上述像素电极之间的电容可以降低。这里, 关注色用的源总线和上述像素电极之间的电容不管水平线如何都恒定。因此, 可以减小源总线造成的像素电位的引入量在每个水平线上的差异。也就是, 抑制源总线造成的像素电位的引入量在每个水平线上的差别作为每个水平线的亮度差 (=横条纹) 显现出来, 可以得到均匀的显示。

本发明的显示装置在三角性排列中, 屏蔽电极可以构成为与形成 $Csd1$ 的源总线以及形成 $Csd2$ 的源总线中的至少形成 $Csd2$ 的源总线重叠。

本发明的显示装置在三角形排列中, 可以构成为配置在像素电极周围、形成 $Csd2$ 的源总线在与水平线平行方向上切开的截面的至少一个场所处的像素电极与源总线的对置部分的长度小于 (源总线宽度—形成 $Csd1$ 的像素电极与形成 $Csd2$ 的像素电极之间的距离) / 2。

本发明的显示装置是在具有栅总线、源总线、辅助电容配线、在上述栅总线和上述源总线包围的区域内配置在上述栅总线和上述源总线的交叉部附近的薄膜晶体管、连接在上述晶体管的像素电极、与上述像素电极相对的对置电极的显示装置中，也可以构成为：改变源总线配置的左右平衡，降低源·漏间寄生电容中不驱动本身像素的源总线·漏间的电容(Csd2)的配置。

即，通过将源总线的位置偏向配置在 Csd1 侧，可以实现与像素电极的重叠区域的减少。

另外，本发明的显示装置在具有栅总线、源总线、辅助电容配线、在上述栅总线和上述源总线包围的区域内配置在上述栅总线和上述源总线的交叉部附近的薄膜晶体管、连接在上述晶体管的像素电极、与上述像素电极相对的对置电极的显示装置中，也可以构成为：在源总线附近配置屏蔽电极，降低源·漏间的电容(Csd)的配置。

即，通过在源总线附近配置另外的电极可以遮蔽电场。

此外，发明的详细说明中指出的具体实施方式或实施例之多是為了明确本发明哎呀的技术内容，不应狭义解释为仅限于这种具体实施例，在本发明的精神和下面记载的权利要求的范围内可实施种种变更。

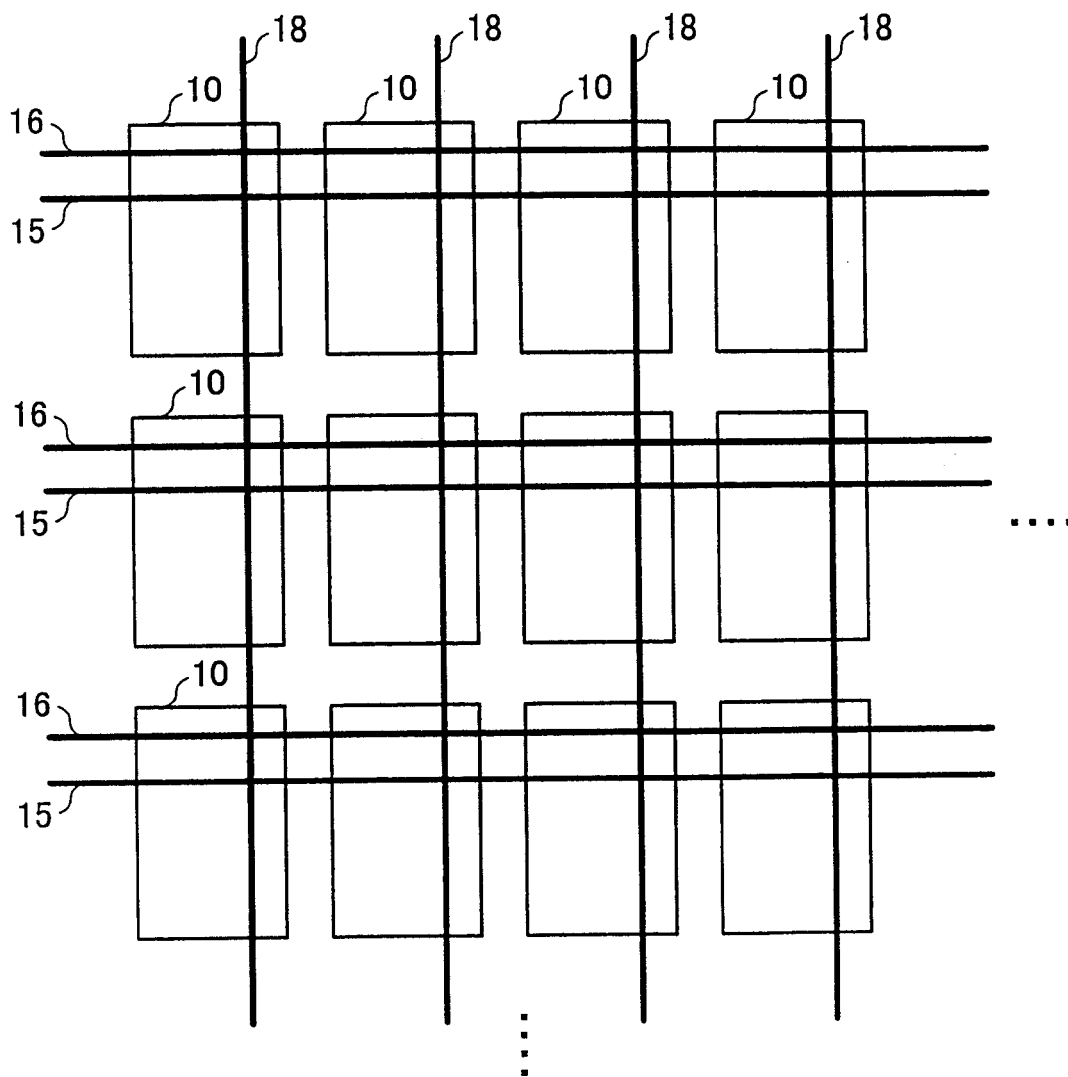


图 1

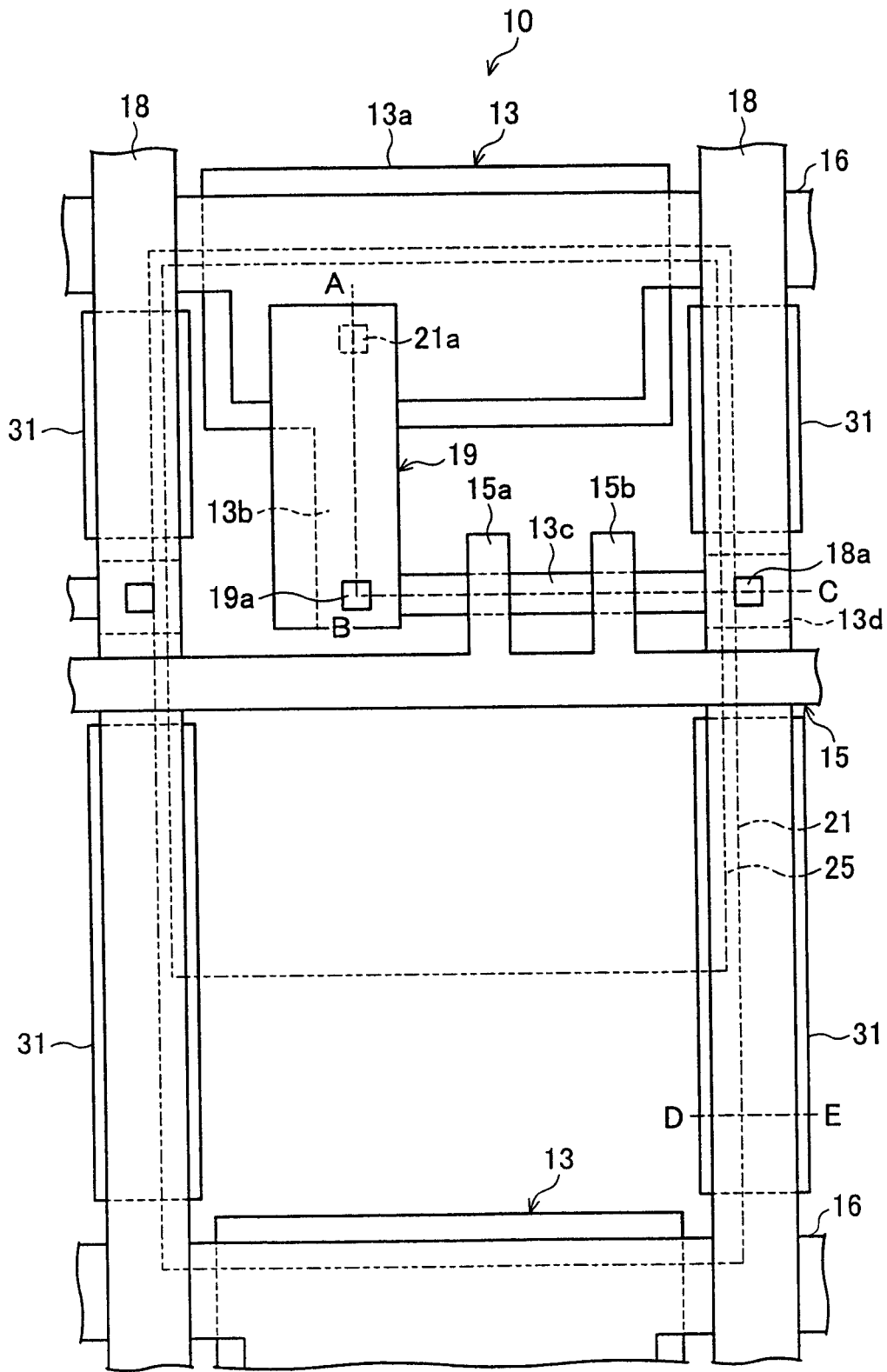


图 2

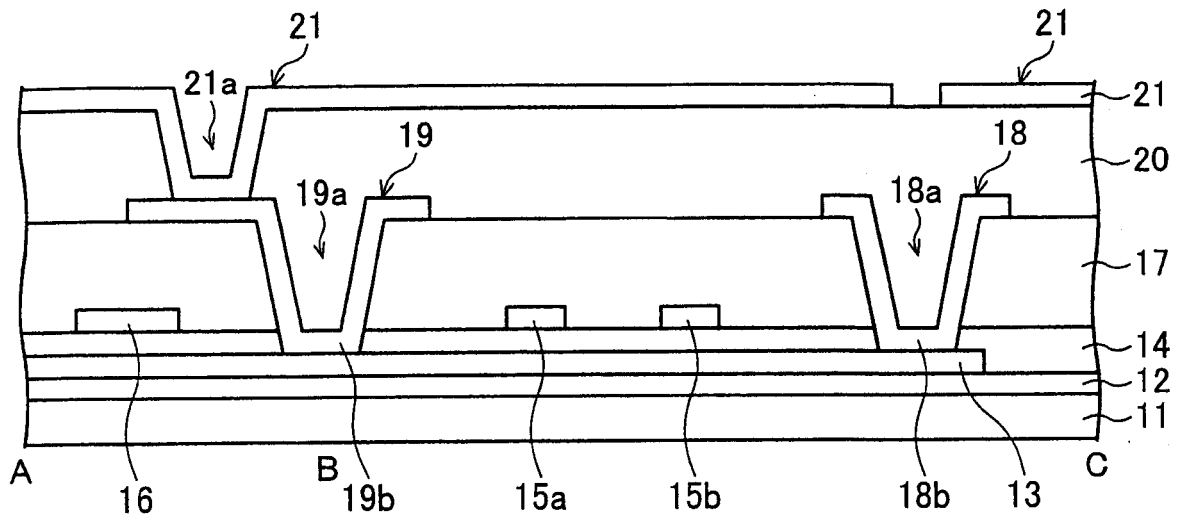


图 3

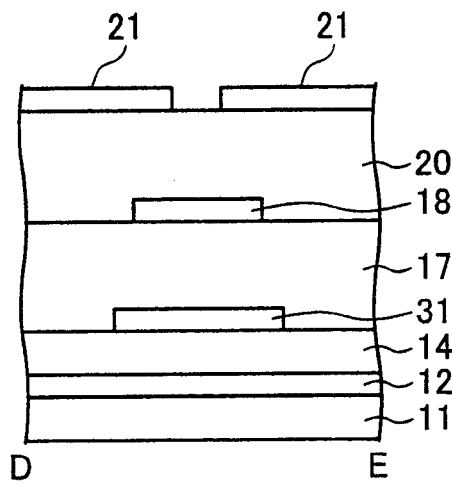


图 4

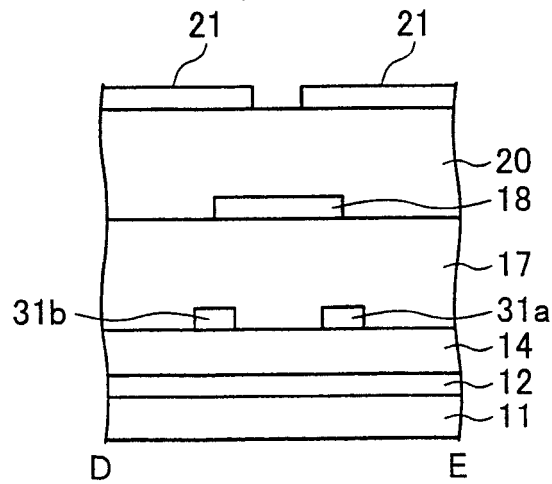


图 5

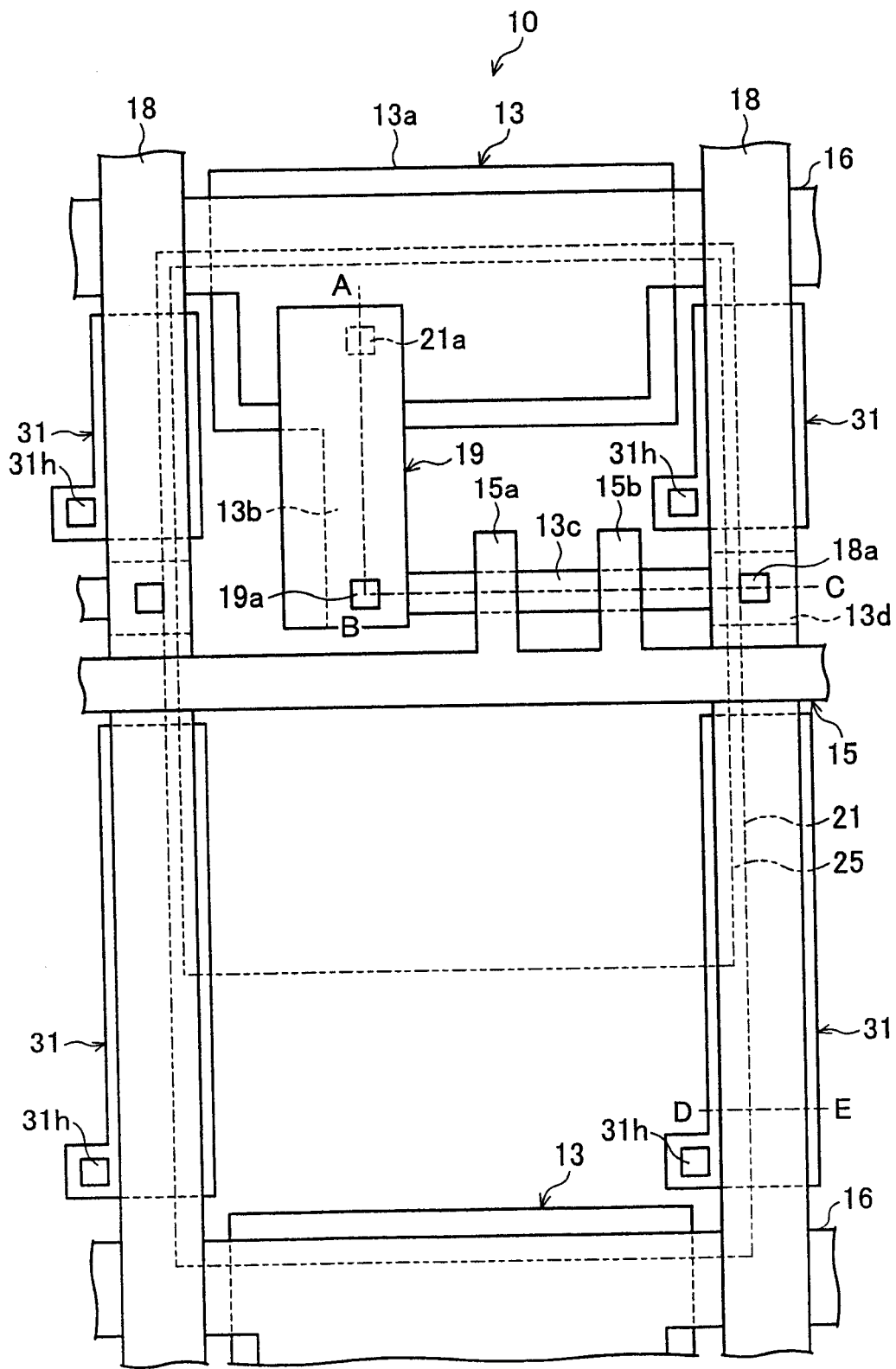


图 6

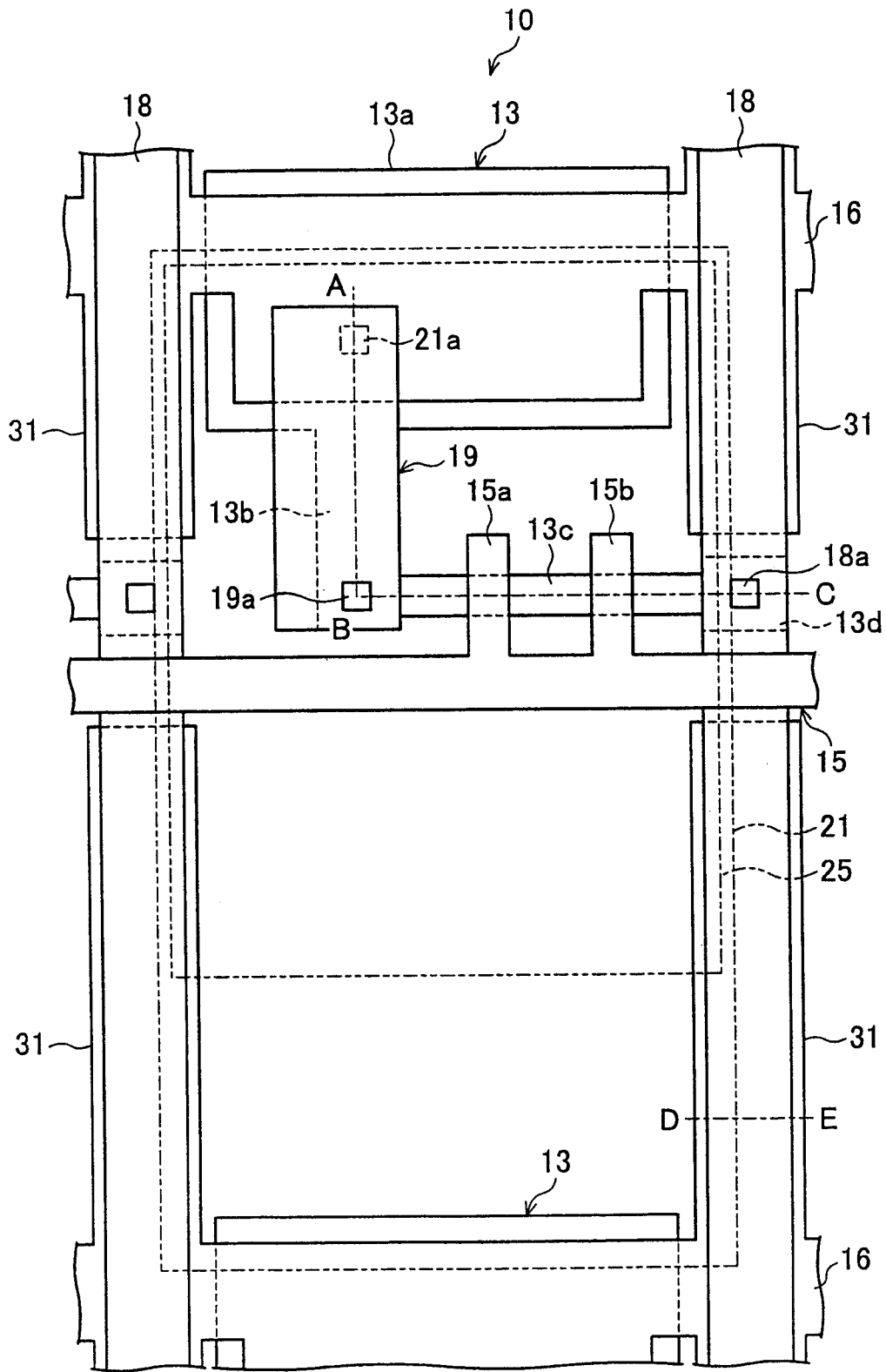


图 7

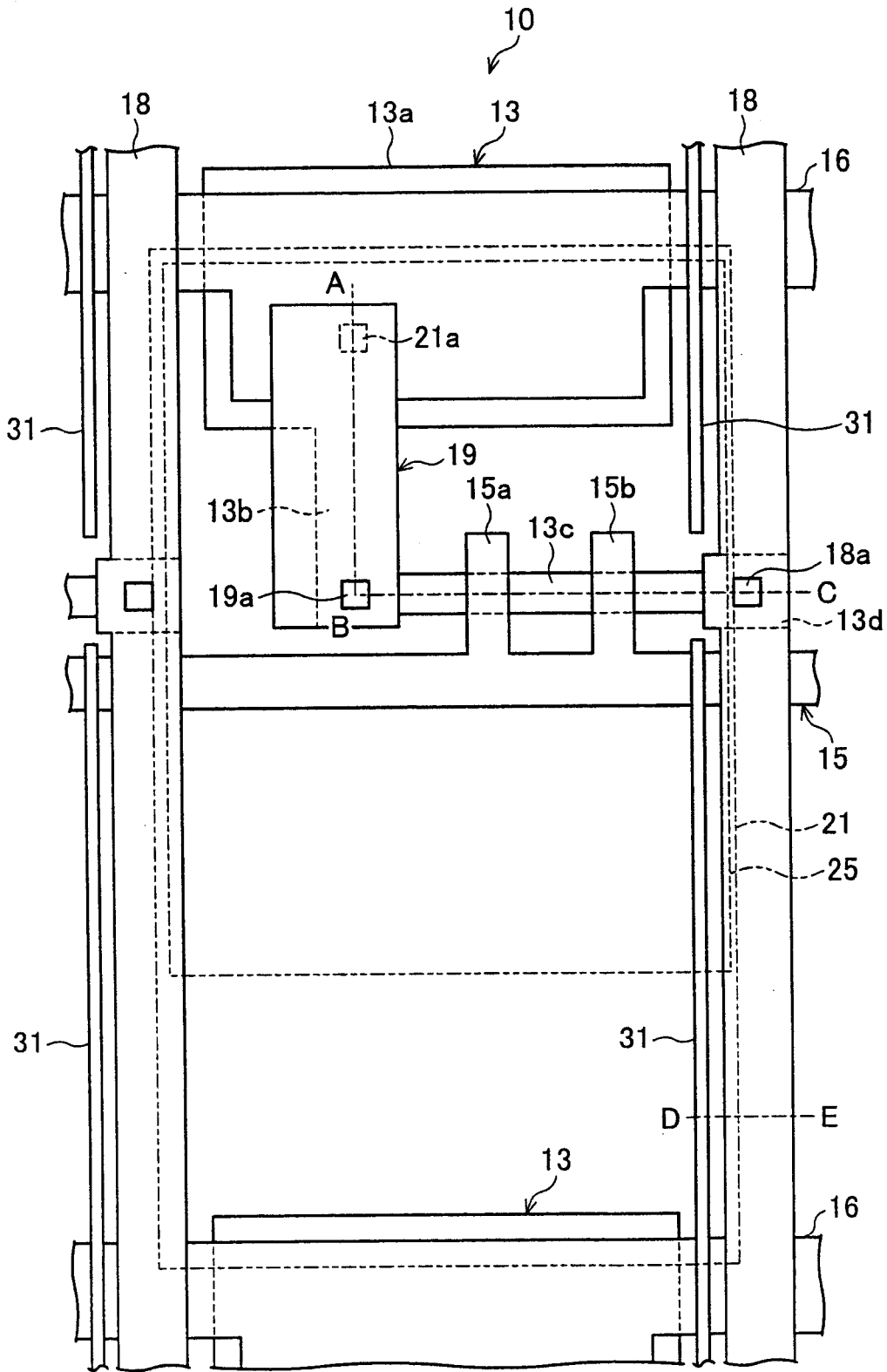


图 8

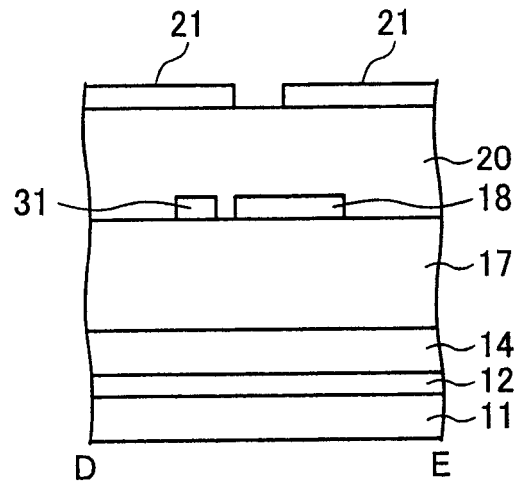


图 9

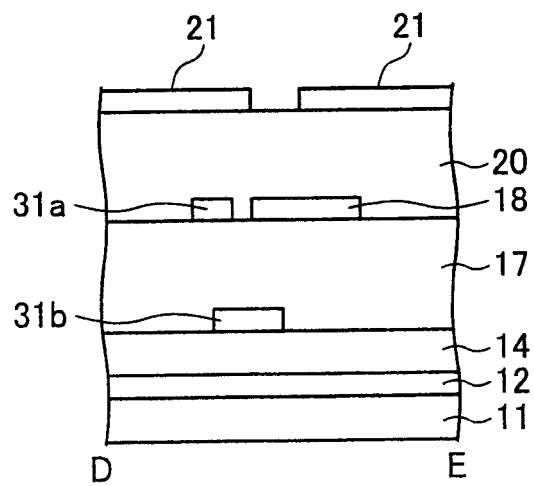


图 10

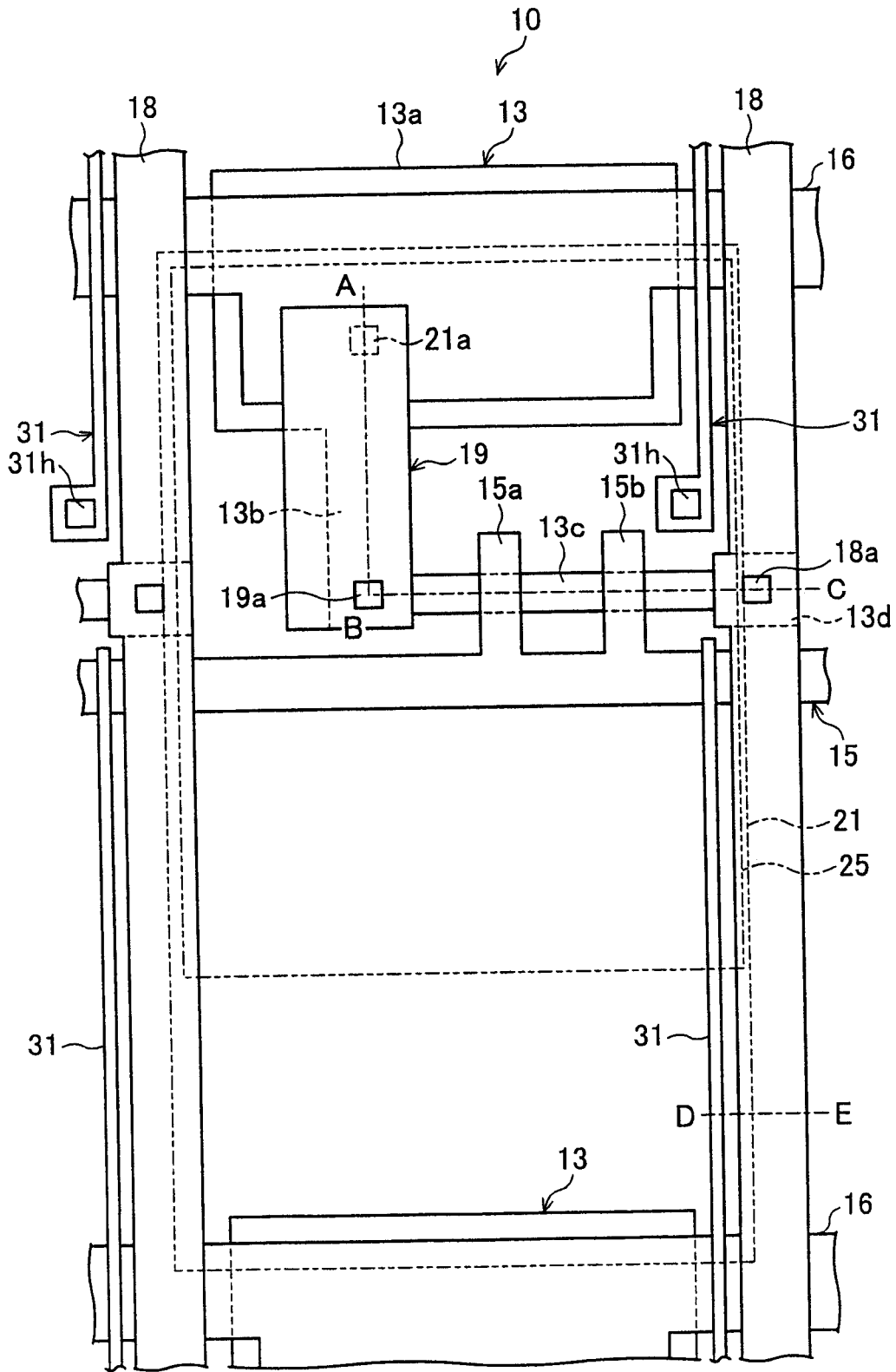


图 11

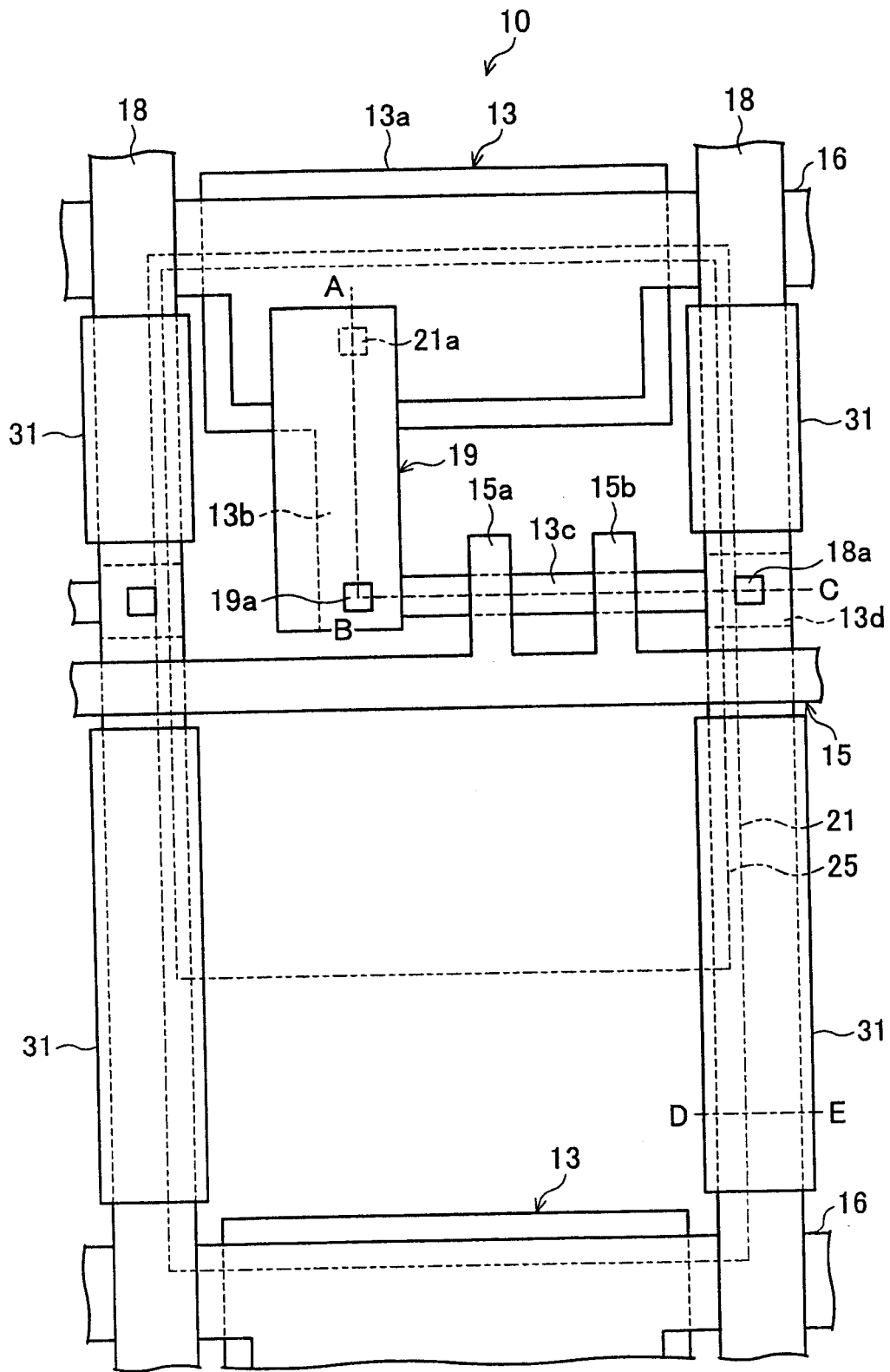


图 12

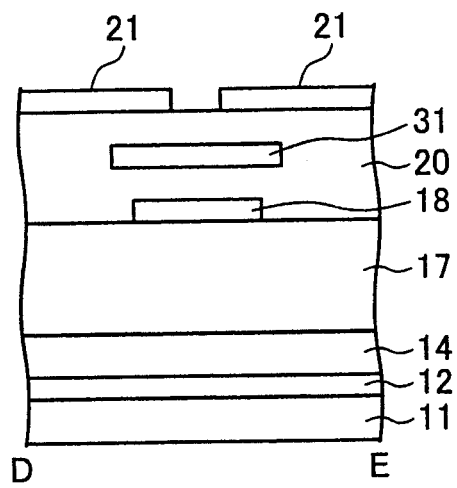


图 13

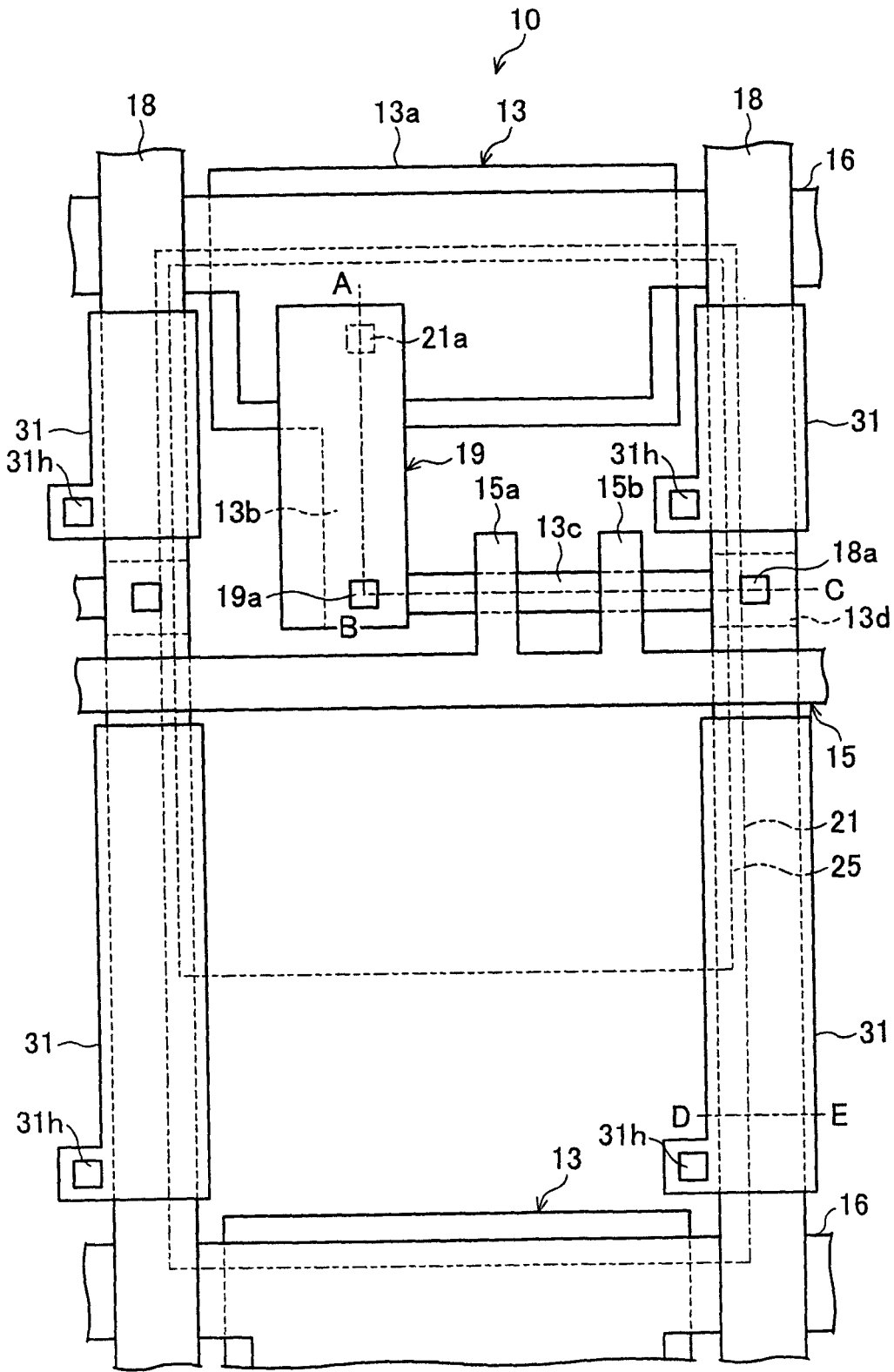


图 14

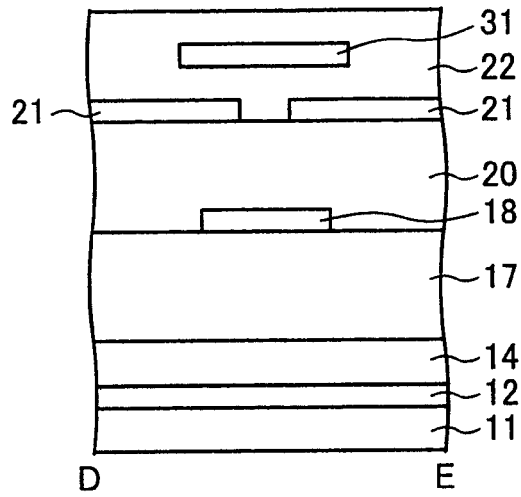


图 15

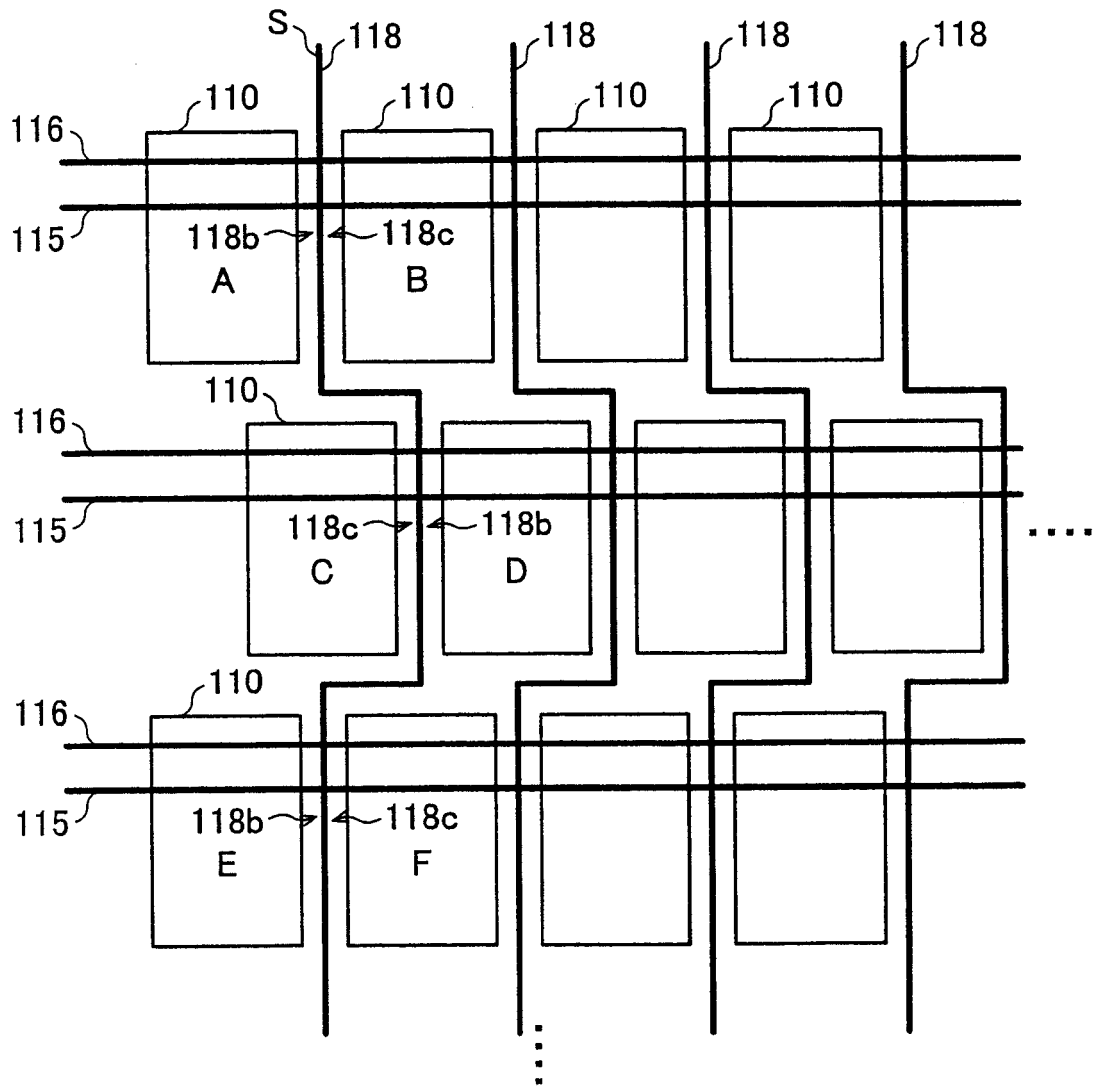


图 16

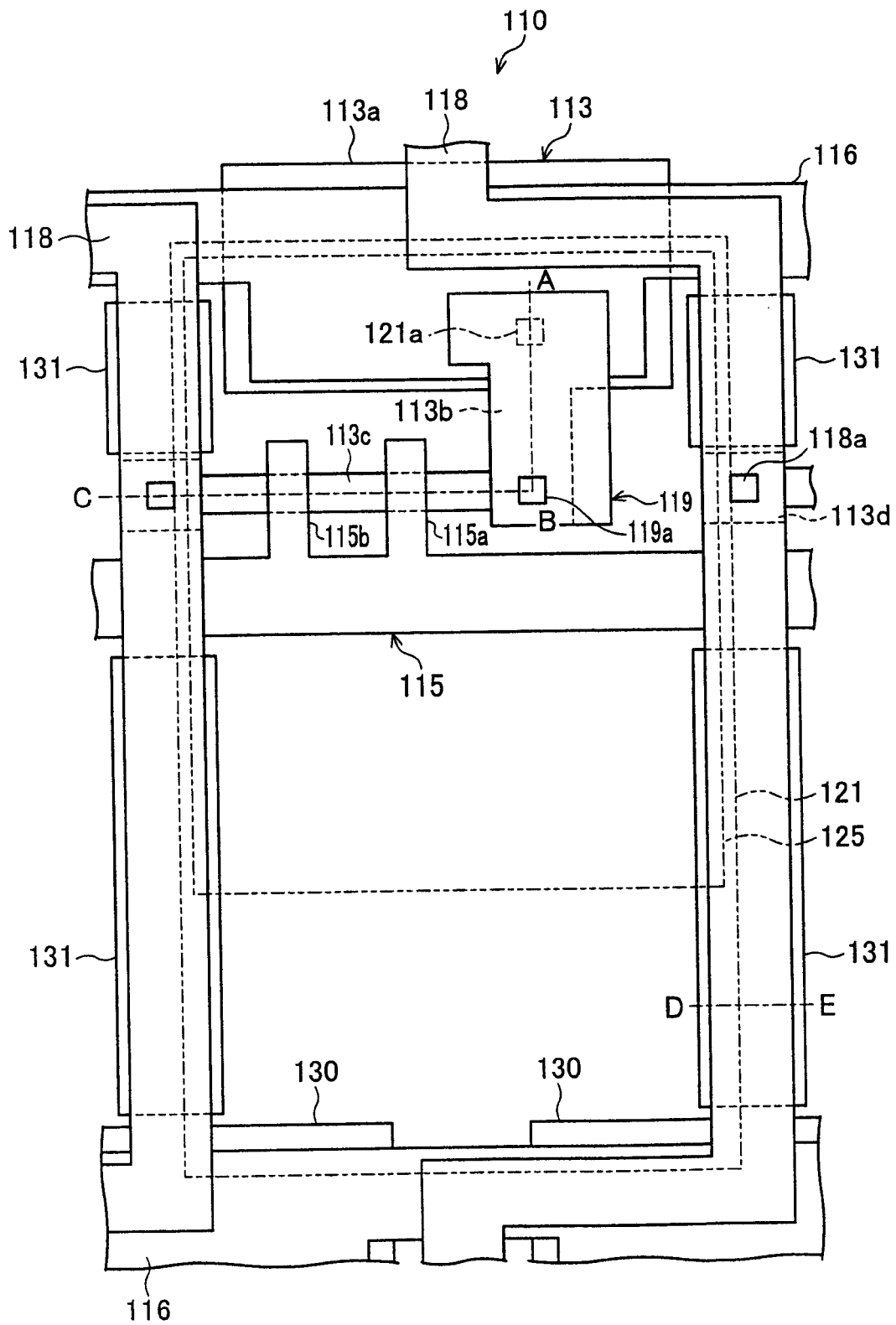


图 17

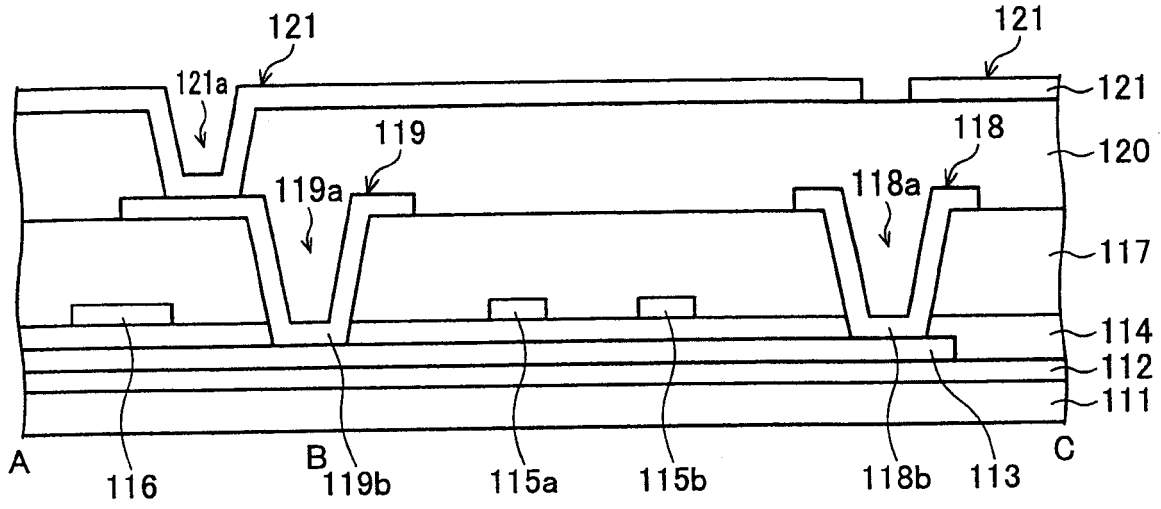


图 18

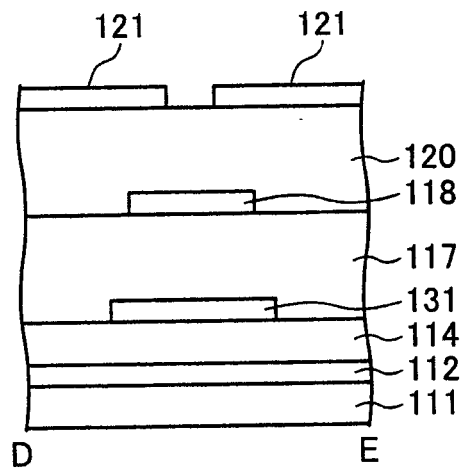


图 19

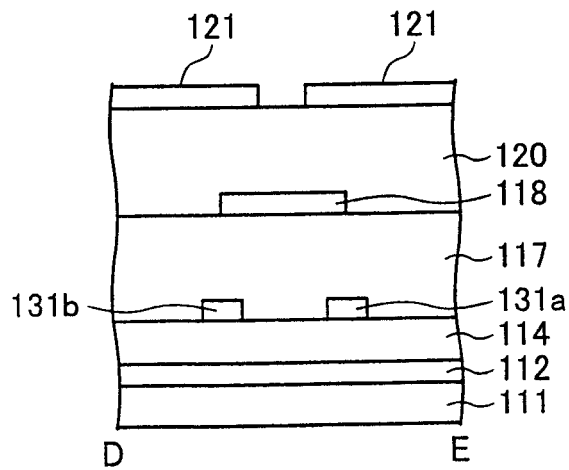


图 20

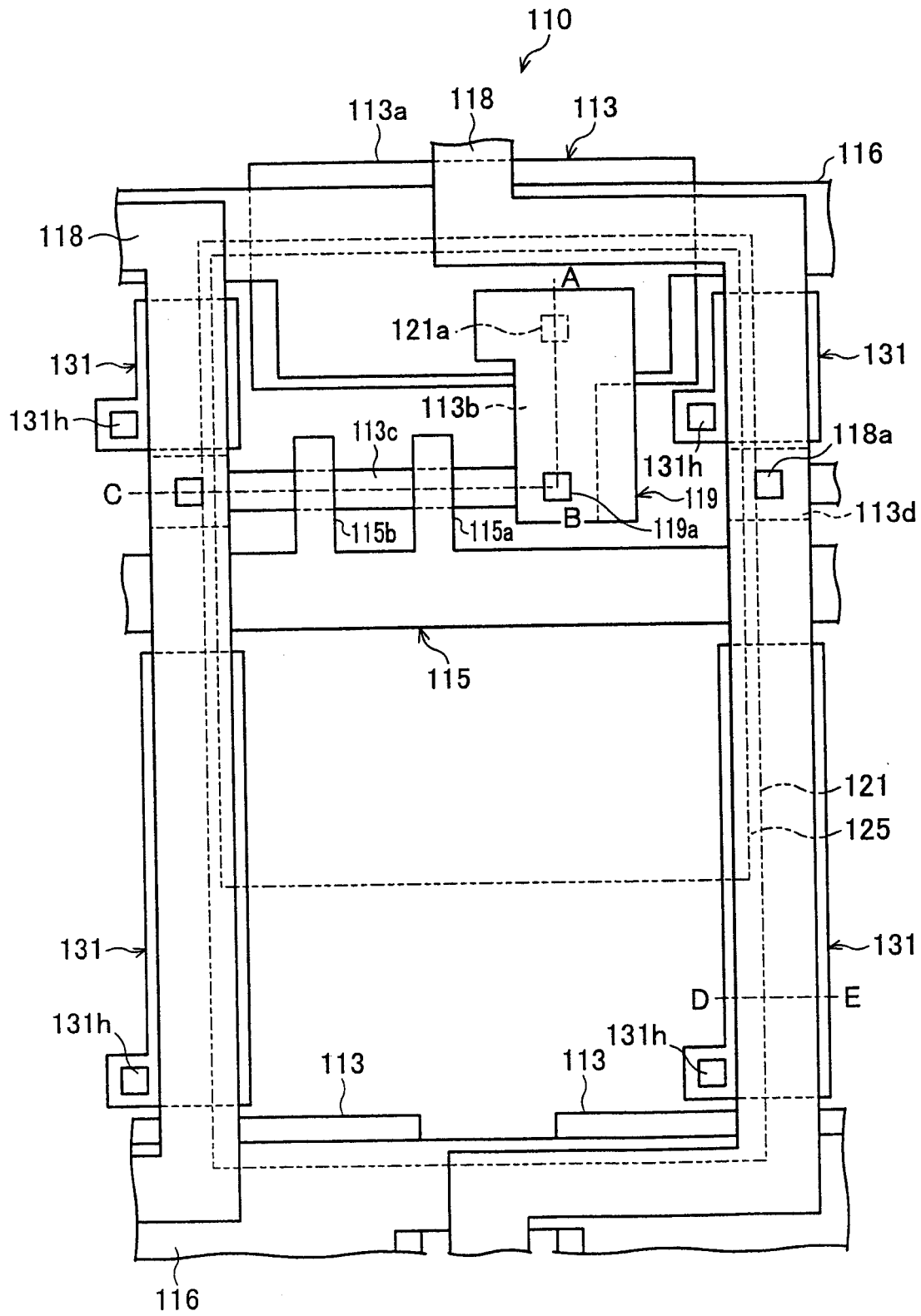


图 21

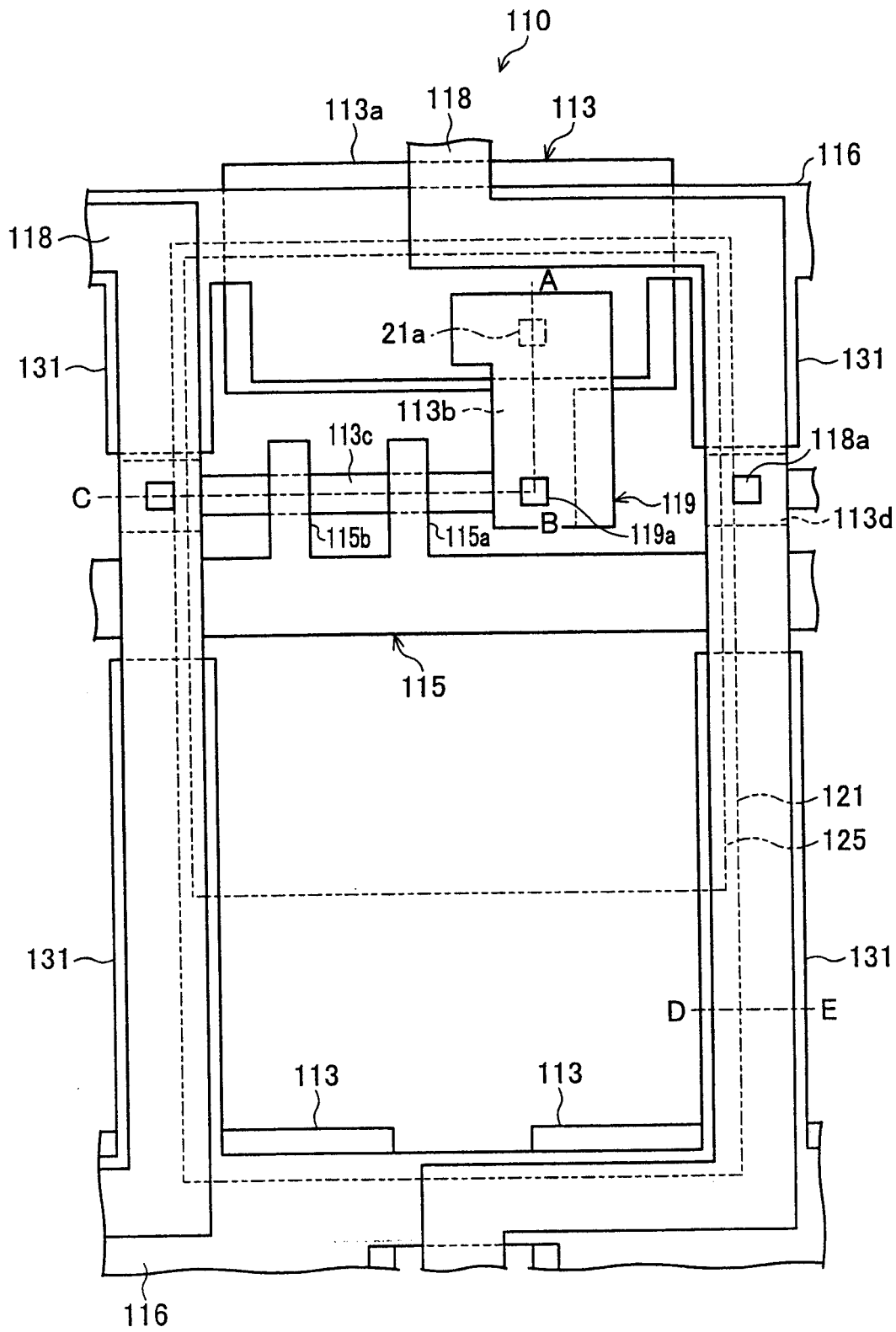


图 22

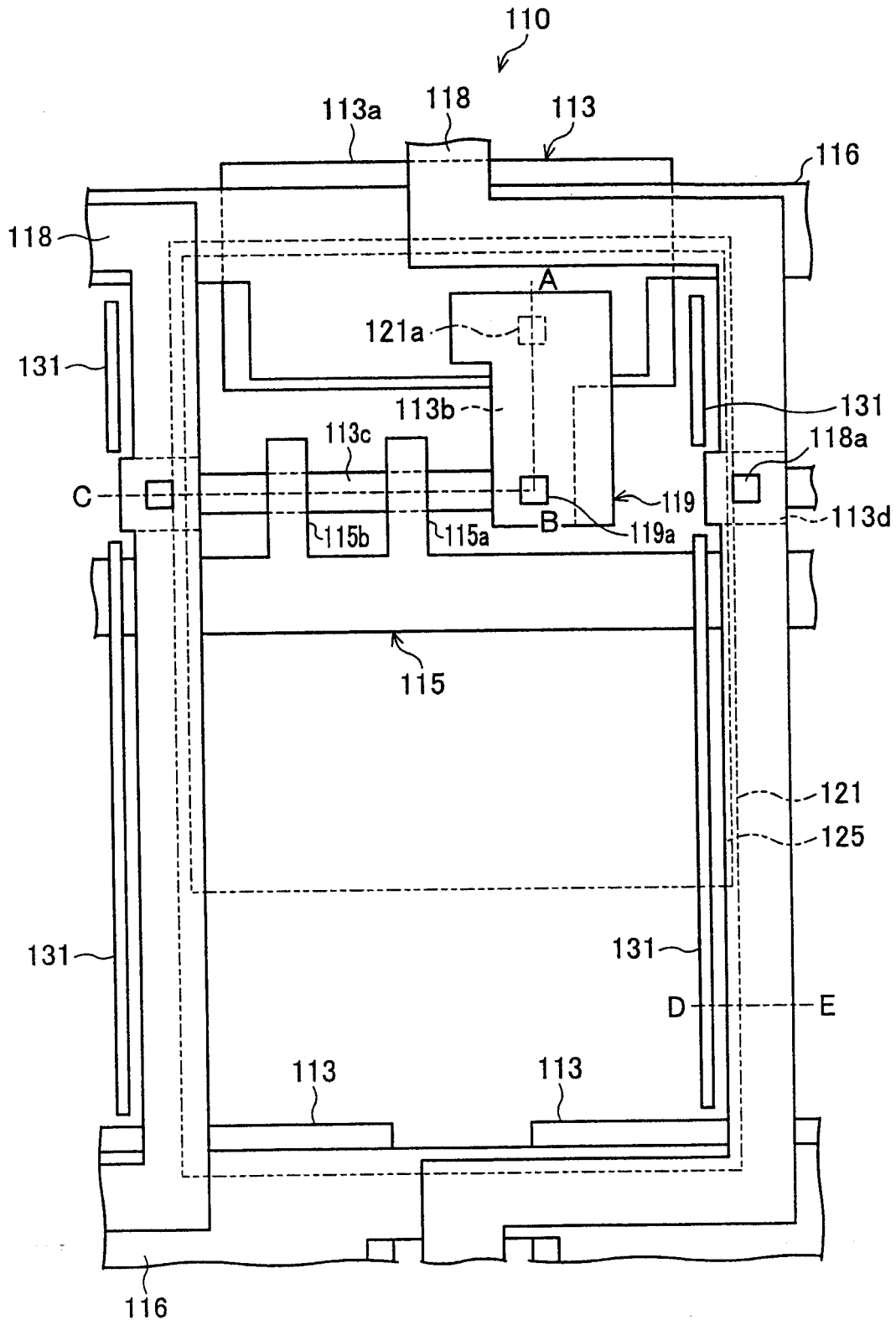


图 23

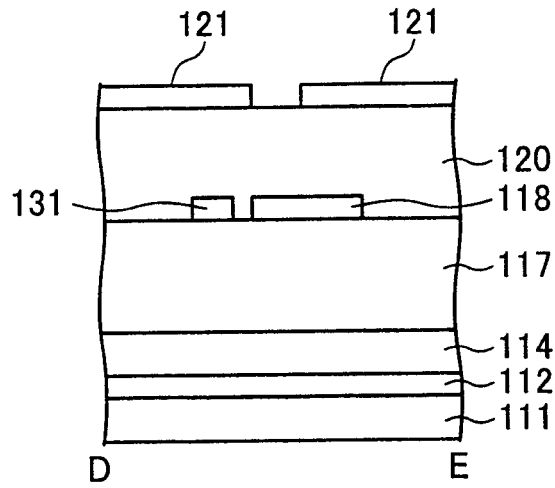


图 24

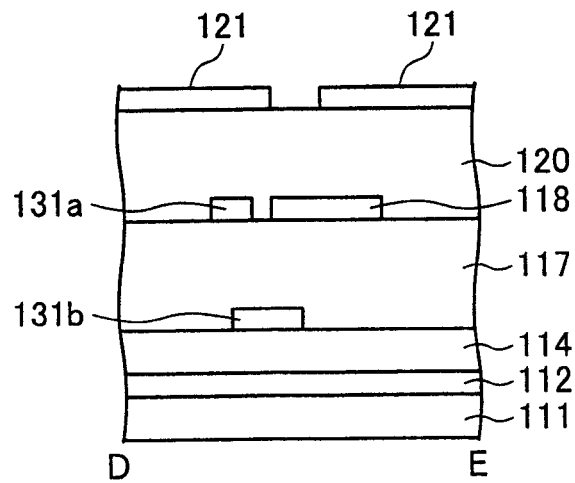


图 25

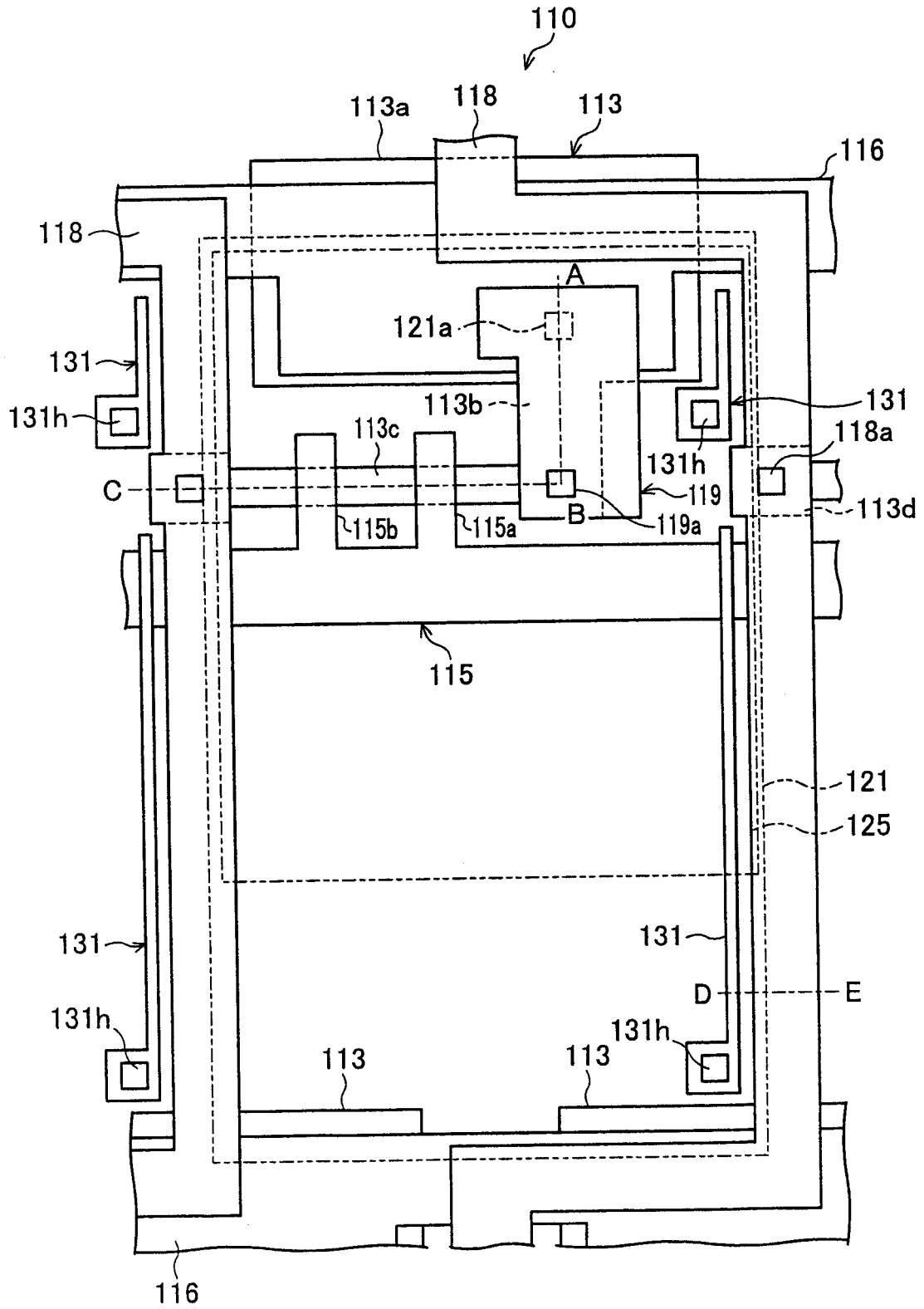


图 26

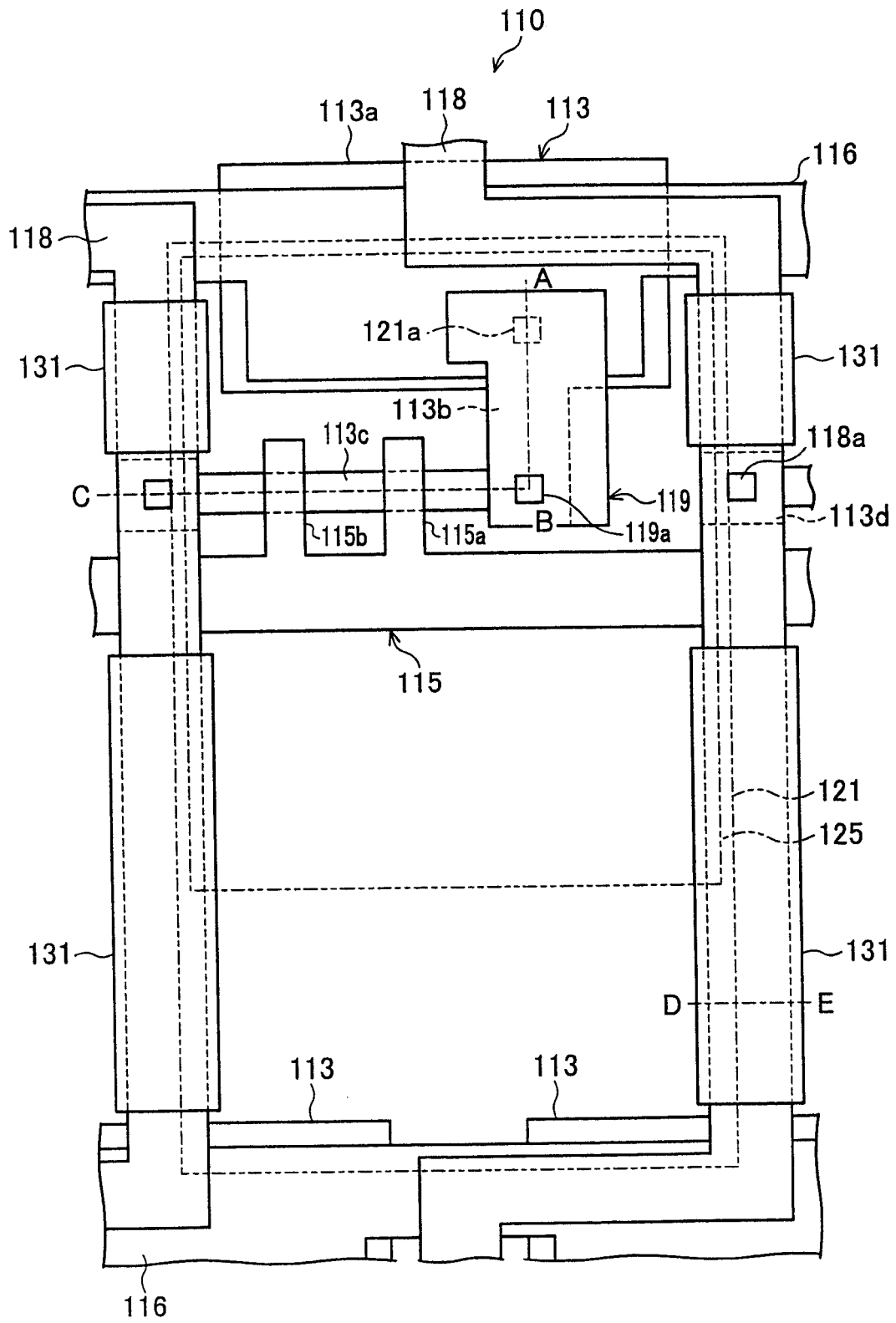


图 27

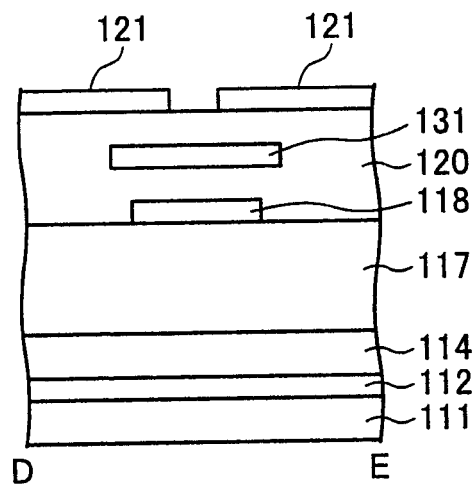


图 28

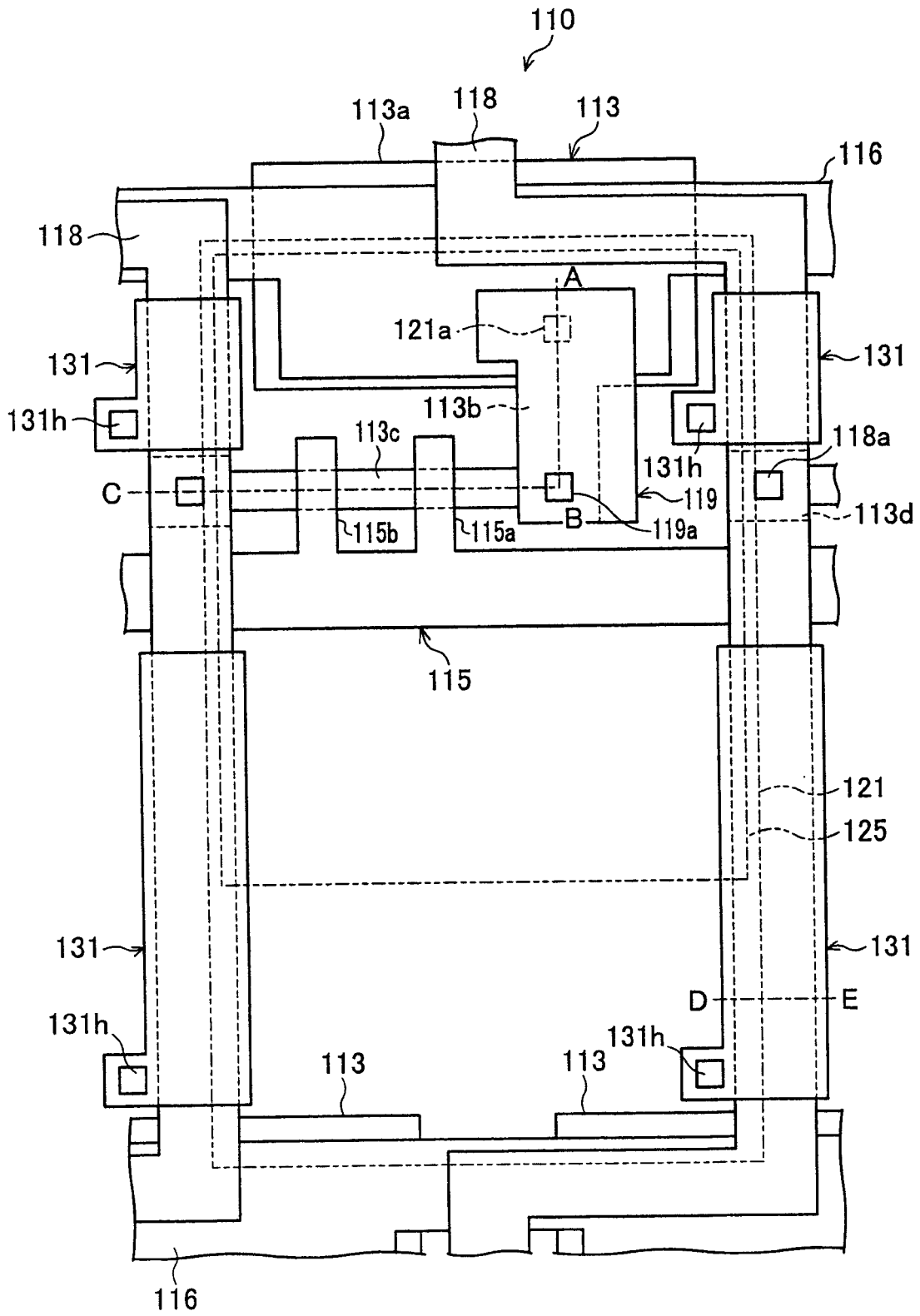


图 29

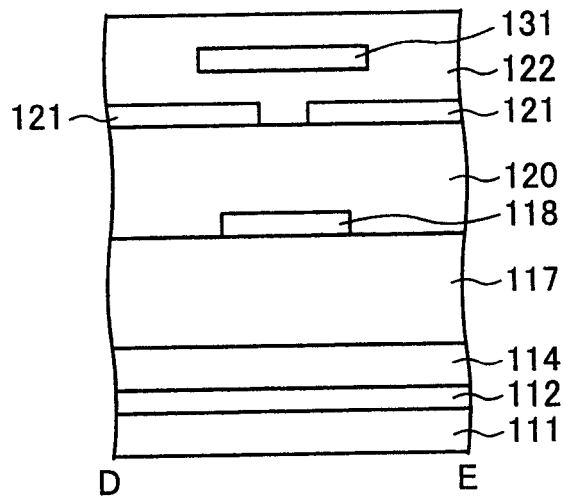


图 30

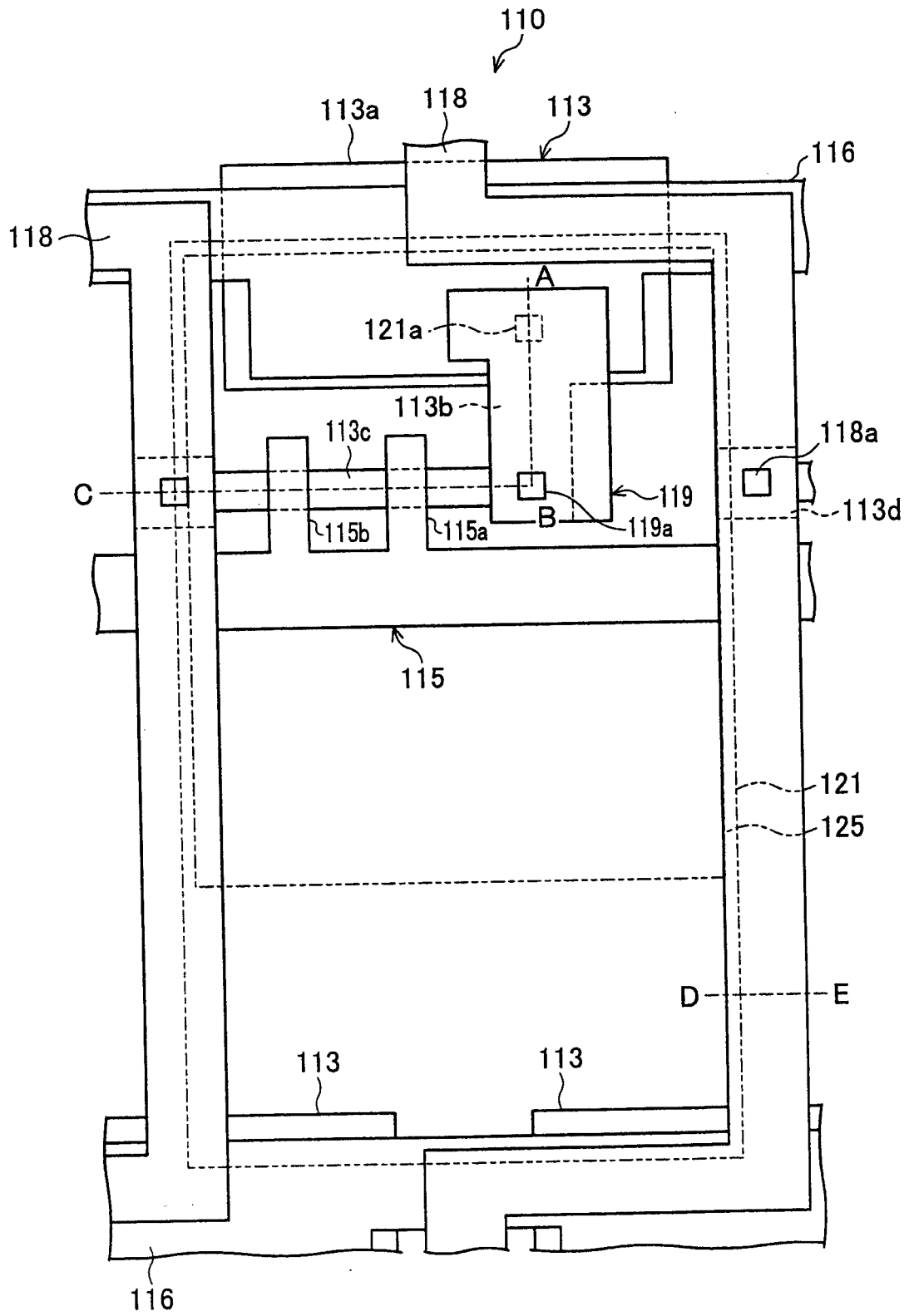


图 31

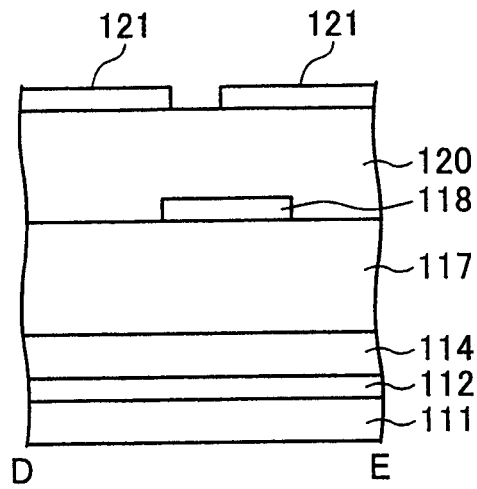


图 32

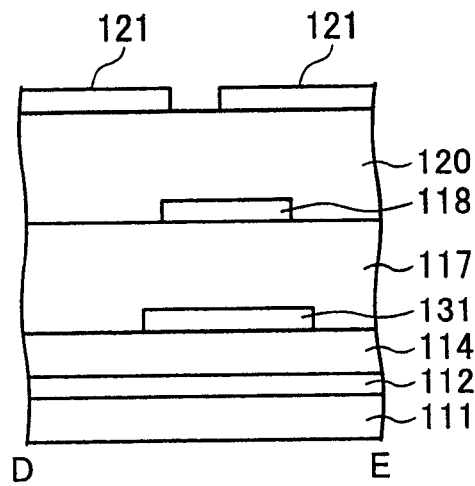


图 33

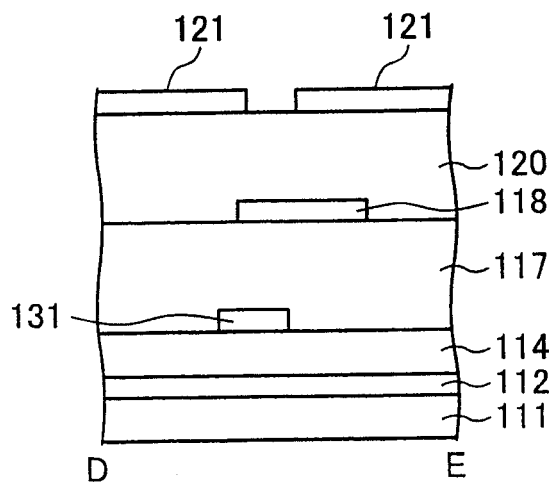


图 34

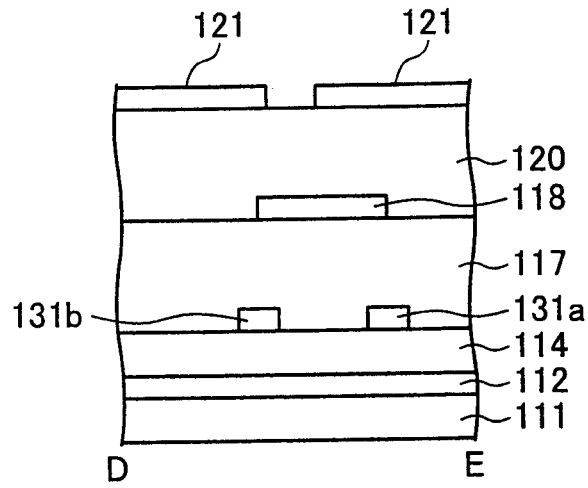


图 35

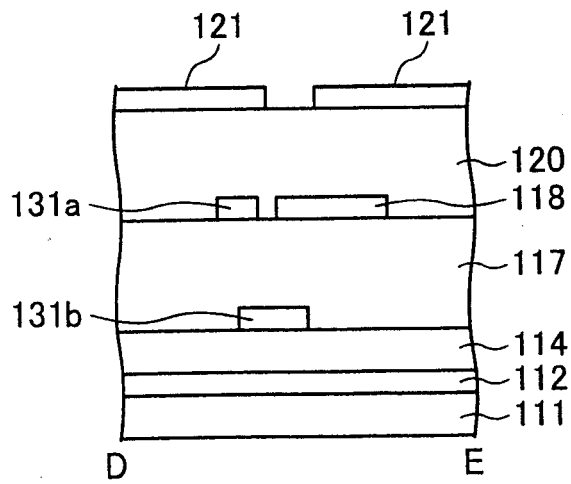


图 36

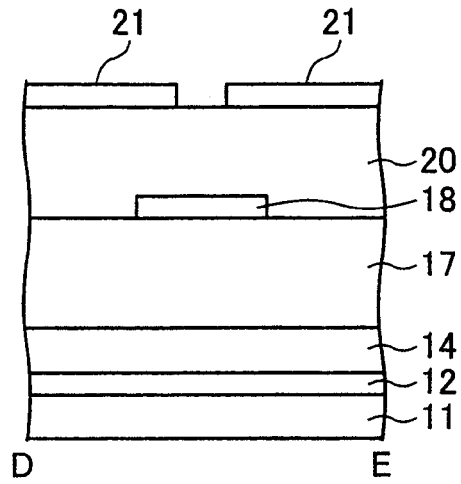


图 38

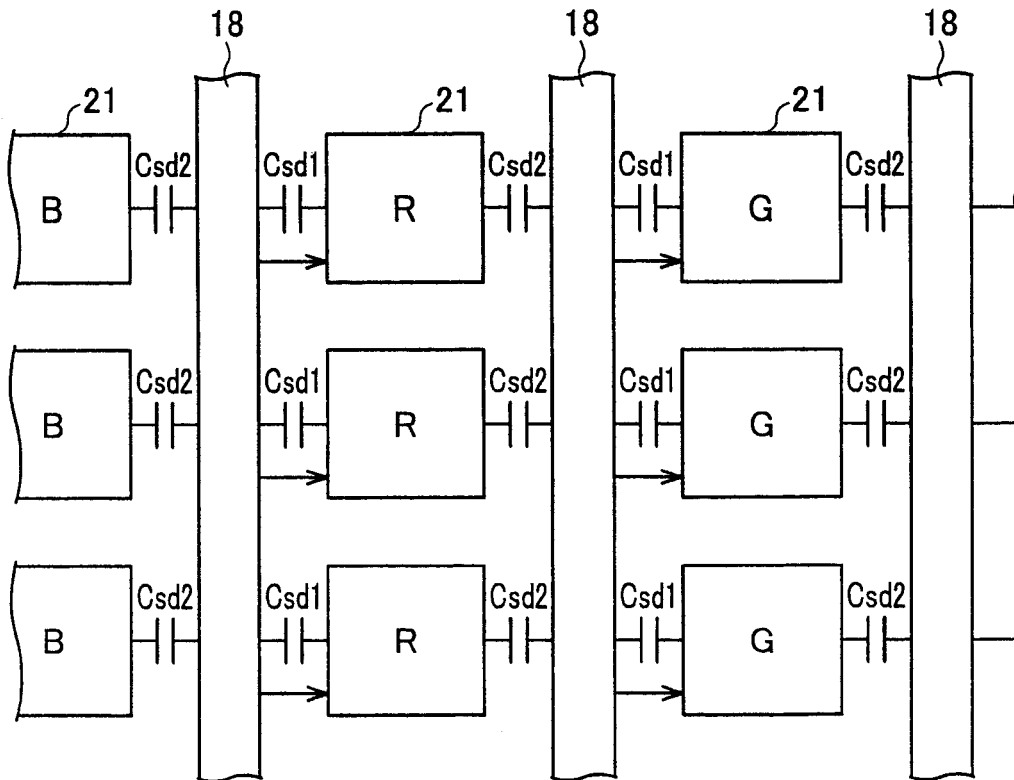


图 39

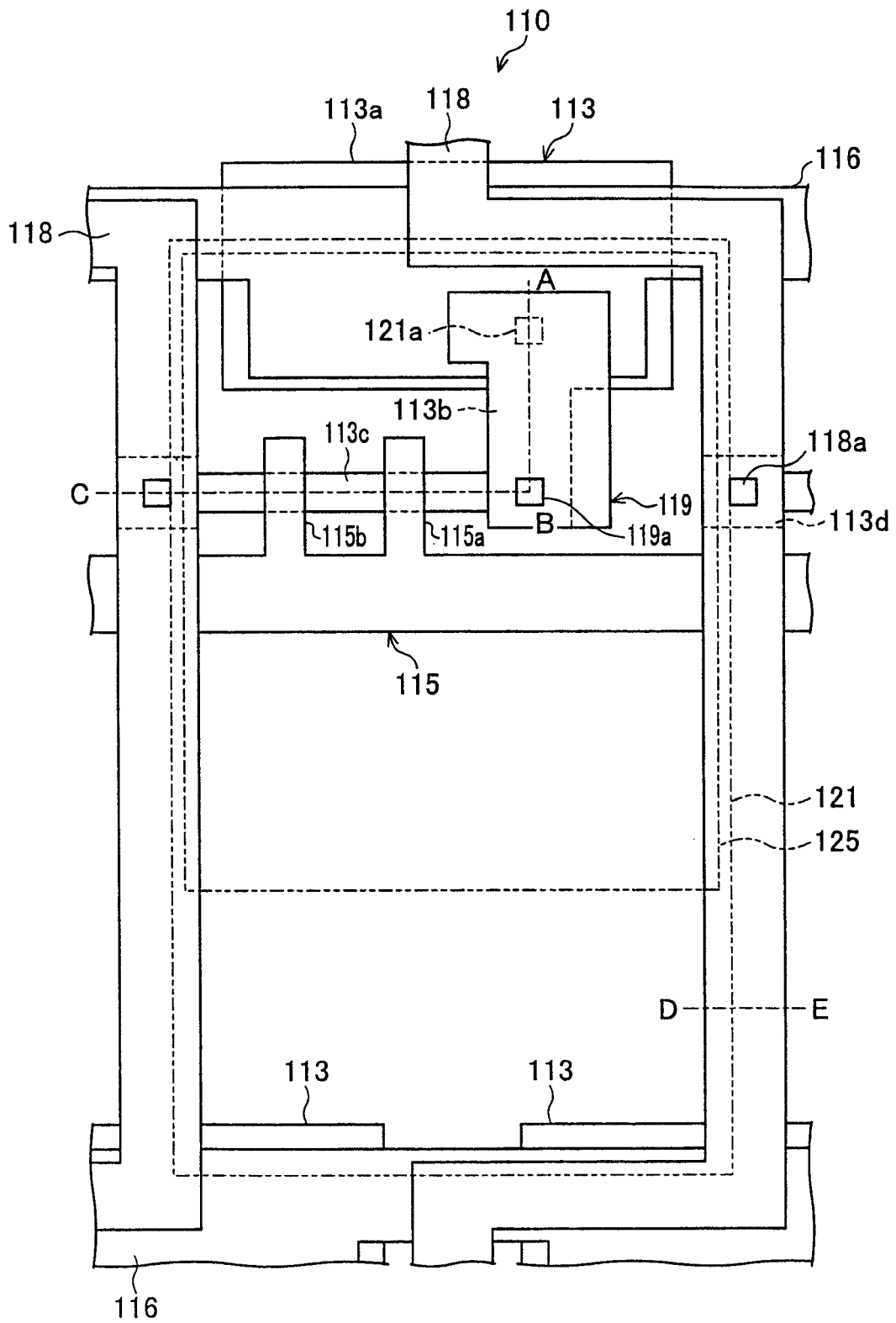


图 40

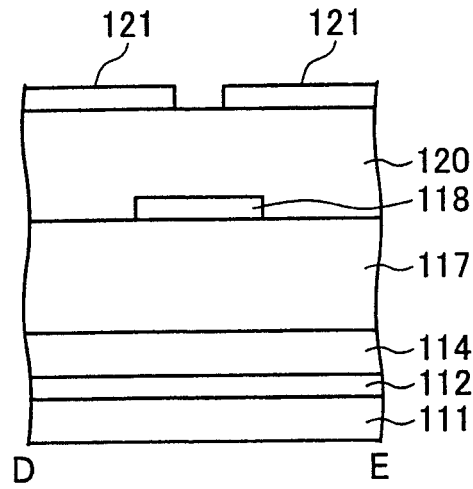


图 41

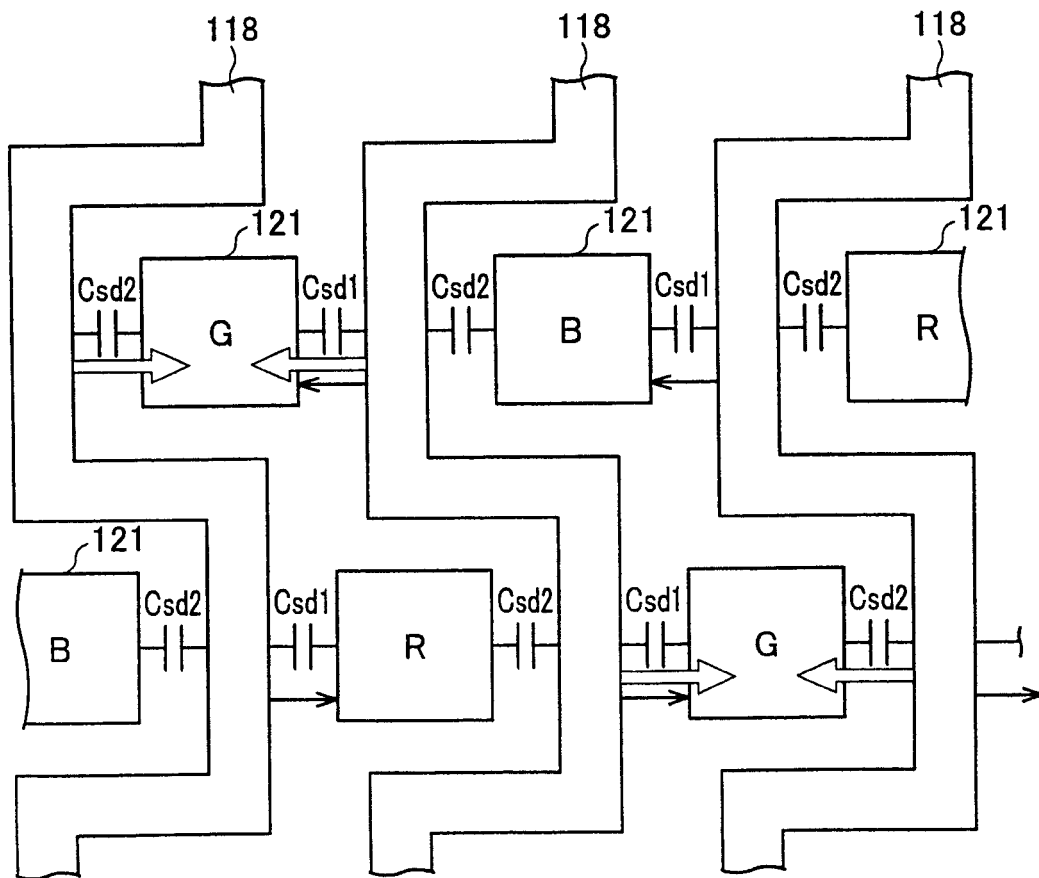


图 42

专利名称(译)	显示装置		
公开(公告)号	CN1648748A	公开(公告)日	2005-08-03
申请号	CN200510004494.1	申请日	2005-01-25
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	伊奈惠一 白木一郎 中岛睦 吉田圭介 安藤晶一		
发明人	伊奈惠一 白木一郎 中岛睦 吉田圭介 安藤晶一		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/136 G02F1/133 G09F9/00		
CPC分类号	G02F1/136213 G02F2001/133334 G02F2001/136218 G02F1/136227 G02F2001/13606 A61H7/004 A61H7/007 A61H15/0078 A61H23/006 A61H23/0254 A61H2015/0028 A61H2201/0149		
代理人(译)	李香兰		
优先权	2004022152 2004-01-29 JP 2004022167 2004-01-29 JP		
其他公开文献	CN100451784C		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供液晶显示装置等的显示装置。本发明的显示装置在像素电极和源总线附近设置有屏蔽电极。屏蔽电极可以与栅总线形成在同层，或与源总线形成在同层。屏蔽电极可以用绝缘体包围周围，也可以连接源总线以外的配线上。由于设置这样的屏蔽电极，可以降低像素电极与源总线之间的源·漏间寄生电容。

