



[12] 发明专利申请公开说明书

[21] 申请号 200410104634.8

[43] 公开日 2005年7月13日

[11] 公开号 CN 1637836A

[22] 申请日 2004.12.27

[21] 申请号 200410104634.8

[30] 优先权

[32] 2003.12.30 [33] KR [31] 100226/2003

[71] 申请人 京东方显示器科技公司

地址 韩国京畿道

[72] 发明人 安星俊 金天弘 柳世钟

[74] 专利代理机构 北京市柳沈律师事务所

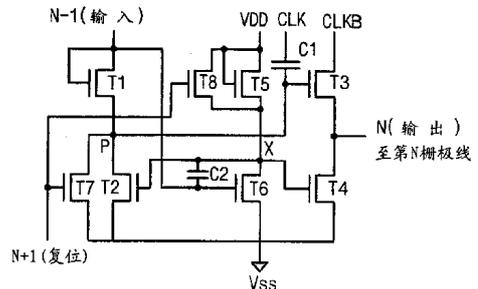
代理人 马莹 邵亚丽

权利要求书1页 说明书6页 附图5页

[54] 发明名称 液晶显示装置的驱动电路

[57] 摘要

本发明提供一种液晶显示装置的驱动电路，改善由4个薄膜晶体管和2个电容器构成的驱动电路的V_{goff}特性，并使6个薄膜晶体管构成的驱动电路的DC应力造成的薄膜晶体管的特性变化最小，从而工作特性稳定。该液晶显示装置的驱动电路包括：第1、第2晶体管，串联连接在第n-1电路的输出级和V_{ss}级之间；第3晶体管，通过时钟信号来驱动；第4晶体管，漏极连接到第3晶体管的源极；第5、第6晶体管，串联连接在VDD端子和V_{ss}端子之间；第7晶体管，通过第n+1电路的输出信号来驱动；第8晶体管，通过第n+1电路的输出信号来驱动；第1电容器，形成在第3晶体管的栅极的前级；以及第2电容器，形成在第6晶体管的栅极和漏极之间。



1.一种液晶显示装置的驱动电路,其特征在于,包括:

5 第1晶体管、第2晶体管,串联连接在第n-1电路的输出级和Vss级之间;

第3晶体管,通过时钟信号Clk来驱动,在其漏极上施加作为所述时钟信号Clk的反转信号的ClkB信号,其源极连接到第n栅极线;

第4晶体管,漏极连接到所述第3晶体管的源极,其源极连接到所述Vss端子;

10 第5晶体管、第6晶体管,串联连接在VDD端子和所述Vss端子之间;

第7晶体管,通过第n+1电路的输出信号来驱动,其漏极和源极分别连接到所述第2晶体管的漏极和源极;

第8晶体管,通过第n+1电路的输出信号来驱动,其漏极和源极分别连接到所述第5晶体管的漏极和源极;

15 第1电容器,形成在所述第3晶体管的栅极的前级;以及

第2电容器,形成在所述第6晶体管的栅极和漏极之间。

2.如权利要求1所述的液晶显示装置的驱动电路,其特征在于,所述第1晶体管和第6晶体管根据所述第n-1电路的输出信号来决定工作状态,所述第7晶体管和第8晶体管根据所述第n+1电路的输出信号来决定工作状态, 20 所述第3晶体管根据时钟信号Clk来决定工作状态,所述第2晶体管和第4晶体管根据所述第6晶体管的漏极电压来决定工作状态,所述第5晶体管根据VDD电压来决定工作状态。

3.如权利要求2所述的液晶显示装置的驱动电路,其特征在于,所述VDD电压具有可施加比T2、T4、T5晶体管的Vth大的Vgs电压的电压范围。

25 4.如权利要求1所述的液晶显示装置的驱动电路,其特征在于,所述第7晶体管是通过第n+1的输出信号来驱动的复位用晶体管,所述第8晶体管是通过所述第n+1的输出信号来驱动的用于传送VDD电压的晶体管。

5.如权利要求1所述的液晶显示装置的驱动电路,其特征在于,所述第1电容器是用于使输出到第n栅极线的信号的关断特性稳定的电容器,所述第 30 2电容器是用于使第6晶体管的漏极电压的电平稳定的电容器。

液晶显示装置的驱动电路

5 技术领域

本发明涉及液晶显示装置的驱动电路，特别涉及适合于改善输出信号的关断电平稳定及基于 DC 电压应力 (voltage stress) 的元件特性变化，从而大幅度改善电路的工作特性的液晶显示装置的驱动电路。

10 背景技术

一般地，作为显示器装置之一的 CRT (Cathode Ray Tube; 阴极射线管) 以电视机为代表被主要用于各种测量设备、信息终端机等监视器，但因 CRT 自身的重量和尺寸，不能适应电子产品的小型化、重量轻的要求。

因此，为了取代 CRT，正在积极开发具有轻薄、短小化优点的液晶显示装置，目前在以充分完成作为平板型显示装置的作用的程度进行开发，其需求呈现明显增加的趋势。

这样的液晶显示装置如图 1 所示，包括：多个栅极线 (gate line) 和数据线被交叉配置、在各栅极线和数据线交叉的部位上配置薄膜晶体管来显示图像的液晶板 11；施加用于驱动所述液晶板 11 的数据线的驱动电压的源极驱动器 IC13；施加用于驱动所述液晶板 11 的栅极线的驱动电压的栅极驱动器 IC15。

而且，虽然未图示，但在所述源极驱动器 IC13 和栅极驱动器 IC15 中包括提供各种控制信号的周边电路，而在所述周边电路中有 LVDS 部、定时控制器等。

25 这样的液晶显示装置中，a-Si AMLCD (Active Matrix Liquid Crystal Display; 有源矩阵液晶显示器) 在驱动电路集成技术中，与多晶硅相比，尽管有迁移率低、阈值电压较高和寄生电容，但却具有费用降低、小型化、重量降低等优点，所以该技术被深入研究，通过新的设计技术和工序而仅由 a-Si TFT 构成驱动电路的有源矩阵。

30 一般地，栅极线驱动电压从栅极驱动器 IC 输出，但上述栅极驱动器 IC 的内部由移位寄存器、电平移动 (level shift)、缓冲器构成。但是，a-Si 行驱

动器 (Row Driver) 需要将所有的功能仅由移位寄存器来集成。

通常公知的 a-Si 行驱动器的移位寄存器由 4~6 个晶体管构成, 其尺寸需要分别不同地设计。

以下, 参照附图, 将现有技术的液晶显示装置的驱动电路说明如下。

5 图 2 是表示现有技术的液晶显示装置的驱动电路的图, 是由 6 个晶体管构成的移位寄存器的电路结构图, 图 3 是图 2 的工作定时图。

首先, 现有的液晶显示装置的驱动电路由 6 个薄膜晶体管 (Tp、Td、Ts、Tr、Tl、Tz) 构成, 但这样的液晶显示装置的驱动电路首先在 T0 时的输入为高电平, 所以节点 P2 为高 (high), 由此薄膜晶体管 Tz 导通。此时, 输出侧
10 的点 A 因 Vss 而被偏置 (bias) 为低电平 (low level)。

此时, 如果输入信号 Vi 和 $\phi 2$ 为高电平, 则薄膜晶体管 Tp、Tr、Ts 同时导通, 此时, 节点 P1 为正 (positive), 电压成为从 Vdd 中减去 Tp 的阈值电压后的电压。

另一方面, 节点 P2 因薄膜晶体管 Tr 的强导通而变为低电平。作为可供
15 参考的情况, 薄膜晶体管 Tr 具有 Ts 的约 10 倍左右的大小。

因上述节点 P2 变为低电平, Tz 变为截止状态, 但输出依然维持低电平。这是因为 $\phi 1$ 为低电平。

另一方面, 在上述 $\phi 1$ 变为高电平时, Tl 进行预充电高 (precharged high), 节点 P1 的电压为 $(Vdd - V_{th}) + \phi 1$ 摆幅 (swing) 的约 90% 左右。此时, 输出
20 Vo 跟随 $\phi 1$ 的脉冲, 所以变为导通, 完成将高电平的电压以输入方式施加在下级电路上的移位寄存器的功能。

而在上述 $\phi 2$ 变为高电平时, 节点 P2 为高电平, 薄膜晶体管 Tz 被导通, 同时输出侧的点 A 变为低电平。

另一方面, 图 4 是表示现有的另一实施方式的液晶显示装置的驱动电路
25 的图, 图 1 中由 6 个薄膜晶体管构成, 图 4 中由 4 个薄膜晶体管和两个电容器 C1、C2 构成。

上述图 4 那样的液晶显示装置的驱动电路, 其工作原理与上述 6 个薄膜晶体管构成的电路类似, 差别在于复位信号接收下级的输出信号后起作用。

但是, 上述现有的液晶显示装置的驱动电路存在以下问题。

30 第一, 在由 6 个薄膜晶体管构成的情况下, 作为复位用薄膜晶体管的 Td、Tz 在栅极电压上使用连续施加的 Clock (时钟) 信号, 所以在时钟信号的高

电平电压上连续接受 DC 应力，这在长时间驱动时引起薄膜晶体管的特性变化（阈值电压的变化）而作为电路工作的不良原因起作用。

而在由 4 个薄膜晶体管和 2 个电容器构成的情况下，薄膜晶体管 T4 通过下级的输出信号而完成复位功能，但其仅在 1 扫描时间之间导通。在剩余的帧期间之间为浮置（floating）状态。该晶体管因通过数据线施加的视频信号的电压而产生电容耦合，从而在一定时间内不具有必须维持一定电压的 Vgoff 特性，引起仅视频信号的电位变动的变动（fluctuation）状况。可是，上述状况在板驱动为线反转（line inversion）的情况下，引起画面闪烁（flicker）而存在明显地降低画面质量的问题。

10

发明内容

本发明为了解决上述现有技术的问题而提出，其目的在于，提供一种液晶显示装置的驱动电路，改善由 4 个薄膜晶体管和 2 个电容器构成的驱动电路的 Vgoff 特性，并使具有 6 个薄膜晶体管构成的驱动电路的 DC 应力造成的薄膜晶体管的特性变化最小，从而具有稳定的工作特性。

15

用于实现上述目的的本发明的液晶显示装置的驱动电路的特征在于，它包括：第 1 晶体管、第 2 晶体管，串联连接在第 n-1 电路的输出级和 Vss 级之间；第 3 晶体管，通过时钟信号 Clk 来驱动，在其漏极上施加作为所述时钟信号的反转信号的 ClkB 信号，其源极连接到第 n 栅极线；第 4 晶体管，漏极连接到所述第 3 晶体管的源极，其源极连接到所述 Vss 端子；第 5 晶体管、第 6 晶体管，串联连接在 VDD 端子和所述 Vss 端子之间；第 7 晶体管，通过第 n+1 电路的输出信号来驱动，其漏极和源极分别连接到所述第 2 晶体管的漏极和源极；第 8 晶体管，通过第 n+1 电路的输出信号来驱动，其漏极和源极分别连接到所述第 5 晶体管的漏极和源极；第 1 电容器，形成在所述第 3 晶体管的栅极的前级；以及第 2 电容器，形成在所述第 6 晶体管的栅极和漏极之间。

20

25

这里，所述第 1 晶体管和第 6 晶体管根据所述第 n-1 电路的输出信号来决定工作状态，所述第 7 晶体管和第 8 晶体管根据所述第 n+1 电路的输出信号来决定工作状态，所述第 3 晶体管根据时钟信号 Clk 来决定工作状态，所述第 2 晶体管和第 4 晶体管根据所述第 6 晶体管的漏极电压来决定工作状态，所述第 5 晶体管根据 VDD 电压来决定工作状态。

30

此外,期望所述 VDD 电压具有可施加比 T2、T4、T5 晶体管的 V_{th} 大的 V_{gs} 电压的电压范围,根据薄膜晶体管的元件特性而可局部改变是明显的。

此外,所述第 7 晶体管是通过第 $n+1$ 的输出信号来驱动的复位用晶体管,所述第 8 晶体管是通过所述第 $n+1$ 的输出信号来驱动的用于传送 VDD 电压的晶体管。

此外,所述第 1 电容器是用于使输出到第 n 栅极线的信号的关断特性稳定的电容器,所述第 2 电容器是用于使第 6 晶体管的漏极电压的电平稳定的电容器。

10 附图说明

图 1 是一般的液晶显示装置的结构图。

图 2 是现有的六个薄膜晶体管构成的液晶显示装置的驱动电路的结构图。

图 3 是图 2 的工作定时图。

15 图 4 是现有的四个薄膜晶体管和两个电容器构成的液晶显示装置的驱动电路的构成图。

图 5 是本发明的液晶显示装置的驱动电路的结构图。

图 6A 和图 6B 是本发明的液晶显示装置的驱动电路的模拟波形图。

20 具体实施方式

以下,参照附图,对本发明的液晶显示装置说明如下。

图 5 是表示本发明的液晶显示装置的驱动电路的图。

本发明的液晶显示装置的驱动电路如图 5 所示,由 8 个薄膜晶体管 T1、T2、T3、T4、T5、T6、T7、T8 和 2 个电容器 C1、C2 构成。

25 即,如图 5 所示,第 1 晶体管 T1 的栅极端子和漏极端子共同连接到第 $n-1$ 的栅极线,在上述第 1 晶体管 T1 的源极端子和 V_{ss} 端子之间连接第 2 晶体管 T2,通过时钟信号 Clk 来驱动的第 3 晶体管 T3 与连接到 V_{ss} 端子的第 4 晶体管 T4 串联连接。此时,上述第 3 晶体管 T3 的源极端子和上述第 4 晶体管 T4 的漏极端子的连接点成为输出级 N,通过上述输出级输出的电压施加在第 n 栅极线上,在上述第 3 晶体管 T3 的漏极端子上施加上述时钟信号的反转信号 $ClkB$ 。

30

另一方面，在 VDD 端子和 Vss 端子之间第 5 晶体管 T5 和第 6 晶体管 T6 被串联连接，通过复位信号而被确定为驱动状态的第 7 晶体管 T7 与上述第 2 晶体管 T2 形成并联结构。

此外，在通过上述复位信号而被确定为驱动状态的第 8 晶体管 T8 的漏极端子上施加 VDD 电压，上述第 8 晶体管 T8 的漏极端子和上述第 5 晶体管 T5 的栅极端子被同时连接，以施加上述 VDD 电压。

另一方面，在上述第 3 晶体管 T3 的栅极端子的前级上连接第 1 电容器 C1，而在上述第 1 电容器 C1 的一个电极上施加时钟信号，另一个电极与上述第 3 晶体管 T3 的栅极端子连接。

10 上述第 2 晶体管 T2 的栅极端子同时连接到第 6 晶体管 T6 的漏极端子和上述第 4 晶体管 T4 的栅极端子，上述第 6 晶体管 T6 的漏极端子上连接第 2 电容器 C2 的一个电极，上述第 2 电容器 C2 的另一个电极同时连接到上述第 1 晶体管 T1 的漏极端子和上述第 6 晶体管 T6 的栅极端子。

对这样构成的本发明的液晶显示装置的驱动电路的动作说明如下。

15 如图所示，本发明的液晶显示装置的驱动电路由 8 个薄膜晶体管和 2 个电容器构成，不仅各薄膜晶体管的尺寸有所不同，而且其功能也有所不同。

这里，如果依次观察电路动作，则首先第 n-1 电路（未图示）的输出信号通过第 1 晶体管 T1 的漏极端子被输入。

20 通过上述第 1 晶体管 T1 而输入第 n-1 电路的输出信号时（如果以该驱动电路的第 n 电路作为基准来观察，则为输入信号），时钟信号 Clk 也与上述输入信号同步输入。

此时，如果上述输入信号为高电平信号，则上述第 1 晶体管 T1 和第 6 晶体管 T6 变为导通状态，节点 P 变为正电平，电压成为从 VDD 电压中减去第 1 晶体管 T1 的阈值电压所得的电位。此时，通过第 5 晶体管 T5，VDD 的 DC 电压持续施加比 Vss 约大数 V 左右的高电压，同时节点 X 因上述第 6 晶体管 T6 的强导通而变为低电平。作为可供参考的情况，第 6 晶体管 T6 的尺寸是第 5 晶体管 T5 的约 10 倍以上。

由于上述节点 X 的电平为低电平，所以第 4 晶体管 T4 处于截止状态，但输出依然维持低电平。其理由是 ClkB 信号为低电平。

30 另一方面，第 n+1 电路的输出信号为复位信号，如果施加在上述第 7 晶体管 T7 和第 8 晶体管 T8 上，则如第 2 晶体管 T2 那样完成其功能，使节点 P

的电压衰减, 由于第 5 晶体管 T5 的导通电压比以往低, 所以作为强化该功能的方式而起作用。

此时, 上述第 2 电容器 C2 的电容量 Cap 的作用以使节点 X 的电位电平稳定为目的而形成, 第 1 电容器 C1 的电容量以使输出信号的截止电平特性稳定的功能方式而形成。

这样, 本发明的液晶显示装置的驱动电路通过持续施加与 Vss 电压相比高数 V 左右电压的 VDD 信号, 第 4 晶体管 T4 的 Vgs 被以比以往低的电压驱动。

观察上述电路的结构, 第 n-1 电路的输出信号 (即, 在该电路的立场上为输入信号) 具有被同时输入到第 1 晶体管 T1 的栅极端子和漏极端子的二极管方式, 而且还输入到第 6 晶体管 T6 的栅极端子。

上述第 1 晶体管 T1 的源极端子同时连接到作为复位晶体管的第 2 晶体管 T2 的漏极端子和作为驱动晶体管的第 3 晶体管 T3 的栅极端子, 上述第 2 晶体管 T2、第 4 晶体管 T4 及第 6 晶体管 T6 的源极端子同时连接到 Vss 端子。

作为时钟信号的反转信号的 ClkB 信号被施加在作为驱动晶体管的第 3 晶体管 T3 的漏极端子上, 上述第 3 晶体管 T3 的源极与第 4 晶体管 T4 的漏极连接, 同时作为栅极线驱动开关信号来输出。

作为参考, 图 6A 和图 6B 是表示对于本发明的液晶显示装置的驱动电路的模拟波形的图。

以上, 说明了本发明的优选实施方式, 但本发明可以采用多样的变化、变更和等价物, 对上述实施方式等适当地变形而进行相同应用是可行的。因此, 上述论述内容不限定通过权利要求范围限界而确定的本发明的范围。

如上述那样, 本发明的液晶显示装置的驱动电路可获得以下效果。

同时改善现有的由四个薄膜晶体管和两个电容器构成的液晶显示装置的驱动电路具有的问题——因截止电压的不稳定造成的画面闪烁现象, 以及由六个薄膜晶体管构成的液晶显示装置的驱动电路具有的问题——因复位晶体管的连续的 DC 电压应力诱发薄膜晶体管的特性差造成的电路工作不良的问题, 从而可以实现稳定的移位寄存器电路。

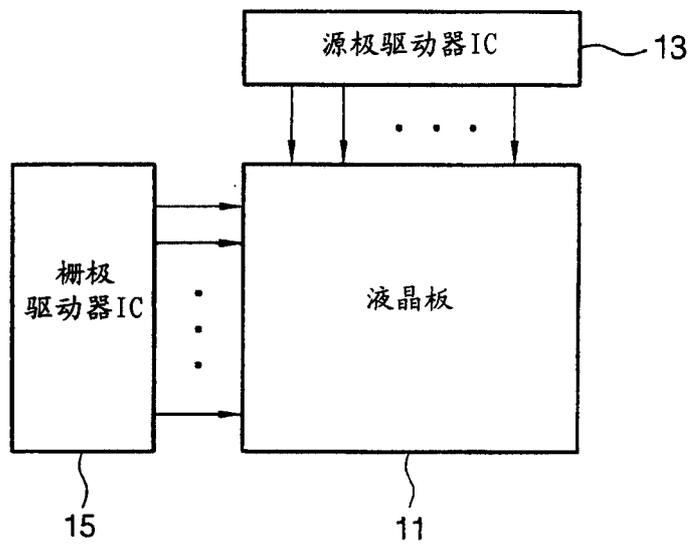


图 1

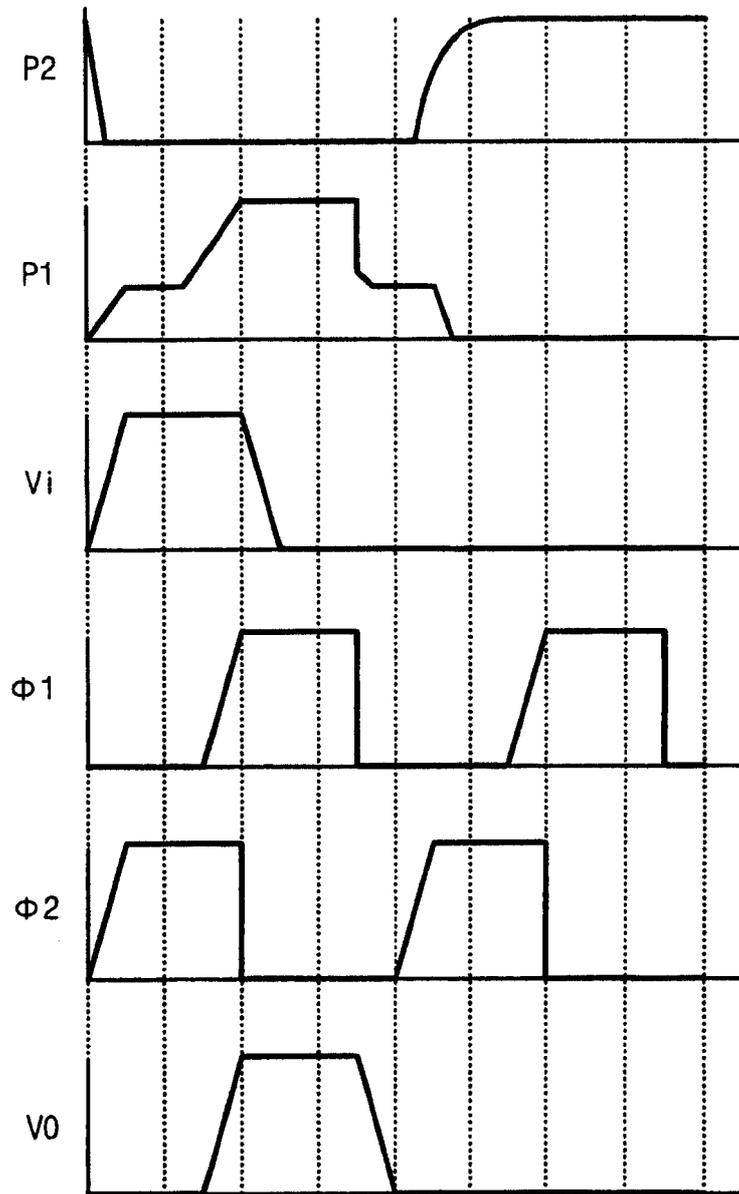


图 3

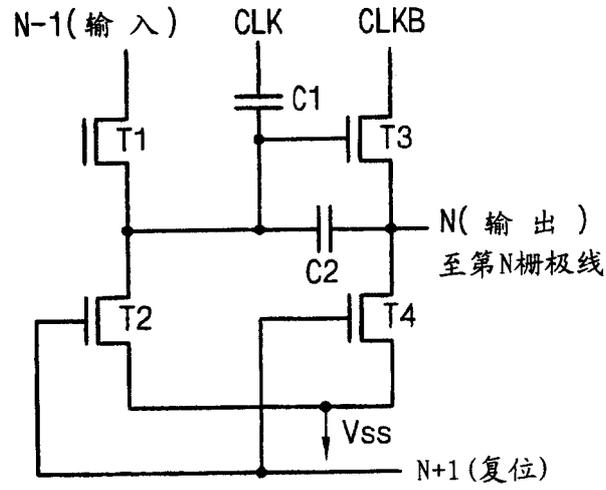


图 4

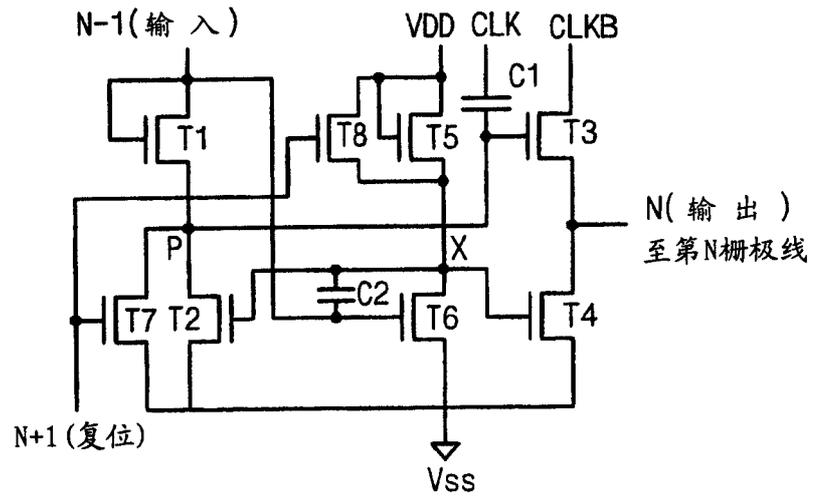


图 5

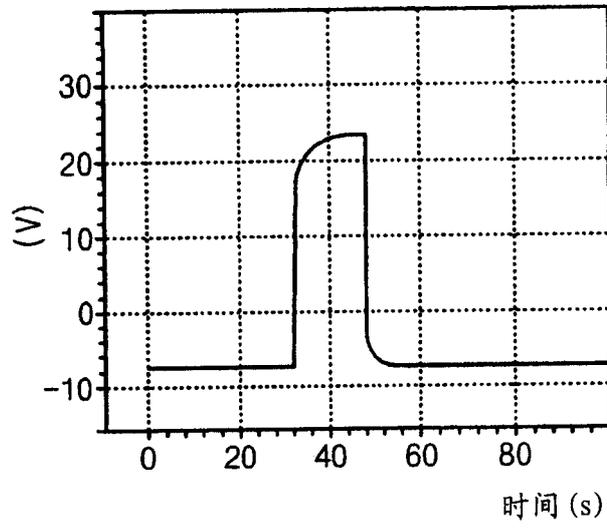


图 6A

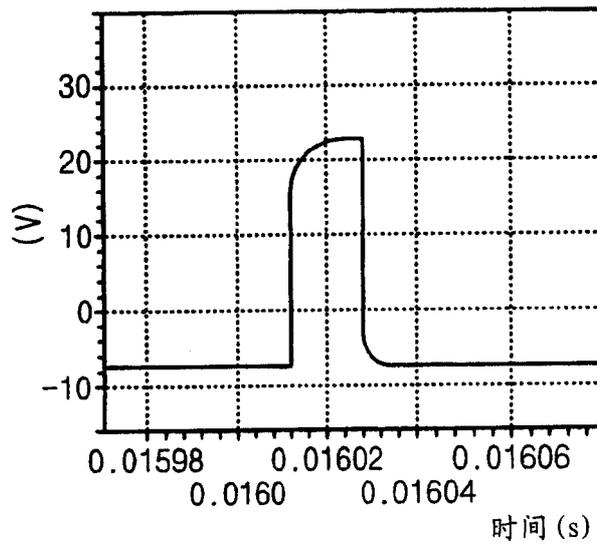


图 6B

专利名称(译)	液晶显示装置的驱动电路		
公开(公告)号	CN1637836A	公开(公告)日	2005-07-13
申请号	CN200410104634.8	申请日	2004-12-27
[标]申请(专利权)人(译)	京东方显示器科技公司		
申请(专利权)人(译)	京东方显示器科技公司		
当前申请(专利权)人(译)	海帝士科技公司		
[标]发明人	安星俊 金天弘 柳世钟		
发明人	安星俊 金天弘 柳世钟		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3677 G09G2300/0408 G11C19/184		
代理人(译)	马莹 邵亚丽		
优先权	1020030100226 2003-12-30 KR		
其他公开文献	CN100428323C		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种液晶显示装置的驱动电路，改善由4个薄膜晶体管和2个电容器构成的驱动电路的Vgoff特性，并使6个薄膜晶体管构成的驱动电路的DC应力造成的薄膜晶体管的特性变化最小，从而工作特性稳定。该液晶显示装置的驱动电路包括：第1、第2晶体管，串联连接在第n-1电路的输出级和Vss级之间；第3晶体管，通过时钟信号来驱动；第4晶体管，漏极连接到第3晶体管的源极；第5、第6晶体管，串联连接在VDD端子和Vss端子之间；第7晶体管，通过第n+1电路的输出信号来驱动；第8晶体管，通过第n+1电路的输出信号来驱动；第1电容器，形成在第3晶体管的栅极的前级；以及第2电容器，形成在第6晶体管的栅极和漏极之间。

