



[12] 发明专利申请公开说明书

[21] 申请号 02801749.8

[43] 公开日 2003年12月24日

[11] 公开号 CN 1463418A

[22] 申请日 2002.5.17 [21] 申请号 02801749.8

[30] 优先权

[32] 2001.5.22 [33] GB [31] 0112395.9

[86] 国际申请 PCT/IB02/01795 2002.5.17

[87] 国际公布 WO02/095723 英 2002.11.28

[85] 进入国家阶段日期 2003.1.20

[71] 申请人 皇家飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 M·J·爱德华兹 I·M·亨特

M·T·约翰逊 N·D·杨

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 崔幼平 黄力行

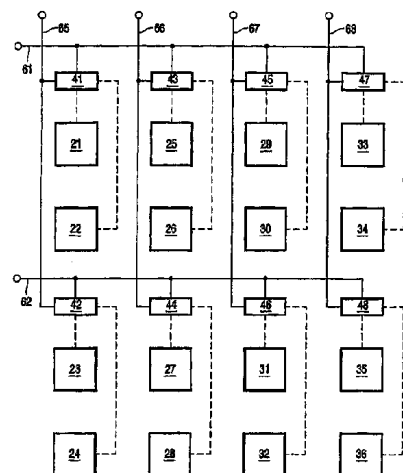
权利要求书3页 说明书12页 附图9页

[54] 发明名称 利用处理元件阵列的显示装置及其驱动方法

[57] 摘要

本发明提供了一种显示装置如液晶显示装置(1)及其驱动方法,避免需要给显示装置提供包含对每个像素的各项显示设置的显示数据(如视频)。显示装置包括一个像素阵列(21-36, 71a-79d, 121-136)和一个处理元件阵列(41-48, 71-79, 141-148),每个处理元件与一个或一组像素相关联。处理元件(41-48, 71-79, 141-148)以像素水平执行压缩的输入显示数据的处理。处理元件(41-48, 71-79, 141-148)对输入数据解压以确定对与其相关联的一个或一组像素的像素设置。然后处理元件(41-48, 71-79, 141-148)以各自的设置驱动像素(21-36, 71a-79d, 121-136)。处理元件可以从分配给其的以及分配给一个或多个相邻的处理元件的输入数据中内插像素设置。或者,处理元件可以有与其相关联的像素的像素位置

信息,并利用该信息决定是否需要响应于由多个处理元件接收到的公共输入数据驱动一个或多个像素。



1. 一种显示装置，包括：
 - 一像素阵列；和
 - 一处理元件阵列，每个处理元件与各自的像素或像素组相关
- 5 联；
 - 其中每个处理元件包括：
 - 一输入端，用于接收与多个像素有关的输入显示数据；
 - 一处理器，用于处理接收到的输入显示数据，从而确定与处理
- 10 元件相关联的像素或像素组中的每个像素的各个像素数据；和
 - 一像素驱动器，用于以像素的确定的各自像素数据驱动相关联
- 的像素或相关联像素组中的每个像素。
2. 如权利要求 1 所述的装置，其特征在于，每个处理元件与各自的像素组相关联；每个处理元件的输入端适用于接收包括对处理元件的显示设置的显示数据；和每个处理元件适于通过内插处理接收到的
- 15 输入显示数据，其中内插是从处理元件的显示设置以及相应的一个或多个相邻处理元件的一个或多个显示设置中内插对于相关联像素组中每个像素的各个像素数据。
3. 如权利要求 2 所述的装置，其特征在于，处理元件包括用于与一个或多个相邻的处理元件通信的装置，以获得对于一个或多个相邻
- 20 处理元件的一个或多个显示设置。
4. 如权利要求 2 所述的装置，其特征在于，每个处理元件的输入端适用于接收显示数据，该显示数据包括对处理元件的显示设置以及对于一个或多个相邻的处理元件的一个或多个显示设置。
5. 如权利要求 1 所述的装置，其特征在于，每个处理元件的输入
- 25 端适用于接收显示数据，该显示数据包括一指标，该指标包括像素地址和显示设置，规定将显示的特征；
 - 每个处理元件还包括一存储器，用于接收和储存与该处理元件相关联的一个或一组像素的像素地址；
 - 每个处理元件的处理器包括一比较器，用于比较规定将显示特征的
- 30 的像素地址和与处理元件相关联的一个或一组像素的像素地址；和
 - 如果各个像素的像素地址与规定要显示的特征的像素地址相对应，则每个处理元件的处理器适用于把相关联的像素或相关联像素组

的每个像素的各个像素数据确定为规定的显示设置。

6. 如权利要求 5 所述的装置，其特征在于，每个处理元件的存储器适用于接收并储存像素阵列坐标形式的像素地址；每个处理元件的输入端适用于接收显示数据，该显示数据包括一指标，该指标包括特征的预定形状
5 的标识和规定像素阵列中特征位置的像素阵列坐标；和布置处理器，如果各个像素位于像素阵列中规定位置处的规定形状之内，则将各个像素的像素地址当作与要显示的特征的规定像素地址相对应。

7. 如权利要求 5 所述的装置，其特征在于，每个处理元件的存储器适用于接收并储存像素阵列坐标形式的像素地址；每个处理元件的输入端适用于接收包括一指标的显示数据，其中该指标包括规定的像素阵列坐标；处理元件设置有用
10 于连接规定的像素阵列坐标的规则，以便规定特征的形状和位置；和布置处理器，如果各个像素位于像素阵列中规定位置处的规定形状之内，则将各个像素的像素地址当作与要显示的特征的规定像素地址相对应。
15

8. 一种驱动显示装置的方法，其中显示装置包括一像素阵列，该方法包括：

在与一个或一组像素相关联的处理元件处接收涉及多个像素的输入显示数据；

20 处理元件处理接收到的输入显示数据，以确定相关联的像素或相关联像素组的每个像素的各个像素数据；和

处理元件以像素的各自确定的像素数据驱动相关联的像素或相关联像素组的每个像素。

9. 如权利要求 8 所述的方法，其特征在于，处理元件与一组像素相关联；输入显示数据包括对处理元件的显示设置；和处理元件通过内插处理接收到的输入显示数据，其中内插是从处理元件的显示设置以及相应的一个或多个相邻处理元件的一个或多个显示设置中内插对于相关联像素组中每个像素的各个像素数据，该一个或多个相邻处理元件各自与相应的另一组像素相关联。
25

30 10. 如权利要求 9 所述的方法，其特征在于，处理元件通过与一个或多个相邻的处理元件通信获得对于一个或多个相邻处理元件的一个或多个显示设置。

11. 如权利要求 9 所述的方法，其特征在于，对处理元件提供对于一个或多个相邻处理元件的一个或多个显示设置以作为输入显示数据的部分。

12. 如权利要求 8 所述的方法，其特征在于，处理元件设置有一个或一组与该处理元件相关联的像素的像素地址；输入显示数据包括一指标，该指标包括像素地址和显示设置，规定要显示的特征；处理元件处理接收到的输入显示数据，以通过以下步骤确定对相关联的像素或相关联像素组的每个像素的各个像素数据，其中这些步骤是：

10 将规定要显示的特征的像素地址和与该处理元件相关联的一个或一组像素的像素地址比较；和

如果各个像素的像素地址对应于要显示的特征的规定的像素地址，则以规定的显示设置驱动像素或像素组中的那些像素。

13. 如权利要求 12 所述的方法，其特征在于，像素地址是像素阵列坐标的形式；指标包括特征的预定形状标识和规定像素阵列中特征位置的像素阵列坐标；如果各个像素位于像素阵列中规定位置处的规定形状之内，则各个像素的像素地址与要显示的特征的规定像素地址相对应。

14. 如权利要求 12 所述的方法，其特征在于，像素地址是像素阵列坐标的形式；指标包括规定的像素阵列坐标；处理元件设置有用用于连接规定的像素阵列坐标的规则，以便规定特征的形状和位置；和如果各个像素位于像素阵列中规定位置处的规定形状之内，则各个像素的像素地址与要显示的特征的规定像素地址相对应。

利用处理元件阵列的显示装置及其驱动方法

5 本发明涉及包括多个像素的显示装置,并涉及这种显示装置的驱动或寻址方法。

已知的显示装置包括液晶、等离子体、聚合物发光二极管、有机发光二极管、场致发光、切换镜、电泳、电色(electrochromic)和机械显示装置。这些器件包括像素阵列。操作中这些显示装置由对于每个像素的包含各种显示设置(如强度水平,通常称作灰度水平,和/或颜色)的显示数据(如视频)寻址或驱动。

对于要显示的每一帧更新显示数据。最终的数据速率依据于一次显示的像素数量以及提供帧的频率。目前典型的数据速率处于100MHz的范围内。

15 传统上对每个像素通过一个寻址方案提供各个显示设置,方案中一次驱动一行像素,并且该行中的每个像素通过施加给每列像素的不同数据提供其各自的设置。

随着更大更高分辨率的显示装置的开发,需要更高的数据速率。但是,较高的数据速率带来很多问题。一个问题是驱动显示装置所需的数据速率可能高于对显示装置提供显示数据的线路的带宽容量。随着增大的数据速率而出现的另一个问题是驱动或寻址电路消耗更多的功率,因为每个需要接受的像素设置都代表一个耗费功率的数据转换。还有一个问题就是单独寻址每个像素所需的时间将随着像素数量的增加而增加。

25 本发明通过提供这样一种显示装置及其驱动方法缓解了上述问题,该显示装置及驱动方法中不需要给显示装置提供一种包含对每个像素单独的显示设置的显示数据(如视频)。

在第一方面中,本发明提供了一种显示装置,该显示装置包括多个像素和多个处理元件,每个处理元件与一个或多个像素相关联。处理元件适用于接收压缩的输入显示数据,并处理这些数据以提供解压缩的数据,然后使得处理元件以像素的各自确定的显示设置驱动与其相关联的一个或多个像素。

在第二方面中,本发明提供了一种驱动本发明第一方面中所述类型

的显示装置的方法。

处理元件处理像素水平的输入显示数据。

因此,可以使对于每个处理元件的压缩数据规定涉及显示装置像素数量的输入,因为处理元件能够解释输入数据并确定输入数据怎样涉
5 及到与其相关联的各个像素。

压缩的数据可以包括分辨率低于显示装置分辨率的图像。在这种配置下根据较低分辨率的图像给每个处理元件分配显示设置。每个处理元件还获取分配给至少一个相邻的处理元件的显示设置资料。这些资料可以通过与相邻处理元件通信而获得,或者该信息可以包含在提供给处理
10 元件的输入数据中。然后处理元件根据它们分配的显示设置和也已经知道分配设置的相邻处理元件的显示设置,通过对像素内插值来决定所有相关像素的显示设置而扩展输入图像数据,以与较高分辨率的显示适配。这使得能够由较低分辨率的压缩输入数据显示解压的较高分辨率图像。

或者,处理元件可以有与其相关联的像素的像素位置资料,并且利用该信息决定是否需要响应于多个处理元件接收到的公共输入数据驱动一个或多个像素。更具体地说,处理元件可以与一个或多个像素相关联,并且还可以被提供规定或另外允许决定相关联的一个或多个像素的位置或其它地址的数据。然后压缩输入数据可以包括一个或多个
20 待显示的目标或特征的指标以及规定那些需要显示目标或特征的像素的数据(或者通过这些数据可以推断处理元件)。该数据还包括在显示目标或特征所需的所有像素处被显示的显示设置的指标。显示设置可以包括灰度水平,绝对强度,颜色设置等。处理元件比较显示目标或特征所需的像素的地址和与它们相关联的一个或多个像素的地址,
25 并且对于那些匹配的像素以规定的显示设置驱动像素。换言之,处理元件决定哪一个像素需要显示。这种方法允许将公共输入并行地提供给整个显示装置,潜在地极大降低了所需的输入数据速率。或者,显示器可以被分为两组或多组处理元件(以及相关联的像素),每组被提供各自的公共输入。

对像素地址的优选选择是根据像素阵列分布的行和列的像素位置坐标、即像素位置坐标如 (x, y) 坐标定义像素的地址。当这样识别像素时,可以以不同的像素位置坐标的形式有利地规定要显示的目标或
30

特征，处理元件可以利用把这些坐标转变成要显示的形状的规则以及显示这些形状的位置进行分析。另一种可能性是表示预定的形状，如 ASCII 字符，以及被显示的字符在显示装置上的位置。

下面参考实施例阐明本发明的上述及其它方面。

5 通过实例参考附图对本发明的实施例进行说明，其中：

图 1 是液晶显示装置的示意图；

图 2 是图 1 所示显示装置的有源矩阵层中处理元件和像素阵列的局部示意图；

图 3 是处理元件的功能模块框图；

10 图 4 是显示驱动过程中由图 4 所示处理元件执行的处理步骤流程图；

图 5 是图 1 所示显示装置的有源矩阵层中处理元件和像素另一阵列的局部示意图；

图 6 表示处理元件和相关像素的分布（不按比例）；

15 图 7a 表示由像素坐标定义的待显示的矩形；

图 7b 表示位置由像素坐标定义的待显示的预定字符；

图 8 是图 1 所示显示装置的有源矩阵层中处理元件和像素另一阵列的局部示意图；

图 9 是另一处理元件的功能模块框图；

20 图 10 是连接到处理元件的一种配置的示意图；

图 11 是连接到处理元件的另一种配置的示意图；以及

图 12 是连接到处理元件的再一种配置的示意图。

图 1 是液晶显示装置 1 的示意图（不按比例），包括两个相对的玻璃板 2，4。玻璃板 2 的内表面上有一个有源矩阵层 6，这在后面将有更详细的说明，在有源矩阵层 6 上沉积一个液晶取向层 8。相对的玻璃板 4 的内表面上有一个公共电极，液晶取向层 12 沉积在公共电极 10 上。液晶层 14 设置在两玻璃板的取向层 8、12 之间。除了下面涉及本发明的像素驱动法描述的任何有源矩阵的细节，液晶显示装置 1 的结构和操作与美国专利 US5,130,829 中公开的液晶显示装置的相同，该专利的内容包含在本申请中引为参考。另外，在本实施例中，显示装置 1 是一种单色显示装置。

30

与理解本实施例有关的有源矩阵层 6 的特定细节示于图 2（不按比

例)中。有源矩阵层 6 包括一个像素阵列。通常这种阵列将包含上千个像素,但为了简单明了,本实施例将以图 2 中所示的像素阵列 21-36 的 4×4 部分为例进行说明。

在任何显示装置中,像素的精确性质依赖于器件的类型。在本例中
5 每个像素 21-36 被认为包括有源矩阵层 6 的所有元件,特别涉及像素、
即每个像素特别包括常规形式的薄膜晶体管和像素电极。然而在一些
显示装置中,对于每个像素可以有一个以上的薄膜晶体管。另外,在
本发明的某些实施例中,如果薄膜晶体管的功能由下述的处理元件代
替执行,则可以省去。

10 还设置为有源矩阵层 6 一部分的是处理元件 41-48 阵列。每个处
理元件 41-48 与两个相邻(在列的方向)像素中的每一个通过由图 2
中虚线代表的连线耦接。设置多个行地址线 61、62 和列地址线 65-68
用于把输入数据传输给处理元件 41-48。在常规的显示装置中对每个
像素行提供一行地址线,并对每个像素列提供一列地址线,使得每个
15 像素将连接到一行地址线和一列地址线。但是在有源矩阵层 6 中,对
每行处理元件 41-48 提供一行地址线 61、62,并对每列处理元件 41
-48 提供一列地址线 65-68,使得每个处理元件 41-48(而非每个
像素 21-36)连接到一行地址线和一列地址线,如图 2 所示。

操作中,每个处理元件 41-48 接收输入数据,从该数据判断以什
20 么水平驱动与其耦接的两个像素中的每一个,细节如下所述。随后,
必须从外部数据源向显示装置 1 提供数据的速率被减半,同样,所需
的行地址线的数量也减半。

下面通过举例说明处理元件 41 的功能和操作,而且下面的说明对
应于处理元件 41-48 中的每一个。图 3 是表示处理元件 41 功能模块
25 的框图。处理元件 41 包括一个输入模块 51,用于接收由行地址线 61
和列地址线 65 的信号合并提供的输入数据。处理元件 41 还包括一个
处理器 52。操作中,处理器 52 决定以什么水平驱动与其耦接的两个像
素中的每一个,即像素 21 和 22。处理元件 41 还包括一个像素驱动器
53,操作中将确定的驱动信号输出给像素 21 和 22。

30 图 4 是本实施例中由处理元件 41 执行的处理步骤中的流程。在步
骤 s2,处理元件 41 的输入端 51 接收从耦接到显示装置 1 的显示驱动
器输入的显示数据。输入的显示数据包括对处理元件 41 本身的显示设

置（在本例的单色显示装置中只由灰度设置一项组成）。另外，输入的显示数据包括一项对列方向相邻的处理元件、即处理元件 42 的显示设置。这种输入的显示数据涉及与处理元件 41 相关联的像素 21、22，处理元件 41 将利用该数据决定施加给这些像素的每一个的显示设置。

5 在步骤 s4, 处理元件 41 的处理器 52 通过在处理元件 41 本身的值和相邻处理元件 42 的值之间插值来决定对像素 21、22 的各个显示设置。插值过程可以采用任何适当的算法。在本实施例中，对挨着处理元件 41 的像素、即像素 21 确定的驱动水平是等于对处理元件 41 的设置
10 的灰度（即）强度水平，并且对其它像素、即像素 22 内插的驱动水平是一个值，该值等于处理元件 41 的设置与相邻处理元件 42 的设置的平均值。

在步骤 s6, 处理元件 41 通过像素驱动器 53 以步骤 s4 确定的设置驱动像素 21 和 22。

在本例中，响应于一项输入数据以各自的像素设置驱动两个像素。
15 因而显示图像可以被认做是一个由压缩的输入数据显示的解压图像。输入数据可以为一种对应于少于显示装置 1 像素数量的较少像素的形式，在这种情况下上述过程可以被认为图像从“较少数量的像素”格式向“较多数量的像素”格式（较高分辨率）扩展，例如在延伸的图形阵列（XGA）分辨率显示上显示视频图形阵列（VGA）分辨率图像。

20 另一种可能性是，数据最初对应于与出现在显示装置 1 上的像素相同的像素数量，然后在经一根有限数据速率或带宽的连线传递到显示装置 1 之前被压缩。在此情况下数据被压缩成与内插算法一致的形式，其中该内插算法被显示装置 1 用于解压数据。

上述配置是一种较为简单的例子，其中只在一个方向上进行内插。
25 更精心的配置提供节省更多倍的数据速率。图 5 中列举（不按比例）了一个实施例，表示了另一个像素和处理元件阵列的一部分。在此实例中，处理元件 71-79 分布成如图所示的行列阵列。每个处理元件耦接到四个围绕处理元件对称分布的像素 [71a-d]-[79a-d]（图中未示出连线），如图所示。另外，在相邻的处理元件之间设置专用的连线（未
30 示出），在后面将有更详细的说明。

在本实施例中，由每个处理元件 71-79 接收的输入的显示数据只包括对特定的处理元件 71-79 的设置（或水平）。每个处理元件 71

- 79 通过经上述专用连线直接与相邻的处理元件通信而分别获得相邻处理元件的各自设置。

再者，可以采用各种内插算法。下面是其中一种可能的算法。

如果分别把处理元件 75、76、79 和 78 的接收到的数据设置标为
5 W, X, Y 和 Z, 则下列像素的内插显示值为:

$$\text{像素 } 75c = (6W+X+Z) / 8$$

$$\text{像素 } 76d = (6X+W+Y) / 8$$

$$\text{像素 } 79a = (6Y+X+Z) / 8$$

$$\text{像素 } 78b = (6Z+W+Y) / 8$$

10 这些提供了加权的内插值, 给定的像素以最初由与其相关联的处理元件的设置决定的水平驱动, 而且考虑在每个行和列方向最接近像素的处理元件的设置后调节驱动水平。整个算法包括上述的原理和施加到整个处理元件阵列的加权因子。

调节算法以适应阵列边缘处的像素。如果图 5 中所示的阵列部分处
15 于整个阵列的右下角, 使得处理元件 73、76、79、78 和 77 都沿着阵列的边缘, 则下列像素的内插显示值为:

$$\text{像素 } 76c = (3X+Y) / 4$$

$$\text{像素 } 79b = (3Y+X) / 4$$

$$\text{像素 } 79c = Y$$

20 等等。

下面进一步描述上述实施例的处理元件 41 - 48、71 - 76 的详细内容。该处理元件是小规模的电子电路, 可以利用任何适当形式的多层/
半导体制作技术、包括 p-Si 技术提供。同样, 尤其在考虑到用于制作
显示装置其它 (常规) 组成部件的材料和层之后, 可以采用任何合适
25 的或方便的层结构和以及处理器部件的几何轮廓。但是, 在上述实施例中, 处理元件由已知的 “NanoBlock™ IC and Fluidic Self
Assembly” (FSA) 方法提供的 CMOS 晶体管形成, 其中该方法公开在
US5, 545, 291 中和 R. G. Stewart, Conference Record of the 20th
IDRC, 9 月 2000, ISSN 1083-1312, Page415-418 的 “Flexible
30 Displays with Fully integrated Electronics” 中, 这两篇文献
在此引为参考。因为这种方法尤其适合于制造非常小的与典型的显示
像素相同尺度的元件, 所以很有利。

作为例子，图 6 中示出了图 5 所示阵列的处理元件 75 和与其相关联的像素 75a-d 的合适轮廓（不按比例）。处理元件 75 和像素 75a-d 的薄膜晶体管通过上述 FSA 法形成（或者，如果由处理元件提供相应的功能，则可以省去薄膜晶体管）。像素 75a-d 的显示形状由其像素电极的形状限定。像素触点 81-84 设置在处理元件 75 和各个像素 75a-d 之间。

在处理元件 75 到图 5 所示阵列的相邻处理元件中的每一个之间设置成对的数据引线，即与处理元件 72 连接的数据引线 91 和 92，与处理元件 76 连接的数据引线 93 和 94，与处理元件 78 连接的数据引线 95 和 96，与处理元件 74 连接的数据引线 97 和 98。如前所述，这些数据引线使得处理元件能与相邻的处理元件通信，从而确定这些相邻处理元件的输入显示设置。在本例中，数据引线 91-98（以及其它处理元件的相应数据引线）有效地包围每个处理元件，并且因此该阵列处理元件的列行地址线（未示出）设置在有源矩阵层 6 的多层薄膜结构的
不同层中。在图 2 所示实施例的情形中，因为每个处理元件直接设置有对于相邻处理元件的数据设置，所以不使用对应于数据引线 91-98 的数据线，因此如果需要或者方便，可以由相同的薄膜层形成行列地址线（图 2 中的实线表示）以及处理元件和像素之间的连线（图 2 中的虚线表示）。

在上述实施例中，处理元件是不透明的，因此不能用作透射型器件的显示区。因而图 4 和图 5 所示的配置是一个特别适于透射型显示装置的例子，作为周围可以利用的显示区，例如由于像素 75a-d 的形状和轮廓，不透明的处理元件 75 被有效地利用。

在反射型显示装置的情形中，还有一种直接在处理元件上设置像素的可能性，如在图 6 所示的配置的情形中，还可以在处理元件 75 的区域上设置一个像素。对于这种情形，适用内插算法的一条方便的途径是把覆盖处理元件的像素设置为等于处理元件的设置。

在上述实施例中，显示装置 1 是一种单色显示装置，即各项像素设置的变量或是处于 on/off，或是在灰度显示的情形下处于灰度或强度水平。但是，在其它实施例中，显示装置可以是彩色显示装置，在那样的情况下，像素的各项显示设置将包括一个显示颜色的指标。

内插算法可以用于以任何适当的方式接纳颜色作为变量。一种简单

的可能性是与给定处理元件相关联的所有像素的颜色以处理元件显示设置中规定的颜色驱动。例如，在图 2 所示配置的情形中，像素 21 和 22 均以处理元件 41 的输入数据中规定的颜色驱动。本算法的一个优点在于实施简单。缺点在于虽然已就像素 21 和 23 之间的强度“混合”像素 22，但这不能成为显示图像的颜色特性的情形。

还可以对“混合”的颜色提供更复杂的算法。一种可能性是，当由颜色曲线图中的坐标规定颜色时，对像素 22 施加对处理元件 41 和 42 规定的各自颜色坐标的平均值（在图 2 所示的配置中）。在加权内插算法的情形中，如图 5 所示配置给出的实例中，也可以对颜色坐标进行加权内插运算。

另一个可能性是，出于确定内插的颜色设置的目的，在每个处理元件中储存并采用一个查阅表。作为例子，再参见图 2 的配置，处理元件 41 将有一个规定颜色的查阅表，作为对处理元件 41 规定的颜色和对处理元件 42 规定的颜色的组合的函数，以该颜色驱动像素 22。

从上面的实施例明显看出，对于本领域的技术人员可以有多种设计方案可供选择，如：

- (i) 对于处理元件的制造方法；
- (ii) 与每个处理元件相关联的像素的数量和几何分布；
- (iii) 像素是否位于处理元件上；
- (iv) 处理元件如何获得相邻处理元件的数据设置资料（内插法所需的资料）；
- (v) 关于强度和/或颜色的内插运算的形式。

需要强调的是，关于包含在上述实施例中的设计方案的具体选择只是举例，其它实施例中对每项设计方案的其它选择以及它们之间任何互相兼容的组合都是可以实施的。

上述实施例可以称作“内插法”实施例，因为它们全都采用内插法确定特定像素的显示设置。下面将描述扩大范围的实施例，该实施例被简便地称作“定位”实施例。

概括地说，每个处理元件与一个或多个特定的像素相关联。每个处理元件知道在处理元件或像素阵列中自己的位置或是与其相关联的像素的位置。如上述实施例所述，处理元件又被用于分析输入数据以确定各个像素的显示设置。但在定位实施例中，输入的显示数据处于一种可用

于所有（或至少是多个）处理元件的通用形式。处理元件分析通用的输入数据以确定与其相关联的一个或多个像素是否需要驱动，以便利于显示包含在通用输入数据中的图像信息。

通用的输入数据可以是各种形式中的任何一种或它们的任何组合。一种可能性是显示的像素就像素阵列的坐标 (x, y) 而言是一致的。显示矩形 101 的一个例子示于图 7a。输入数据以四组像素阵列坐标 (x, y) 的形式提供，规定矩形的角位置、矩形的强度设置（如果显示装置具备灰度显示能力）和矩形的颜色（如果显示装置是一种彩色显示装置）。该数据被输入给显示装置的所有处理元件。处理元件具有用于决定如何连接特定的像素阵列坐标 (x, y) 的规则。例如该规则可以规定何时提供三组坐标，何时应形成一个三角形，以及何时提供四组坐标、何时应形成一个矩形等。或者，在输入数据中还可以包含编码，表示如何通过预定的曲线或直线连接坐标。每个处理元件比较与其相关联的像素和需要驱动以显示矩形的像素的位置，并且如果需要，则随后驱动这些像素。

输入数据的另一种可能的形式是被规定的预定字符，如图 7b 中所示的字母“x” 102。输入数据以一组坐标的形式提供，规定像素阵列内字母 x 的位置（即字母 x 的预定部分的位置或标准字符“包络”），字母 x 的大小、强度设置（如果显示装置具备灰度显示的能力）以及矩形的颜色（如果显示装置是一种彩色显示装置）。

通过在处理元件中执行前面两段所述的处理，消除了利用对每个像素的单独的数据外部驱动显示装置的要求。相反，可以对所有的处理元件提供公共输入数据，由此相当大地简化了数据输入过程并减少了带宽要求。

图 8 为一个下面将进行描述的特定位置定位实施例的有源矩阵层 6 的 121 - 136 像素的 4×4 排列部分的简图（未按比例）。除非另有说明，本实施例中液晶显示装置的细节与先前内插实施例中液晶显示装置 1 的相同。也设置一个处理元件 141-148 阵列。每个处理元件 141 - 148 通过虚线表示的连线耦接到两个像素。如上所述，在本实施例中，处理元件 141 - 148 的特性允许公共输入数据提供给所有的处理元件。提供单个的数据输入线 161 并使之与所有的处理元件 141 - 148 并联连接，如图 8 所示。

下面通过实例对处理元件 141 的功能和操作进行说明，下列的说明对应于每个处理元件 141 - 148。图 9 是表示处理元件 141 的功能模块的框图。处理元件 141 包括一个输入模块 151，用于接受设置在数据输入线 161 上的输入信号。处理元件 141 还包括一个位置存储器 158，
5 该存储器储存标明像素 121 和 122 坐标 (x, y) 的位置数据 (该位置数据也可以标明处理元件 141 本身的阵列位置，使得能够确定像素 121 和 122 的坐标 (x, y))。处理元件 141 还包括一个处理器 152，处理器本身包括一个比较器 155。操作中，处理器 152 执行上述的水平确定，以该水平驱动两个耦接到处理元件的像素即像素 21 和 22 中的每一个。
10 处理元件 41 还包括一个像素驱动器 153。

本实施例中由处理元件 141 执行的方法步骤对应于用于前述实施例的图 4 所示流程。再参见图 4，在步骤 s2，处理元件 141 的输入端 151 接收从耦接到显示装置 1 的显示驱动器输入的显示数据。在本实施例中，输入的显示数据包括用于规定要显示的一个或多个图像目标的数据。
15 就坐标 (x, y) 和其它参数规定该图像目标，如参考图 7a 和 7b 所述。为了规定较大的或复杂的图像，例如可以以建成所需形状的多个多边形规定该图像。或者或另外，可以规定设置字符，如 ASCII 字符以及位置矢量。事实上可以采用任何合适的常规的图像定义方法，例如如同用于计算机图形/视频卡中一样。因而这种输入显示数据涉及显示图像目标所需的多个像素。
20 示图像目标所需的多个像素。

在步骤 s4，处理元件 141 的处理器 152 通过利用比较器 155 确定对像素 21、22 的各个显示设置，其中比较器 155 比较根据接收到的图像指标需要被驱动的像素坐标与像素 121 及 122 的像素坐标。

在步骤 s6，如果上述比较过程的结论需要，处理元件 41 以输入的
25 图像数据中规定的像素显示设置、即强度和/或颜色水平驱动像素 21 和/或像素 22。

应该理解，因为可以简单地定义包含大量像素的图像目标，不需要规定每个像素的设置，所以本实施例中的输入数据代表压缩数据。结果，对于假设为 1024×768 个像素的显示装置，可以用低至几 kHz 的数据速率代替 100MHz 的数据速率。
30 数据速率代替 100MHz 的数据速率。

在本实施例中，所有的处理元件 141 - 148 并联连接到一条数据输入线 161。但是，也可以有很多别的选择。图 10 表示连接到处理元件

141-148 的另一种配置（为了清楚起见，该图中省去了像素）。还设置了单条数据输入线 161，但当处理元件 141-148 以两条串联的链分布时单条数据输入线又分裂，处理元件（除了在每条串联链端部的一个）每个除了有前述的输入连接端外还有一个输出连接端。这允许在
5 每个处理元件 141-148 之内缓冲寄存信息，与不缓冲寄存地沿大面积显示中的长线路传递数据相比，提供了降低信号衰减的可能性。

图 11 表示连接到处理元件 141-148 的另一种配置示图。在此配置中，对整个像素阵列的输入图像数据初始提供在单条数据输入线 161，但然后输入到预处理器 170。预处理器有两个单独的输出端，一
10 端连接到第一行处理元件 141、143、145、147，另一端连接到第二行处理元件 142、144、146、148。预处理器 170 分析输入数据且只向每行处理元件传送规定显示目标的输入数据，其中显示的目标位于与该行处理元件相关联的像素阵列区中。在其它更复杂或更大的阵列中，可以按照需要选择预处理器的输出数量。另一种可能性是提供的输入
15 数据已经根据像素阵列的不同区域而被分开，在这种情况下可以给每个相应的处理元件组提供单独的直接输入。

图 12 是连接到处理元件 141-148 的另一种配置的示图。在此配置中，输入图像数据以两个组成部分提供。第一部分规定显示设置（如强度和/颜色）。此部分数据经并联连接到每个处理元件 141-148 的
20 显示设置输入线 180 输入到处理元件。输入数据的第二部分是规定显示该显示设置的像素的定位数据。此定位数据经也并联连接到每个处理元件 141-148 的定位输入线 182 输入给处理元件。对于此连接布局，每个处理元件的功能模块的分布如参见图 9 的描述，除了处理器 152 中不包含比较器 155，并且定位存储器 158 改造如下。定位存储器
25 158 由位置处理模块代替，该模块不仅储存相关联像素的位置，而且还充当对图 12 所示位置输入线 182 的输入端。位置处理模块还包括一个比较器，进行要显示的像素位置和与处理元件相关联的像素的像素位置的比较。如果与该处理元件相关联的一个或多个像素对应于该图像的像素位置，则相关像素的标识被送入到带有在基础输入端 151 接收
30 到的数据设置的处理器 152，并且处理器 152 将该数据设置送入像素驱动器 153 以驱动相关的一个或多个像素。

在上述定位实施例中，就坐标 (x, y) 规定像素的位置。但也可以

用其它的方案规定或确定各个像素。例如，每个像素可以通过唯一的号或其它编码简单地鉴定，即每个像素有唯一的地址。这些地址不需要按照像素的位置分配。然后输入数据规定需要显示的那些像素的像素地址。如果以与像素位置相关的系统数字顺序分配像素地址，则当可能时通过规定要显示的几组连续像素中的端部像素可进一步压缩输入数据。

以上所有的位置实施例只标识了较为简单的几何分布。但应该理解，还可以采用更复杂的分布。例如，与每个处理元件相关联的像素数量可以多于2，例如可以是四个像素与每一个处理元件相关联，并且按照与图5和图6中内插法实施例相同的轮廓分布。如同前述内插法实施例的情形一样，在反射型显示装置的情形中还可以在处理元件上再定位一个像素。

另一种可能性是只有一个像素与每一个处理元件相关联。在这种情况下，反射型显示装置中每个像素可以位于其各自的处理元件之上。

除了上述参考图7至12的任何特定细节之外，位置实施例的显示装置1中处理元件和其它元件的制作细节及其它细节均与参见图2至图6所述的内插法实施例的相同。

虽然上述内插法实施例和位置实施例都以液晶显示装置为例实施本发明，但应该知道这些实施例只是例子，本发明可以以任何其它形式的显示装置实施，只要处理元件与像素相关联，如包括等离子体、聚合物发光二极管、有机发光二极管、场发射器、切换镜、电泳、电色和微机械显示装置等。

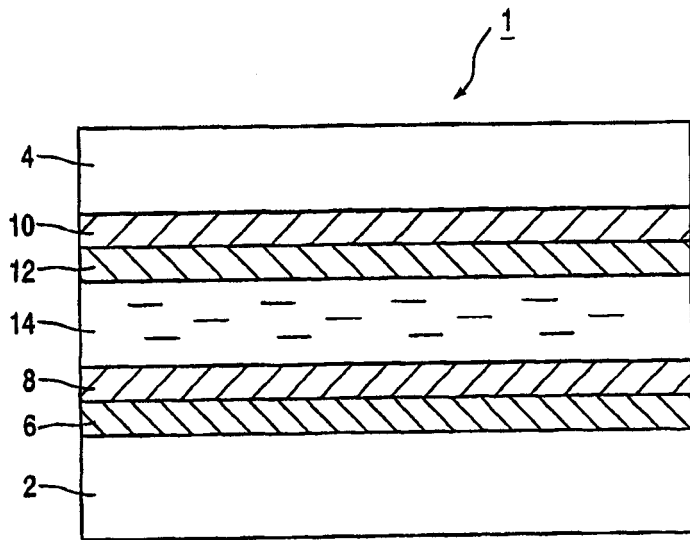


图 1

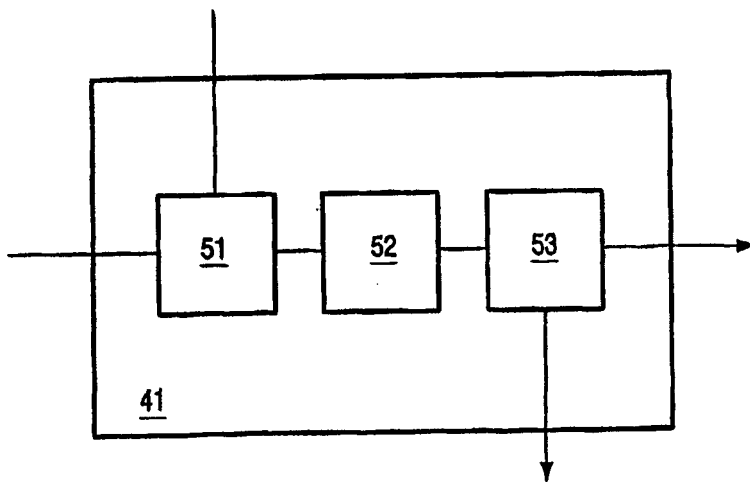


图 3

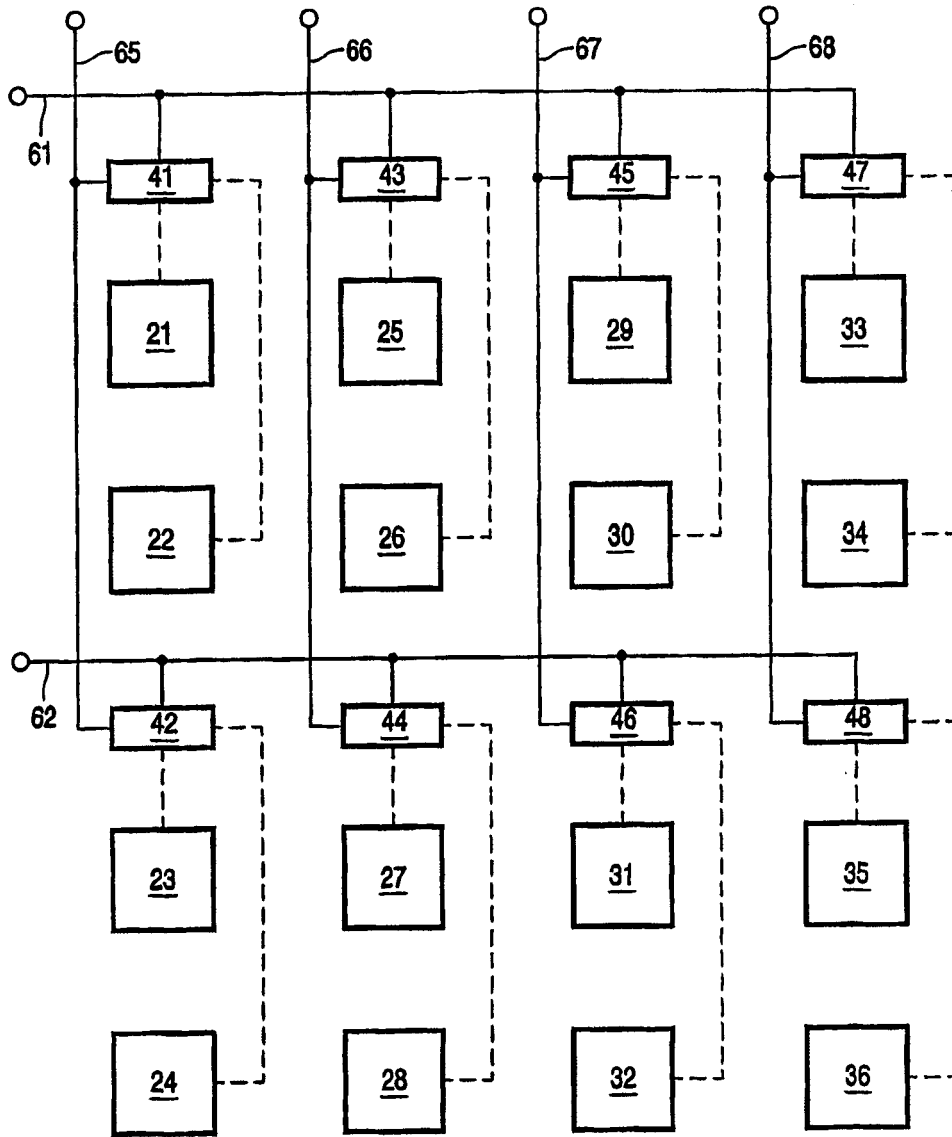


图 2

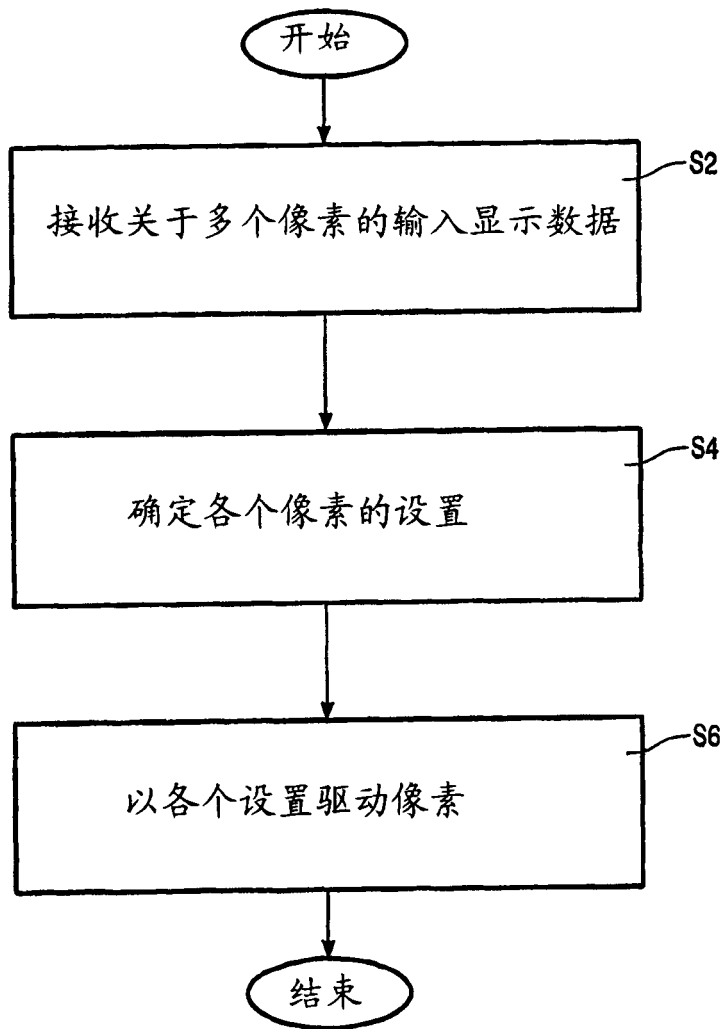


图 4

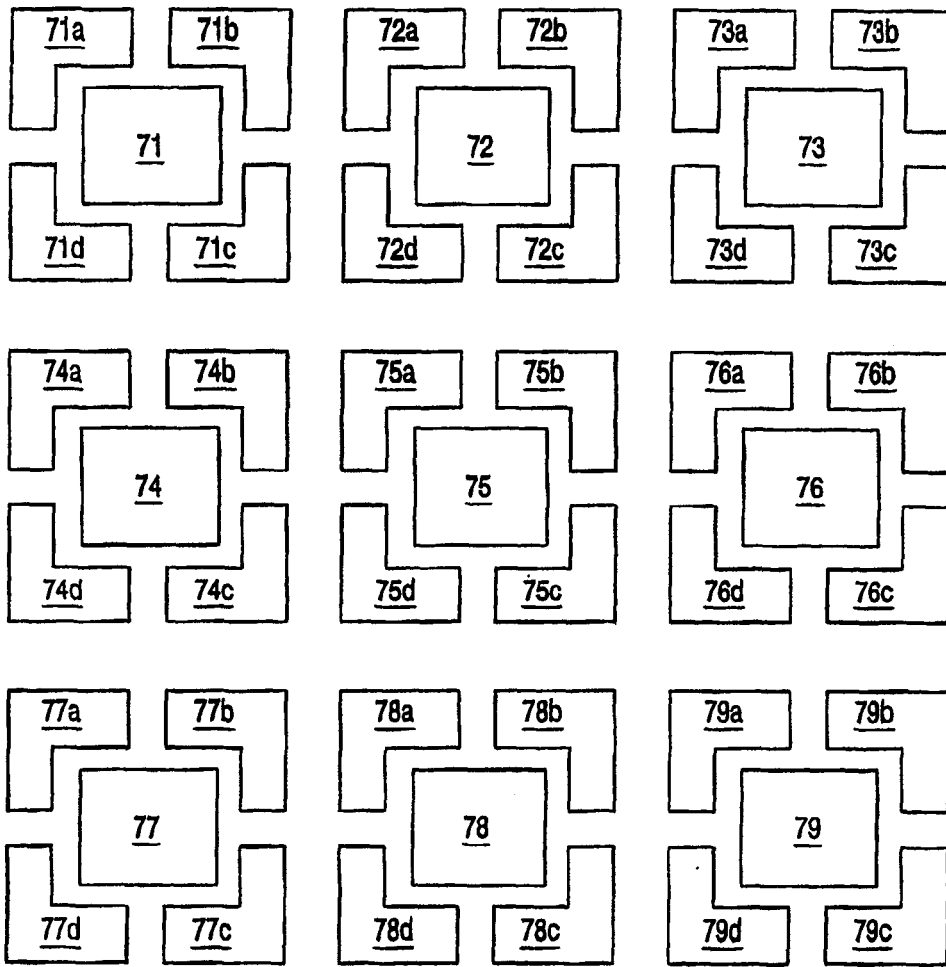


图 5

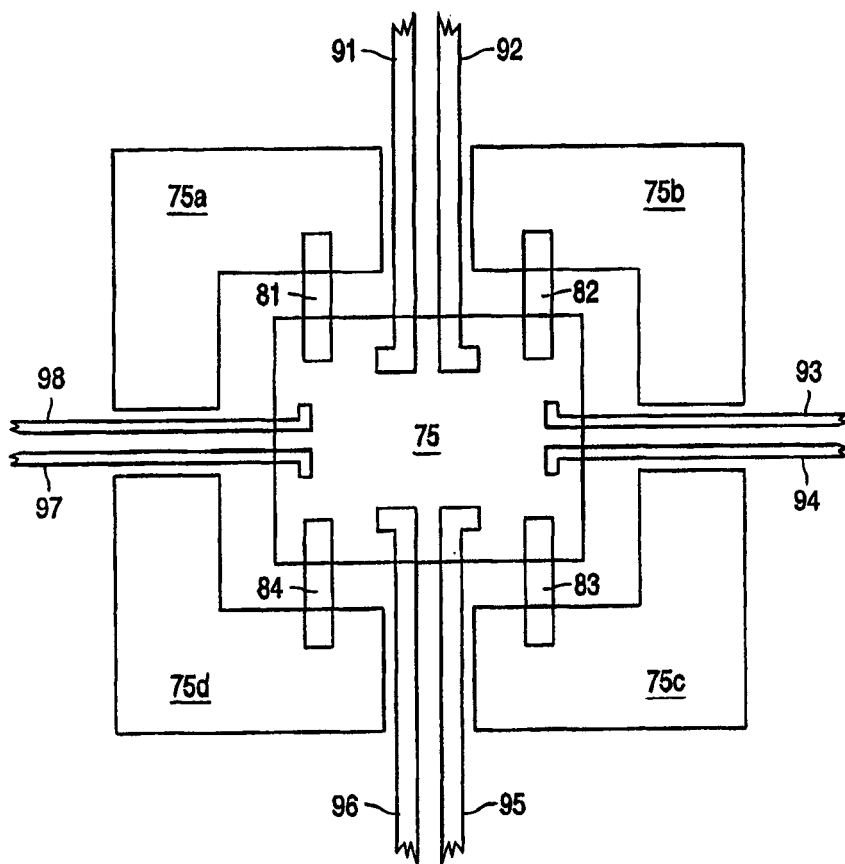


图 6

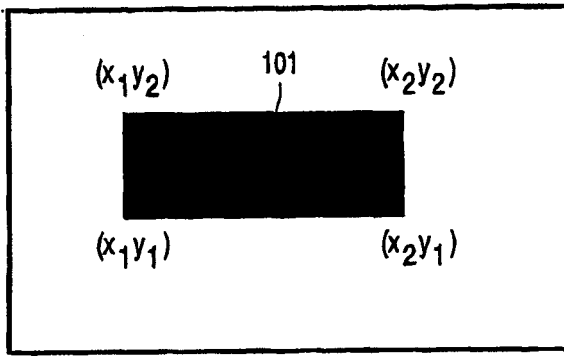


图 7a

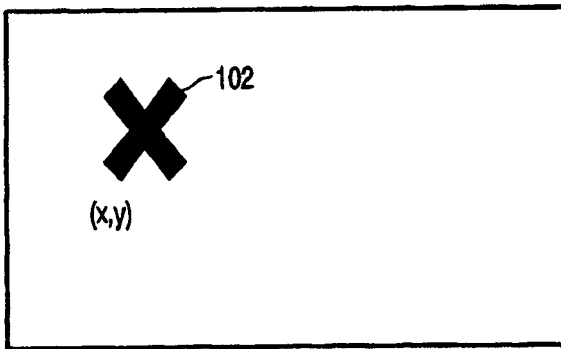


图 7b

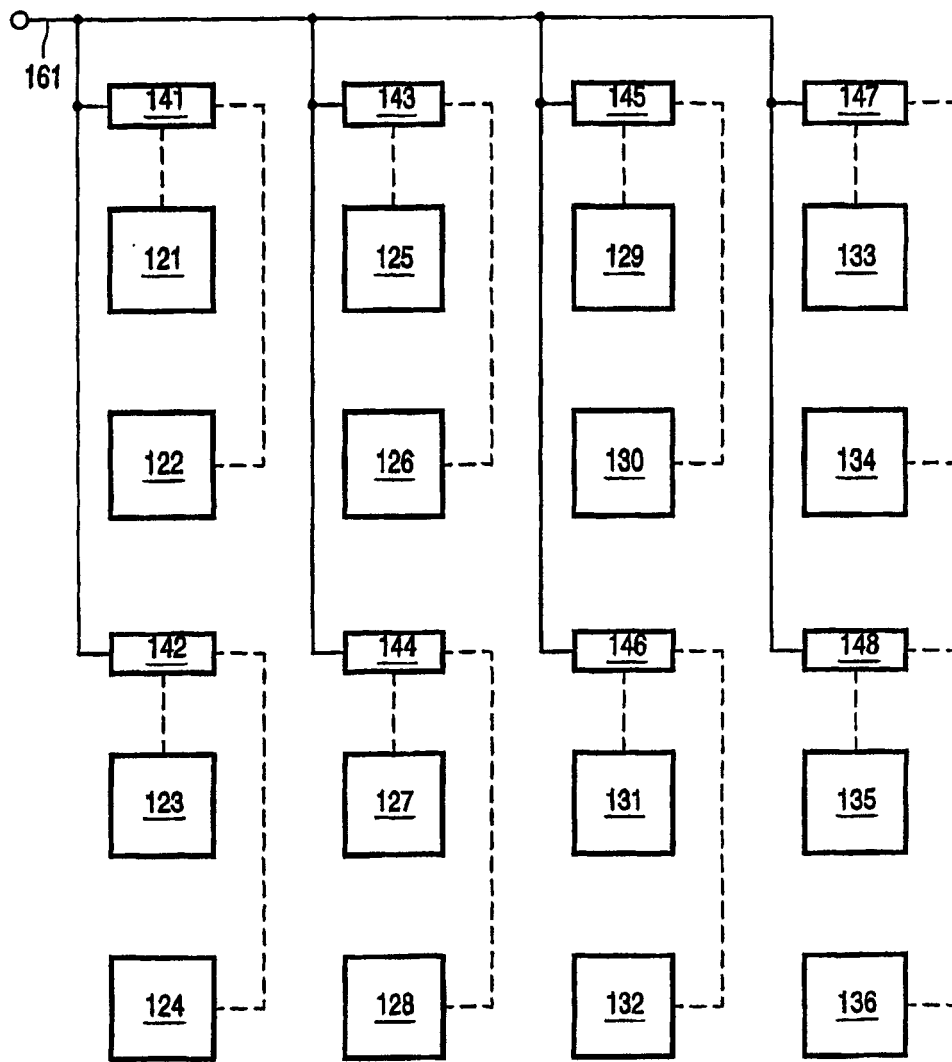


图 8

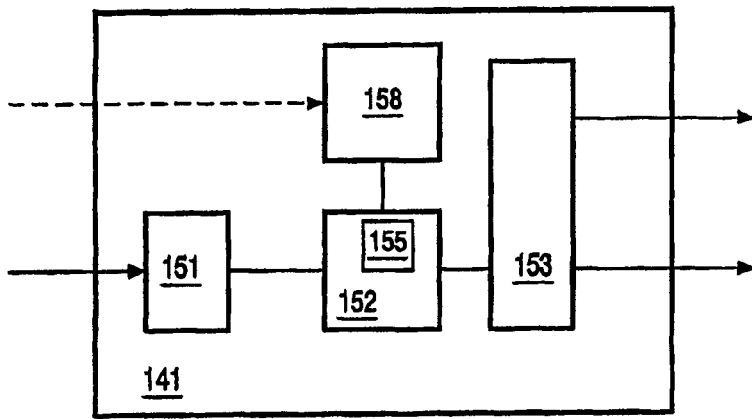


图 9

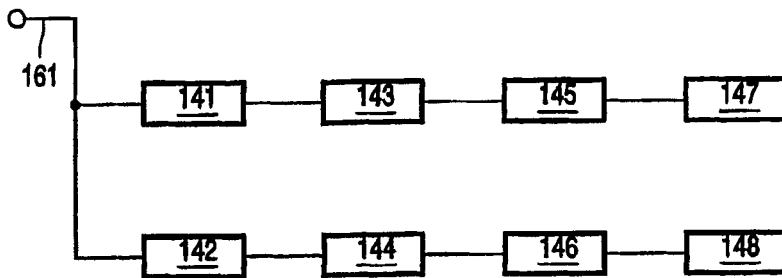


图 10

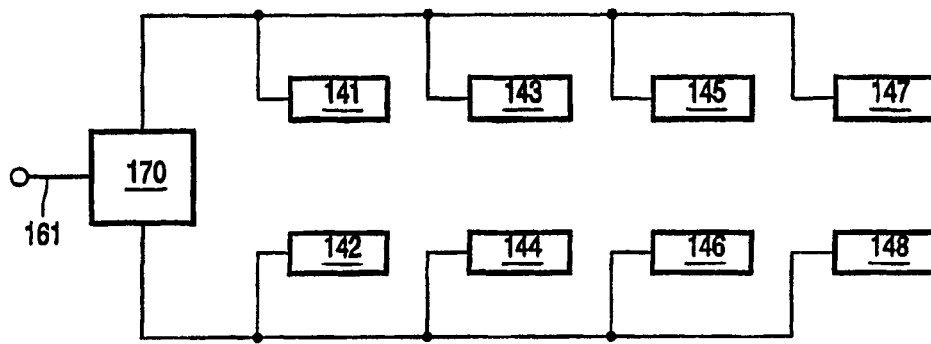


图 11

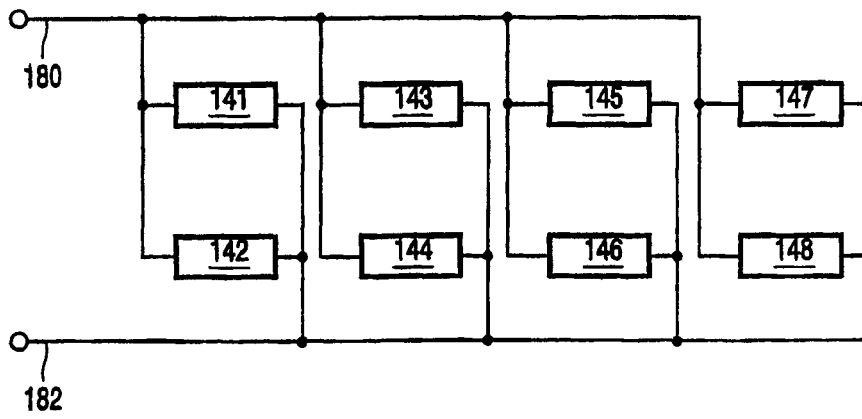


图 12

专利名称(译)	利用处理元件阵列的显示装置及其驱动方法		
公开(公告)号	CN1463418A	公开(公告)日	2003-12-24
申请号	CN02801749.8	申请日	2002-05-17
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子有限公司		
当前申请(专利权)人(译)	皇家飞利浦电子有限公司		
[标]发明人	MJ爱德华兹 IM亨特 MT约翰逊 ND杨		
发明人	M·J·爱德华兹 I·M·亨特 M·T·约翰逊 N·D·杨		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G3/2003 G09G3/2088 G09G2340/02 G09G3/36 G09G3/20 G09G2300/08 G09G3/2085 G09G2340/0407 G09G2300/0426		
代理人(译)	黄力行		
优先权	2001012395 2001-05-22 GB		
其他公开文献	CN1282142C		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种显示装置如液晶显示装置(1)及其驱动方法，避免需要给显示装置提供包含对每个像素的各项显示设置的显示数据(如视频)。显示装置包括一个像素阵列(21 - 36, 71a - 79d, 121 - 136)和一个处理元件阵列(41 - 48, 71 - 79, 141 - 148)，每个处理元件与一个或一组像素相关联。处理元件(41 - 48, 71 - 79, 141 - 148)以像素水平执行压缩的输入显示数据的处理。处理元件(41 - 48, 71 - 79, 141 - 148)对输入数据解压以确定对与其相关联的一个或一组像素的像素设置。然后处理元件(41 - 48, 71 - 79, 141 - 148)以各自的设置驱动像素(21 - 36, 71a - 79d, 121 - 136)。处理元件可以从分配给其的以及分配给一个或多个相邻的处理元件的输入数据中内插像素设置。或者，处理元件可以有与其相关联的像素的像素位置信息，并利用该信息决定是否需要响应于由多个处理元件接收到的公共输入数据驱动一个或多个像素。

