



(12) 发明专利申请

(10) 申请公布号 CN 102820011 A

(43) 申请公布日 2012. 12. 12

(21) 申请号 201210262405. 3

G09G 3/20 (2006. 01)

(22) 申请日 2007. 12. 11

(30) 优先权数据

10-2006-0125334 2006. 12. 11 KR

(62) 分案原申请数据

200710196827. 4 2007. 12. 11

(71) 申请人 三星电子株式会社

地址 韩国京畿道水原市

(72) 发明人 吕章铉 金宇哲 朴宰亨

(74) 专利代理机构 北京铭硕知识产权代理有限公司

公司 11286

代理人 王兆庚

(51) Int. Cl.

G09G 3/36 (2006. 01)

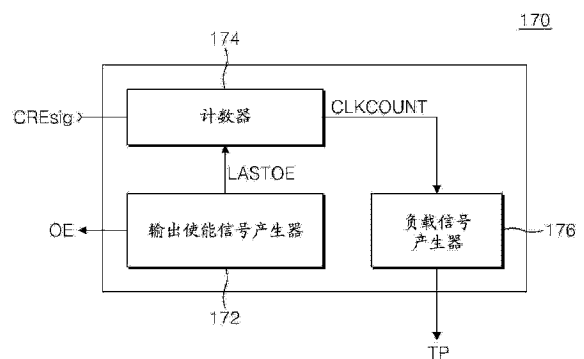
权利要求书 1 页 说明书 15 页 附图 9 页

(54) 发明名称

补偿栅极驱动信号的延迟的液晶显示装置和方法

(57) 摘要

提供了补偿栅极驱动信号的延迟的液晶显示装置和方法。所述液晶显示装置包括：栅极驱动移位寄存器，具有对称地分开的电路部分，通过所述电路部分，在对 LCD 装置的行进行行波传送扫描期间从多根栅极线中的每根栅极线的两端双重驱动每根栅极线。所述 LCD 装置包括产生输出使能信号和栅极时钟的时序控制器，其中，所述时序控制器调节负载信号的时序以决定数据将被加载到当前激活的显示行的数据输出时刻。所述数据输出时刻是延迟测量反馈信号的函数，所述延迟测量反馈信号被用于测量移位寄存器的顺序连接的各级的累积延迟。



1. 一种液晶显示装置,包括:
栅极驱动电路,产生包括复位信号的栅极驱动信号;
时序控制器,通过将复位信号和与所述复位信号相应的输出使能信号相比较来计算栅极驱动信号的延迟时间,并响应于延迟时间来调节负载信号的时序以决定数据输出时刻。
2. 如权利要求1所述的液晶显示装置,还包括:削波单元,向时序控制器提供通过对复位信号进行削波而产生的经过削波的复位信号。
3. 如权利要求2所述的液晶显示装置,所述时序控制器包括:
输出使能信号产生器,提供输出使能信号;
计数器,通过将经过削波的复位信号与一帧的最后的输出使能信号相比较来产生时钟计数信号;
负载信号产生器,响应于时钟计数信号来调节负载信号的时序。
4. 如权利要求3所述的液晶显示装置,其中,栅极驱动电路包括具有多个彼此串联的级的移位寄存器,其中,所述多个级包括产生复位信号的哑级。
5. 如权利要求4所述的液晶显示装置,其中,计数器将与从输出使能信号的上升时刻到经过削波的复位信号的上升时刻的间隔相应的时钟数作为时钟计数信号而产生。
6. 如权利要求5所述的液晶显示装置,其中,负载信号产生器通过将向其提供栅极驱动信号的栅极线的数量除以时钟计数信号的值来计算栅极驱动信号的延迟时间,并相应于计算的栅极驱动信号的延迟时间来延迟负载信号的下降时刻。
7. 一种减小栅极驱动信号的延迟的方法,包括:
复位信号反馈步骤,将作为栅极驱动电路的哑级的输出信号的复位信号反馈到时序控制器;
延迟时间计算步骤,通过将复位信号与相应于所述复位信号的输出使能信号相比较来计算从栅极驱动电路产生的栅极驱动信号的延迟时间;和
负载信号时序调节步骤,响应于所述延迟时间来调节负载信号的时序以决定数据的输出时刻。
8. 如权利要求7所述的方法,其中,复位信号反馈步骤包括:将复位信号削波到预定的电压电平,然后将经过削波的复位信号反馈到时序控制器。
9. 如权利要求8所述的方法,其中,延迟时间计算步骤包括:通过对与从输出使能信号的上升时刻到经过削波的复位信号的上升时刻的间隔相应的时钟数进行计数来产生时钟计数信号。
10. 如权利要求9所述的方法,其中,负载信号时序调节步骤包括:通过将向其提供栅极驱动信号的栅极线的数目除以时钟计数信号的值来计算栅极驱动信号的延迟时间,并相应于计算的栅极驱动信号的延迟时间来延迟负载信号的下降时刻。
11. 如权利要求10所述的方法,其中,复位信号反馈步骤还包括:分析水平线可视现象,所述现象在下述情况下出现:栅极驱动电路顺序地将栅极驱动信号施加到多根栅极线时,由于栅极驱动电路产生的延迟而引起的栅极驱动信号晚于数据的输出时刻被施加。

补偿栅极驱动信号的延迟的液晶显示装置和方法

[0001] 本申请是申请日为 2007 年 12 月 11 日、申请号为 200710196827.4、发明名称为“补偿栅极驱动信号的延迟的液晶显示装置、系统和方法”的发明专利的分案申请。

技术领域

[0002] 本发明的公开涉及一种液晶显示装置,更具体地讲,涉及一种包括用于减小其脉冲调制的栅极驱动信号的延迟的装置的液晶显示(LCD)装置。

背景技术

[0003] 通常,液晶显示(LCD)装置具有用于显示视频图像的 LCD 面板、用于产生 LCD 面板的数据线信号的数据驱动单元和用于产生 LCD 面板的栅极线信号的栅极驱动单元。LCD 面板包括多根栅极线、多根交叉数据线和多个像素。每个像素通常包括薄膜晶体管(TFT)和定义液晶电容器的一对相对的电极区。数据驱动单元将其数据信号(通常是模拟信号)输出到所述面板的各个数据线,栅极驱动单元将其栅极驱动信号(通常是脉冲调制的数字信号)输出到所述面板的各个栅极线。

[0004] 通常通过与用于 TFT 的相同制作工艺来在 LCD 面板上形成栅极驱动单元。数据驱动单元通常具有芯片型的构造,其芯片或者封装体被连接到 LCD 面板的外围区域。栅极驱动单元通常包括具有多个级(stage)的移位寄存器。每一级被连接到相应的一根栅极线上,并输出相应的栅极驱动脉冲或信号。

[0005] 栅极驱动单元被构造为顺序输出栅极线激活脉冲,所述栅极线激活脉冲好像沿着显示面板的行级联从而按行扫描,一次一行。移位寄存器的级相互串联,从而当前(第 N)级的输入端被连接到前一(第 N-1)级的输出端,下一(第 N+1)级的输出端被连接到当前(第 N)级的控制端。而且,起始信号被输入到多个级的第一(N=1)级以通过下移栅极脉冲来开始行的顺序扫描。

[0006] 在一个实施例中,上述结构的栅极驱动单元被设置为分别在 LCD 面板的左边和右边布置的左电路部分和右电路部分。在一个特定设计中,左栅极驱动电路部分只驱动奇数的栅极线,而右栅极驱动电路部分只驱动偶数的栅极线。因此,尽管该特定设计的栅极驱动单元具有布置在显示面板的左边和右边的多个部分,但是它还是被用作一个驱动系统。

[0007] 这种具有分离的左边和右边部分的单个驱动系统有时会存在下面的问题:由于通过左右驱动部分被施加到从显示面板的相对的边输入的栅极线激活脉冲的栅极线传播延迟而引起可看见以左边和右边水平线或者条纹的形式的伪像。额外的延迟可通过所谓的 ASG(Amorphous Silicon Gate)延迟被施加给栅极线激活脉冲。

[0008] 这里的栅极线延迟是指:随着从左和右栅极驱动电路部分交替施加的栅极驱动信号传播到相应的栅极线的前面部分,然后向着栅极线的末端传播,所述栅极驱动信号被不同地延迟。所述栅极线延迟可引起连接到栅极线远端的像素充电到期望的像素电极电压(与数据线电压相应)的时间不充足,从而减小了相应像素的亮度。在这种情况下,在两根彼此相邻的栅极线的左边或右边产生两根彼此相邻的栅极线之间的亮度差,这使得水平线或

条纹可视现象不期望地出现在显示器的左边缘和右边缘。

[0009] 这里的 ASG 延迟是指：栅极驱动脉冲信号有时晚于将与栅极驱动脉冲有关的相应数据输出时隙而被施加到给定 TFT 的栅极，这是由于在栅极驱动电路被设计为按开环方式顺序地将栅极驱动脉冲信号施加到多根栅极线的情况下栅极驱动电路本身的延迟变化。所以，存在这样的问题：因为开环栅极驱动电路与数据驱动电路的时序不完全同步或者相反，所以连接到位于 LCD 面板的下部分的第 N 栅极线的像素的亮度比与最初显示的数据信号的值相应的亮度低。例如，在数据线驱动单元在与数据驱动单元相关的各个时隙分别提供绿色电平(G)的数据信号和蓝色电平(B)的数据信号的情况下，如果栅极驱动信号被顺序施加到多根栅极线，会发生这样的问题：随着向 LCD 面板下部移动，所显示的蓝色电平(B)的亮度低于所设想的将根据表示蓝色电平(B)的数据信号最初显示的蓝色(B)电平的亮度。

发明内容

[0010] 根据本公开，提供了一种能够减小栅极驱动单元的延迟问题的液晶显示器和方法，其中，通过在每根栅极线的两端提供栅极驱动电路部分来从两端双重驱动每根栅极线，并且通过反馈栅极驱动电路的复位信号来补偿栅极驱动和数据线驱动电路之间的同步延迟问题。

[0011] 在一个示例性实施例中，一种液晶显示装置包括：时序控制器，产生输出使能信号和栅极时钟信号，所述时序控制器调节负载信号的时序以便确定数据输出时刻。所述装置包括：电平变换器，响应于输出使能信号和栅极时钟来产生栅极时钟脉冲。所述装置包括：栅极驱动电路，通过响应于栅极时钟脉冲产生第一栅极驱动信号来顺序地驱动多根栅极线；并且所述装置包括：削波单元，向时序控制器提供通过对第一栅极驱动信号进行削波而产生的第二栅极驱动信号，其中，所述时序控制器测量栅极驱动电路的实际延迟(比如从显示帧的扫描启动到该帧的结束)，然后计算与栅极驱动电路的级相关的每行延迟时间。计算的每行延迟时间被用于根据在给定帧中累积扫描的行数来调节负载信号的时序。

[0012] 电平变换器产生栅极导通电压电平和栅极截止电压电平的栅极时钟脉冲。

[0013] 栅极时钟脉冲包括具有与栅极时钟脉冲的相位相反的相位的栅极时钟条脉冲。

[0014] 第一栅极驱动信号包括用于复位栅极驱动电路的复位信号。

[0015] 栅极驱动电路被集成在上面形成有栅极线的液晶显示面板上，并且所述栅极驱动电路在栅极线的两端被双重形成以双重驱动栅极线。

[0016] 栅极驱动电路包括具有多个以行波传送方式相继串联连接的级的移位寄存器。

[0017] 所述多个级分别被连接到多根栅极线。

[0018] 所述多个级包括产生复位信号的哑级，所述复位信号被连接到所有的级以在对显示帧进行垂直扫描结束时对它们进行复位。

[0019] 时序控制器包括：输出使能信号产生器，提供与一帧的结束相应的最后的输出使能信号；计数器，通过将经过削波的复位信号与一帧的最后的输出使能信号相比较来产生时钟计数信号，从而确定实际延迟与理想状况相差多少；负载信号产生器，基于每行扫描和为整个帧测量的行波传送延迟来调节负载信号的时序。

[0020] 在另一示例性实施例中，一种液晶显示器包括：栅极驱动电路，产生包括复位信号的栅极驱动信号；时序控制器，通过将复位信号和与复位信号相应的输出使能信号相比较

来计算栅极驱动信号的延迟时间,所述时序控制器响应于延迟时间来调节负载信号的时序以决定数据输出时刻。

[0021] 所述液晶显示器还包括:削波单元,向时序控制器提供通过对复位信号进行削波而产生的经过削波的复位信号。

[0022] 所述时序控制器包括:输出使能信号产生器,提供输出使能信号;计数器,通过将经过削波的复位信号与一帧的最后的输出使能信号相比较来产生时钟计数信号;负载信号产生器,响应于时钟计数信号来调节负载信号的时序。

[0023] 栅极驱动电路包括具有多个彼此串联的级的移位寄存器,其中,所述多个级包括产生复位信号的哑级。

[0024] 计数器将与从输出使能信号的上升时刻到经过削波的复位信号的上升时刻的间隔相应的时钟数作为时钟计数信号而产生。

[0025] 负载信号产生器通过将设置在显示器中的栅极线的数量除以时钟计数信号的值来计算栅极驱动信号的延迟时间,并相应于计算的栅极驱动信号的延迟时间延迟负载信号的下降时刻。

[0026] 在另一示例性实施例中,一种减小栅极驱动信号的延迟的方法包括:复位信号反馈步骤,将作为栅极驱动电路的哑级的输出信号的复位信号反馈到时序控制器;延迟时间计算步骤,通过将复位信号与相应于所述复位信号的输出使能信号相比较来计算从栅极驱动电路产生的栅极驱动信号的延迟时间;和负载信号时序调节步骤,响应于延迟时间来调节负载信号的时序以决定数据的输出时刻。

[0027] 复位信号反馈步骤包括:将复位信号削波到预定的电压电平,然后将经过削波的复位信号反馈到时序控制器。

[0028] 延迟时间计算步骤包括:通过对与从输出使能信号的上升时刻到经过削波的复位信号的上升时刻的间隔相应的时钟数进行计数来产生时钟计数信号。

[0029] 负载信号时序调节步骤包括:通过将向其提供栅极驱动信号的栅极线的数目除以时钟计数信号的值来计算栅极驱动信号的延迟时间,并相应于计算的栅极驱动信号的延迟时间来延迟负载信号的下降时刻。

[0030] 应该理解上述的对本发明的公开的初步描述和下面的详细描述都是示例性和解释性的,并且意在进一步提供解释而不作为限制。

附图说明

[0031] 被包括在本公开中以提供对本公开的进一步的理解的附图示出了各种实施例。在附图中:

[0032] 图 1 是根据本公开的一个实施例的 LCD 装置的框图;

[0033] 图 2 是用于解释图 1 所示的时序控制器的输入/输出信号关系的框图;

[0034] 图 3 是图 2 中所示的时序控制器的框图;

[0035] 图 4 是图 1 中所示的第一电平变换器的电路图;

[0036] 图 5 是图 1 所示的第一和第二栅极驱动电路的框图;

[0037] 图 6 是图 5 中所示的第一栅极驱动电路的级的示例性电路图;

[0038] 图 7 是图 1 中所示的 LCD 装置的操作时序图;

[0039] 图 8 是根据本公开的一个实施例的减小 ASG 延迟的方法的流程图；

[0040] 图 9A 到图 9D 是用于解释图 8 所示的 ASG 延迟减小方法的信号的时序图。

具体实施方式

[0041] 现在将详细描述在附图中示出的实施例，具体地讲，贯穿附图，相同的标号被用于指示相同的或相似的部分。

[0042] 图 1 是根据一个实施例的 LCD 装置 100 的框图。LCD 装置 100 包括 LCD 面板 110、数据驱动电路 120、左边的第一栅极驱动电路 130、右边的第二栅极驱动电路 140、左边的第一电平变换器 150、右边的第二电平变换器 160、时序控制器 170、电源单元 180 和削波单元 190。

[0043] LCD 面板 110 包括包含 TFT 的基底 112、包含基底的滤色器(未示出)和插入到 TFT 基底 112 和滤色器基底之间的液晶材料(未示出)。

[0044] TFT 基底 112 包括显示区 DA、第一组外围区 PA1、PA1' (在左右两侧) 和第二外围区 PA2 (在顶部)。显示区 DA 被设置有以第一方向延伸的栅极线 GL1 到 GLn、以不同的第二方向延伸的数据线 DL1 到 DLm 和多个像素，每个像素被连接到栅极线 GL1 到 GLn 和数据线 DL1 到 DLm 中相邻的栅极线和数据线。第一组外围区 PA1、PA1' 分别设置有用于驱动栅极线 GL1 到 GLn 的各个末端的第一和第二栅极驱动电路部分 130 和 140 (左侧和右侧)。而且，用于驱动数据线 DL1 到 DLm 的数据驱动电路 120 位于第二外围区 PA2。如上所述，第一组外围区 PA1 和 PA1' 与栅极线 GL1 到 GLn 的两端相邻，第二外围区 PA2 是与数据线 DL1 到 DLm 的一端(即顶端)相邻的区域。

[0045] 每个像素，例如，一个像素包括连接到相邻的栅极线(例如 GL1) 和相邻的数据线(例如 DL1)的相应 TFT(示出一个)。每个像素的等效电路可被看作包括连接到 TFT 的漏端的 LCD 电容器 CLC 和也连接到同一漏端的存储电容器 CST。TFT 的栅极和源级被分别连接到栅极线 GL1 和数据线 DL1。LCD 电容器 CLC 包括像素电极(没有明确地显示但是应该理解为覆盖了像素区的重要部分)、共电极的相对部分和插入到两个电极之间并用作介电材料的液晶分子。

[0046] 滤色器基底通常设置有用于防止在像素区、多个不同颜色的滤色器(R、G 和 B) 和共电极之间的光泄露的黑矩阵。如本领域的技术人员所理解的，液晶是具有介电各向异性的物质，并且通过根据施加到共电极的电压和施加到像素电极的电压之间的差而被旋转，可用于调节偏振光的透射率。

[0047] 第一栅极驱动电路 130 和第二栅极驱动电路 140 被集成在第一组外围区 PA1、PA1'，更具体地讲，如所示出的那样它们被集成在 LCD 面板 110 的相对的两侧，从而使得栅极线 GL1 到 GLn 布置在其间。第一栅极驱动电路 130 和第二栅极驱动电路 140 的各个栅极线驱动输出连接到栅极线 GL1 到 GLn 每一根的末端。第一栅极驱动电路 130 和第二栅极驱动电路 140 通过从栅极线 GL1 到 GLn 的每一根的两端施加栅极驱动脉冲来双重驱动栅极线 GL1 到 GLn 的每一根，其中，所述脉冲被顺序地一次施加到一根栅极线，从而影响垂直扫描操作。第一和第二栅极驱动电路的至少一个，例如，第一栅极驱动电路 130 提供复位信号 REsig，所述复位信号用于在垂直帧扫描结束时复位栅极驱动电路 130。如所示出的那样，这个帧末端的复位信号 REsig 被连接到削波单元 190。削波单元 190 产生 CREsig 信号作为响

应,所述 CREsig 信号被连接到时序控制器 170 以向后面的时序控制器 170 指示栅极驱动电路 130 现在已经输出其帧末端的复位信号 REsig。

[0048] 数据驱动电路 120 从时序控制器 170 接收数据时序控制信号,并提供一组与将沿着像素的当前激活的行显示的数据相应的模拟驱动电压作为响应,其中,提供的模拟驱动电压作为预定的灰度级显示电压被分别施加到数据线 DL1 到 DLm 的顶端。在一个实施例中,数据驱动电路 120 用单块集成芯片实现,所述单块集成芯片的基底或者封装被加载在(例如被粘接到) TFT 基底 112 的第二外围区 PA2。尽管没有显示所有的连接,但是数据驱动电路 120 经过连接到第二外围区 PA2 的柔性印刷电路板 102 被连接到时序控制器 170 和电源单元 180。

[0049] 尽管所示实施例的数据驱动电路 120 被示例性地通过 COG (玻璃覆晶封装, chip on glass) 技术装载在 TFT 基底 112 上,但是所述数据驱动电路 120 也可以以多种其他方式装载。例如,可通过 TCP (载带封装, tape carrier package) 技术来装载所述数据驱动电路 120。对于另一实例,与第一栅极驱动电路 130 和第二栅极驱动电路 140 一样,数据驱动电路 120 可直接被集成在 TFT 基底 112 上。

[0050] 第一电平变换器 150 和第二电平变换器 160 从时序控制器 170 接收栅极控制信号,并从电源单元 180 接收驱动电压,它们产生各个左栅极驱动信号和右栅极驱动信号,所述左栅极驱动信号和右栅极驱动信号用于驱动第一栅极驱动电路 130 和第二驱动电路 140。

[0051] 除 CREsig 信号以外,时序控制器 170 从外部单元(未示出)接收一组数字数据信号(例如,RGB 像素数据)和输入控制信号,并且所述时序控制器 170 产生栅极控制信号和数据控制信号作为响应,然后将产生的控制信号施加到第一电平变换器 150 及第二电平变换器 160 和数据驱动电路 120。在一个实施例中,所述数据是 RGB 视频信号。数据控制信号包括负载信号,输入控制信号包括垂直同步信号、水平同步信号、主时钟和数据使能信号。如已经提过的,时序控制器 170 从削波单元 190 接收经过削波的复位信号(CREsig)。响应于接收的经过削波的复位信号(CREsig),时序控制器 170 调节被提供给数据驱动电路 120 的负载信号的时序。

[0052] 电源单元 180 通过使用从外部单元提供的电源电压来产生模拟驱动电压、共电压 VCOM 和栅极驱动电压。电源单元 180 将模拟驱动电压提供给数据驱动电路 120。电源单元 180 将共电压 VCOM 提供给 LCD 面板 110 的共电极。而且,电源单元 180 将栅极驱动电压提供给第一电平变换器 150 和第二电平变换器 160。

[0053] 削波单元 190 从第一栅极驱动电路 130 接收复位信号 REsig、对接收的信号进行削波,然后将经过削波的复位信号 CREsig 提供给时序控制器 170。

[0054] 经过削波的复位信号 CREsig 是将复位信号 REsig 限制到可由时序控制器 170 处理的电压电平而产生的信号。复位信号 REsig 是从栅极驱动电路 130 的哑级(dummy stage)输出的栅极导通电压 VON 或者栅极截止电压 VOFF 的信号,用于在显示器的每个垂直扫描结束时对第一栅极驱动电路 130 进行复位。因此,所述复位信号 REsig 可与扫描信号(垂直同步信号)的起始相结合以指示在第一栅极驱动电路 130 相继按顺序激活所有的显示行的操作中第一栅极驱动电路 130 的累积的延迟。然后将测量的延迟除以扫描线的总数可计算每行的延迟。应该理解,尽管没有显示合适的算术逻辑单元或者微控制器或微处理器可

被用于产生计算的每行的修正量,并且这种计算装置设置有指示给定显示器上预定数量的行的数。注意,所有级的复位输入以及削波电路 190 的输入加载哑级(n+1)的输出。期望但不是必要地,加载哑级(n+1)的输出以与其他级的负载大约相同。为此,哑级(n+1)的栅极线(GL(n+1))可以与附加到哑级的哑栅极焊盘的数目相同或者比哑栅极焊盘的数目小,以可以适合于近似地模拟其他级上的输出负载。

[0055] 在一个实施例(见图 9C)中,削波单元 190 包括通过将具有栅极导通电压 V_{ON} 和栅极截止电压 V_{OFF} 的复位信号 RE_{sig} 的高低幅值分别限制到 3.3v 的电平和地来输出经过削波的复位信号 CRE_{sig} 的削波电路。本领域的技术人员可拥有许多可接受的设计以从其选择执行该功能(见图 9C)的削波电路。因此,这里将省略具体的削波电路的细节。

[0056] 在一个实施例中,时序控制器 170、第一电平变换器 150 和第二电平变换器 160、电源单元 180 和削波单元 190 被安装在控制印刷电路板 104 上。所述控制印刷电路板 104 经柔性印刷电路板 102 被连接到 TFT 基底 112 的第二外围区 PA2。被设置到 LCD 面板 110 的第一栅极驱动电路 130 和第二栅极驱动电路 140 经过数据驱动电路 120 被连接到时序控制器 170 和电源单元 180,或者可经过柔性印刷电路板 102 被直接连接到时序控制器 170 和电源单元 180。

[0057] 图 2 是用于更详细地解释根据图 1 的一个实施例中的时序控制器 170 的输入/输出信号关系的框图。

[0058] 参照图 2,时序控制器 170 将输出使能信号 OE、栅极时钟信号 CVP 和栅极起始信号 STV 提供给第一电平变换器 150 和第二电平变换器 160 中的每一个。而且,时序控制器 170 调节负载信号(TP)的时序,然后响应于从削波单元 190 接收的经过削波的复位信号 CRE_{sig} 的时序将其提供给数据驱动电路 120。

[0059] 同时,通过电源单元 180 向第一电平变换器 150 和第二电平变换器 160 提供作为栅极线驱动电压的栅极导通电压 V_{ON} 和栅极截止电压 V_{OFF} ,并且时序控制器 170 还向第一电平变换器 150 和第二电平变换器 160 提供作为栅极控制信号的输出使能信号 OE、栅极时钟信号 CPV 和栅极扫描起始信号 STV。第一电平变换器 150 和第二电平变换器 160 产生在栅极导通电压 V_{ON} 和栅极截止电压 V_{OFF} 的电平之间变换的相应起始脉冲 $STVP$ 、栅极时钟脉冲 CKV 和栅极时钟条脉冲(gate clock bar pulse)CKVB(反相的栅极时钟)。然后,第一电平变换器 150 和第二电平变换器 160 经过数据驱动电路 120 将产生的脉冲提供给第一栅极驱动电路 130 和第二栅极驱动电路 140。

[0060] 栅极起始信号 STV 是指示一个帧的起始的信号。起始脉冲 $STVP$ 是用于使栅极驱动电路 130 或 140 在一帧中产生第一栅极驱动信号的信号。栅极时钟脉冲 CKV 和反相的栅极时钟条脉冲 CKVB 是相对于彼此具有 180 度相位的时钟,它们被用于在 V_{ON} 和 V_{OFF} 状态之间将各个栅极线的驱动同步。

[0061] 图 3 是可用于图 2 的时序控制器 170 的实施例的框图。

[0062] 参照图 3,示出的时序控制器 170 包括输出使能信号产生器 172、计数器 174 和负载信号产生器 176。

[0063] 输出使能信号产生器 172 将一帧的最后的输出使能信号 $LASTOE$ 提供给计数器 174。这里的一帧的最后的输出使能信号 $LASTOE$ 在时序上对应于用于产生栅极时钟脉冲 CKV 的输出使能信号 OE,所述栅极时钟脉冲 CKV 被提供给用于形成栅极线激活移位寄存器

的串联的活动级(live stage)的末端的哑尾级。使用与用于移位寄存器的其他级一样的制造工艺来制造哑级,从而其响应延迟代表其他级的响应延迟。

[0064] 计数器 174 产生时钟计数器信号 CLOCKCOUNT,所述时钟计数器信号 CLOCKCOUNT 表示经过削波的复位信号 CREsig 的上升时刻和最后的输出使能信号 LASTOE 的相应的上升时刻之间的时间差(见图 9D)。然后计数器 174 将时钟计数器信号提供给负载信号产生器 176。时钟计数器信号 CLOCKCOUNT 是按照参考系统时钟对栅极驱动信号的延迟时间进行计数而产生的信号。

[0065] 负载信号产生器 176 响应于时钟计数器信号 CLOCKCOUNT 来调节负载信号 TP 的下降时刻。这是因为,数据驱动电路 120 在负载信号 TP(见图 7)的下降时刻为数据线输出新数据。

[0066] 由于根据本公开的一个实施例的 LCD 装置能够调节负载时间(例如,TP 脉冲的下降沿),以通过将栅极驱动电路的典型复位信号(REsig)反馈到其的方式补偿栅极驱动电路的栅极驱动信号的输出延迟,所以所述示例性设计能够解决这样的问题:由于栅极驱动电路本身的延迟栅极驱动信号晚于数据输出施加而引起的亮度比连接到设置在 LCD 面板的下部的栅极线的像素最初显示的数据的亮度低。

[0067] 图 4 是图 1 所示的第一电平变换器的实施例的电路图。第一电平变换器 150 包括第一电平变换单元 152、第二电平变换单元 154 和第三电平变换单元 156。

[0068] 第一电平变换单元 152 产生在 VON 和 VOFF 之间变换的栅极时钟脉冲 CKV,并且所述栅极时钟脉冲 CKV 被提供给第一栅极驱动电路。通过对输出使能信号 OE 和提供的栅极时钟信号 CPV 执行第一逻辑运算 LG1(即,或运算、与运算等),并将高低电压电平放大来产生经过电平变换的时钟脉冲 CKV。为此,如所示出的那样,第一电平变换单元 152 包括逻辑运算单元 LG1、驱动反相器 INV1 和全摆幅(full swing)CMOS 反相器 153。

[0069] 在一个实施例中,第一逻辑运算单元 LG1 对输出使能信号 OE 和栅极时钟信号 CPV 执行或运算。驱动反相器 INV1 将逻辑运算单元 LG1 的输出反相,然后将其放大到全摆幅反相器 153 的驱动电平。全摆幅反相器 153 响应于驱动反相器 INV1 的输出对时钟信号进行第二次反相,并产生电平为栅极导通 / 截止电压 VON/VOFF 的栅极时钟脉冲 CKV。

[0070] 第二电平变换单元 154 通过对输出使能信号 OE 和栅极时钟信号 CPV 执行第二逻辑运算 LG2 并放大电压电平来将栅极时钟条脉冲 CKVB 施加到第一栅极驱动电路。为此,第二电平变换单元 154 包括逻辑运算单元 LG2、逻辑反相器 INV2、驱动反相器 INV3 和全摆幅反相器 155。栅极时钟条信号 CKVB 是将栅极时钟脉冲 CKV 的相位反相而产生的时钟。

[0071] 第二逻辑运算 LG2 对输出使能信号 OE 和栅极时钟信号 CPV 执行或运算。逻辑反相器 INV2 将逻辑运算单元 LG2 的输出进行反相并进行输出。驱动反相器 INV3 将逻辑反相器 INV2 的输出的相位进行反相,然后将其放大到全摆幅反相器 155 的驱动电平。全摆幅反相器 155 响应于驱动反相器 INV3 的输出产生电平为栅极导通 / 截止电压 VON/VOFF 的栅极时钟条脉冲 CKVB。

[0072] 第三电平变换单元 156 接收输出使能信号 OE 和栅极起始信号 STV,然后产生栅极导通 / 截止电压 VON/VOFF 的起始脉冲 STVP。起始脉冲 STVP 与栅极起始脉冲 STV 具有相同的周期和脉冲宽度,并具有栅极导通 / 截止电压 VON/VOFF 的电平。除 LG1 被与运算功能代替之外,可用与 152 相似的电路来实现第三电平变换单元 156。

[0073] 第二电平变换器 160 的结构基本上与第一电平变换器 150 的相同,为了简明起见,这里将省略对它的进一步的详细描述。

[0074] 图 5 是图 1 所示的第一和第二栅极驱动电路的详细实施的框图。

[0075] 参照图 5,第一栅极驱动电路 130 和第二栅极驱动电路 140 被布置为与显示区 DA 的两侧相邻,以分别双重驱动使用中的栅极线 GL1 到 GLn。然而,如所看到的,在每一侧都有一根附加的栅极线 GLn+1 和一个额外的驱动级 (n+1)。第一栅极驱动电路 130 和第二栅极驱动电路 140 具有基于栅极线 GL1 到 GLn 的对称结构。

[0076] 第一栅极驱动电路 130 包括互连线单元 134 和电路单元 132。所述互连线单元 134 从数据驱动单元接收各种信号,并将接收到的信号提供给电路单元 132。电路单元 132 响应于经过互连线单元 134 传送的各种信号顺序地输出栅极驱动信号以相继激活栅极线 GL1 到 GLn,然后激活 GLn+1。

[0077] 如所示出的那样,电路单元 132 包括具有一个接一个地相串联的 STAGE1 到 STAGE n+1 的多个级的移位寄存器。第一级 STAGE1 到第 n 级 STAGE n 分别被电连接到第一栅极线 GL1 到第 n 栅极线 GLn,以顺序地输出栅极驱动信号。在这种情况下,第 n+1 级 STAGE n+1 是哑级。在一个实施例中,n 是偶数。

[0078] 所述 STAGE1 到 STAGE n+1 的 n+1 个级中的每一级都包括第一时钟端 CK1、第二时钟端 CK2、输入端 IN、控制端 CT、输出端 OUT、复位端 RE、进位端 CR 和地电压端 VSS。

[0079] 对于奇数级 STAGE1、STAGE3……和 STAGE n+1 (假定 n 是偶数),没有经过反相的栅极时钟脉冲 CKV 被提供给第一时钟端 CK1,经过反相的栅极时钟条脉冲 CKVB 被提供给第二时钟端 CK2。对于偶数级 STAGE2、STAGE4……和 STAGE n (假定 n 是偶数),经过反相的栅极时钟条脉冲 CKVB 被提供给第一时钟端 CK1,并且没有经过反相的栅极时钟脉冲 CKV 被提供给第二时钟端 CK2。

[0080] 在级 STAGE2 到 STAGE n+1 中,第 J 级的输入端 IN 连接到前一 (J-1) 级的进位端 CR 以被提供前一级的进位信号。级 STAGE1 的 IN 端接收 STVP 信号。各个第 J 级的控制端 CT 连接到下一 (J+1) 级的输出端 OUT,以便被提供下一级的输出信号,STAGE n+1 作为例外,其 CT 端连接到 STVP 线 (SL1)。由于第一级 STAGE1 没有被提供前一级,所以起始脉冲 STVP 被提供给第一级 STAGE 1 的输入端 IN。从每一级的进位端 CR 输出的进位信号驱动下一级的 IN 端,STAGE n+1 是例外。也如所看到的那样,哑级 (n+1) 的输出 (OUT 端) 连接到 SL5 线,所述 SL5 线连接到单元 130 中的所有级的复位端,并且还连接到削波单元 190 的输入。

[0081] 由于起始脉冲 STVP 被提供给哑级 STAGE n+1 的控制端 CT,所以 (参见图 6) 立即能够理解,这能防止后面的 STAGE n+1 在启动时输出 VON 电平。级 STAGE n+1 的 OUT 端将进位信号提供给第 n 级 STAGE n 的控制端 CT。栅极截止电压 VOFF 被提供给级 STAGE1 到 STAGE n+1 中的每一个的本地地电压端 VSS。如上面所提到的,第 n+1 哑级 STAGE n+1 的输出信号借助线 SL5 被提供给复位端 RE。

[0082] 奇数级 STAGE 1、STAGE 3……和 STAGE n+1 中的每一级的输出端 OUT 可将与没有经过反相的栅极时钟脉冲 CKV 同步的 VON 电平作为其栅极线驱动信号输出,进位端 CR 可类似地将与没有经过反相的栅极时钟脉冲 CKV 同步的 VON 电平作为其进位信号输出。偶数级 STAGE 2、STAGE 4……和 STAGE n 的输出端 OUT 可将与经过反相的栅极时钟条脉冲 CKVB 同步的 VON 电平作为其栅极线驱动信号输出,进位端 CR 可类似地将与经过反相的栅极时钟条

脉冲 CKVB 同步的 VON 电平作为其进位信号输出。

[0083] 因此,在示出的第一栅极驱动电路 130 的结构中,奇数级 STAGE 1、STAGE3……和 STAGE n+1 中的每一级与没有经过反相的栅极时钟脉冲 CKV 同步输出各个栅极驱动信号,偶数级 STAGE 2、STAGE 4……和 STAGE n 中的每一级与经过反相的栅极时钟条脉冲 CKVB 同步输出各个栅极驱动信号。

[0084] 第一栅极驱动电路 130 的级 STAGE 1 到 STAGE n+1 的输出端 OUT 分别被连接到被提供给显示区 DA 的栅极线 GL1 到 GLn,然后通过顺序地将栅极驱动信号施加到栅极线 GL1 到 GLn 来顺序驱动栅极线 GL1 到 GLn。

[0085] 互连线单元 134 被设置在电路单元 132 的附近。所述互连线单元 134 包括起始脉冲线 SL1、栅极时钟脉冲线 SL2、栅极时钟条脉冲线 SL3、地电压线 SL4、复位线 SL5,这些线彼此相互平行地延伸。

[0086] 起始脉冲线 SL1 从第一电平变换器接收起始脉冲 STVP,然后将接收到的脉冲输入到第一级 STAGE 1 的输入端和第 n+1 级 STAGE n+1 的控制端 CT。

[0087] 栅极时钟脉冲线 SL2 从第一电平变换器接收栅极时钟脉冲 CKV,然后将接收到的脉冲提供给奇数级 STAGE 1、STAGE 3……和 STAGE n+1 的第一时钟端 CK1 和偶数级 STAGE2、STAGE4……和 STAGE n 的第二时钟端 CK2。

[0088] 栅极时钟条脉冲线 SL3 从第一电平变换器 150 接收经过反相的栅极时钟条脉冲 CKVB,并将接收到的脉冲提供给奇数级 STAGE1、STAGE3……和 STAGEN+1 的第二时钟端 CK2 和偶数级 STAGE2、STAGE4……和 STAGE n 的第一时钟端 CK1。

[0089] 地电压线 SL4 从电源单元 180 接收栅极截止电压 VOFF,然后将接收到的电压提供给级 STAGE1 到 STAGE n+1 的本地地电压端 VSS。

[0090] 复位线 SL5 将第 n+1 级 STAGE n+1 的输出端 OUT 的输出信号作为复位信号 REsig 提供给级 STAGE1 到 STAGE n+1 的复位端 RE。而且,复位线 SL5 将第 n+1 级 STAGE n+1 的输出端 OUT 的输出信号提供给削波单元 190。

[0091] 第一栅极驱动电路 130 和第二栅极驱动电路 140 具有所示出的关于栅极线 GL1 到 GLn 的对称结构。本领域的技术人员可从图 5 中显然得知,可根据第一栅极驱动电路 130 的以上描述来实现第二栅极驱动电路 140。因此,为了简明起见,在下面的描述中将省略第二栅极驱动电路 140 的细节。一个例外是右侧电路部分 140 的复位线不需要连接到削波单元 190。当然,在可替换的实施例中,削波单元 190 可接收右侧电路部分 140 的复位脉冲,而不是从左侧接收复位脉冲。

[0092] 因此,根据示出的实施例的 LCD 装置被构造成通过将一对等效栅极驱动电路分别提供给栅极线的两侧来双重驱动栅极线。因此,示出的实施例能够克服在栅极线只是从一端被驱动并且相邻栅极线从相对端被驱动的情况下,由于栅极驱动信号的输出向着相应栅极线的端部逐渐延迟而引起的在栅极线左侧和右侧的两端的两个相邻栅极线之间的亮度差的问题。

[0093] 图 6 是图 5 所示的第一栅极驱动电路的级的示例性电路图。

[0094] 参照图 6,第一级 STAGE1 包括输出上拉单元 132a (晶体管 NT1) 和输出下拉单元 132b (晶体管 NT2)、驱动单元 132c、保持单元 132d、开关单元 132e 和进位单元 132f。

[0095] 上拉单元 132a 从经过第一时钟端 CK1 提供的没有经过反相的栅极时钟脉冲 CKV

接收其电源,上拉单元 132a 经过输出端 OUT 输出栅极驱动信号 G01,其中,当 CKV 变高时 G01 可变高。上拉单元 132a 包括第一 NMOS 晶体管 NT1,所述第一 NMOS 晶体管 NT1 具有连接到第一节点 N1 的栅极、连接到第一时钟端 CK1 的漏极和连接到输出端 OUT 的源极。(第一电容器 C1 在 NT1 的栅极和源极之间跨过)。

[0096] 下拉单元 132b(NT2)被构造为响应于从第二级(STAGE2)提供的栅极驱动信号 G02 的变高的状态将栅极驱动信号 G01 下拉到 VOFF 电平。在示出的实施例中,下拉单元 132b 包括第二 NMOS 晶体管 NT2,所述第二 NMOS 晶体管 NT2 具有连接到控制端 CT 的栅极、连接到输出端 OUT 的漏极和连接到本地地电压端 VSS 的源极。

[0097] 驱动单元 132c 响应于经过输入端 IN 提供的起始脉冲 STVP 接通上拉单元 132a 或者响应于第二级的栅极驱动信号 G02 来断开上拉单元 132a。为此,驱动单元 132c 包括缓冲单元、充电保持单元和放电单元。

[0098] 缓冲单元包括二极管结构的第三 NMOS 晶体管 NT3,其中,NT3 的栅极和漏极被共同连接到输入端 IN,源极用于对第一节点 N1 充电。充电保持单元包括第一电容器 C1,所述第一电容器 C1 具有连接到第一节点 N1 (NT1 的栅极)的第一电极和连接到第二节点 N2 (NT1 的源极)的第二电极。放电单元包括第四 NMOS 晶体管 NT4,所述第四 NMOS 晶体管 NT4 的栅极连接到控制端 CT(G02),漏极连接到第一节点 N1,源极连接到所述地电压端 VSS 以便于能够在 G02 变高时有选择地驱动 N1 使其变低。

[0099] 如果起始脉冲 STVP 被输入到输入端 IN,则第三晶体管 NT3 响应于该脉冲输入被接通,因此用起始脉冲 STVP 对第一电容器 C1 充电。如果第一电容器 C1 被充电到高于第一晶体管 NT1 的阈值电压,则第一晶体管 NT1 导通,然后输出与没有经过反相的栅极时钟脉冲 CKV 相应的高电平,其中,在适合的时间高电平(VON)将被提供给输出端 OUT。

[0100] 在这种情况下,由于通过充电的第一电容器 C1 从 N2 连接到 N1,第一节点 N1 的电位被自举(boot-strap)以跟踪第二节点 N2 的电位变化。因此,如果例如由于 NT2 导通而在第二节点 N2 上有突然向下的电位改变,则 N1 的电位也向下变化。另一方面,如果例如由于 G01 变高而在第二节点 N2 上有突然向上的电位改变,则 N1 的电位将也向上变化。因此,第一晶体管 NT1 被构造为当响应于 NT3 向第一电容器 C1 充电而 G01 开始变高时将施加到 NT1 的漏极的第一栅极时钟脉冲 CKV 输出到输出端 OUT。输出到输出端 OUT 的栅极时钟脉冲 CKV 变成被提供给栅极线的栅极驱动信号 G01。起始脉冲 STVP 被作用于初步对第一电容器 C1 充电从而接通第一晶体管 NT1 以产生第一变高的栅极驱动信号 G01 的信号。

[0101] 随后,如果响应于作为经过控制端 CT 输入的第二级的输出信号的栅极驱动信号 G02,第四晶体管 NT4 导通,则在第一电容器 C1 上的电荷被放电到经过地电压端 VSS 提供的栅极截止电压 VOFF 的电平。

[0102] 保持单元 132d 包括用于将栅极驱动信号 G01 保持在栅极截止电压(VOFF)电平的状态的第五和第六晶体管 NT5 和 NT6。第五晶体管 NT5 具有连接到第三节点 N3 的栅极、连接到第二节点 N2 的漏极和连接到地电压端 VSS 的源极。第六晶体管 NT6 具有连接到第二时钟端 CK2 的栅极、连接到第二节点 N2 的漏极和连接到地电压端 VSS 的源极。

[0103] 开关单元 132e 包括第七晶体管 NT7 到第十晶体管 NT10 以及第二电容器 C2 和第三电容器 C3,用于控制保持单元 132d 的驱动。第七晶体管 NT7 具有连接到第一时钟端 CK1 的栅极和漏极以及被共同连接到第九晶体管 NT9 的漏极和第八晶体管 NT8 的栅极的源极。

第八晶体管 NT8 具有连接到第一时钟端 CK1 的漏极和经过第二电容器 C2 连接到第七晶体管 NT7 的漏极的栅极和连接到第三节点 N3 的源极。具体地讲,第八晶体管 NT8 的栅极和源极经过第三电容器 C3 相互连接。第九晶体管 NT9 具有连接到第七晶体管 NT7 的源极的漏极、连接到第二节点 N2 的栅极和连接到地电压端 VSS 的源极。第十晶体管 NT10 具有连接到第三节点 N3 的漏极、连接到第二节点 N2 的栅极和连接到地电压端 VSS 的源极。

[0104] 如果高状态的栅极时钟脉冲 CKV 作为栅极驱动信号 G01 被输出到输出端 OUT,则第二节点 N2 的电位上升到高状态。如果第二节点 N2 的电位上升到高状态,则第九晶体管 NT9 和第十晶体管 NT10 中的每一个都被切换到导通模式。在这种情况下,尽管第七晶体管 NT7 和第八晶体管 NT8 通过被提供给第一时钟端 CK1 的栅极时钟脉冲 CKV 被切换到导通状态,但是从第七晶体管 NT7 和第八晶体管 NT8 输出的信号分别经过第九晶体管 NT9 和第十晶体管 NT10 被放电至地电压(VOFF)状态。由于在高状态的栅极驱动信号 G01 被输出时第三节点 N3 的电位保持在低状态,所以第五晶体管 NT5 可保持截止状态。

[0105] 随后,当响应于栅极驱动信号 G02 变高,栅极驱动信号 G01 的高状态经过地电压端 VSS 被放电时,第二节点 N2 的电位逐渐下降到低状态。因此,通过第七晶体管 NT7 和第八晶体管 NT8 输出的信号,第九晶体管 NT9 和第十晶体管 NT10 中的每一个都被切换到截止状态,并且第三节点 N3 的电位上升到高状态。随着第三节点 N3 的电位上升,第五晶体管 NT5 导通。而且,第二节点 N2 的电位经过第五晶体管 NT5 被放电至栅极截止电压 (VOFF) 状态。

[0106] 当这种状态保持时,如果通过被提供到第二时钟端 CK2 的反相的栅极时钟条脉冲 CKVB,第六晶体管 NT6 导通,则经过地电压端 VSS 可更安全地对第二节点 N2 的电位进行放电。

[0107] 结果,保持单元 132d 的第五晶体管 NT5 和第六晶体管 NT6 将第二节点 N2 的电位保持在栅极截止电压 (VOFF) 状态。而且,开关单元 132e 决定第五晶体管 NT5 导通的时刻。

[0108] 进位单元 132f 包括第十一晶体管 NT11,所述第十一晶体管 NT11 具有连接到第一时钟端 CK1 的漏极、连接到第一节点 N1 的栅极和连接到进位端 CR 的源极。随着第一节点 N1 的电位上升,第十一晶体管 NT11 导通。然后第十一晶体管 NT11 将被输入到漏极的栅极时钟脉冲 CKV 作为进位信号 CAsig1 输出。进位信号被提供给下一级的输入端以被用于驱动下一级的起始脉冲。

[0109] 第一级 STAGE 1 还包括纹波(ripple)防止单元 132g 和复位单元 132h。纹波防止单元 132g 防止已经保持在栅极截止电压 (VOFF) 状态的栅极驱动信号 G01 由于经过输入端 IN 输入的噪声而引起纹波。为此,纹波防止单元 132g 包括第十二晶体管 NT12 和第十三晶体管 NT13。第十二晶体管 NT12 具有连接到输入端 IN 的漏极、连接到第二时钟端 CK2 的栅极和连接到第一节点 N1 的源极。第十三晶体管 NT13 具有连接到第一节点 N1 的漏极、连接到第一时钟端 CK1 的栅极和连接到第二节点 N2 的源极。

[0110] 复位单元 132h 包括第十四 NMOS 晶体管 NT14,所述第十四 NMOS 晶体管 NT14 包括连接到第一节点 N1 的漏极、连接到复位端 RE 的栅极和连接到地电压端 VSS 的源极。响应于复位信号 REsig 变高,第十四晶体管 NT14 使得第二节点 N2 放电至栅极截止电压 (VOFF) 状态,其中,复位信号 REsig 是第 n+1 级 STAGE n+1 的输出信号。由于对应于第 n+1 级 STAGE n+1 的输出信号的复位信号 REsig 是指一个帧的结束,所以复位单元 132h 的激活对应于级 STAGE 1 到 STAGE n 的所有级中的所有第一节点 N1 在一帧结束的时刻被同时驱动而变为低

状态。

[0111] 具体地讲,在从级 STAGE 1 到 STAGE n 顺序输出栅极驱动信号完成之后,以通过第 n+1 级 STAGE n+1 的输出信号导通级 STAGE 1 到 STAGE n 的第十四晶体管 NT14 的方式,复位单元 132h 对级 STAGE 1 到 STAGE n 的第一节点 N1 进行复位。因此,电路单元 132 的级 STAGE 1 到 STAGE n 可在复位状态重新启动它们的操作。

[0112] 在所示出的实施例中,复位信号 REsig 被用作到时序控制器 170 的反馈信号,以允许时序控制器 170 测量由于在栅极驱动电路内的固有延迟而引起的移位寄存器的第一级的激活(经由 OE 信号)和随后的哑栅极驱动信号的引起纹波的激活之间的延迟时间,然后计算与移位寄存器的各个级有关的大约的每显示行累积延迟。当然,应该理解,在图 5 中所示的第二到第 n+1 级都用与上述图 6 的第一级相同的内部结构来实现。因此,在下面的描述中将省略第二到第 n+1 级的细节。

[0113] 图 7 是图 1 所示的 LCD 装置的操作时序图(电压电平对公共时间线)。

[0114] 参照图 7,第一电平变换器 150 和第二电平变换器 160 通过对由时序控制器 170 提供的输出使能信号 OE 和栅极时钟信号 CPV 执行上述的或运算来产生没有经过反相的栅极时钟脉冲 CKV 和经过反相的栅极时钟条脉冲 CKVB,所述 CKV 和 CKVB 具有栅极导通电压电平 VON 和栅极截止电压电平 VOFF。第一栅极驱动电路 130 和第二栅极驱动电路 140 的奇数级 STAGE1、STAGE3……STAGE n+1 中的每一级将栅极时钟脉冲 CKV 作为栅极驱动信号输出。偶数级 STAGE2、STAGE4……STAGE n 中的每一级将栅极时钟条脉冲 CKVB 作为栅极驱动信号输出。

[0115] 时序控制器 170 以下述方式使得数据驱动电路 120 将灰度级显示电压提供给数据线:将负载信号 TP 的下降时刻与顺序地被提供给栅极线 GL1 到 GLn 中的每个的栅极驱动信号上升到高电平的时刻同步。如果由于栅极驱动电路 130 和 140 内的固有延迟导致栅极驱动信号被延迟,则负载信号 TP 的下降时刻相应地被延迟以补偿栅极驱动电路 130/140 的传播延迟的时间量。因此,反馈系统能够解决因由于比如制作工艺上的变化、温度上的变化和电源电平的变化等因素而被栅极驱动电路 130 和 140 不同地延迟的栅极驱动信号引起的问题。

[0116] 下面将参照图 8 和图 9A 到图 9D 来详细解释使用根据一个实施例的 LCD 装置来补偿栅极驱动电路引起的延迟的方法,所述方法以反馈栅极驱动电路的复位信号的方式来补偿所述延迟。图 8 是根据一个实施例的减小 ASG 延迟的方法的流程图,而图 9A 到图 9D 是用于解释图 8 所示的 ASG 延迟减小方法的信号的时序图。

[0117] 参照图 8,根据一个实施例的减小 ASG 延迟的方法包括水平线现象分析步骤 S100,复位信号反馈步骤 S200、复位信号削波步骤 S300、延迟时间测量和计算步骤 S400 和负载信号的时序调节步骤 S500。

[0118] 在水平线现象分析步骤 S100 中,当栅极驱动电路 130 顺序将栅极驱动信号施加到栅极线 GL1 到 GLn 时,分析水平线现象,其中,如果由于栅极驱动电路 130 和 140 的延迟而导致栅极驱动信号晚于数据输出而被施加,则出现所述水平线现象。

[0119] 参照图 9A,由于顺序的 GO 信号向着 LCD 面板 110 的下部的纹波,所以被提供给栅极线 GL1 到 GLn 的栅极驱动信号的输出被逐渐地(累积地)延迟,其中,所述累积的延迟是由于栅极驱动电路 130 和 140 它们本身的各个延迟而引起。例如,当栅极线被顺序驱动时,如

果与红(R)、绿(G)或蓝(B)相应的灰度级显示电压被提供给连接到相应栅极线的像素,则如图 9A 所示,栅极驱动信号倾向于向着 LCD 面板 110 的下部比临近其顶部被更多地延迟。因此,如果累积的延迟足够大,则连接到相应下部的栅极线的像素可能被不正确地显示为与认为将被显示的原始颜色不同的颜色。

[0120] 在施加了绿色(G)的灰度级显示电压的栅极线 G2 和 Gn-1 被相互比较的情况下,对于具有高电平的栅极驱动信号 G02 的部分,连接到栅极线 G2 的像素被正常提供了与绿色相应的灰度级显示电压。然而,与蓝色相应的灰度级显示电压以及与绿色相应的灰度级显示电压被同时提供给连接到栅极线 Gn-1 的像素。因此,不能显示被认为是最初将被显示的颜色。这是因为,由于栅极驱动电路 130 和 140 自身的延迟,致使栅极驱动信号晚于数据输出而被施加。因此,可以以下述方式来解决上述问题:补偿性地将数据负载信号的时序延迟以大致与由于栅极驱动电路 130 和 140 的自身延迟而引起的栅极驱动信号的累积延迟时间匹配。

[0121] 复位信号反馈步骤 S200 是用于向削波单元 190 提供作为栅极驱动电路 130 和 140 的哑级 STAGE n+1 的输出信号的复位信号 REsig。具体地讲,参照图 9B,与在栅极驱动电路 130 和 140 没有产生延迟的情况下的哑级 STAGE n+1 的假设的输出信号 XREsig 相比,在栅极驱动电路 130/140 产生栅极驱动信号的延迟的情况下,复位信号 REsig 被延迟了预定的延迟时间 DELAY。在这种情况下,“OE”和“CVP”分别指示用于产生假设的输出信号 XREsig 的输出使能信号和栅极时钟信号。

[0122] 复位信号削波步骤 S300 是经过削波单元 190 将复位信号 REsig 削波到预定电压电平,并将该经过削波的信号提供给时序控制器 170 的步骤。参照图 9C,由于复位信号 REsig 具有栅极导通电压 VON 和栅极截止电压 VOFF,所以通过将复位信号 REsig 转换到可在时序控制器 170 中控制的电压电平的信号(例如,0V 和 3.3V 的信号)来产生经过削波的复位信号 CREsig。

[0123] 延迟时间计算步骤 S400 是使用经过削波的复位信号 CREsig 和最后的输出使能信号 LASTOE 来测量和计算栅极驱动信号的延迟时间的步骤。如果不存在栅极驱动信号的延迟,则在最后输出的使能信号 LASTOE 的上升时刻输出从哑级 STAGE n+1 输出的复位信号 REsig,并且应该在负载信号 TP 的下降时刻来输出数据。因此,可使用经过削波的复位信号 CREsig 和最后的输出使能信号 LASTOE 来计算栅极驱动信号的延迟时间。在这种情况下,从哑级的栅极驱动信号获得的测量的延迟时间被用于计算每行的延迟,所述每行的延迟被重复地使用以累积地随时间调节负载信号 TP 的下降沿的时刻以大致地匹配因 VON 电平在移位寄存器的 STAGE1 到 STAGE n 之间的行波传送(ripple through)而随时间产生的累积的延迟。

[0124] 可经过下面的公式 1 到公式 3 来计算栅极驱动信号的延迟时间。

[0125] [公式 1]

$$[0126] \quad 1H_{ideal} = 1Frame_{ideal} \div Gn$$

[0127] 在公式 1 中, $1H_{ideal}$ 是在假定不存在由栅极驱动电路 130 或 140 引起的延迟的情况下的一个水平周期, $1Frame_{ideal}$ 是在栅极驱动电路 130 或 140 没有产生延迟的情况下的一个帧周期, Gn 是由移位寄存器驱动的所有栅极线的数目。

[0128] [公式 2]

[0129] $1H_{\text{real}} = 1\text{Frame}_{\text{real}} \div G_n$

[0130] 在公式 2 中, H_{real} 是存在由栅极驱动电路 130 或 140 引起的延迟的情况下的一个水平周期, $1\text{Frame}_{\text{real}}$ 是存在栅极驱动电路 130 或 140 产生的延迟的情况下的一个帧周期, G_n 是所有栅极线的数目。

[0131] [公式 3]

[0132] $T_{\text{TP}} = 1H_{\text{ideal}} \times G_m + (1H_{\text{real}} - 1H_{\text{ideal}}) \times G_m \div G_n$

[0133] 在公式 3 中, $1T_{\text{TP}}$ 是数据应该被施加到连接到第 m 栅极线的像素的时刻, 即负载信号的下降时刻, G_m 是第 m 栅极线。

[0134] 参照图 9D, 通过测量经过削波的复位信号 CREsig 和最后的输出使能信号 LASTOE 之间的延迟来计算栅极驱动信号的延迟时间。

[0135] 如果不存在栅极驱动电路 130 或 140 产生的延迟, 则经过削波的复位信号 CREsig 的上升时刻应该等于最后的输出使能信号 LASTOE 的上升时刻。然而, 由于以通过物理的栅极驱动电路 130 或 140 对信号的行波传送而被固有地延迟的方式输出复位信号 REsig , 所以当测量时, 经过削波的复位信号 CREsig 的上升时刻通常与最后的输出使能信号 LASTOE 的上升时刻不匹配。

[0136] 因此, 可以以下述方式来计算栅极驱动信号的延迟时间: 将经过削波的复位信号 CREsig 的上升时刻与最后的输出使能信号 LASTOE 的上升时刻相比较, 对与从最后的输出使能信号 LASTOE 的上升时刻到经过削波的复位信号 CREsig 的上升时刻的间隔相应的系统时钟数进行计数, 然后产生相应的时钟计数信号 CLOCKCOUNT 。

[0137] 负载信号时序调节步骤 S500 是响应于表示测量的移位寄存器的行波传送延迟的时钟计数信号 CLOCKCOUNT 来调节负载信号 TP 的下降时刻的步骤。例如, 如果栅极线的数量是 768 并且如果时钟计数信号 CLOCKCOUNT 是 40, 则每个时钟脉冲被计算出有 $768/40$ (总线数 / 总时钟脉冲数) = 19.2 线。因此, 可看到通过与被移位寄存器扫描的每 19.2 线一个时钟相应的移位寄存器产生行波传送延迟。如果对其进行上舍入, 则每 20 根连续的线 1 时钟的累积的 TP 调节延迟可被产生为移位寄存器扫描的每 20 根显示线的大约调节量。

[0138] 因此, 以将负载信号 TP 的下降时刻和与每一根栅极线相应的输出使能信号 OE 的上升时刻同步的方式来将数据输出到与第一栅极线 GL1 到第二十栅极线 GL20 连接的像素。而且, 以在与每根栅极线相应的输出使能信号 OE 的上升时刻之后在这个示例性的情况中将负载信号 TP 的下降时刻与被延迟了一个时钟周期的时刻同步的方式将数据输出到与第二十一栅极线 GL21 到第四十栅极线 GL40 连接的像素。

[0139] 而且, 以在与每根栅极线相应的输出使能信号 OE 的上升时刻之后将负载信号 TP 的下降时刻与延迟了两个时钟的时刻同步的方式将数据输出到连接到第四十一栅极线 GL41 到第六十栅极线 GL60 的像素。而且, 对于连接到其余栅极线 GL61 到 GL768 的像素, 以上述方式来调节负载信号 TP 的下降时刻, 从而可补偿由栅极驱动电路 134 或 140 所引起的栅极驱动信号的延迟。

[0140] 换句话说, 通过使用设置的 1 帧时间和从哑级 $\text{STAGE } n+1$ 输出的复位信号 REsig 的实际时刻来调节通过一个水平周期输出的负载信号 TP 的下降时刻, 可补偿栅极驱动电路 130 或 140 的自身延迟而引起的栅极驱动信号的延迟。

[0141] 如上所述, 由相同的并且被设置到栅极线两侧的一对栅极驱动电路来双重地驱动

栅极线。而且,栅极驱动电路的复位信号被反馈。因此,所公开的设计补偿了由栅极驱动电路的串联的级而引起的行波传送延迟。

[0142] 在不脱离本教导的精神和范围的情况下,本领域的技术人员可以对本公开所公开的实施例进行各种修改和改变。因此,本教导意将覆盖这种修改和改变。

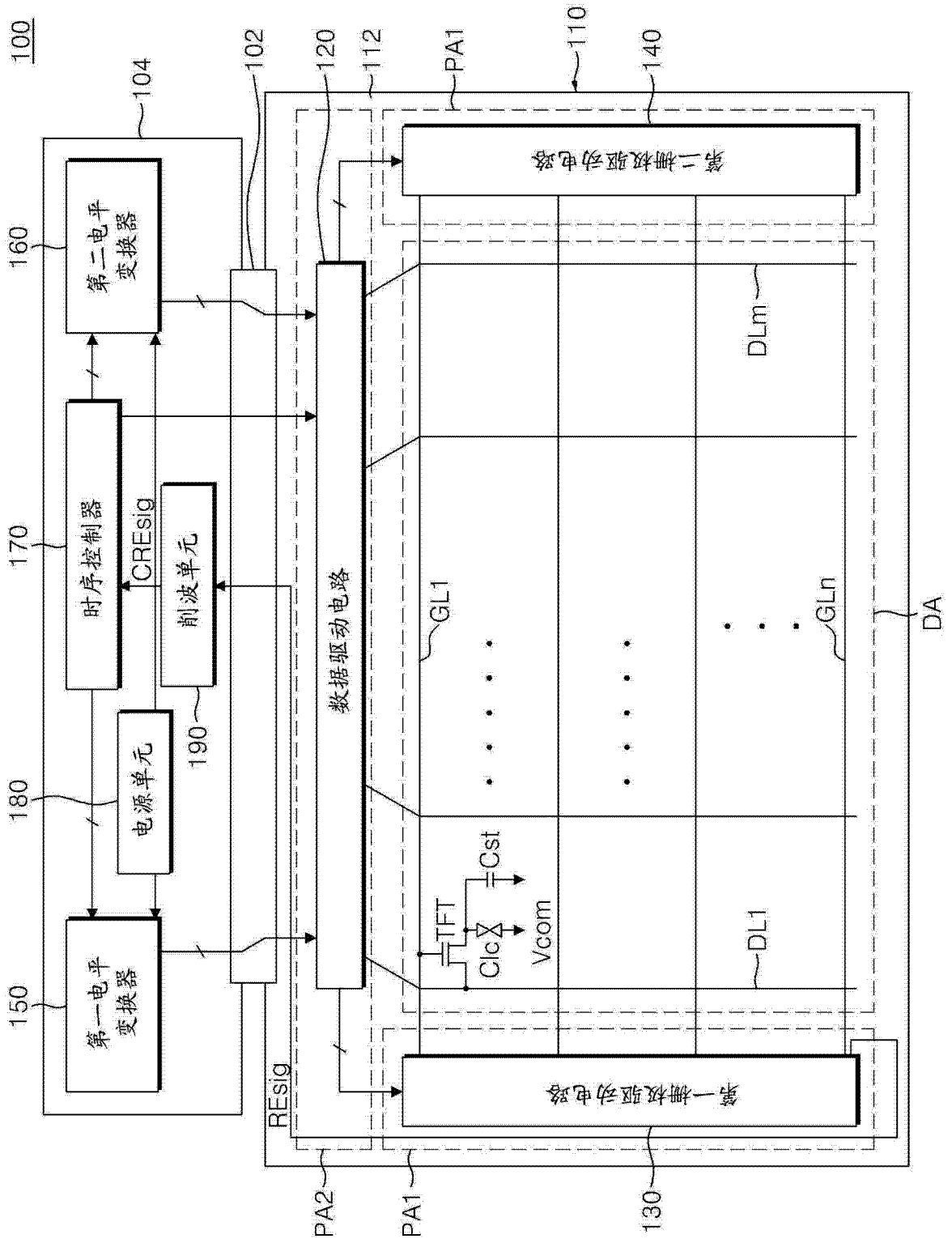


图 1

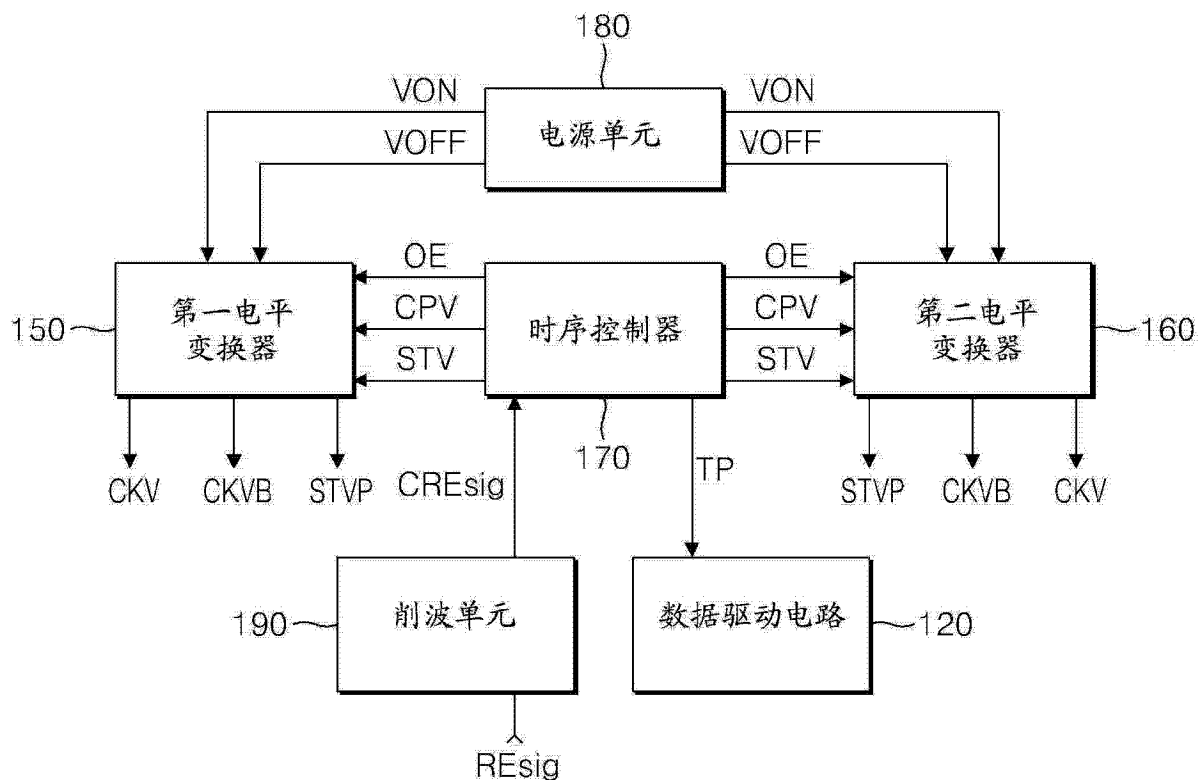


图 2

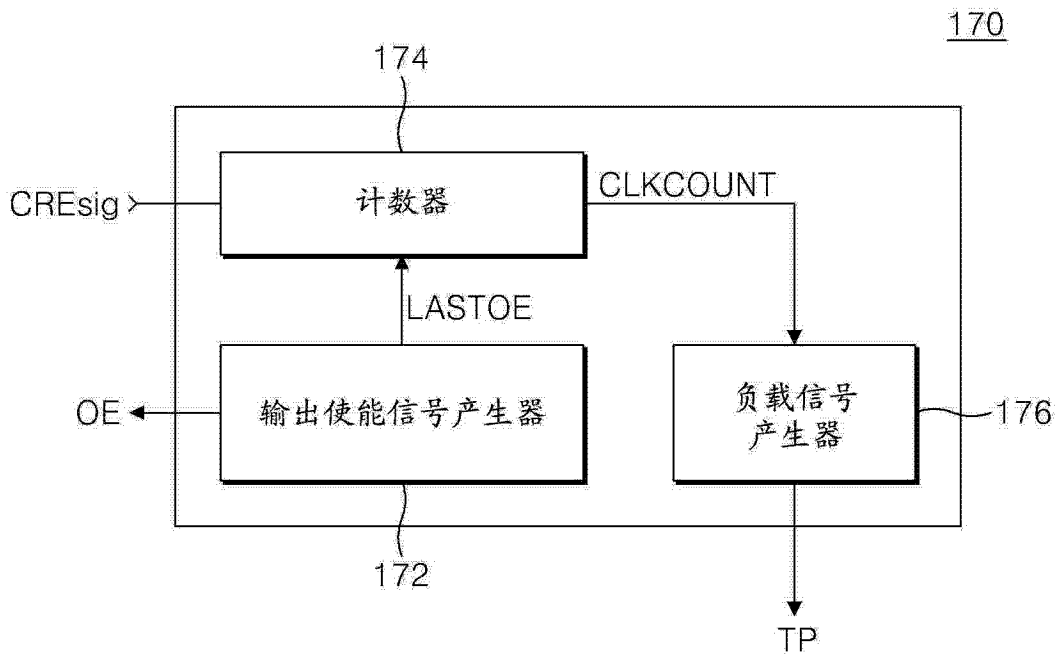


图 3

150

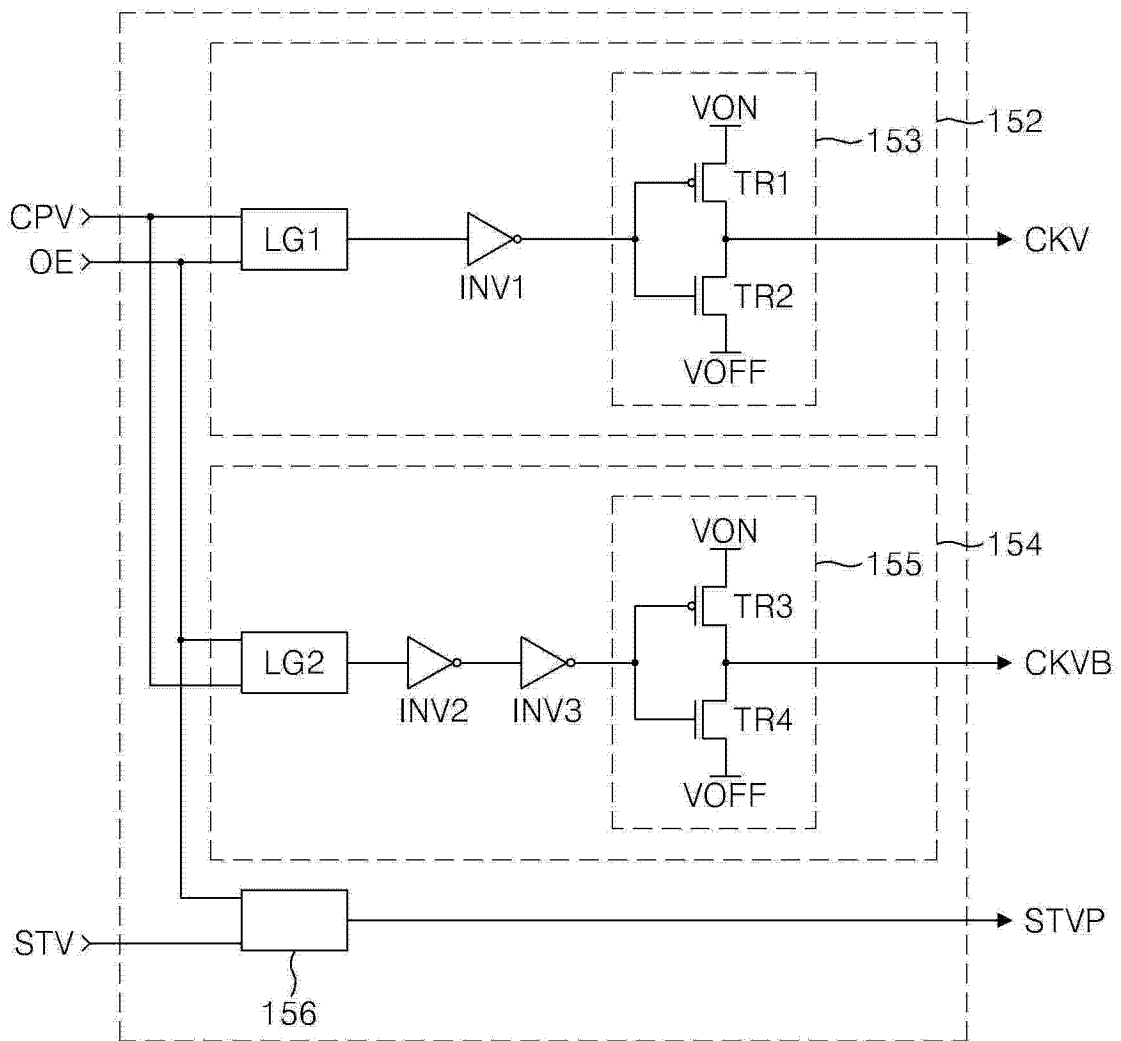


图 4

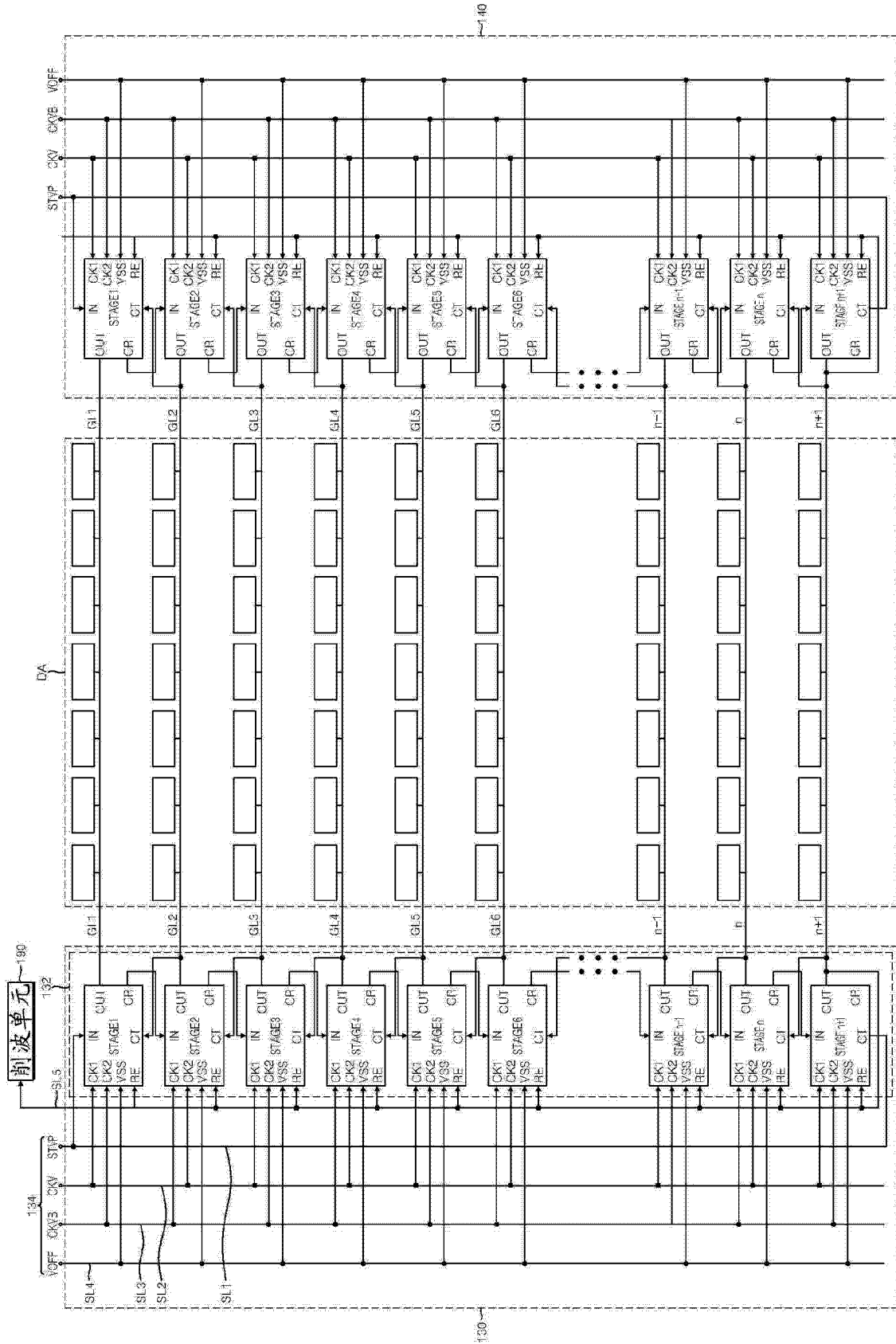


图 5

STAGE1

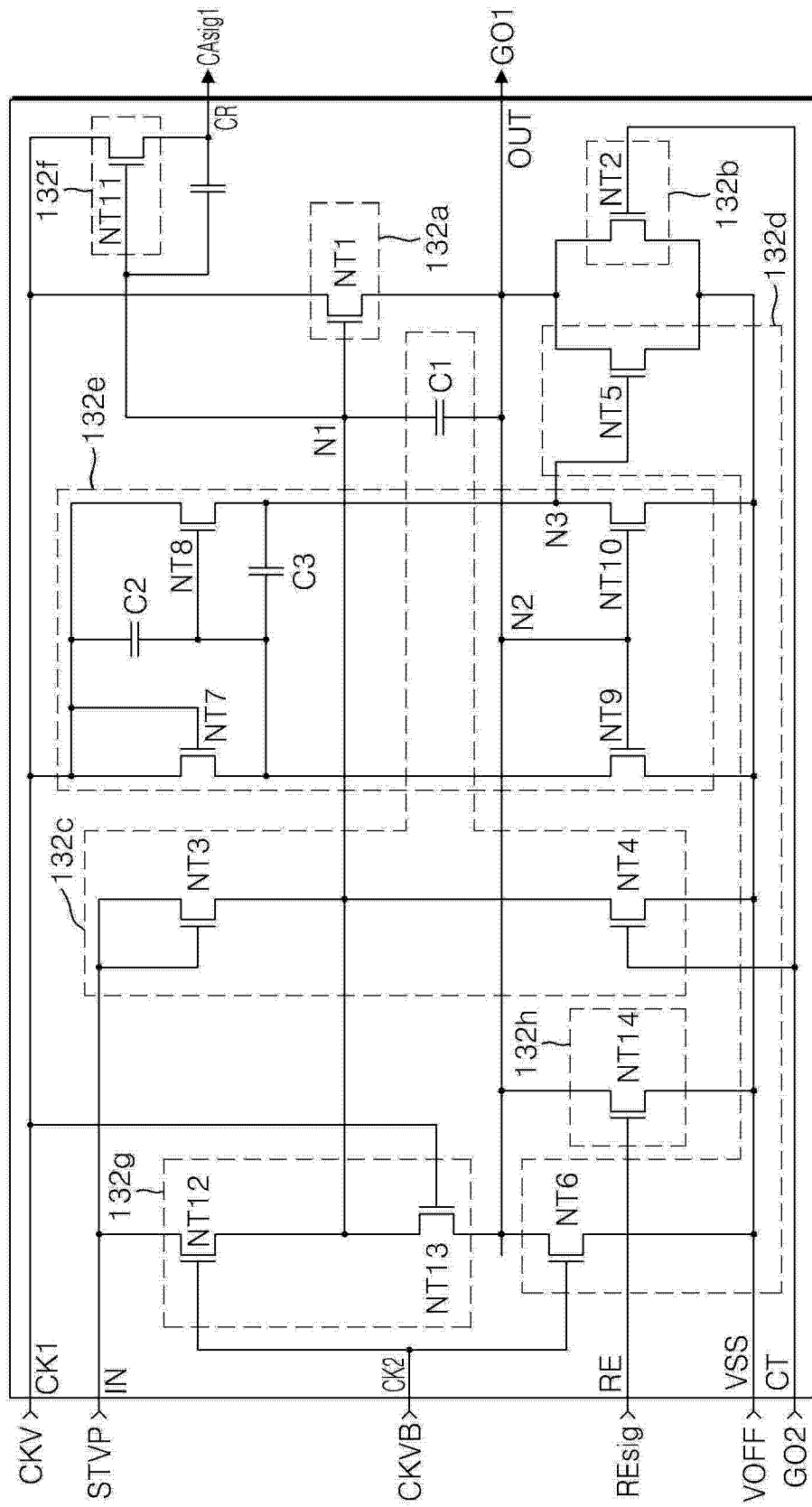


图 6

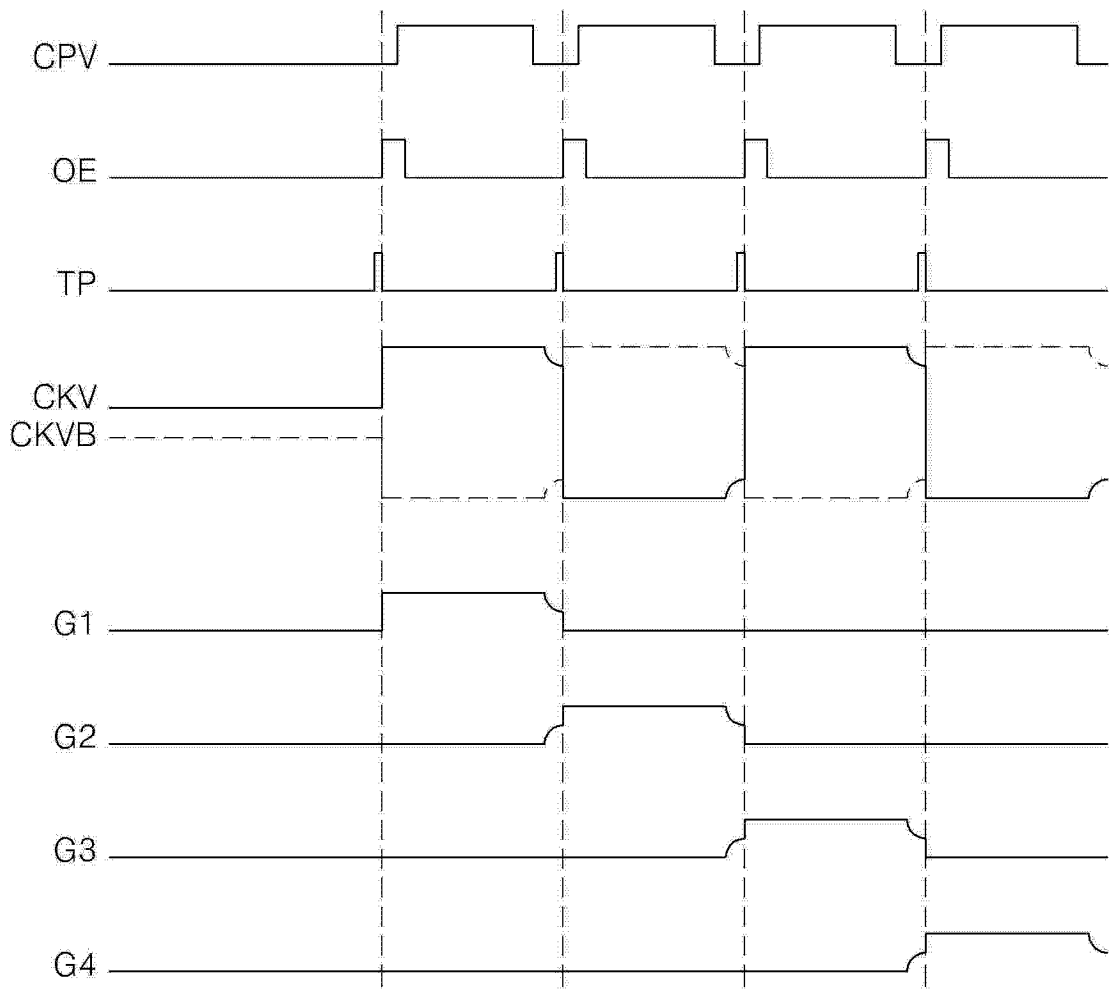


图 7

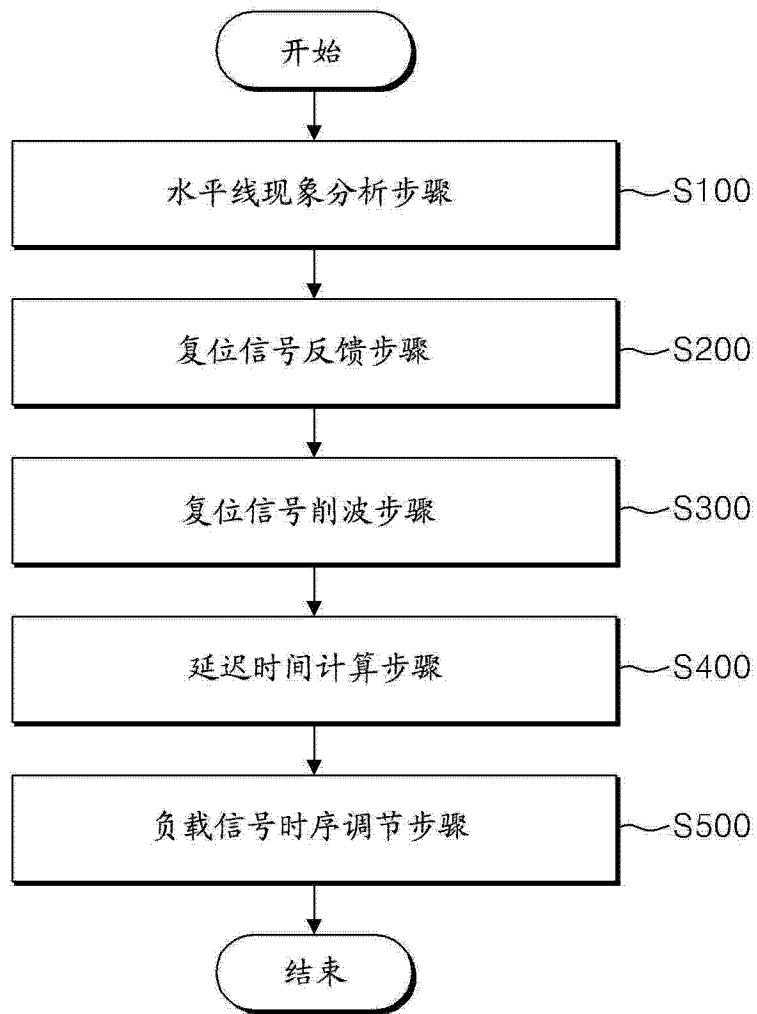


图 8

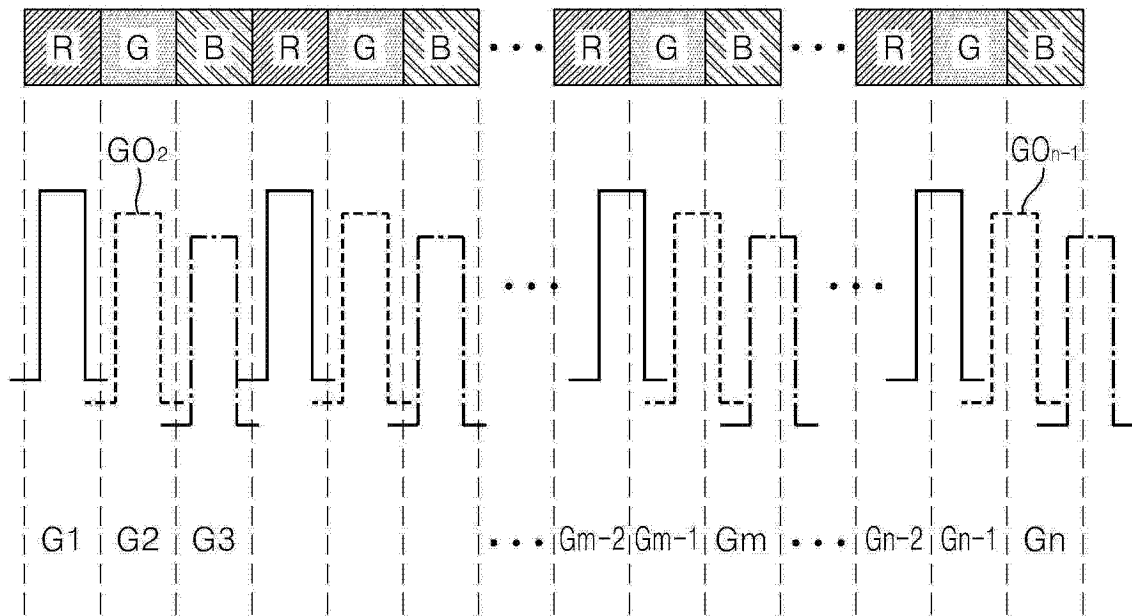


图 9A

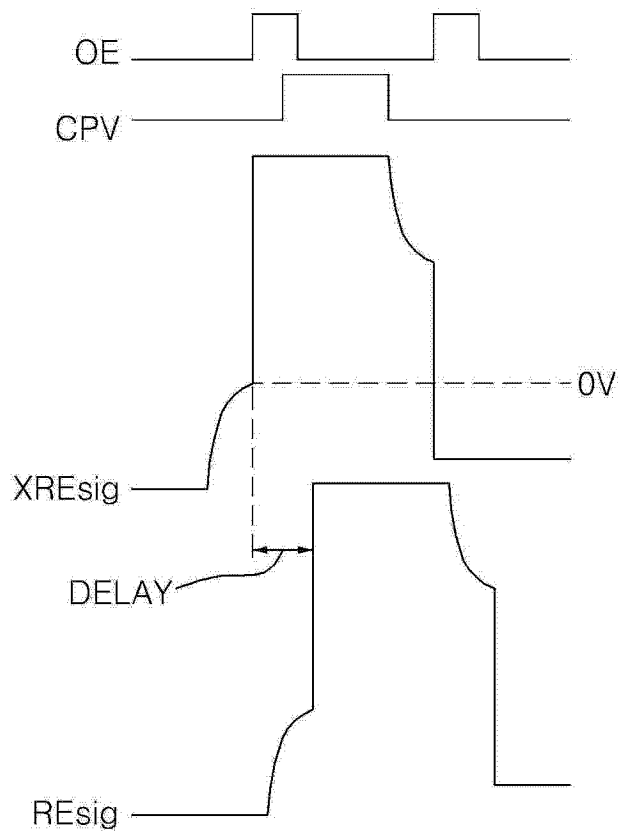


图 9B

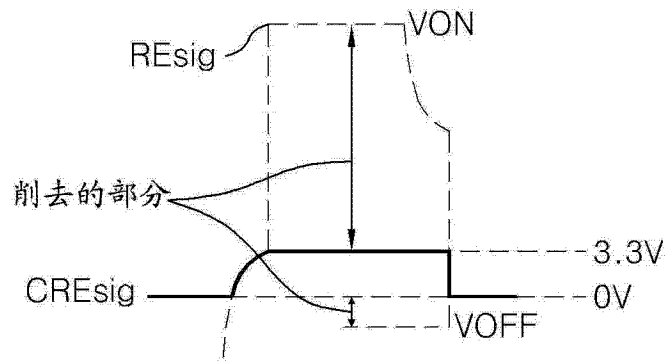


图 9C

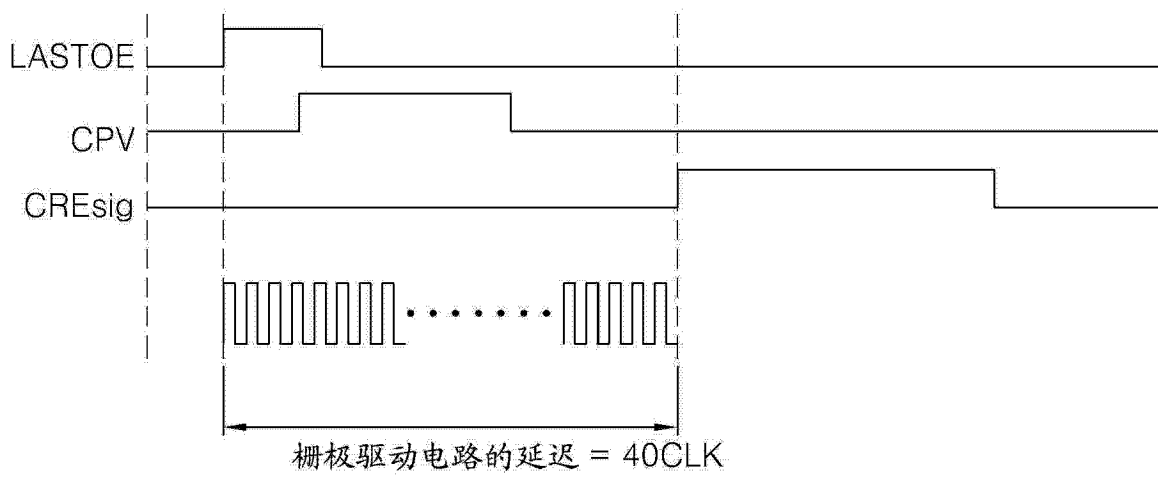


图 9D

专利名称(译)	补偿栅极驱动信号的延迟的液晶显示装置和方法		
公开(公告)号	CN102820011A	公开(公告)日	2012-12-12
申请号	CN201210262405.3	申请日	2007-12-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	吕章铉 金宇哲 朴宰亨		
发明人	吕章铉 金宇哲 朴宰亨		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G2310/0281 G09G2320/0233 G09G2310/0289 G09G2310/08 G09G3/3677 G09G2320/0223		
优先权	1020060125334 2006-12-11 KR		
其他公开文献	CN102820011B		
外部链接	Espacenet SIPO		

摘要(译)

提供了补偿栅极驱动信号的延迟的液晶显示装置和方法。所述液晶显示装置包括：栅极驱动移位寄存器，具有对称地分开的电路部分，通过所述电路部分，在对LCD装置的行进行行波传送扫描期间从多根栅极线中的每根栅极线的两端双重驱动每根栅极线。所述LCD装置包括产生输出使能信号和栅极时钟的时序控制器，其中，所述时序控制器调节负载信号的时序以决定数据将被加载到当前激活的显示行的数据输出时刻。所述数据输出时刻是延迟测量反馈信号的函数，所述延迟测量反馈信号被用于测量移位寄存器的顺序连接的各级的累积延迟。

