



(12) 发明专利申请

(10) 申请公布号 CN 101763832 A

(43) 申请公布日 2010.06.30

(21) 申请号 200910175768.1

(22) 申请日 2009.10.13

(30) 优先权数据

10-2008-0132479 2008.12.23 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 洪镇铁 吴承哲 曹畅训

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 徐金国 钟强

(51) Int. Cl.

G09G 3/36 (2006.01)

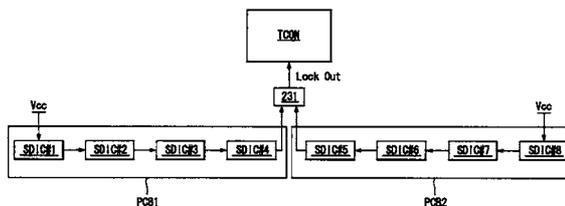
权利要求书 4 页 说明书 21 页 附图 15 页

(54) 发明名称

液晶显示器及其驱动方法

(57) 摘要

本发明提供一种液晶显示器及其驱动方法。液晶显示器包括：第一源驱动 IC 组，响应于通过第一锁定信号输入端输入的电源电压和来自时序控制器的锁定信号之一，输出第一反馈锁定信号；第二源驱动 IC 组，响应于通过第二锁定信号输入端输入的电源电压、来自时序控制器的锁定信号和从第一源驱动 IC 组传输的锁定信号之一，输出第二反馈锁定信号；以及比较器，比较第一反馈锁定信号和第二反馈锁定信号，并将比较结果提供给时序控制器。



1. 一种液晶显示器,包括:

时序控制器;

第一源驱动集成电路 (IC) 组,响应于通过第一锁定信号输入端输入电源电压和来自所述时序控制器的锁定信号之一,输出第一反馈锁定信号;

第二源驱动 IC 组,响应于通过第二锁定信号输入端输入电源电压、来自所述时序控制器的锁定信号和从所述第一源驱动 IC 组传输的锁定信号之一,输出第二反馈锁定信号;

N 对数据总线,以点对点的方式将所述时序控制器连接至所述第一和第二源驱动 IC 组,其中 N 是大于或等于 2 的偶数;和

比较器,比较所述第一反馈锁定信号和所述第二反馈锁定信号,并将比较的结果提供给所述时序控制器。

2. 根据权利要求 1 所述的液晶显示器,其中所述第一和第二源驱动 IC 组每个包括 N/2 个源驱动 IC。

3. 根据权利要求 1 所述的液晶显示器,进一步包括:

锁定检查线,用于将锁定信号从所述时序控制器传输至所述第一源驱动 IC 组的第一源驱动 IC 和所述第二源驱动 IC 组的最末源驱动 IC;

第一反馈锁定检查线,用于将从所述第一源驱动 IC 组的最末源驱动 IC 输出的所述第一反馈锁定信号提供给所述比较器;和

第二反馈锁定检查线,用于将从所述第二源驱动 IC 组的第一源驱动 IC 输出的所述第二反馈锁定信号提供给所述比较器。

4. 根据权利要求 2 所述的液晶显示器,其中所述时序控制器通过所述 N 对数据总线的每一对将前导信号传输至所述第一和第二源驱动 IC 组的 N 个源驱动 IC 的每一个,在所述前导信号中连续地排列多个具有高逻辑电平的比特和随后连续地排列多个具有低逻辑电平的比特,

其中如果所述第一和第二反馈锁定信号输入给所述时序控制器,则所述时序控制器通过所述 N 对数据总线的每一对将源控制数据和 RGB 数据的至少其一传输至所述 N 个源驱动 IC 中的每一个。

5. 根据权利要求 4 所述的液晶显示器,其中所述 N 个源驱动 IC 响应于所述前导信号锁定内部时钟脉冲,随后将锁定信号传输给下一个源驱动 IC,

其中所述 N 个源驱动 IC 的每一个从所述时序控制器接收所述源控制数据和所述 RGB 数据的至少其一。

6. 根据权利要求 5 所述的液晶显示器,其中所述第一源驱动 IC 组包括:

第一源驱动 IC,接收电源电压、由所述前导信号恢复基准时钟、以及如果根据该基准时钟锁定从所述第一源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号;

第二源驱动 IC,接收来自所述第一源驱动 IC 的锁定信号、由所述前导信号恢复基准时钟、以及如果根据该基准时钟锁定从所述第二源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号;

第三源驱动 IC,接收来自所述第二源驱动 IC 的锁定信号、由所述前导信号恢复基准时钟、以及如果根据该基准时钟锁定从所述第三源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号;和

第四源驱动 IC,接收来自所述第三源驱动 IC 的锁定信号、由所述前导信号恢复基准时钟、以及如果根据该基准时钟锁定从所述第四源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号、以及将该锁定信号提供给所述比较器的第一输入端。

7. 根据权利要求 6 所述的液晶显示器,其中所述第二源驱动 IC 组包括:

第八源驱动 IC,接收电源电压、由所述前导信号恢复基准时钟、以及如果根据该基准时钟锁定从所述第八源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号;

第七源驱动 IC,接收来自所述第八源驱动 IC 的锁定信号、由所述前导信号恢复基准时钟、以及如果根据该基准时钟锁定从所述第七源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号;

第六源驱动 IC,接收来自所述第七源驱动 IC 的锁定信号、由所述前导信号恢复基准时钟、以及如果根据该基准时钟锁定从所述第六源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号;和

第五源驱动 IC,接收来自所述第六源驱动 IC 的锁定信号、由所述前导信号恢复基准时钟、如果根据该基准时钟锁定从所述第五源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号、以及将该锁定信号提供给所述比较器的第二输入端。

8. 根据权利要求 3 所述的液晶显示器,其中所述第一源驱动 IC 组包括:

第一源驱动 IC,接收来自所述时序控制器的锁定信号、由所述前导信号恢复基准时钟、以及如果根据该基准时钟锁定从所述第一源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号;

第二源驱动 IC,接收来自所述第一源驱动 IC 的锁定信号、由所述前导信号恢复基准时钟、以及如果根据该基准时钟锁定从所述第二源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号;

第三源驱动 IC,接收来自所述第二源驱动 IC 的锁定信号、由所述前导信号恢复基准时钟、以及如果根据该基准时钟锁定从所述第三源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号;和

第四源驱动 IC,接收来自所述第三源驱动 IC 的锁定信号、由所述前导信号恢复基准时钟、如果根据该基准时钟锁定从所述第四源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号、以及将该锁定信号提供给所述比较器的第一输入端。

9. 根据权利要求 8 所述的液晶显示器,其中所述第二源驱动 IC 组包括:

第八源驱动 IC,接收来自所述时序控制器的锁定信号、由所述前导信号恢复基准时钟、以及如果根据该基准时钟锁定从所述第八源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号;

第七源驱动 IC,接收来自所述第八源驱动 IC 的锁定信号、由所述前导信号恢复基准时钟、以及如果根据该基准时钟锁定从所述第七源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号;

第六源驱动 IC,接收来自所述第七源驱动 IC 的锁定信号、由所述前导信号恢复基准时钟、以及如果根据该基准时钟锁定从所述第六源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号;和

第五源驱动 IC,接收来自所述第六源驱动 IC 的锁定信号、由所述前导信号恢复基准时

钟、如果根据该基准时钟锁定从所述第五源驱动 IC 输出的内部时钟脉冲的相位,则产生锁定信号、以及将该锁定信号提供给所述比较器的第二输入端。

10. 根据权利要求 1 所述的液晶显示器,其中所述比较器包括与门。

11. 根据权利要求 4 所述的液晶显示器,其中如果所述第一和第二反馈锁定信号输入至所述时序控制器,则所述时序控制器通过所述 N 对数据总线将至少一个包括所述源控制数据的源控制包同时传输至所述 N 个源驱动 IC,随后通过所述 N 对数据总线将至少一个包括所述 RGB 数据的 RGB 数据包同时传输至所述 N 个源驱动 IC。

12. 根据权利要求 11 所述的液晶显示器,其中所述 N 个源驱动 IC 的每一个根据内部时钟脉冲从所述源控制包中产生极性控制信号和源输出使能信号,从所述 RGB 数据包中恢复所述 RGB 数据,和响应于所述极性控制信号将所述 RGB 数据转换成正或负数据电压以响应于所述源输出使能信号输出正 / 负数据电压。

13. 根据权利要求 11 所述的液晶显示器,其中所述 RGB 数据包依照下列顺序依次包括:时钟比特、第一 RGB 数据比特、内部数据使能时钟比特和第二 RGB 数据比特。

14. 根据权利要求 12 所述的液晶显示器,其中所述时序控制器通过所述 N 对数据总线的每一对将第二源控制包提供给所述 N 个源驱动 IC 的每一个,

其中所述第二源控制包包括下述中的至少之一:确定所述 N 个源驱动 IC 的每一个的输出缓冲器放大比例的 PWRC1/2 选项信息、确定所述 N 个源驱动 IC 的每一个的充电共享电压的输出的 MODE 选项信息、确定所述源输出使能信号的接收路径的 SOE\_EN 选项信息、确定所述极性控制信号的接收路径的 PACK\_EN 选项信息、确定所述 N 个源驱动 IC 的输出通道数量的 CHMODE 选项信息、将芯片标识码提供给所述 N 个源驱动 IC 的每一个以独立地控制所述 N 个源驱动 IC 的 CID1/2 选项信息和确定从所述 N 个源驱动 IC 输出的正 / 负数据电压的水平极性周期的 H\_2DOT 选项信息。

15. 一种液晶显示器的驱动方法,包括:

将电源电压和产生自所述时序控制器的锁定信号之一提供给所述第一源驱动集成电路 (IC) 组以产生来自所述第一源驱动 IC 组的所述第一反馈锁定信号;

将电源电压、产生自所述时序控制器的锁定信号和从所述第一源驱动 IC 组传输的锁定信号之一提供给所述第二源驱动 IC 组以产生来自所述第二源驱动 IC 组的所述第二反馈锁定信号;以及

比较所述第一反馈锁定信号和所述第二反馈锁定信号以将比较结果提供给所述时序控制器。

16. 根据权利要求 15 所述的方法,其中所述第一和第二源驱动 IC 组的每个包括 N/2 个源驱动 IC,其中 N 是大于或等于 2 的偶数。

17. 根据权利要求 16 所述的方法,进一步包括:

从所述时序控制器产生前导信号,其中连续地排列多个具有高逻辑电平的比特,随后连续地排列多个具有低逻辑电平的比特;

通过以点对点的方式将所述时序控制器连接至所述 N 个源驱动 IC 的所述 N 对数据总线的每一对将所述前导信号传输给所述 N 个源驱动 IC 的每一个;以及

将所述比较结果输入给所述时序控制器以通过所述 N 对数据总线的每一对将产生自所述时序控制器的所述源控制数据和所述 RGB 数据的至少之一传输给所述 N 个源驱动 IC

的每一个。

## 液晶显示器及其驱动方法

[0001] 本申请要求于 2008 年 12 月 23 日提交的韩国专利申请 No. 10-2008-0132479 的优先权,为了所有的目的在此引用该专利申请作为参考如同在此全部阐述。

### 技术领域

[0002] 本发明的实施例涉及一种液晶显示器及其驱动方法。

### 背景技术

[0003] 有源矩阵型液晶显示器使用薄膜晶体管 (TFT) 作为开关元件显示运动图像。因为有源矩阵型液晶显示器的轻薄外观,有源矩阵型液晶显示器已经应用在电视机以及例如办公设备和计算机的便携设备中的显示设备。因此,阴极射线管 (CRT) 已经快速地被有源矩阵型液晶显示器替代。

[0004] 液晶显示器包括:多个源驱动集成电路 (IC),将数据电压提供给液晶显示面板的数据线;多个栅驱动 IC,顺序地将栅脉冲(即扫描脉冲)提供给液晶显示面板的栅线;和时序控制器,控制源驱动 IC 和栅驱动 IC。在液晶显示器中,通过接口将数字视频数据输入给时序控制器。

[0005] 时序控制器通过诸如微型低压差分信号 (LVDS) 接口这样的接口将数字视频数据、用于采样数字视频数据的时钟、用于控制源驱动 IC 操作的控制信号等提供给源驱动 IC。源驱动 IC 串并转换从时序控制器串行输入的数字视频数据以输出并行数据,随后使用伽马补偿电压将并行数据转换成模拟数据电压以将此模拟数据电压提供给数据线。

[0006] 采用将时钟和数字视频数据共同施加给源驱动 IC 的多点方式,时序控制器将必需的信号提供给源驱动 IC。因为源驱动 IC 相互级联连接,所以源驱动 IC 顺序地采样数字视频数据,随后同时输出对应于 1 条线的数据电压。在这种数据传输方法中,例如 R、G 和 B 数据传输线、用于控制源驱动 IC 的输出和源驱动 IC 极性改变的操作时序的控制线、以及时钟传输线的多条线在时序控制器和源驱动 IC 之间是必需的。因为微型 LVDS 接口是以相互异相的一对差分信号的形式传输每个数字视频数据和时钟的方式,所以在时序控制器和源驱动 IC 之间至少 14 条数据传输线是必需的以同时传输奇数数据和偶数数据。于是,因为必须在位于时序控制器和源驱动 IC 之间的印刷电路板 (PCB) 上形成多条数据传输线,所以难以减少数据传输线的数量。

### 发明内容

[0007] 本发明的实施例提供一种能够减少时序控制器和源驱动集成电路 (IC) 之间的信号传输线的数量的液晶显示器及其驱动方法。

[0008] 一个方面,提供一种液晶显示器,包括:时序控制器;第一源驱动集成电路 (IC) 组,响应于通过第一锁定信号输入端输入的电源电压和来自时序控制器的锁定信号之一,输出第一反馈锁定信号;第二源驱动 IC 组,响应于通过第二锁定信号输入端输入的电源电压、来自时序控制器的锁定信号和从第一源驱动 IC 组传输的锁定信号之一,输出第二反馈

锁定信号；N 对数据总线，以点对点的方式将时序控制器连接至第一和第二源驱动 IC 组，其中 N 是大于或等于 2 的偶数；以及比较器，比较第一反馈锁定信号和第二反馈锁定信号，并将比较的结果提供给时序控制器。

[0009] 第一和第二源驱动 IC 组每个包括  $N/2$  个源驱动 IC，其中 N 是大于或等于 2 的偶数。

[0010] 液晶显示器进一步包括：锁定检查线，用于将锁定信号从时序控制器传输至第一源驱动 IC 组的第一源驱动 IC 和第二源驱动 IC 组的最末源驱动 IC；第一反馈锁定检查线，用于将从第一源驱动 IC 组的最末源驱动 IC 输出的第一反馈锁定信号提供给比较器；和第二反馈锁定检查线，用于将从第二源驱动 IC 组的第一源驱动 IC 输出的第二反馈锁定信号提供给比较器。

[0011] 时序控制器通过 N 对数据总线的每一对将前导信号传输至第一和第二源驱动 IC 组的 N 个源驱动 IC 的每一个，在前导信号中连续地排列多个具有高逻辑电平的比特和随后连续地排列多个具有低逻辑电平的比特。如果将第一和第二反馈锁定信号输入给时序控制器，则时序控制器通过 N 对数据总线的每一对将源控制数据和 RGB 数据的至少其一传输至 N 个源驱动 IC 的每一个。

[0012] N 个源驱动 IC 响应于前导信号锁定内部时钟脉冲，随后将锁定信号传输给下一个源驱动 IC。N 个源驱动 IC 的每一个从时序控制器接收源控制数据和 RGB 数据的至少其一。

[0013] 第一源驱动 IC 组包括：第一源驱动 IC，接收电源电压、由前导信号恢复基准时钟、以及如果根据基准时钟锁定从第一源驱动 IC 输出的内部时钟脉冲相位，则产生锁定信号；第二源驱动 IC，接收来自第一源驱动 IC 的锁定信号、由前导信号恢复基准时钟、以及如果根据基准时钟锁定从第二源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号；第三源驱动 IC，接收来自第二源驱动 IC 的锁定信号、由前导信号恢复基准时钟、以及如果根据基准时钟锁定从第三源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号；和第四源驱动 IC，接收来自第三源驱动 IC 的锁定信号、由前导信号恢复基准时钟、如果根据基准时钟锁定从第四源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号、以及将产生的锁定信号提供给比较器的第一输入端。

[0014] 第二源驱动 IC 组包括：第八源驱动 IC，接收电源电压、由前导信号恢复基准时钟、以及如果根据基准时钟锁定从第八源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号；第七源驱动 IC，接收来自第八源驱动 IC 的锁定信号、由前导信号恢复基准时钟、以及如果根据基准时钟锁定从第七源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号；第六源驱动 IC，接收来自第七源驱动 IC 的锁定信号、由前导信号恢复基准时钟、以及如果根据基准时钟锁定从第六源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号；和第五源驱动 IC，接收来自第六源驱动 IC 的锁定信号、由前导信号恢复基准时钟、如果根据基准时钟锁定从第五源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号、以及将产生的锁定信号提供给比较器的第二输入端。

[0015] 第一源驱动 IC 组包括：第一源驱动 IC，接收来自时序控制器的锁定信号、由前导信号恢复基准时钟、以及如果根据基准时钟锁定从第一源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号；第二源驱动 IC，接收来自第一源驱动 IC 的锁定信号、由前导信号恢复基准时钟、以及如果根据基准时钟锁定从第二源驱动 IC 输出的内部时钟脉冲的相位，则

产生锁定信号；第三源驱动 IC，接收来自第二源驱动 IC 的锁定信号、由前导信号恢复基准时钟、以及如果根据基准时钟锁定从第三源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号；和第四源驱动 IC，接收来自第三源驱动 IC 的锁定信号、由前导信号恢复基准时钟、如果根据基准时钟锁定从第四源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号、以及将产生的锁定信号提供给比较器的第一输入端。

[0016] 第二源驱动 IC 组包括：第八源驱动 IC，接收来自时序控制器的锁定信号、由前导信号恢复基准时钟、以及如果根据基准时钟锁定从第八源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号；第七源驱动 IC，接收来自第八源驱动 IC 的锁定信号、由前导信号恢复基准时钟、以及如果根据基准时钟锁定从第七源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号；第六源驱动 IC，接收来自第七源驱动 IC 的锁定信号、由前导信号恢复基准时钟、以及如果根据基准时钟锁定从第六源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号；和第五源驱动 IC，接收来自第六源驱动 IC 的锁定信号、由前导信号恢复基准时钟、如果根据基准时钟锁定从第五源驱动 IC 输出的内部时钟脉冲的相位，则产生锁定信号、以及将产生的锁定信号提供给比较器的第二输入端。

[0017] 比较器包括与门。

[0018] 如果第一和第二反馈锁定信号输入至时序控制器，则时序控制器通过 N 对数据总线将至少一个包括源控制数据的源控制包同时传输至 N 个源驱动 IC，随后通过 N 对数据总线将至少一个包括 RGB 数据的 RGB 数据包同时传输至 N 个源驱动 IC。

[0019] N 个源驱动 IC 的每一个根据内部时钟脉冲从源控制包中产生极性控制信号和源输出使能信号，从 RGB 数据包中恢复 RGB 数据，和响应于极性控制信号将 RGB 数据转换成正或负数据电压以响应于源输出使能信号输出正 / 负数据电压。

[0020] RGB 数据包依照下列顺序依次包括：时钟比特、第一 RGB 数据比特、内部数据使能时钟比特和第二 RGB 数据比特。

[0021] 时序控制器通过 N 对数据总线的每一对将第二源控制包提供给 N 个源驱动 IC 的每一个。第二源控制包包括下述中的至少之一：确定 N 个源驱动 IC 的每一个的输出缓冲器放大比例的 PWRC1/2 选项信息、确定 N 个源驱动 IC 的每一个的充电共享电压的输出的 MODE 选项信息、确定源输出使能信号的接收路径的 SOE\_EN 选项信息、确定极性控制信号的接收路径的 PACK\_EN 选项信息、确定 N 个源驱动 IC 的输出通道数量的 CHMODE 选项信息、将芯片标识码提供给 N 个源驱动 IC 的每一个以独立地控制 N 个源驱动 IC 的 CID1/2 选项信息和确定从 N 个源驱动 IC 输出的正 / 负数据电压的水平极性周期的 H\_2DOT 选项信息。

[0022] 另一个方面，提供一种液晶显示器的驱动方法，包括：将电源电压和产生自时序控制器的锁定信号之一提供给第一源驱动集成电路 (IC) 组以产生来自第一源驱动 IC 组的第一反馈锁定信号；将电源电压、产生自时序控制器的锁定信号和从第一源驱动 IC 组传输的锁定信号之一提供给第二源驱动 IC 组以产生来自第二源驱动 IC 组的第二反馈锁定信号；以及比较第一反馈锁定信号与第二反馈锁定信号以将比较结果提供给时序控制器。

[0023] 根据下文给出的详细描述，本发明可进一步应用的范围将变得显而易见。然而，应当理解在表明本发明的优选实施例时，仅仅通过示例给出了详细描述和具体例子，因为对于本领域的技术人员来说根据该详细描述，在本发明精神和范围内的各种改变和修改是显而易见的。

## 附图说明

[0024] 提供本发明的进一步理解和并入并构成说明书一部分的附图图示本发明的实施例,并和说明书一起用于解释本发明的原理。在附图中:

[0025] 图 1 是表示根据本发明实施例的液晶显示器的结构图;

[0026] 图 2 表示在时序控制器和源驱动集成电路 (IC) 之间的线;

[0027] 图 3 和 4 是表示源驱动 IC 的构造的结构图;

[0028] 图 5 是表示栅驱动 IC 的构造的结构图;

[0029] 图 6 是阶段表示在时序控制器和源驱动 IC 之间的信号传输过程的流程图;

[0030] 图 7 是表示时钟分离和数据采样单元的结构图;

[0031] 图 8 表示能够允许源驱动 IC 执行调试操作的串行通信控制路径和芯片标识码的例子;

[0032] 图 9 是表示锁相环 (PLL) 的结构图;

[0033] 图 10 是表示由时序控制器产生的阶段 1 信号的波形图;

[0034] 图 11 是表示由时序控制器产生的阶段 2 信号的波形图;

[0035] 图 12 和 13 是表示由时序控制器产生的阶段 3 信号的波形图;

[0036] 图 14 表示源控制包和 RGB 数据包的数据对应关系的例子;

[0037] 图 15 表示虚拟源控制包、实际源控制包和最末虚拟源控制包的数据对应关系的例子;

[0038] 图 16 表示实际源控制包的数据对应关系的例子;

[0039] 图 17 是表示在图 16 的实际源控制包中由源输出相关控制数据控制的源输出使能信号和由极性相关控制数据控制的极性控制信号的波形图;

[0040] 图 18A 至 18C 表示根据实际源控制包的源输出相关控制数据控制的源输出使能信号的脉冲宽度;

[0041] 图 19 是表示时钟分离和数据采样单元的输出的波形图;

[0042] 图 20A 至 20D 是表示根据 RGB 数据包比特率变化的 RGB 数据包的长度变换的截面图;

[0043] 图 21 和 22 是表示根据本发明另一实施例的阶段 1 信号的波形图;

[0044] 图 23 和 24 表示在根据本发明另一实施例的液晶显示器中使用比较器的源驱动 IC 的 PLL 锁定检查的例子;

[0045] 图 25 表示用于测试模式的根据本发明实施例的液晶显示器的附加结构。

## 具体实施方式

[0046] 现在将参考在附图中说明的本发明的详细实施例。

[0047] 如图 1 所示,根据本发明实施例的液晶显示器包括:液晶显示面板 10、时序控制器 TCON、多个源驱动集成电路 (IC) SDIC#1 至 SDIC#8 和多个栅驱动 IC GDIC#1 至 GDIC#4。

[0048] 液晶显示器面板 10 包括上玻璃基板、下玻璃基板和介于上下玻璃基板之间的液晶层。液晶显示面板 10 包括以矩阵形式设置在 m 条数据线 DL 和 n 条栅线 GL 的每个交叉点上的 m×n 个液晶单元 Clc。

[0049] 在液晶显示面板 10 的下玻璃基板上形成包括数据线 DL、栅线 GL、薄膜晶体管 (TFT)、存储电容器 Cst 等的像素阵列。由在通过 TFT 接收数据电压的像素电极 1 和接收公共电压 Vcom 的公共电极 2 之间的电场驱动每个液晶单元 Clc。在每个 TFT 中,栅电极连接到栅线 GL,源电极连接到数据线 DL,以及漏电极连接到液晶单元 Clc 的像素电极 1。当通过栅线 GL 提供栅脉冲时,TFT 导通,从而将通过数据线 DL 接收到的正或负模拟视频数据电压提供给液晶单元 Clc 的像素电极 1。

[0050] 在液晶显示面板 10 的上玻璃基板上形成黑矩阵、滤色器、公共电极 2 等。

[0051] 在例如扭曲向列 (TN) 模式和垂直排列 (VA) 模式的垂直电场驱动方式中,在上玻璃基板上形成公共电极 2。在例如共平面开关 (IPS) 模式和边缘场开关 (FFS) 模式的水平电场驱动方式中,在下玻璃基板上形成公共电极 2 和像素电极 1。

[0052] 偏振板分别贴附于液晶显示面板 10 的上和下玻璃基板。用于设置预倾角的取向层分别形成在上和下玻璃基板上。在上和下玻璃基板之间形成衬垫料以保持液晶单元 Clc 的单元间隙恒定。

[0053] 根据本发明实施例的液晶显示器可以以任意液晶模式以及 TN、VA、IPS 和 FFS 模式实施。此外,根据本发明实施例的液晶显示器可以实施为任意类型的液晶显示器,包括背光型液晶显示器、透反型液晶显示器和反射型液晶显示器。

[0054] 时序控制器 TCON 通过诸如低压差分信号 (LVDS) 接口和最小化传输差分信号 (TMDS) 接口的接口接收诸如垂直和水平同步信号 Vsync 和 Hsync、外部数据使能信号 DE 和点时钟 CLK 等外部时序信号,以产生用于控制源驱动 IC SDIC#1 至 SDIC#8 的操作时序和栅驱动 IC GDIC#1 至 GDIC#4 的操作时序的时序控制信号。时序控制信号包括用于控制栅驱动 IC GDIC#1 至 GDIC#4 的操作时序的栅时序控制信号和用于控制源驱动 IC SDIC#1 至 SDIC#8 的操作时序的源时序控制信号。

[0055] 时序控制器 TCON 以点对点的方式连接至源驱动 IC SDIC#1 至 SDIC#8。时序控制器 TCON 通过多对数据总线的每一对向每一个源驱动 IC SDIC#1 至 SDIC#8 传输用于初始化源驱动 IC SDIC#1 至 SDIC#8 的前导信号、包括源时序控制信号的源控制数据、时钟和 RGB 数字视频数据等。

[0056] 栅时序控制信号包括栅起始脉冲 GSP、栅移位时钟 GSC、栅输出使能信号 GOE 等。将栅起始脉冲 GSP 施加给第一栅驱动 IC GDIC#1 由此表示扫描操作的扫描起始时间,以便第一栅驱动 IC GDIC#1 产生第一栅脉冲。栅移位时钟 GSC 是用于移位栅起始脉冲 GSP 的时钟。每个栅驱动 IC GDIC#1 至 GDIC#4 的移位寄存器在栅移位时钟 GSC 的上升沿移位栅起始脉冲 GSP。第二至第四栅驱动 IC GDIC#2 至 GDIC#4 接收第一栅驱动 IC GDIC#1 的进位信号作为栅起始脉冲以开始操作。栅输出使能信号 GOE 控制栅驱动 ICGDIC#1 至 GDIC#4 的输出时序。栅驱动 IC GDIC#1 至 GDIC#4 在栅输出使能信号 GOE 的低逻辑电平状态中,即在紧随着当前脉冲的下降沿之后到紧接着下一脉冲的上升沿之前的时间周期内,输出栅脉冲。栅输出使能信号 GOE 的 1 个周期大约是 1 个水平周期。

[0057] 在前导信号的传输时间和 RGB 数字视频数据的传输时间之间的预定时间间隔内,通过数据总线对将源时序控制信号传输至源驱动 IC SDIC#1 至 SDIC#8。源时序控制信号包括极性相关控制数据、源输出相关控制数据等。极性相关控制数据包括用于控制在源驱动 IC SDIC#1 至 SDIC#8 内产生的具有脉冲形式的极性控制信号 POL 的控制信息。响应于极性

控制信号 POL,每个源驱动 IC SDIC#1 至 SDIC#8 的数模转换器 (DAC) 将 RGB 数字视频数据转换成正或负模拟视频数据电压。源输出相关控制数据包括用于控制在源驱动 IC SDIC#1 至 SDIC#8 内产生的具有脉冲形式的源输出使能信号 SOE 的控制信息。源输出使能信号 SOE 控制来自源驱动 IC SDIC#1 至 SDIC#8 的正 / 负模拟视频数据电压的输出时序。

[0058] 响应于栅时序控制信号,每个栅驱动 IC GDIC#1 至 GDIC#4 顺序地将栅脉冲提供给栅线 GL。

[0059] 根据通过数据总线对从时序控制器 TCON 传输的前导信号,每个源驱动 IC SDIC#1 至 SDIC#8 锁定从嵌在每个源驱动 IC SDIC#1 至 SDIC#8 内的时钟分离和数据采样单元输出的内部时钟脉冲的频率和相位。随后,每个源驱动 IC SDIC#1 至 SDIC#8 从通过数据总线对作为数字比特流输入的源控制包中恢复时钟以产生串行时钟。随后,每个源驱动 IC SDIC#1 至 SDIC#8 采样极性相关控制数据和源输出相关控制数据。每个源驱动 IC SDIC#1 至 SDIC#8 使用极性相关控制数据和源输出相关控制数据输出极性控制信号 POL 和源输出使能信号 SOE。

[0060] 在每个源驱动 IC SDIC#1 至 SDIC#8 从通过数据总线对作为数字比特流输入的源控制包中恢复时钟以恢复极性控制信号 POL 和源输出使能信号 SOE 之后,每个源驱动 IC SDIC#1 至 SDIC#8 从通过数据总线对作为数字比特流输入的 RGB 数据包中恢复时钟以产生用于数据采样的串行时钟。此后,每个源驱动 IC SDIC#1 至 SDIC#8 根据串行时钟采样串行输入的 RGB 数字视频数据。每个源驱动 IC SDIC#1 至 SDIC#8 串并转换顺序采样的 RGB 数字视频数据以输出 RGB 并行数据。然后,响应于极性控制信号 POL,每个源驱动 IC SDIC#1 至 SDIC#8 将 RGB 并行数据转换成正 / 负模拟视频数据电压,以响应于源输出使能信号 SOE 将正 / 负模拟视频数据电压提供给数据线 DL。

[0061] 图 2 表示在时序控制器 TCON 和源驱动 IC SDIC#1 至 SDIC#8 之间的线。

[0062] 如图 2 所示,在时序控制器 TCON 和源驱动 IC SDIC#1 至 SDIC#8 之间形成多对数据总线 DATA&CLK、第一和第二对控制线 SCL/SDA1 和 SCL/SDA2、锁定检查线 LCS1 和 LCS2 等。

[0063] 时序控制器 TCON 通过每对数据总线 DATA&CLK 顺序地将前导信号、源控制包和 RGB 数据包传输给每个源驱动 IC SDIC#1 至 SDIC#8。源控制包是包括时钟比特、极性相关控制数据比特、源输出相关控制数据比特等的比特流。RGB 数据包是包括时钟比特、内部数据使能时钟比特、RGB 数据比特等的比特流。每对数据总线 DATA&CLK 将时序控制器 TCON 串联至每个源驱动 IC SDIC#1 至 SDIC#8。即时序控制器 TCON 以点对点的方式连接至源驱动 IC SDIC#1 至 SDIC#8。每个源驱动 IC SDIC#1 至 SDIC#8 恢复通过数据总线对 DATA&CLK 输入的时钟。因此,用于传输时钟进位和 RGB 视频数据的线在相邻的源驱动 IC SDIC#1 至 SDIC#8 之间不是必需的。

[0064] 时序控制器 TCON 通过控制线对 SCL/SDA 1 和 SCL/SDA2 将每个源驱动 IC SDIC#1 至 SDIC#8 的芯片标识码 CID 和用于控制每个源驱动 IC SDIC#1 至 SDIC#8 的功能的芯片单独控制数据传送给每个源驱动 IC SDIC#1 至 SDIC#8。控制线对 SCL/SDA 1 和 SCL/SDA2 公共连接在时序控制器 TCON 和源驱动 IC SDIC#1 至 SDIC#8 之间。更具体地,如图 8 所示,如果将源驱动 IC SDIC#1 至 SDIC#8 划分成两组并将这两组分别连接至印刷电路板 (PCB) PCB1 和 PCB2,左侧的第一对控制线 SCL/SDA1 将时序控制器 TCON 并联到第一至第四源驱动 IC SDIC#1 至 SDIC#4,右侧的第二对控制线 SCL/SDA2 将时序控制器 TCON 并联到第五至第八源

驱动 IC SDIC#5 至 SDIC#8。

[0065] 时序控制器 TCON 通过锁定检查线 LCS 1 向第一源驱动 IC SDIC#1 提供锁定信号 LOCK, 锁定信号 LOCK 确认从每个源驱动 IC SDIC#1 至 SDIC#8 的时钟分离和数据采样单元输出的内部时钟脉冲的相位和频率是否被稳定地锁定。源驱动 IC SDIC#1 至 SDIC#8 通过锁定检查线 LCS1 相互级联连接。如果从第一源驱动 IC SDIC#1 输出的内部时钟脉冲的频率和相位被锁定, 则第一源驱动 IC SDIC#1 将高逻辑电平的锁定信号 LOCK 传输给第二源驱动 IC SDIC#2。接着, 在锁定从第二源驱动 IC SDIC#2 输出的内部时钟脉冲的频率和相位之后, 第二源驱动 IC SDIC#2 将高逻辑电平的锁定信号 LOCK 传输给第三源驱动 IC SDIC#3。顺序地执行上述锁定操作, 最后, 在锁定从最末源驱动 IC SDIC#8 输出的内部时钟脉冲的频率和相位之后, 最末源驱动 IC SDIC#8 通过反馈锁定检查线 LCS2 将高逻辑电平的锁定信号 LOCK 反馈输入给时序控制器 TCON。仅在时序控制器 TCON 接收到锁定信号 LOCK 的反馈信号之后, 时序控制器 TCON 才将 RGB 数据包传输给源驱动 ICSDIC#1 至 SDIC#8。

[0066] 图 3 是表示源驱动 IC SDIC#1 至 SDIC#8 的构造的结构图。

[0067] 如图 3 所示, 每个源驱动 IC SDIC#1 至 SDIC#8 将正 / 负模拟视频数据电压提供给 k 条数据线 D1 至 Dk (其中 k 是小于 m 的正整数)。每个源驱动 ICSDIC#1 至 SDIC#8 包括时钟分离和数据采样单元 21、数模转换器 (DAC) 22、输出电路 23 等。

[0068] 在阶段 1, 时钟分离和数据采样单元 21 根据通过数据总线对 DATA&CLK 在低频输入的前导信号锁定内部时钟脉冲的相位和频率。随后, 在阶段 2, 时钟分离和数据采样单元 21 从通过数据总线对 DATA&CLK 作为比特流输入的源控制包中恢复基准时钟, 并从基准时钟分离极性相关控制数据, 从而根据极性相关控制数据恢复极性控制信号 POL。此外, 时钟分离和数据采样单元 21 从源控制包中分离源输出相关控制数据以根据源输出相关控制数据恢复源输出使能信号 SOE。

[0069] 随后, 在阶段 3, 时钟分离和数据采样单元 21 从通过数据总线对 DATA&CLK 输入的 RGB 数据包中分离时钟以恢复基准时钟。此外, 时钟分离和数据采样单元 21 根据该基准时钟产生用于采样每个 RGB 数字视频数据的比特的串行时钟信号。为此, 时钟分离和数据采样单元 21 包括能够输出具有稳定相位和稳定频率的内部时钟脉冲的锁相电路。锁相电路的例子包括锁相环 (PLL) 和延迟锁定环 (DLL)。在本实施例中, 随后将描述使用 PLL 电路作为锁相电路的例子。在本实施例中, 时钟分离和数据采样单元 21 可以包括 DLL 以及 PLL。图 7 至图 9 表示使用 PLL 实现时钟分离和数据采样单元 21 的例子。然而, 也可以使用 DLL 实现时钟分离和数据采样单元 21。

[0070] 时钟分离和数据采样单元 21 根据串行时钟采样和锁存通过数据总线对 DATA&CLK 串行输入的每个 RGB 数据比特, 随后同时输出锁存的 RGB 数据。即时钟分离和数据采样单元 21 将串行数据转换成 RGB 并行数据。

[0071] DAC 22 响应于极性控制信号 POL 将来自时钟分离和数据采样单元 21 的 RGB 数字视频数据转换成伽玛补偿电压 GH 或负伽玛补偿电压 GL, 随后将正伽玛补偿电压 GH 或负伽玛补偿电压 GL 转换成正或负模拟视频数据电压。对于上述操作, 如图 4 所示, DAC 22 包括: 接收正伽玛补偿电压 GH 的 P- 解码器 (PDEC) 41、接收负伽玛补偿电压 GL 的 N- 解码器 (NDEC) 42、和响应于极性控制信号 POL 选择 P- 解码器 41 的输出和 N- 解码器 42 的输出的复用器 43。P- 解码器 41 解码从时钟分离和数据采样单元 21 输入的 RGB 数字视频数据以

输出与 RGB 数字视频数据的灰电平对应的正伽玛补偿电压 GH。N- 解码器 42 解码从时钟分离和数据采样单元 21 输入的 RGB 数字视频数据以输出与 RGB 数字视频数据的灰电平对应的负伽玛补偿电压 GL。复用器 43 响应于极性控制信号 POL 交替地选择正伽玛补偿电压 GH 和负伽玛补偿电压 GL, 并输出正或负模拟视频数据电压作为选定的正或负伽玛补偿电压 GH 或 GL。

[0072] 输出电路 23 在源输出使能信号 SOE 的高逻辑电平周期内通过输出缓冲器将充电共享电压或公共电压  $V_{com}$  提供给数据线 D1 至 Dk。输出电路 23 在源输出使能信号 SOE 的低逻辑电平周期内通过输出缓冲器将正 / 负模拟视频数据电压提供给数据线 D1 至 Dk。当接收正模拟视频数据电压的数据线和接收负模拟视频数据电压的数据线短路时, 产生充电共享电压。充电共享电压具有在正模拟视频数据电压和负模拟视频数据电压之间的平均电压电平。

[0073] 图 5 是表示栅驱动 IC GDIC#1 至 GDIC#4 的构造的结构图。

[0074] 如图 5 所示, 每个栅驱动 IC GDIC#1 至 GDIC#4 包括移位寄存器 50、电平转换器 52、连接在移位寄存器 50 和电平转换器 52 之间的多个与门 51 和用于反相栅输出使能信号 GOE 的反相器 53。

[0075] 移位寄存器 50 包括多个级联连接的 D 触发器, 并使用级联连接的 D 触发器响应于栅移位时钟 GSC 顺序地移位栅起始脉冲 GSP。每个与门 51 对移位寄存器 50 的输出信号和栅输出使能信号 GOE 的反转信号执行与操作以获得输出。反相器 53 反相栅输出使能信号 GOE, 并将栅输出使能信号 GOE 的反相信号提供给与门 51。因此, 当栅输出使能信号 GOE 处于低逻辑电平状态时, 每个栅驱动 IC GDIC#1 至 GDIC#4 输出栅脉冲。

[0076] 电平转换器 52 将与门 51 输出电压的摆动宽度转换到适合在液晶显示面板 10 的像素阵列中驱动 TFT 的摆动宽度。将电平转换器 52 的输出信号顺序地提供给栅线 G1 至 Gk。

[0077] 移位寄存器 50 与像素阵列的 TFT 一起可以直接形成在液晶显示面板 10 的玻璃基板上。在这种情况下, 电平转换器 52 可以不形成在液晶显示面板 10 的玻璃基板上, 而是与时序控制器 TCON、伽玛电压产生电路等一起形成在控制板或源 PCB 上。

[0078] 图 6 是分阶段表示在时序控制器 TCON 和源驱动 IC SDIC#1 至 SDIC#8 之间的信号传输过程的流程图。

[0079] 如图 6 所示, 如果将电源施加给液晶显示器, 则时序控制器 TCON 在步骤 S1 和 S2 通过每对数据总线 DATA&CLK 将阶段 1 信号提供给每个源驱动 IC SDIC#1 至 SDIC#8。阶段 1 信号包括低频前导信号和提供给第一源驱动 IC SDIC#1 的锁定信号。

[0080] 在步骤 S3 至 S5, 第一源驱动 IC SDIC#1 的时钟分离和数据采样单元 21 将前导信号恢复为 PLL 基准时钟, 当锁定 PLL 基准时钟的相位和从第一源驱动 IC SDIC#1 的 PLL 输出的内部时钟脉冲相位时, 将高逻辑电平的锁定信号传输给第二源驱动 IC SDIC#2。随后, 当顺序地稳定锁定从第二至第八源驱动 IC SDIC#2 至 SDIC#8 的时钟分离和数据采样单元 21 输出的内部时钟脉冲时, 第八源驱动 IC SDIC#8 在步骤 S6 和 S7 将高逻辑电平的锁定信号反馈输入给时序控制器 TCON。

[0081] 如果时序控制器 TCON 接收到来自第八源驱动 IC SDIC#8 的高逻辑电平的锁定信号, 则时序控制器 TCON 断定从所有源驱动 IC SDIC#1 至 SDIC#8 中的每个的时钟分离和数据

采样单元 21 输出的内部时钟脉冲的相位和频率被稳定地锁定。因而,时序控制器 TCON 在步骤 S8 中以点对点的方式通过数据总线对 DATA&CLK 将阶段 2 信号提供给源驱动 IC SDIC#1 至 SDIC#8。阶段 2 信号包括多个源控制包,其包括极性相关控制数据比特和源输出相关控制数据比特。

[0082] 在提供阶段 2 信号之后,时序控制器 TCON 在步骤 S10 以点对点的方式将阶段 3 信号提供给源驱动 IC SDIC#1 至 SDIC#8。阶段 3 信号包括多个 RGB 数据包,根据该 RGB 数据包将在 1 个水平周期内充电在液晶显示面板 10 的 1 条线上的液晶单元。

[0083] 每个源驱动 IC SDIC#1 至 SDIC#8 的时钟分离和数据采样单元 21 的 PLL 输出在阶段 2 信号或阶段 3 信号的输出传输过程中可能未被锁定。即可能未锁定从时钟分离和数据采样单元 21 的 PLL 输出的内部时钟脉冲的相位和频率。更具体地,当时序控制器 TCON 接收到在低逻辑电平反相的锁定信号的反馈信号时,在步骤 S9 至 S11,时序控制器 TCON 断定未锁定从时钟分离和数据采样单元 21 的 PLL 输出的内部时钟脉冲。因此,时序控制器 TCON 将阶段 1 信号传输给源驱动 IC SDIC#1 至 SDIC#8。随后,在锁定了从每个源驱动 IC SDIC#1 至 SDIC#8 的 PLL 输出的内部时钟脉冲的相位和频率之后,时序控制器 TCON 再次开始执行阶段 2 信号和阶段 3 信号的输出传输过程。

[0084] 图 7 是表示每个源驱动 IC SDIC#1 至 SDIC#8 的时钟分离和数据采样单元 21 的结构图。

[0085] 如图 7 所示,时钟分离和数据采样单元 21 包括片上终端 (ODT) 61、模拟延迟复制器 (ADR) 62、时钟分离器 63、PLL 64、PLL 锁定检测器 65、可调模拟延迟器 66、串并转换器 67、数字滤波器 68、相位检测器 69、锁定检测器 70、I<sup>2</sup>C 控制器 71、通电复位器 (POR) 72、与门 73 和 SOE&POL 恢复单元 74。

[0086] ODT 61 包括嵌在 ODT 61 内的终端电阻通过消除在通过数据总线对 DATA&CLK 接收的前导信号、源控制包和 RGB 数据包中混杂的噪声来提高信号完整性。此外,ODT 61 包括嵌在 ODT 61 内的接收缓冲器和均衡器以放大输入差分信号和将放大后的差分信号转换成数字数据。ADR 62 延迟从 ODT 61 接收的 RGB 数据和时钟可调模拟延迟器 66 的延迟值以使时钟路径的延迟值等于数据路径的延迟值。

[0087] 时钟分离器 63 分离来自源控制包和由 ODT 61 恢复的 RGB 数据包的时钟比特以将时钟比特恢复成 PLL 64 的基准时钟。时钟比特包括时钟比特、虚拟时钟比特、内部数据使能时钟比特等。PLL 64 产生用于采样源控制包比特和 RGB 数据包比特的时钟。如果 RGB 数据包包括 10 比特 RGB 数据且 4 比特时钟被分配在 10 比特 RGB 数据之间,则 PLL 64 每 1 个 RGB 数据包产生 34 个内部时钟脉冲。PLL 锁定检测器 65 检查从 PLL 64 输出的每个内部时钟脉冲的相位和频率与预定的数据速率的一致性以检测是否锁定了内部时钟脉冲。

[0088] 可调模拟延迟器 66 补偿从 ODT 61 接收的 RGB 数字数据和通过相位检测器 69 和数字滤波器 68 反馈输入的恢复时钟之间的微小相位差,以便能够在时钟中央采样数据。串并转换器 67 包括嵌在串并转换器 67 内的多个触发器以根据从 PLL 64 串行输出的内部串行时钟脉冲采样和锁存串行输入的 RGB 数字视频数据比特。随后,串并转换器 67 同时输出锁存的 RGB 数字视频数据,从而输出 RGB 并行数据。

[0089] 数字滤波器 68 和相位检测器 69 接收所采样的 RGB 数字视频数据,并确定可调模拟延迟器 66 的延迟值。锁定检测器 70 比较由串并转换器 67 恢复的 RGB 并行数据与 PLL

锁定检测器 65 的输出 PLL\_LOCK 以检查 RGB 并行数据的数据使能时钟的错误量。如果错误量等于或大于预定值,则物理接口 (PHY) 电路通过解锁从 PLL 64 输出的内部时钟脉冲再一次整体操作。当未锁定从 PLL 64 输出的内部时钟脉冲时,锁定检测器 70 产生低逻辑电平的输出。反之,当锁定从 PLL 64 输出的内部时钟脉冲时,锁定检测器 70 产生高逻辑电平的输出。与门 73 对从时序控制器 TCON 接收的锁定信号“LockIn”或由前一级的源驱动 IC SDIC#1 至 SDIC#7 传输的锁定信号“Lock In”和锁定检测器 70 的输出执行与操作。随后,当锁定信号“Lock In”和锁定检测器 70 的输出处于高逻辑电平状态时,与门 73 输出高逻辑电平的锁定信号“Lock Out”。将高逻辑电平的锁定信号“Lock Out”传输给下一级的源驱动 IC SDIC#2 至 SDIC#8,最末源驱动 IC SDIC#8 将锁定信号“Lock Out”输入给时序控制器 TCON。

[0090] POR 72 根据先前设置的供电顺序产生用于初始化时钟分离和数据采样单元 21 的复位信号 RESETB,并产生大约 50MHz 的时钟以将该时钟提供给包括上述电路的数字电路。

[0091] I<sup>2</sup>C 控制器 71 使用通过控制线对 SCL/SDA 作为串行数据输入的芯片标识码 CID 和芯片单独控制数据控制每个上述电路的操作。如图 8 所示,将具有不同逻辑电平的芯片标识码 CID 分别提供给源驱动 IC SDIC#1 至 SDIC#8,以便能够分别地控制源驱动 IC SDIC#1 至 SDIC#8。根据通过控制线对 SCL/SDA 的串行数据总线 SDA 从时序控制器 TCON 输入的芯片单独控制数据,I<sup>2</sup>C 控制器 71 可以执行 PLL 断电、ODT 61 的缓冲器断电、ODT 61 的 EQ 开/关操作、PLL 64 的充电泵电流控制、PLL 64 的 VCO 范围手动选择控制、通过 I<sup>2</sup>C 通信的 PLL 锁定信号推送、模拟延迟控制值调整、锁定检测器 70 停用、数字滤波器 68 系数改变、数字滤波器 68 系数改变功能、通过 I<sup>2</sup>C 的物理接口 (PHY)\_RESETB 信号推送、用当前源驱动 IC SDIC#1 至 SDIC#8 的复位信号替换先前源驱动 IC SDIC#1 至 SDIC#7 的锁定信号的操作、输入图像垂直分辨率设置、用于分析物理接口 (PHY)\_RESETB 信号的产成原因的数据使能时钟转变的相关历史的存储等。

[0092] SOE&POL 恢复单元 74 根据从 PLL 64 输出的内部时钟脉冲采样来自 ODT 61 的源控制包的极性相关控制数据,从而产生高逻辑电平(或低逻辑电平)的极性控制信号 POL。随后,SOE&POL 恢复单元 74 每 i 个水平周期(其中“i”是自然数)反相极性控制信号 POL 的逻辑电平。SOE&POL 恢复单元 74 根据从 PLL 64 输出的内部时钟脉冲采样来自 ODT 61 的源控制包的源输出相关控制数据。随后,SOE&POL 恢复单元 74 使用图 16 至 18C 图示的方法根据源输出相关控制数据产生源输出使能信号 SOE,并调整该源输出使能信号 SOE 的脉冲宽度。

[0093] 图 9 是表示 PLL 64 的结构图。

[0094] 如图 9 所示,PLL 64 包括相位比较器 92、充电泵 93、环路滤波器 94、脉冲电压转换器 95、电压受控振荡器 (VCO)96 和数字控制器 97。

[0095] 相位比较器 92 比较从时钟分离器 63 接收的基准时钟 REF\_c1k 的相位与从时钟分离器复制电路 (CSR)91 接收的反馈边沿时钟 FB\_c1k 的相位。相位比较器 92 将与基准时钟 REF\_c1k 和反馈边沿时钟 FB\_c1k 之间相位差对应的脉冲宽度作为比较结果。当基准时钟 REF\_c1k 的相位早于反馈边沿时钟 FB\_c1k 的相位时,相位比较器 92 输出正脉冲。反之,当基准时钟 REF\_c1k 的相位迟于反馈边沿时钟 FB\_c1k 的相位时,相位比较器 92 输出负脉冲。

[0096] 充电泵 93 根据相位比较器 92 的输出脉冲的宽度和极性控制提供给环路滤波器 94

的充电量。环路滤波器 94 根据由充电泵 93 控制的充电量累积或释放电荷,并消除输入给脉冲电压转换器 95 的时钟内的包括谐波成分的高频噪声。

[0097] 脉冲电压转换器 95 将从环路滤波器 94 接收的脉冲转换成 VCO 96 的控制电压,并根据从环路滤波器 94 接收的脉冲的宽度和极性控制 VCO 96 的控制电压的电平。当 1 个 RGB 数据包的比特流包括 10 比特 RGB 数据和 4 个时钟比特时,VCO 96 每 1 个 RGB 数据包产生 34 个边沿时钟和 34 个中央时钟。此外,VCO 96 根据来自脉冲电压转换器 95 的控制电压和根据来自数字控制器 97 的控制数据控制时钟的相位延迟量。

[0098] VCO 96 输出的第一边沿时钟 EG[0] 是反馈边沿时钟,并输入给时钟分离器复制电路 91。反馈边沿时钟 EG[0] 具有与 VCO 96 输出频率的 1/34 对应的频率。数字控制器 97 接收来自时钟分离器 63 的基准时钟 REF\_clk 和来自时钟分离器复制电路 91 的反馈边沿时钟 FB\_clk,并比较基准时钟 REF\_clk 的相位和反馈边沿时钟 FB\_clk 的相位。此外,数字控制器 97 比较作为比较结果获得的相位差与来自 POR 72 的 50MHz 时钟信号 clk\_osc 的相位。数字控制器 97 根据相位差比较结果控制 VCO 96 的输出延迟量以选择 VCO 96 的振荡区域。

[0099] 图 10 是由时序控制器 TCON 在阶段 1 产生的信号的波形图。

[0100] 如图 10 所示,在阶段 1,时序控制器 TCON 产生锁定信号和低频的前导信号。在低频的前导信号中,连续排列多个高逻辑电平的比特,随后连续排列多个低逻辑电平的比特。当 1 个 RGB 数据包的比特流包括 10 比特 RGB 数据和 4 个时钟比特时,前导信号的频率对应于从时钟分离和数据采样单元 21 的 PLL 64 输出的内部时钟脉冲频率的 1/34。时钟分离和数据采样单元 21 的时钟分离器 63 同步于高逻辑电平的前导信号比特将基准时钟 REF\_clk 转变成高逻辑电平,同步于低逻辑电平的前导信号比特将基准时钟 REF\_clk 转变成低逻辑电平。

[0101] 每个源驱动 IC SDIC#1 至 SDIC#8 的时钟分离和数据采样单元 21 重复地执行比较根据前导信号产生的基准时钟 REF\_clk 的相位和反馈边沿时钟 FB\_clk 的相位并锁定内部时钟脉冲的操作。如果稳定地锁定了内部时钟脉冲,则将锁定信号传输给下一级的源驱动 IC SDIC#1 至 SDIC#8。

[0102] 在液晶显示器的初始启动阶段,时序控制器 TCON 接收来自最末源驱动 IC SDIS#8 的锁定信号以确认锁定了从时钟分离和数据采样单元 21 串行输出的内部时钟脉冲的相位和频率。随后,在垂直同步信号 Vsync 的消隐周期内,时序控制器 TCON 输出阶段 2 信号。

[0103] 图 11 是表示由时序控制器 TCON 在阶段 2 产生的信号的波形图。

[0104] 如图 11 所示,在阶段 2,在水平同步信号 Hsync 的 1 个周期(即 1 个水平周期)中不存在数据的消隐周期内,时序控制器 TCON 通过数据总线对 DATA&CLK 向每个源驱动 IC SDIC#1 至 SDIC#8 依以下所列顺序连续地发送多个前虚拟源控制包 Cf、至少一个实际源控制包 Cr、多个黑虚拟源控制包 Cb 和 C1。

[0105] 在实际源控制包 Cr 之前,将多个前虚拟源控制包 Cf 连续地传送给源驱动 IC SDIC#1 至 SDIC#8,以便时钟分离和数据采样单元 21 稳定地接收实际源控制包 Cr。实际源控制包 Cr 包括极性相关控制数据比特和源输出相关控制数据比特,用于控制源驱动 IC SDIC#1 至 SDIC#8 的极性反转操作和数据输出。在实际源控制包 Cr 之后,将多个黑虚拟源控制包 Cb 和 C1 连续地传送给源驱动 IC SDIC#1 至 SDIC#8,以便时钟分离和数据采样单元 21 执行实际源控制包 Cr 的接收确认操作并稳定地接收阶段 3 信号。将表示在黑虚拟源控

制包 Cb 和 C1 的最末虚拟源控制包 C1 之后传送阶段 3 信号的比特值分配给最末虚拟源控制包 C1。因为源驱动 IC SDIC#1 至 SDIC#8 读取最末虚拟源控制包 C1 的比特值从而能够预先获知在最末虚拟源控制包 C1 之后的 RGB 数据包的输入,所以源驱动 IC SDIC#1 至 SDIC#8 能够稳定地执行 RGB 数据采样操作。

[0106] 通过在图 15 中的数据对应关系表中图示的预定比特值,可以彼此区分前虚拟源控制包 Cf、实际源控制包 Cr 和黑虚拟源控制包 Cb 和 C1。因此,时钟分离和数据采样单元 21 的 SOE&POL 恢复单元 74 通过预定比特值区分源控制包 Cf、Cr、Cb 和 C1。因而,SOE&POL 恢复单元 74 可以鉴别极性相关控制数据和实际源控制包 Cr 的源输出相关控制数据。

[0107] 每个源驱动 IC SDIC#1 至 SDIC#8 的时钟分离和数据采样单元 21 分离来自源控制包 Cf、Cr、Cb 和 C1 的时钟以恢复基准时钟,并比较基准时钟的相位与高频的内部时钟脉冲的相位,以串行输出用于采样极性相关控制数据比特和源输出相关控制数据比特的内部时钟脉冲。此外,时钟分离和数据采样单元 21 根据所采样的极性相关控制数据产生极性控制信号 POL,并根据所采样的源输出相关控制数据产生源输出使能信号 SOE。

[0108] 如图 11 所示,在 1 个水平周期内在多个源控制包 Cf、Cr、Cb 和 C1 之后传输 RGB 数据包,随后可以在 RGB 数据包之后附加地传输多个源控制包。在 RGB 数据包之后附加传输的源控制包可以包括至少一个实际源控制包和多个虚拟源控制包,实际源控制包可以影响下一个水平周期的 RGB 数据包。

[0109] 图 12 和图 13 是表示在阶段 3 中由时序控制器 TCON 产生的信号的波形图。

[0110] 如图 12 和 13 所示,在阶段 2 信号之后,时序控制器 TCON 在 1 个水平周期内通过数据总线对 DATA&CLK 将阶段 3 信号(即将在液晶显示器 1 条线上显示的多个 RGB 数据包)传送给每个源驱动 IC SDIC#1 至 SDIC#8。

[0111] 更具体地,时钟分离和数据采样单元 21 从 RGB 数据包中分离时钟 CLK 和内部数据使能时钟 DE 以恢复基准时钟。随后,时钟分离和数据采样单元 21 比较基准时钟的相位与高频的内部时钟脉冲的相位,从而串行地输出用于采样每个 RGB 数字视频数据比特的内部时钟脉冲。如果 1 个 RGB 数据包的比特流包括 10 比特 RGB 数据和 4 个时钟比特,则将低逻辑电平的虚拟时钟 DUM 的比特、高逻辑电平的时钟 CLK 的比特、比特 R1 至 R10、比特 G1 至 G5、低逻辑电平的虚拟数据使能时钟 DE DUM 的比特、高逻辑电平的内部数据使能时钟 DE 的比特、比特 G6 至 G10 和比特 B1 至 B10 以所列顺序连续地分配给 1 个 RGB 数据包。时钟分离和数据采样单元 21 检测时钟 CLK 和内部数据使能时钟 DE,从而可以将将在时钟 CLK 和内部数据使能时钟 DE 之后串行输入的数据确定为 RGB 数字视频数据。此外,时钟分离和数据采样单元 21 根据采样时钟采样 RGB 数字视频数据。

[0112] 时钟分离和数据采样单元 21 将在每个阶段 1 信号和阶段 2 信号内的虚拟数据使能时钟 DE DUM 和数据使能时钟 DE 的比特值设置为与在阶段 3 信号内的虚拟数据使能时钟 DE DUM 和数据使能时钟 DE 的比特值不同的比特值。因而,时钟分离和数据采样单元 21 读取在阶段 3 中的虚拟数据使能时钟 DE DUM 和数据使能时钟 DE 的比特值以采样不是在阶段 1 或阶段 2 而是在阶段 3 中的 RGB 数据。

[0113] 时钟分离和数据采样单元 21 的时钟分离器 63 产生基准时钟 REF\_clk,其上升沿与时钟 CLK 和内部数据使能时钟 DE 同步。因为基准时钟 REF\_clk 响应于内部数据使能时钟 DE 再次转变,在阶段 3 中的基准时钟 REF\_clk 的频率可以是在阶段 1 和阶段 2 中恢复的基

准时钟 REF 的频率的两倍。如上所述,如果时钟分离和数据采样单元 21 的基准时钟 REF\_c1k 的频率增加,则由于在 PLL 64 的 VCO 内部的级数能够减少,PLL 64 的输出可以进一步地被稳定。更具体地,如果 PLL 64 的基准时钟 REF\_c1k 响应于内部数据使能时钟 DE 在 RGB 数据包的中部转变以将 PLL 64 的基准时钟 REF\_c1k 的频率提高为两倍,则 PLL 64 的 VCO 内部的级数可以减少至 1/2。如果内部数据使能时钟 DE 并不使用基准时钟 REF\_c1k 作为转变时钟,则必需 34 个 VCO 级。反之,如果内部数据使能时钟 DE 使用基准时钟 REF\_c1k 作为转变时钟,则必需 17 个 VCO 级。如果在 PLL 64 中的 VCO 级数增加,则程序、电压和温度 PVT 改变引起的影响用 VCO 级数中的增加宽度的乘积表示。因此,由于这些外部改变,可以释放 PLL 64 的锁定。因此,本发明实施例使用除了时钟 CLK 之外的内部数据使能时钟 DE 作为转变时钟,因而能够提高 PLL 的基准时钟 REF\_c1k 的频率。因此,能够改善 PLL 64 的锁定可靠性。

[0114] 通过设置彼此不同的预定比特值,可以彼此区分 RGB 数据包和源控制包 Cf、Cr、Cb 和 C1。图 14 是表示在阶段 2 中产生的源控制包 Cf、Cr、Cb 和 C1 与在阶段 3 中产生的 RGB 数据包的数据对应关系表。然而,根据本发明实施例的数据对应关系表并不限制于图 14 所示的数据对应关系表,而可以根据图 14 所示的数据对应关系表进行各种修改。

[0115] 如图 14 所示,如果每个 R 数据、G 数据和 B 数据都是 10 比特数据,则 RGB 数据包包括总共 34 个比特。更具体地,RGB 数据包包括 1 比特时钟、10 比特 R 数据 [0:9]、5 比特 G 数据 [0:4]、1 比特虚拟数据使能时钟 DEDUM、1 比特数据使能时钟 DE、5 比特 G 数据 [5:9] 和 10 比特 B 数据 [0:9]。源控制包 Cf、Cr 和 Cb 具有等于 RGB 数据包数据长度的数据长度(即 34 比特)。更具体地,每个源控制包 Cf、Cr 和 Cb 包括 1 比特时钟、替换 R 数据 [0:9] 和 G 数据 [0:4] 的 15 比特第一控制数据、1 比特虚拟数据使能时钟 DEDUM、1 比特数据使能时钟 DE 和替换 G 数据 [5:9] 与 B 数据 [0:9] 的 15 比特第二控制数据。通过将虚拟数据使能时钟 DE DUM 的比特值和数据使能时钟 DE 的比特值设置为彼此不同,可以彼此区分 RGB 数据包和源控制包 Cf、Cr 和 Cb。

[0116] 通过由图 14 中的第一控制数据和第二控制数据确定的预定比特,可以彼此区分虚拟源控制包 Cf、Cb 和 C1 以及实际源控制包 Cr。图 15 是表示源控制包的数据对应关系表的例子。然而,根据本发明实施例的数据对应关系表并不限制于图 15 所示的数据对应关系表,并可以根据图 15 所示的数据对应关系表进行各种修改。

[0117] 图 15 是表示源控制包 Cf、Cr、Cb 和 C1 的数据对应关系表。

[0118] 如图 15 所示,在虚拟源控制包 Cf、Cb 和 C1 中,将高逻辑电平 H、低逻辑电平 L、低逻辑电平 L 和低逻辑电平 L 分别分配给 4 比特 C0 至 C3。另一方面,在实际源控制包 Cr 中,将高逻辑电平 H、高逻辑电平 H、高逻辑电平 H 和低逻辑电平 L 分别分配给 4 比特 C0 至 C3。因此,通过 C1 和 C2 的比特值可以区分虚拟源控制包 Cf、Cb 和 C1 与实际源控制包 Cr。

[0119] 通过 2 个比特 C16 和 C17,表示 RGB 数据包传输的最末虚拟源控制包 C1 可以与虚拟源控制包 Cf 和 Cb 区分开。每个源驱动 IC SDIC#1 至 SDIC#8 的时钟分离和数据采样单元 21 读取最末虚拟源控制包 C1 的 2 个比特 C16 和 C17,从而可以预测在最末虚拟源控制包 C1 之后将要输入 RGB 数据包。更具体地,将第一标识信息 C1 和 C2 与第二标识信息 C16 和 C17 编码给每个虚拟源控制包 Cf、Cb 和 C1 与实际源控制包 Cr。将编码给实际源控制包 Cr 的第一标识信息 C1 和 C2 的逻辑电平设置得与编码给每个虚拟源控制包 Cf、Cb 和 C1 的第

一标识信息 C1 和 C2 的逻辑电平不同。此外,将编码给最末虚拟源控制包 C1 的第二标识信息 C16 和 C17 的逻辑电平设置得与编码给每个源控制包 Cf、Cb 和 Cr 的第二标识信息 C16 和 C17 的逻辑电平不同。每个源驱动 IC SDIC#1 至 SDIC#8 可以根据第一标识信息 C1 和 C2 的逻辑电平确认是否输入了实际源控制包 Cr,并可以根据第二标识信息 C16 和 C17 的逻辑电平预测 RGB 数据包的输入。

[0120] 图 16 是表示实际源控制包 Cr 的数据对应关系表。图 17 是表示根据比特 C1 和 C2 控制的源输出使能信号 SOE 和根据图 16 中所示的实际源控制包 Cr 中的比特 C13 和 C14 控制的极性控制信号 POL 的波形图。

[0121] 如图 16 和 17 所示,实际源控制包 Cr 包括比特 C1 和 C2 的“SOE”与 C13 和 C14 的“POL”。

[0122] 当 SOE&POL 恢复单元 74 检测出实际源控制包 Cr 的比特 C1 和 C2 具有第一逻辑值 (H/H) 时,SOE&POL 恢复单元 74 产生高逻辑电平的源输出使能信号 SOE,并在预定的时间周期内将该源输出使能信号 SOE 保持在高逻辑电平。随后,SOE&POL 恢复单元 74 读取另一实际源控制包 Cr 的比特 C1 和 C2。当另一实际源控制包 Cr 的比特 C1 和 C2 检测为第二逻辑值 (H/L) 时,SOE/POL 恢复单元 74 将该源输出使能信号 SOE 的逻辑电平反相为低逻辑电平。因此,根据实际源控制包 Cr 的比特 C1 和 C2,可以自动地调整源输出使能信号 SOE 的脉冲宽度。根据图 18A 至 18C 所示的源控制包的长度,可以调整源输出使能信号 SOE 的脉冲宽度。

[0123] 在图 18A 所示的例子中,第一实际源控制包 Cr 的比特 C1 和 C2 可以包括源输出使能信号 SOE 的上升时间信息 HH,第四实际源控制包 Cr 的比特 C1 和 C2 可以包括源输出使能信号 SOE 的下降时间信息 HL。SOE&POL 恢复单元 74 响应于第一恢复时钟 SCLK#1 产生高逻辑电平的源输出使能信号 SOE,并在从第一恢复时钟 SCLK#1 的产生时间点到恰好在第四恢复时钟 SCLK#4 产生之前的预定时间阶段内,将该源输出使能信号 SOE 保持为高逻辑电平。随后,当 SOE&POL 恢复单元 74 响应于第四恢复时钟 SCLK#4 检测到下降时间信息 HL 时,SOE&POL 恢复单元 74 将源输出使能信号 SOE 的逻辑电平反相为低逻辑电平。因此,SOE&POL 恢复单元 74 可以恢复具有与 (4×源控制包长度或 RGB 数据包长度) 对应的脉冲宽度的源输出使能信号 SOE。

[0124] 在图 18B 所示的例子中,第一实际源控制包 Cr 的比特 C1 和 C2 可以包括源输出使能信号 SOE 的上升时间信息 HH,第八实际源控制包 Cr 的比特 C1 和 C2 可以包括源输出使能信号 SOE 的下降时间信息 HL。SOE&POL 恢复单元 74 响应于第一恢复时钟 SCLK#1 产生高逻辑电平的源输出使能信号 SOE,并在从第一恢复时钟 SCLK#1 的产生时间点到恰好在第八恢复时钟 SCLK#8 产生之前的预定时间阶段内,将该源输出使能信号 SOE 保持为高逻辑电平。随后,当 SOE&POL 恢复单元 74 响应于第八恢复时钟 SCLK#8 检测到下降时间信息 HL 时,SOE&POL 恢复单元 74 将源输出使能信号 SOE 的逻辑电平反相为低逻辑电平。因此,SOE&POL 恢复单元 74 可以恢复具有与 (8×源控制包长度或 RGB 数据包长度) 对应的脉冲宽度的源输出使能信号 SOE。

[0125] 在图 18C 所示的例子中,第一实际源控制包 Cr 的比特 C1 和 C2 可以包括源输出使能信号 SOE 的上升时间信息 HH,第十二实际源控制包 Cr 的比特 C1 和 C2 可以包括源输出使能信号 SOE 的下降时间信息 HL。SOE&POL 恢复单元 74 响应于第一恢复时钟 SCLK#1 产生高逻辑电平的源输出使能信号 SOE,并在从第一恢复时钟 SCLK#1 的产生时间点到恰好在第

十二恢复时钟 SCLK#12 产生之前的预定时间阶段内,将该源输出使能信号 SOE 保持为高逻辑电平。随后,当 SOE&POL 恢复单元 74 响应于第十二恢复时钟 SCLK#12 检测到下降时间信息 HL 时, SOE&POL 恢复单元 74 将源输出使能信号 SOE 的逻辑电平反相为低逻辑电平。因此, SOE&POL 恢复单元 74 可以恢复具有与 (12× 源控制包长度或 RGB 数据包长度) 对应的脉冲宽度的源输出使能信号 SOE。

[0126] 如图 16 所示, SOE&POL 恢复单元 74 检测实际源控制包 Cr 的比特 C13 和 C14 以产生极性控制信号 POL。随后,在 SOE&POL 恢复单元 74 在“i”个水平周期内将极性控制信号 POL 保持在相同逻辑电平上之后, SOE&POL 恢复单元 74 反相极性控制信号 POL。例如, SOE&POL 恢复单元 74 检测实际源控制包 Cr 的比特 C13 和 C14 以产生极性控制信号 POL,并在 1 个或 2 个水平周期内将极性控制信号 POL 保持为高逻辑电平。随后, SOE&POL 恢复单元 74 反相极性控制信号 POL 并在 1 个或 2 个水平周期内将该极性控制信号 POL 保持为低逻辑电平。换句话说, SOE&POL 恢复单元 74 可以每 1 个或 2 个水平周期反相极性控制信号 POL 的逻辑电平。

[0127] 图 19 是当每个 R 数据、G 数据和 B 数据都是 10 比特数据时时钟分离和数据采样单元 21 的输出的波形图。

[0128] 在根据本发明实施例的液晶显示器及其驱动方法中, RGB 数据包和控制数据包并不限于图 10 至 16 中图示的数据长度,数据长度可以根据如图 20A 至 20D 所示的输入图像的比特率改变。

[0129] 当每个 R 数据、G 数据和 B 数据都是 10 比特数据时,如图 20A 所示,时序控制器 TCON 产生时间为 T 小时的 1 个源控制包或 1 个 RGB 数据包作为比特流,该比特流包括 DUM、CLK、R1 至 R10、G1 至 G5、DE DUM、DE、G6 至 G10 和 B1 至 B10。每个源驱动 IC SDIC#1 至 SDIC#8 的时钟分离和数据采样单元 21 从接收自时序控制器 TCON 的 1 个源控制 /RGB 数据包产生 34 个边沿时钟和 34 个中央时钟,并依照中央时钟采样源控制比特或 RGB 数据比特。

[0130] 当每个 R 数据、G 数据和 B 数据都是 8 比特数据时,如图 20B 所示,时序控制器 TCON 产生时间为  $T \times (28/34)$  小时的 1 个源控制 /RGB 数据包作为比特流,该比特流包括 DUM、CLK、R1 至 R8、G1 至 G4、DE DUM、DE、G5 至 G8 和 B1 至 B8。每个源驱动 IC SDIC#1 至 SDIC#8 的时钟分离和数据采样单元 21 从接收自时序控制器 TCON 的 1 个源控制 /RGB 数据包产生 28 个边沿时钟和 28 个中央时钟,并依照中央时钟采样源控制比特或 RGB 数据比特。

[0131] 当每个 R 数据、G 数据和 B 数据都是 6 比特数据时,如图 20C 所示,时序控制器 TCON 产生时间为  $T \times (22/34)$  小时的 1 个源控制 /RGB 数据包作为比特流,该比特流包括 DUM、CLK、R1 至 R6、G1 至 G3、DE DUM、DE、G4 至 G6 和 B1 至 B6。每个源驱动 IC SDIC#1 至 SDIC#8 的时钟分离和数据采样单元 21 从接收自时序控制器 TCON 的 1 个源控制 /RGB 数据包产生 22 个边沿时钟和 22 个中央时钟,并依照中央时钟采样源控制比特或 RGB 数据比特。

[0132] 当每个 R 数据、G 数据和 B 数据都是 12 比特数据时,如图 20D 所示,时序控制器 TCON 产生时间为  $T \times (40/34)$  小时的 1 个源控制 /RGB 数据包作为比特流,该比特流包括 DUM、CLK、R1 至 R12、G1 至 G6、DE DUM、DE、G7 至 G12 和 B1 至 B12。每个源驱动 IC SDIC#1 至 SDIC#8 的时钟分离和数据采样单元 21 从接收自时序控制器 TCON 的 1 个源控制 /RGB 数据包产生 40 个边沿时钟和 40 个中央时钟,并依照中央时钟采样源控制比特或 RGB 数据比特。

[0133] 如图 20A 至 20D 所示,时序控制器 TCON 决定输入数据的比特率,并可以自动地转换源控制 /RGB 数据包的长度。

[0134] 根据本发明另一实施例的液晶显示器产生包括分别具有不同脉冲宽度和不同周期的多个脉冲组的前导信号作为阶段 1 信号,从而可以更安全地锁定从时钟分离和数据采样单元 21 的 PLL 输出的内部时钟脉冲的相位和频率。

[0135] 图 21 和 22 是表示根据本发明另一实施例的阶段 1 信号的波形图。

[0136] 如图 21 和 22 所示,阶段 1 信号包括阶段 1-1 信号和阶段 1-2 信号。阶段 1-1 信号是与上述前导信号方式相同的信号,其 1 个周期设置为与 1 个源控制 /RGB 数据包相同的时间。阶段 1-2 信号的频率高于阶段 1-1 信号的频率,而阶段 1-2 信号的周期等于或小于阶段 1-1 信号周期的 1/2。阶段 1-2 信号可以具有其中交替产生分别具有不同相位和不同频率的两个脉冲组 P1 和 P2 的波形。第一脉冲组 P1 的频率等于或大于以阶段 1-1 信号的形式产生的脉冲行的频率的两倍,第二脉冲组 P2 的频率等于或大于第一脉冲组 P1 频率的两倍。如图 21 和 22 所示,当时钟分离和数据采样单元 21 的 PLL 64 跟踪其频率高于阶段 1-1 信号频率且相位规律地变化的脉冲时,时钟分离和数据采样单元 21 能够与图 10 所示的低频前导信号相比更稳定和更快速地锁定内部时钟脉冲的相位和频率。

[0137] 当消费者要求 LCD 模块的操作改善时, LCD 模块制造商可以提供具有各种选项的源驱动 IC SDIC#1 至 SDIC#8,以便消费者可以直接控制 LCD 模块的具体操作。为此,在现有技术中,制造商提供具有多个选项引脚的源驱动 IC SDIC#1 至 SDIC#8,并在需要时将上拉电阻或下拉电阻连接至源驱动 IC SDIC#1 至 SDIC#8 的选项引脚。此外,在现有技术中,通过将电源电压 Vcc 或者地面电平电压 GND 施加给 LCD 模块来控制源驱动 IC SDIC#1 至 SDIC#8 的选项操作。然而,在现有技术中,源驱动 IC SDIC#1 至 SDIC#8 的芯片尺寸由于多个选项引脚而增大,而且 PCB 尺寸由于连接到选项引脚和线的上拉 / 下拉电阻而增大。

[0138] 根据本发明另一实施例的液晶显示器可以通过加入用于在阶段 2 的预定周期内控制源驱动 IC SDIC#1 至 SDIC#8 的各种操作的信号来进一步减小源驱动 IC SDIC#1 至 SDIC#8 的芯片尺寸和 PCB 尺寸。为此,根据本发明实施例的液晶显示器产生用于控制源驱动 IC SDIC#1 至 SDIC#8 的各种操作的作为单独的源控制包的控制选项信息,例如 PWRC1/2、MODE、SOE\_EN、PACK\_EN、CHMODE、CID1/2、H\_2DOT。可以将包括控制选项信息的源控制包插入到阶段 2 的预定周期内,并可以通过数据总线对其传送给源驱动 IC SDIC#1 至 SDIC#8。

[0139] 如下表 1 所示,PWRC1/2 是确定源驱动 IC SDIC#1 至 SDIC#8 的输出缓冲器的放大比例以选择源驱动 IC SDIC#1 至 SDIC#8 的电源容量的选项信息。

[0140] 【表 1】

[0141]

PWRC1/2 = 11 (HH)	高功率模式
PWRC1/2 = 10 (HL)	普通功率模式
PWRC1/2 = 01 (LH)	低功率模式
PWRC1/2 = 00 (LL)	超低功率模式

[0142] 如下表 2 所示,MODE 是确定在源输出使能信号 SOE 的高逻辑电平周期内是启用还是禁用充电共享电压的输出的选项信息。

[0143] 【表 2】

[0144]

MODE = 1 (H)	Hi_Z 模式操作 (充电共享输出禁用)
MODE = 0 (L)	充电共享模式操作 (充电共享输出启用)

[0145] 如下表 3 所示,SOE\_EN 是确定是否以在 RGB 数字视频数据内嵌入的形式还是通过单独的线从源驱动 IC SDIC#1 至 SDIC#8 接收源输出使能信号 SOE 的选项信息。

[0146] 【表 3】

	<b>PACK_EN=0 (L)</b>	<b>PACK_EN=1 (H)</b>
[0147] <b>SOE_EN=0 (L)</b>	禁止	使用内部 SOE
<b>SOE_EN=1 (H)</b>	使用外部 SOE	

[0148] 如下表 4 所示,PACK\_EN 是确定是否以在 RGB 数字视频数据内嵌入的形式或通过单独的线从源驱动 IC SDIC#1 至 SDIC#8 接收将要传输给栅驱动 IC GDIC#1 至 GDIC#4 的极性控制信号 POL 和栅起始脉冲 GSP 的选项信息。

[0149] 【表 4】

[0150]

PACK_EN = 1 (H)	启用控制包
PACK_EN = 0 (L)	禁用控制包 (忽略 SOE_En 的值)

[0151] 如下表 5 所示,CHMODE 是确定符合液晶显示器解析度的源驱动 ICSDIC#1 至 SDIC#8 的输出通道数量的选项信息。

[0152] 【表 5】

[0153]

CHMODE = 1 (H)	690 通道输出 (691 ~ 720 通道禁用)
CHMODE = 0 (L)	720 通道输出

[0154] 如下表 6 所示,CID1/2 是将芯片标识码 CID 提供给每个源驱动 ICSDIC#1 至 SDIC#8 以独立地控制源驱动 IC SDIC#1 至 SDIC#8 的选项信息。可以根据源驱动 IC 的数量调整 CID1/2 的比特率。此外,如上所述,可以使用时序控制器 TCON 和控制线对 SCL/SDA 通过 I<sup>2</sup>C 通信独立控制源驱动 ICSDIC#1 至 SDIC#8。LCD 模块制造商可以在使用选项信息 CID1/2 的控制方法和使用通过 I<sup>2</sup>C 通信的控制方法中进行选择。

[0155] 【表 6】

[0156]

CID1/2 = 00 (LL)	分配给 SDIC#1
CID1/2 = 01 (LH)	分配给 SDIC#2
CID1/2 = 10 (HL)	分配给 SDIC#3
CID1/2 = 11 (HH)	分配给 SDIC#4

[0157] 如下表 7 所示, H\_2DOT 是控制从源驱动 IC SDIC#1 至 SDIC#8 输出的正 / 负模拟视频数据电压的水平极性周期的选项信息。例如, 如果 H\_2DOT 的比特值是“1(H)”, 则源驱动 IC SDIC#1 至 SDIC#8 以水平 2 点反转方式控制数据电压的极性。在水平 2 点反转方式中, 源驱动 IC SDIC#1 至 SDIC#8 将相同极性的数据电压输出给两条相邻的数据线。即, 在水平 2 点反转方式中每两条相邻数据线反转数据电压的极性。因此, 将充电水平相邻液晶单元的数据电压的极性控制如下: “-+-, ……,+--+ (或 +--+ , ……,-+-)”。此外, 如果 H\_2DOT 的比特值是“0(L)”, 则源驱动 IC SDIC#1 至 SDIC#8 以水平 1 点反转方式控制数据电压的极性。在水平 1 点反转方式中, 源驱动 IC SDIC#1 至 SDIC#8 每 1 条数据线反转提供给相邻数据线的的数据电压极性。因此, 将充电水平相邻液晶单元的数据电压极性控制如下: “-+-, ……,+--+ (或 +--+ , ……,-+-)”。

[0158] 【表 7】

[0159]

H_2DOT = 1(H)	水平 2 点反转启用
H_2DOT = 0(L)	水平 2 点反转禁用

[0160] 在本发明的实施例中, 时序控制器 TCON 必须从最末源驱动 IC SDIC#8 接收高逻辑电平的反馈锁定信号, 以便时序控制器 TCON 进入阶段 2。更具体地, 如果未完成所有源驱动 IC SDIC#1 至 SDIC#8 的 PLL 锁定操作, 则时序控制器 TCON 仅重复地产生阶段 1 的前导信号, 而源驱动 IC SDIC#1 至 SDIC#8 并不输出数据电压。因此, 如果时序控制器 TCON 并未接收反馈锁定信号, 则不能确认源驱动 IC SDIC#1 至 SDIC#8 的各自驱动状态。然而, 需要确认源驱动 IC SDIC#1 至 SDIC#8 中有问题的源驱动 IC, 还需要确认每个源驱动 IC SDIC#1 至 SDIC#8 的驱动状态。

[0161] 在本发明的实施例中, 锁定检查处理包括响应于由时序控制器 TCON 产生的阶段 1 信号, 顺序地对源驱动 IC SDIC#1 至 SDIC#8 执行 PLL 锁定检查处理, 从而将高逻辑电平的锁定信号反馈输入给时序控制器 TCON。相反地, 使用如图 23 和 24 所示的比较器 231 和 241, 可以进一步减少在源驱动 IC SDIC#1 至 SDIC#8 的 PLL 锁定检查处理中需要的时间, 并且使用比较器 231 和 241 还可以更可靠地确认源驱动 IC SDIC#1 至 SDIC#8 的锁定和未锁定。

[0162] 图 23 和图 24 表示根据本发明另一实施例在液晶显示器中使用比较器 231 和 241 的源驱动 IC 的 PLL 锁定检查的例子。

[0163] 如图 23 所示, 响应于通过第一锁定信号输入端输入的 3.3V 的电源电压 Vcc (或者高逻辑电平的电源电压 Vcc), 安装在第一 PCB PCB1 上的包括源驱动 IC SDIC#1 至 SDIC#4 的第一源驱动 IC 组输出第一反馈锁定信号。响应于通过第二锁定信号输入端输入的电源

电压  $V_{cc}$ , 安装在第二 PCB PCB2 上的包括源驱动 IC SDIC#5 至 SDIC#8 的第二源驱动 IC 组输出第二反馈锁定信号。比较器 231 比较第一反馈锁定信号和第二反馈锁定信号, 并将比较结果提供给时序控制器 TCON。

[0164] 将电源电压  $V_{cc}$  提供给每个源驱动 IC SDIC#1 至 SDIC#8 的锁定信号输入端。比较器 231 的输入端连接至第四和第五源驱动 IC SDIC#4 和 SDIC#5 的锁定检查输出端, 比较器 231 的输出端连接至时序控制器 TCON 的锁定检查反馈输入端。在将电源施加给液晶显示器之后, 将电源电压  $V_{cc}$  作为直流电源连续地提供给数字电路, 例如时序控制器 TCON、源驱动 IC SDIC#1 至 SDIC#8 和栅驱动 IC GDIC#1 至 GDIC#4。因此, 时序控制器 TCON 可以仅通过比较器 231 的输出确认所有源驱动 IC SDIC#1 至 SDIC#8 的锁定或未锁定操作。

[0165] 在第一源驱动 IC SDIC#1 锁定从第一源驱动 IC SDIC#1 的 PLL 输出的内部时钟脉冲的频率和相位之后, 第一源驱动 IC SDIC#1 将锁定信号传输给第二源驱动 IC SDIC#2。同时, 在第八源驱动 IC SDIC#8 锁定从第八源驱动 IC SDIC#8 的 PLL 输出的内部时钟脉冲的频率和相位之后, 第八源驱动 IC SDIC#8 将锁定信号传输给第七源驱动 IC SDIC#7。在第二源驱动 IC SDIC#2 锁定从第二源驱动 IC SDIC#2 的 PLL 输出的内部时钟脉冲的频率和相位之后, 第二源驱动 IC SDIC#2 将锁定信号传输给第三源驱动 IC SDIC#3。在第三源驱动 IC SDIC#3 锁定从第三源驱动 IC SDIC#3 的 PLL 输出的内部时钟脉冲的频率和相位之后, 第三源驱动 IC SDIC#3 将锁定信号传输给第四源驱动 IC SDIC#4。在第七源驱动 IC SDIC#7 锁定从第七源驱动 IC SDIC#7 的 PLL 输出的内部时钟脉冲的频率和相位之后, 第七源驱动 IC SDIC#7 将锁定信号传输给第六源驱动 IC SDIC#6。在第六源驱动 IC SDIC#6 锁定从第六源驱动 IC SDIC#6 的 PLL 输出的内部时钟脉冲的频率和相位之后, 第六源驱动 IC SDIC#6 将锁定信号传输给第五源驱动 IC SDIC#5。

[0166] 比较器 231 比较传输给第四和第五源驱动 IC SDIC#4 和 SDIC#5 的第一和第二锁定信号, 并当第一和第二锁定信号的反馈信号是高逻辑电平时将高逻辑电平的输出信号提供给时序控制器 TCON。可以将比较器 231 实施为与门。当时序控制器 TCON 从比较器 231 接收到高逻辑电平的锁定信号时, 时序控制器 TCON 开始传输阶段 2 和 3 信号。

[0167] 如图 24 所示, 响应于通过锁定检查线 LCS3 和第一锁定信号输入端输入的锁定信号 Lock In, 安装在第一 PCB PCB1 上的包括源驱动 IC SDIC#1 至 SDIC#4 的第一源驱动 IC 组输出第一反馈锁定信号。响应于通过锁定检查线 LCS3 和第二锁定信号输入端输入的锁定信号 Lock In, 安装在第二 PCB PCB2 上的包括源驱动 IC SDIC#5 至 SDIC#8 的第二源驱动 IC 组输出第二反馈锁定信号。比较器 241 比较第一反馈锁定信号和第二反馈锁定信号, 并将比较结果提供给时序控制器 TCON。

[0168] 在阶段 1, 时序控制器 TCON 将锁定信号 Lock In 同时传输给第一和第八源驱动 IC SDIC#1 和 SDIC#8 的锁定信号输入端。比较器 241 的输入端连接至第四和第五源驱动 IC SDIC#4 和 SDIC#5 的锁定检查输出端, 比较器 241 的输出端连接至时序控制器 TCON 的锁定检查反馈输入端。

[0169] 在第一源驱动 IC SDIC#1 锁定从第一源驱动 IC SDIC#1 的 PLL 输出的内部时钟脉冲的频率和相位之后, 第一源驱动 IC SDIC#1 将锁定信号传输给第二源驱动 IC SDIC#2。同时, 在第八源驱动 IC SDIC#8 锁定从第八源驱动 IC SDIC#8 的 PLL 输出的内部时钟脉冲的频率和相位之后, 第八源驱动 IC SDIC#8 将锁定信号传输给第七源驱动 IC SDIC#7。在第二

源驱动 IC SDIC#2 锁定从第二源驱动 IC SDIC#2 的 PLL 输出的内部时钟脉冲的频率和相位之后,第二源驱动 IC SDIC#2 将锁定信号传输给第三源驱动 IC SDIC#3。在第三源驱动 IC SDIC#3 锁定从第三源驱动 IC SDIC#3 的 PLL 输出的内部时钟脉冲的频率和相位之后,第三源驱动 IC SDIC#3 将锁定信号传输给第四源驱动 IC SDIC#4。在第七源驱动 IC SDIC#7 锁定从第七源驱动 IC SDIC#7 的 PLL 输出的内部时钟脉冲的频率和相位之后,第七源驱动 IC SDIC#7 将锁定信号传输给第六源驱动 IC SDIC#6。在第六源驱动 IC SDIC#6 锁定从第六源驱动 IC SDIC#6 的 PLL 输出的内部时钟脉冲的频率和相位之后,第六源驱动 IC SDIC#6 将锁定信号传输给第五源驱动 IC SDIC#5。

[0170] 比较器 241 比较传输给第四和第五源驱动 IC SDIC#4 和 SDIC#5 的第一和第二锁定信号,并当第一和第二锁定信号的反馈信号是高逻辑电平时将高逻辑电平的输出信号提供给时序控制器 TCON。可以将比较器 241 实施为与门。当时序控制器 TCON 从比较器 241 接收到高逻辑电平的锁定信号时,时序控制器 TCON 开始传输阶段 2 和 3 信号。

[0171] 根据本发明另一实施例的液晶显示器提供测试模式,并在测试模式中将反馈锁定信号输入给时序控制器 TCON 以引起源驱动 IC SDIC#1 至 SDIC#8 的数据电压的输出,从而确认源驱动 IC SDIC#1 至 SDIC#8 的各自驱动状态。为此,如图 25 所示,在根据本发明实施例的液晶显示器中,在时序控制器 TCON 的内部或外部附加安装选择单元 SEL。

[0172] 如图 25 所示,选择单元 SEL 的第一输入端连接至反馈锁定检查线 LCS2,选择单元 SEL 的第二输入端连接至测试模式使能信号 TEST 的输出端。可以将选择单元 SEL 实施为输出反馈锁定信号“Lock Out”和测试模式使能信号 TEST 中至少之一的或门。即使高逻辑电平的反馈锁定信号“Lock Out”未输入给时序控制器 TCON,如果输入高逻辑电平的测试模式使能信号 TEST,则选择单元 SEL 将高逻辑电平的测试模式使能信号 TEST 输入给时序控制器 TCON 的数据传输模块。因此,即使时序控制器 TCON 在测试模式中未接收到反馈锁定信号,时序控制器 TCON 仍可以前进至图 6 的步骤 S8 以将阶段 2 信号和阶段 3 信号传送给源驱动 IC SDIC#1 至 SDIC#8。时序控制器 TCON 在测试模式中将从内部存储器提取的测试数据编码成阶段 3 的 RGB 数据包,并将编码的测试数据传送给源驱动 IC SDIC#1 至 SDIC#8。在测试模式中操作员观察在液晶显示器面板上显示的测试数据的图像,并可以确认源驱动 IC SDIC#1 至 SDIC#8 的各自的驱动状态以及在源驱动 IC SDIC#1 至 SDIC#8 之间是否存在有问题的源驱动 IC。

[0173] 在图 23 和 24 中,输出反馈锁定信号“Lock Out”和测试模式使能信号 TEST 中至少之一的选择单元 SEL 可以连接在时序控制器 TCON 和第四源驱动 IC SDIC#4 之间,也可以连接在时序控制器 TCON 和第五源驱动 IC SDIC#5 之间。

[0174] 根据本发明另一实施例的液晶显示器可以通过单独的源控制数据线将源输出使能信号 SOE 和极性控制信号 POL 传送给源驱动 IC SDIC#1 至 SDIC#8,而不通过数据总线对传输源控制数据。在这种情况下,在时序控制器 TCON 在阶段 1 中确认锁定信号的反馈输入之后,时序控制器 TCON 省略阶段 2 信号的传输而开始传输阶段 3 信号。换句话说,在时序控制器 TCON 确认锁定了从每个源驱动 IC SDIC#1 至 SDIC#8 的 PLL 输出的内部时钟脉冲的相位和频率之后,时序控制器 TCON 可以立即开始传输 RGB 数据包。

[0175] 如上所述,在根据本发明实施例的液晶显示器及其驱动方法中,将用于数据采样的时钟产生电路嵌在每个源驱动 IC 内,通过数据总线对将源控制包和 RGB 数据包传输给每

个源驱动 IC。因此,能够减少在时序控制器和源驱动 IC 之间需要的数据传输线数量,并能够省去源时序控制信号线。此外,在根据本发明实施例的液晶显示器及其驱动方法中,将源驱动 IC 划分成两组,将用于检查时钟产生电路的输出时钟的锁定信号同时传输给两组。随后,比较器比较最终从两组输出的锁定信号。因此,能够简化时钟产生电路的锁定检查处理,并能够缩短在锁定检查处理中需要的时间。

[0176] 在本说明书中任何部分提到的“一种实施例”、“实施例”、“示例实施例”等是指结合该实施例描述的特定特征、结构或特性包括在本发明的至少一个实施例中。在本说明书中各个部分出现此类短语并不必然全部指同一实施例。此外,当结合任一实施例描述特定特征、结构或特性时,认为结合其它实施例实现此特征、结构或特性是在本领域技术人员的能力范围之内。

[0177] 尽管已经参考其多个示例性实施例描述了实施例,但应当理解本领域技术人员可以设计出多种其它变型和实施例,这将落入在本说明书原理的范围之内。更具体地,可以在本说明书、附图和权利要求书的范围内的组成部件和 / 或主题组合配置内进行各种变化和修改。除了对组成部件和 / 或配置的变化和修改之外,可选择的使用对于本领域技术人员来说也将是显而易见的。

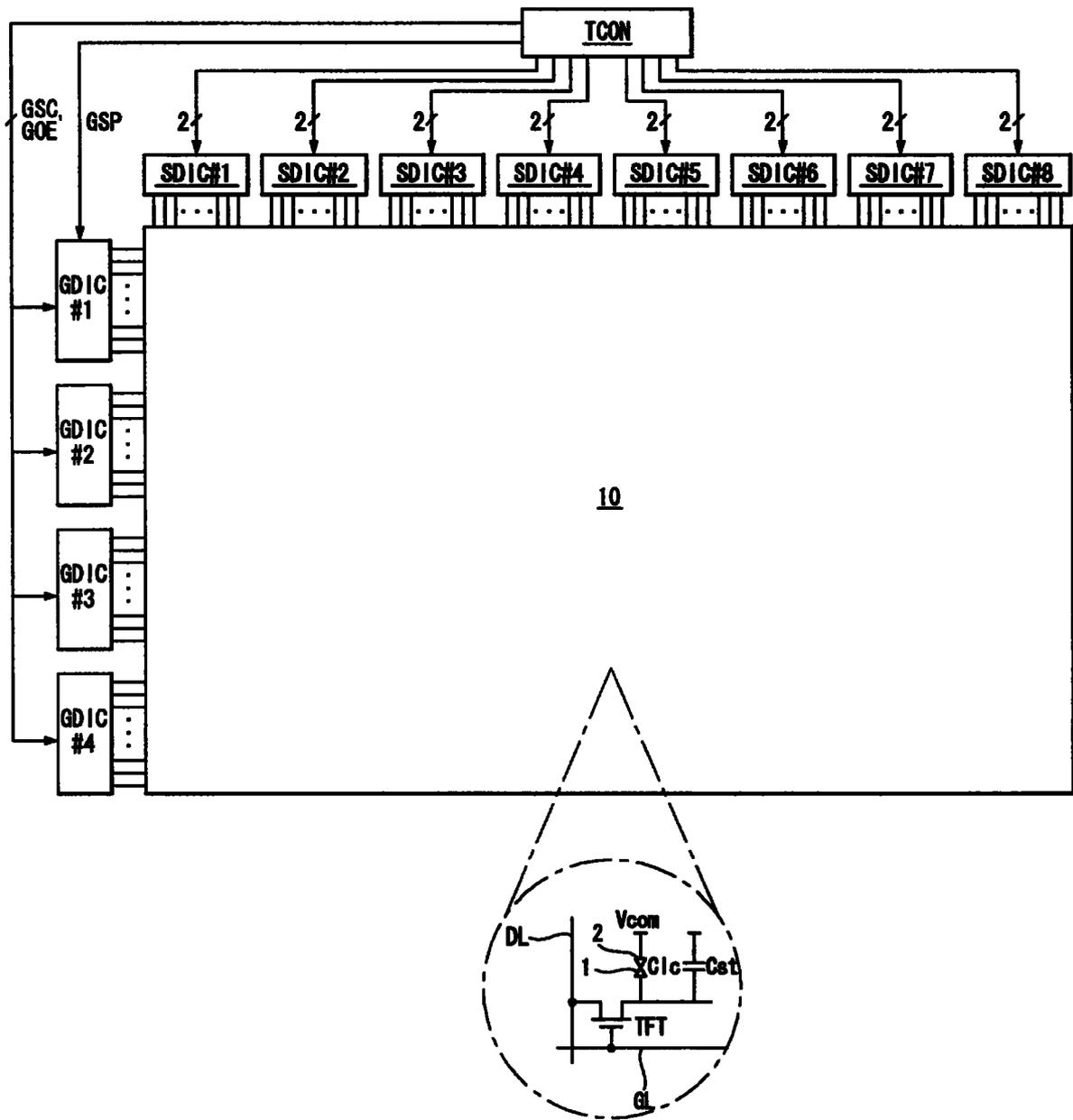


图 1

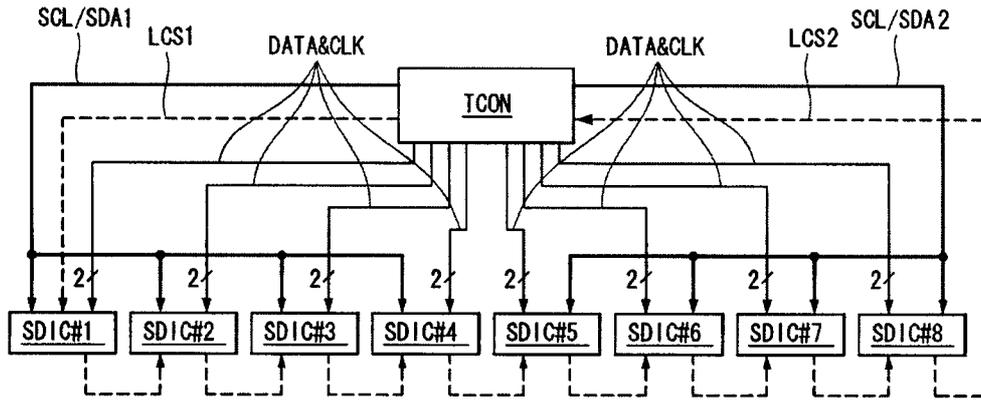


图 2

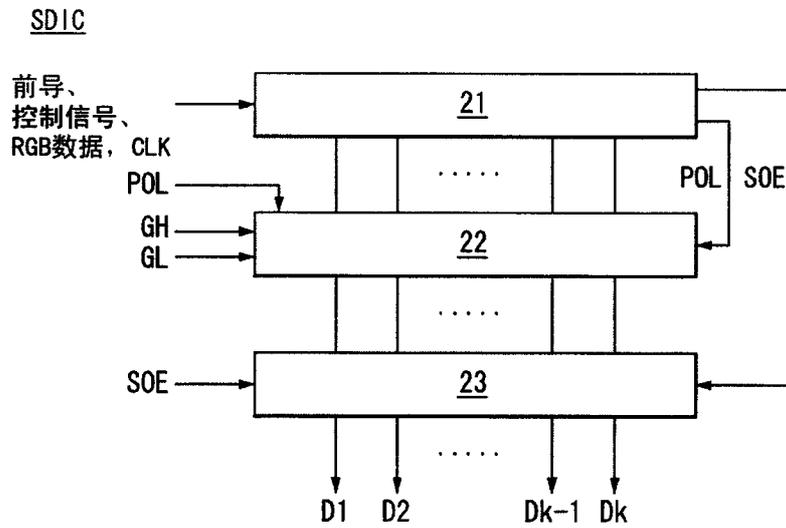


图 3

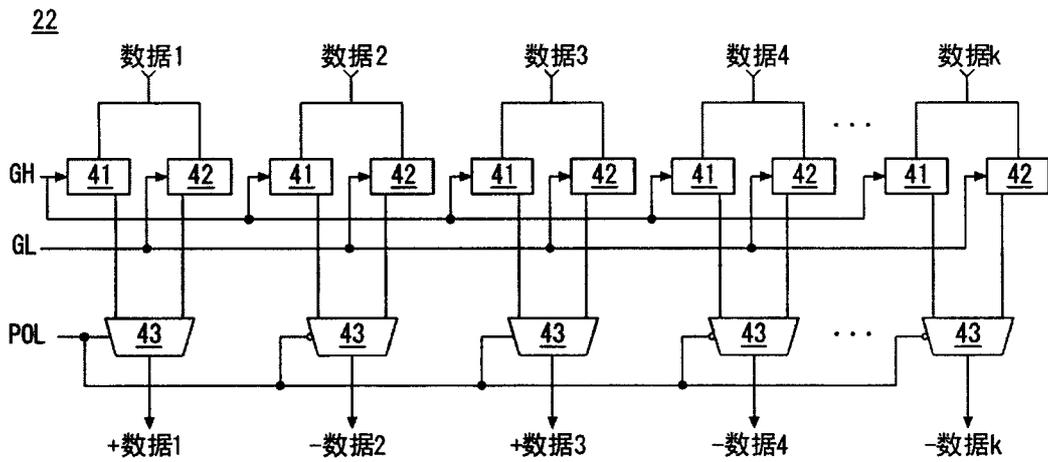


图 4

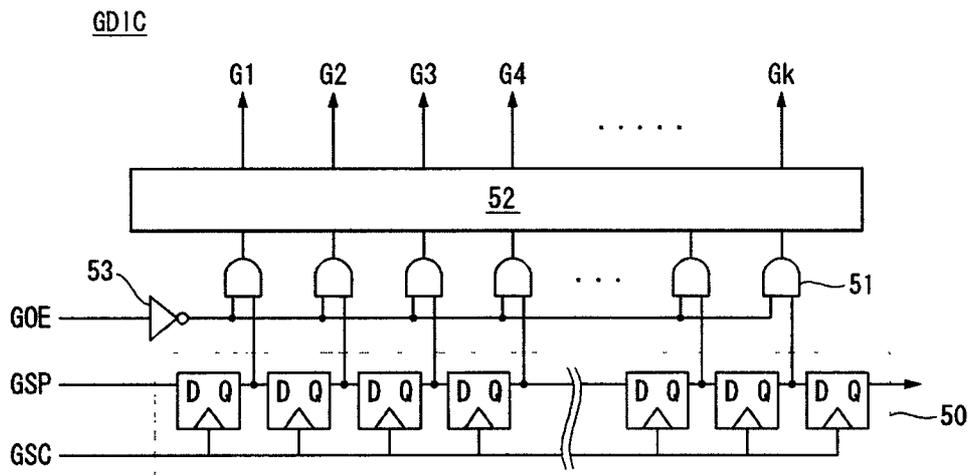


图 5

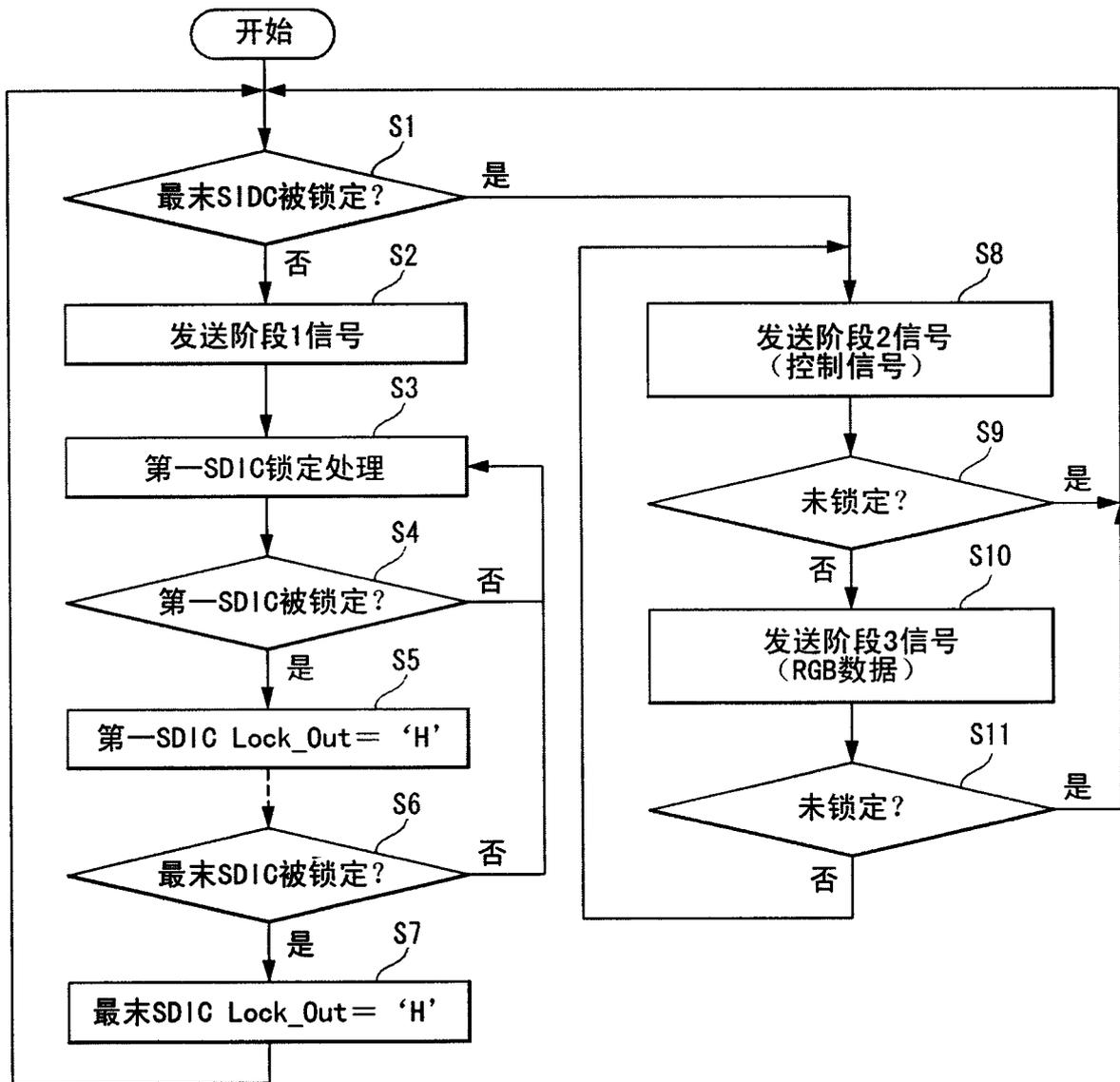


图 6

21

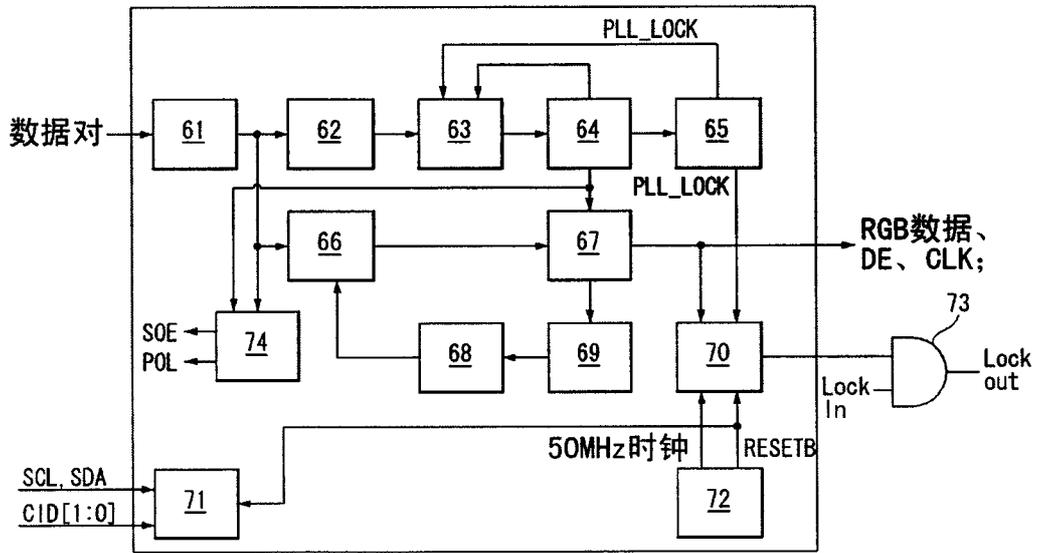


图 7

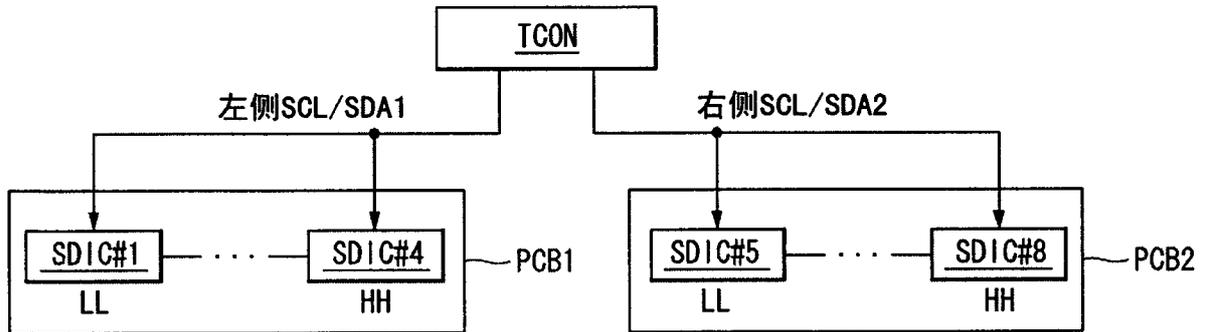


图 8

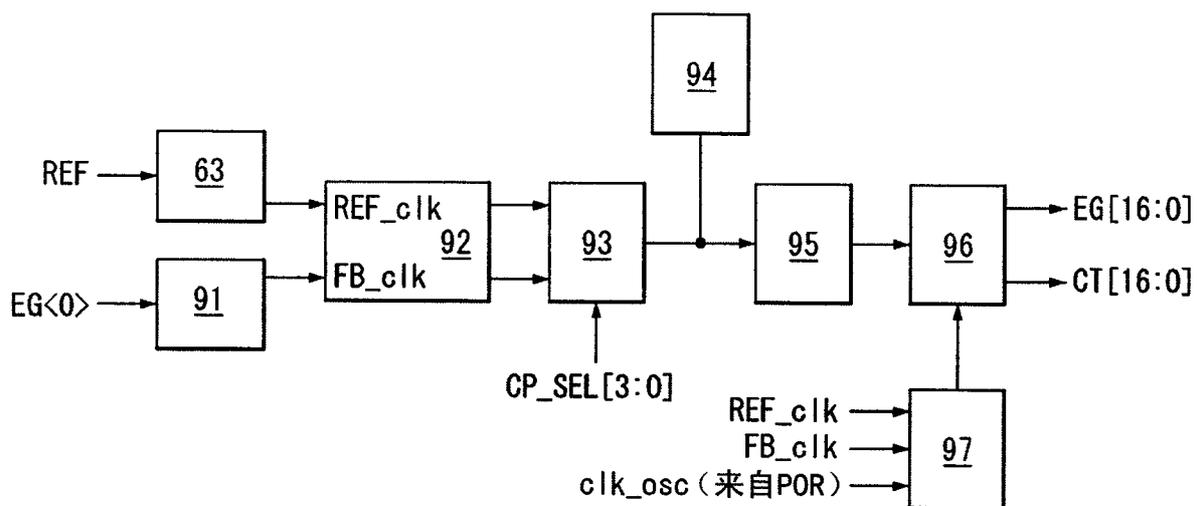


图 9

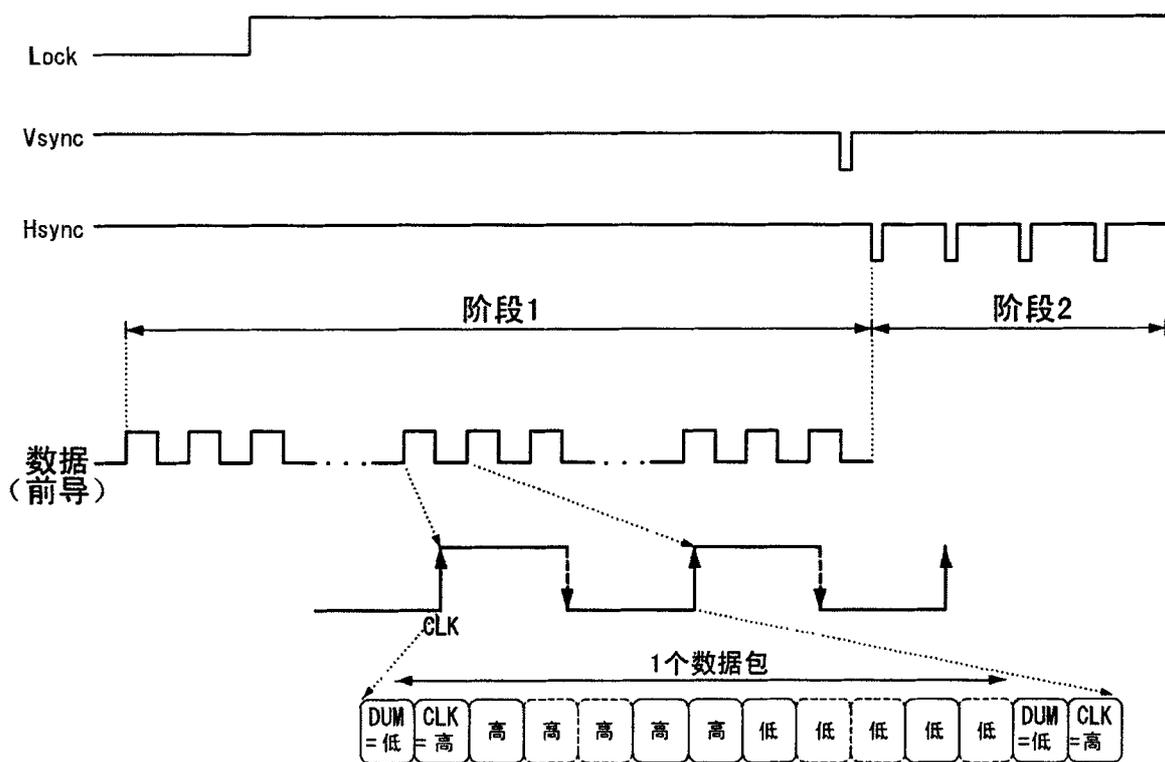


图 10

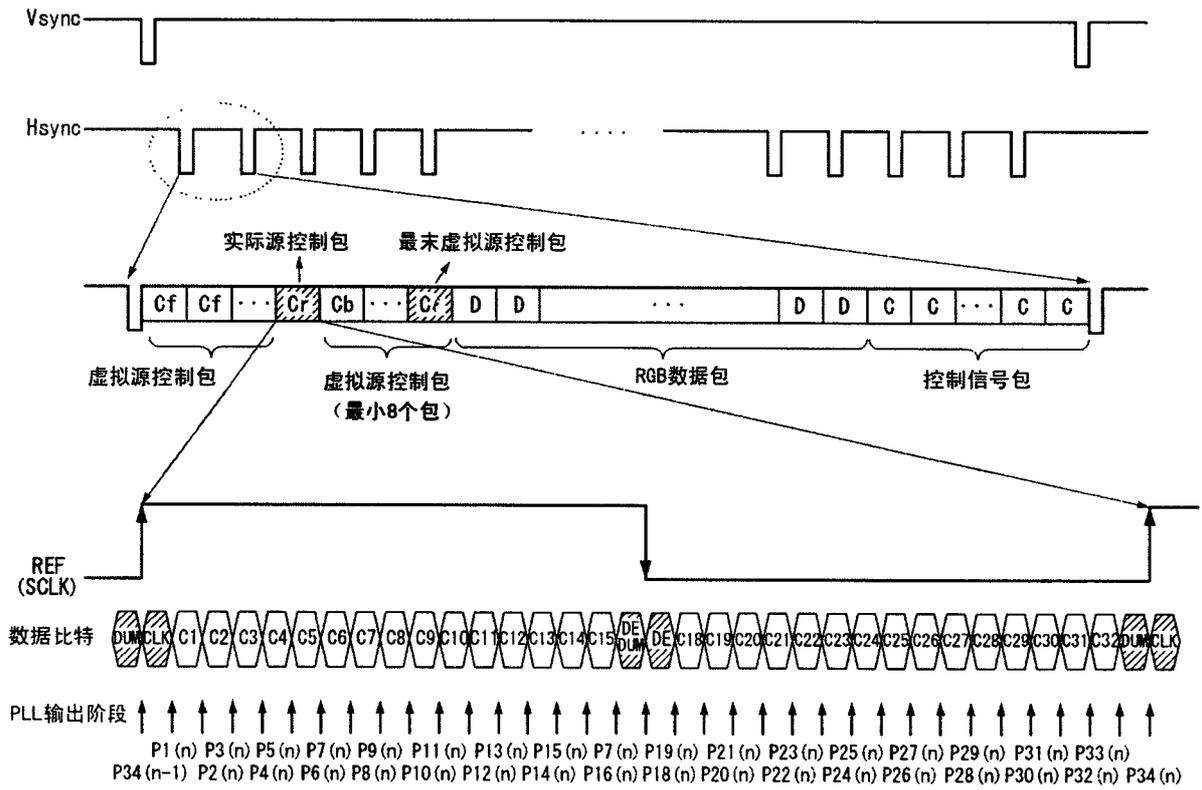


图 11

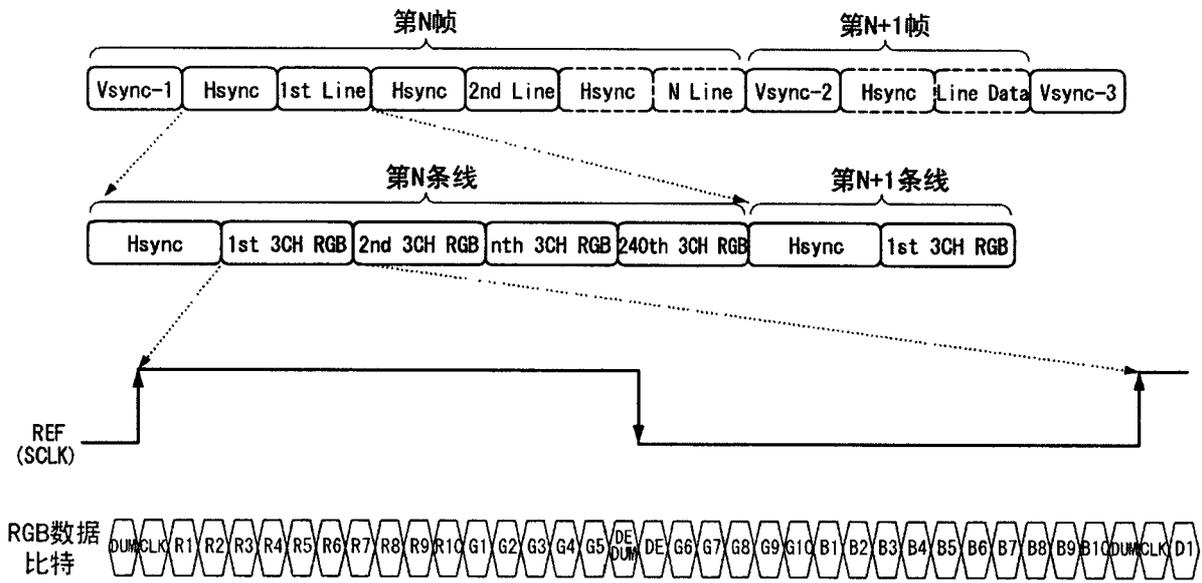


图 12

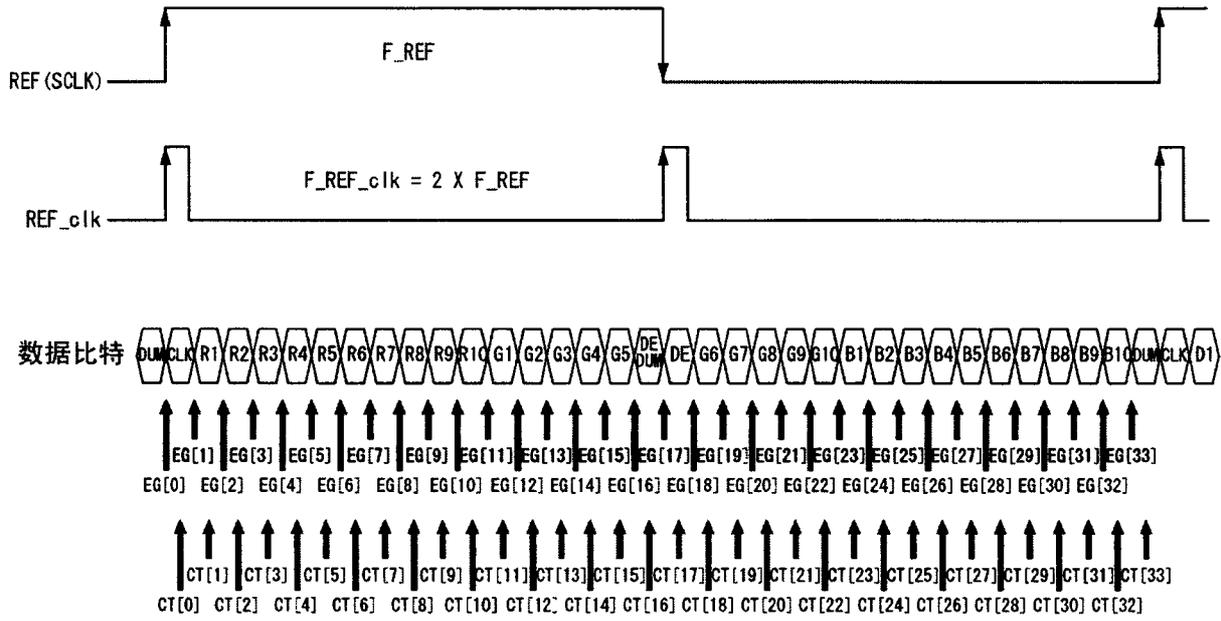


图 13

数据比特	CLK	D1~D10	D11~D15	DE_DUM	DE	D16~D20	D21~D30
格式	时钟	R_data[0:9]	G_data[0:4]	虚拟	数据使能	G_data[5:9]	B_data[0:9]
	时钟	控制数据 (C1~C15)		虚拟	数据使能	控制数据 (C18~C32)	

图 14

项目	C0	C1	C2	C3	C12~C11	C12	C13~C14	C15	C16	C17	C18~C32
虚拟源控制包	H	L	L	L	分配	L	分配	H	H	L	
实际源控制包	H	(H)	(H)	L	分配	L	分配	H	H	L	
最末虚拟源控制包	H	L	L	L	分配	L	分配	H	(L)	(H)	
控制信号	CLK	SOE					POL		DE		

图 15

	C0	C1	C2	C3	C4~C11	C12	C13~C14	C15	C16	C17	C18~C32
控制包	H	保留		L	分配	L	分配	H	保留		
	CLK	SOE					POL		DE		

图 16

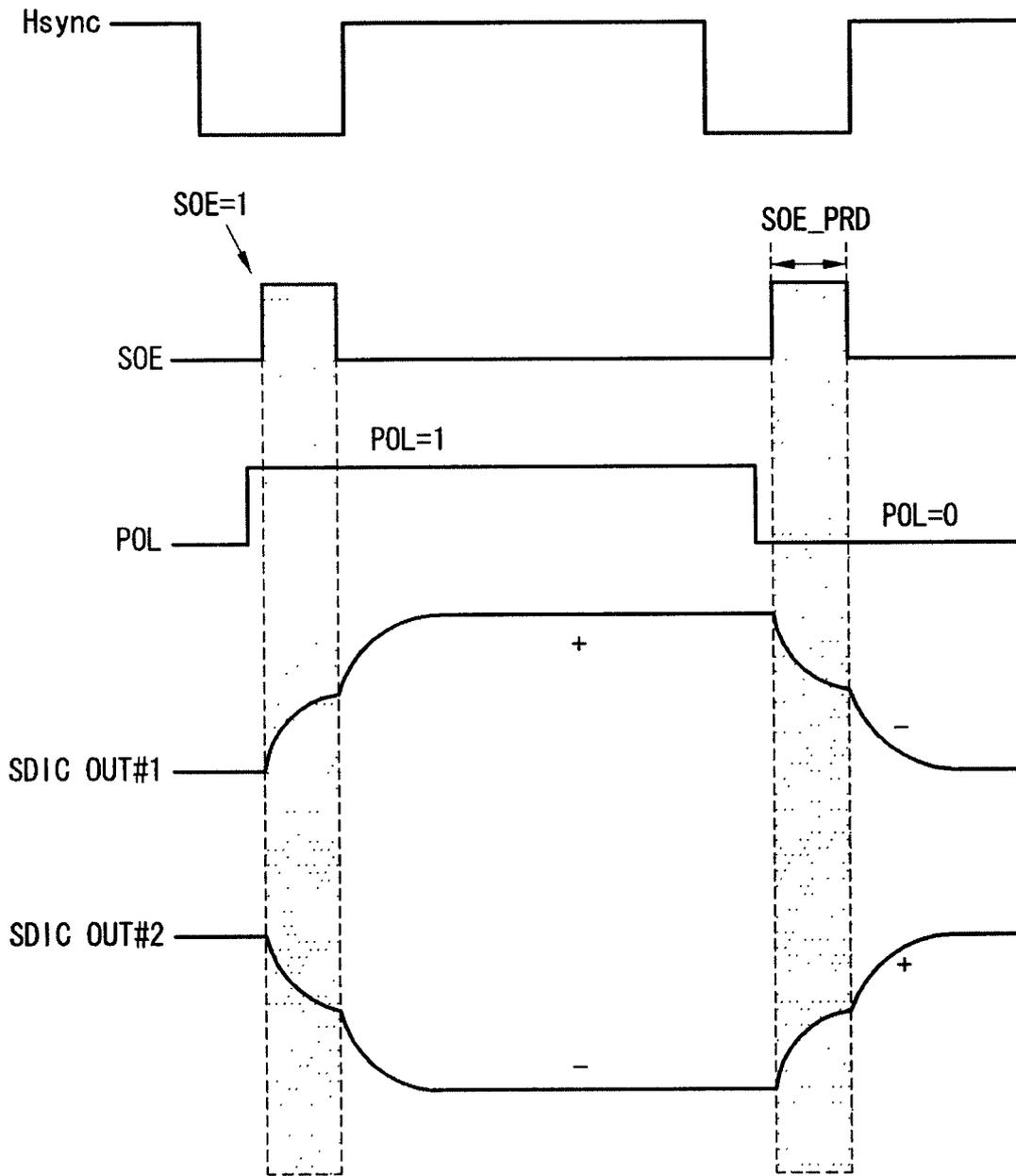


图 17

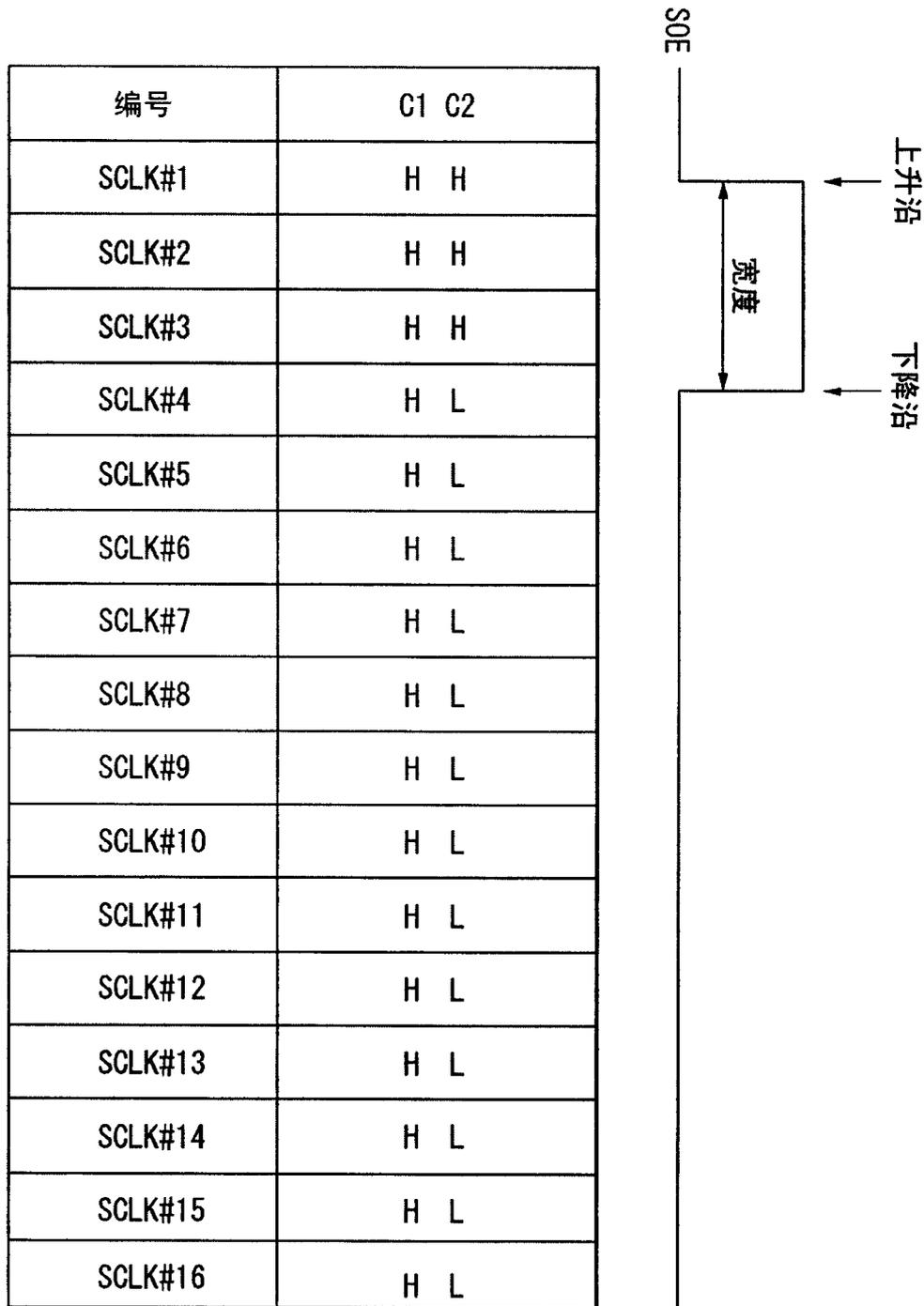


图 18A

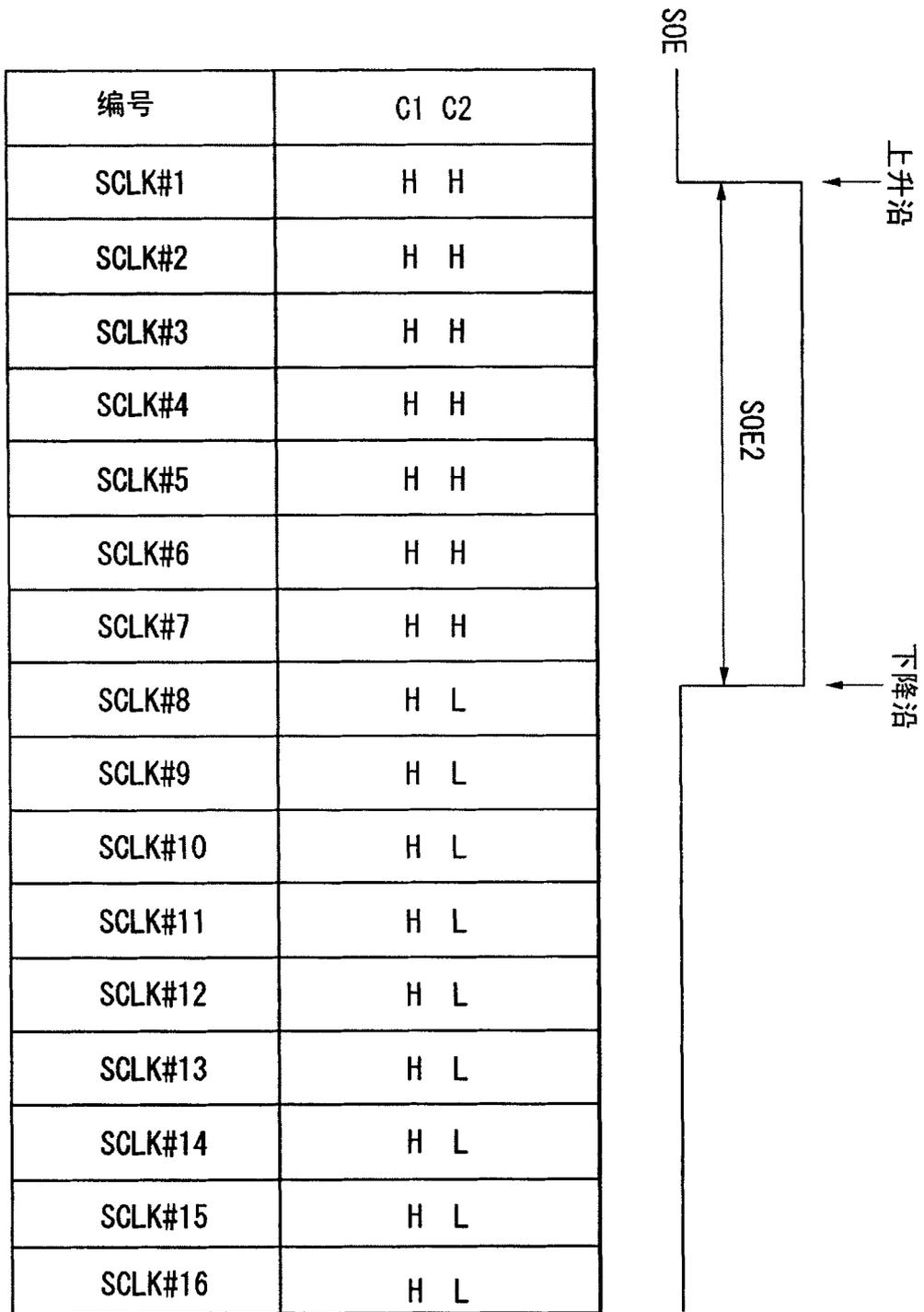


图 18B

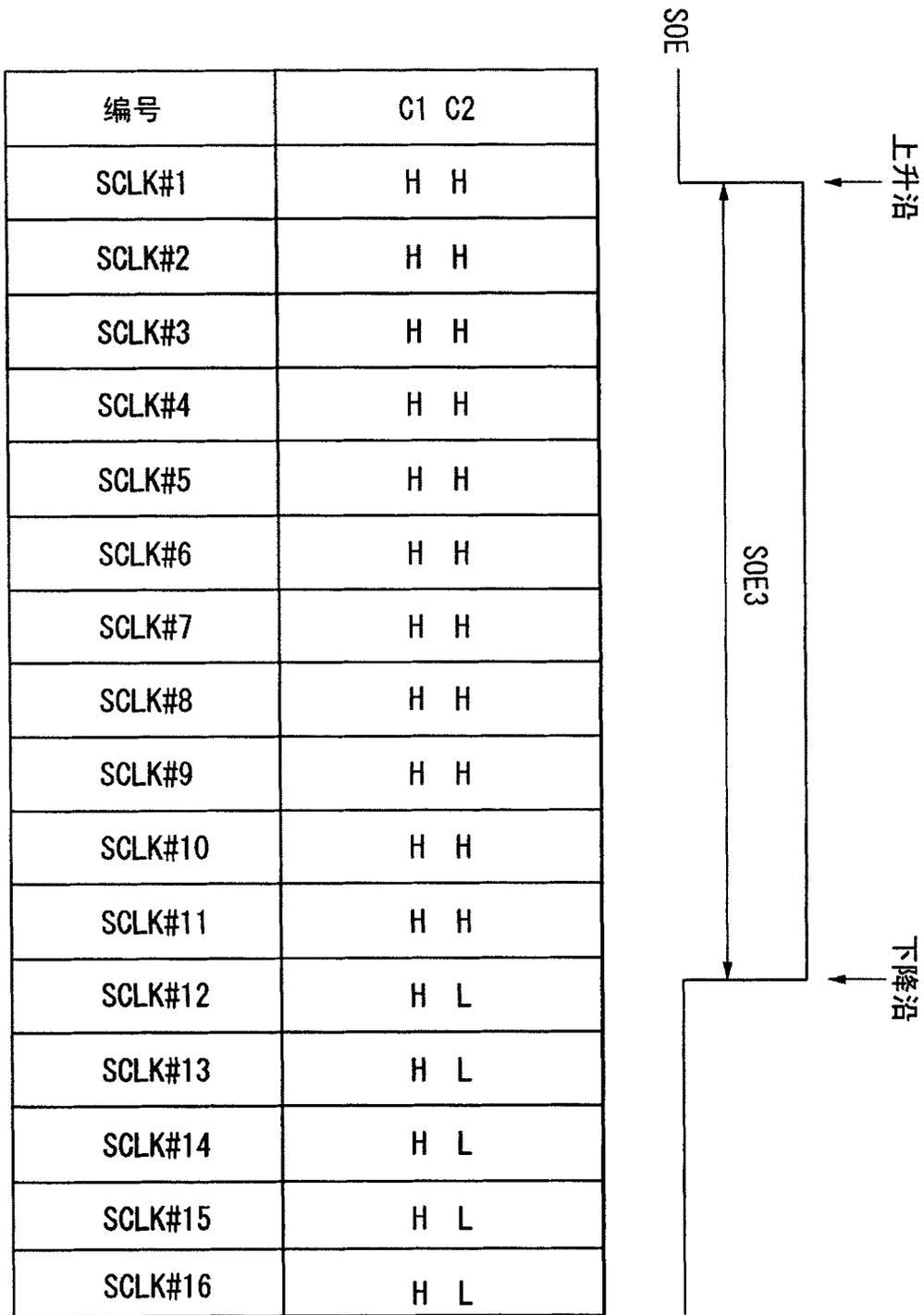


图 18C

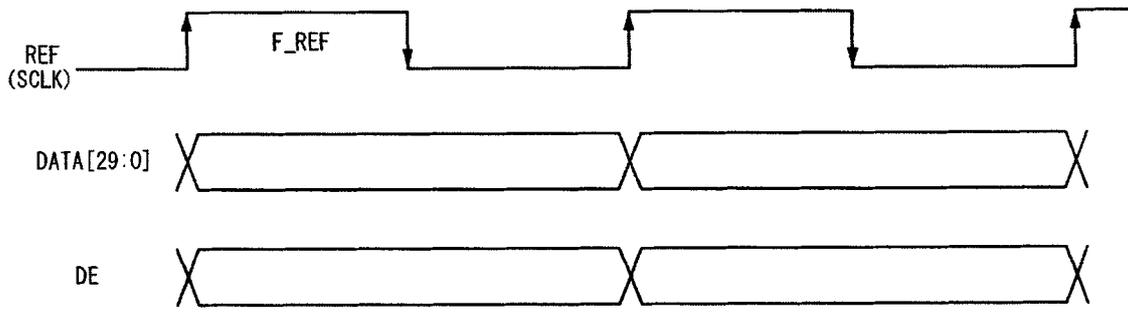


图 19

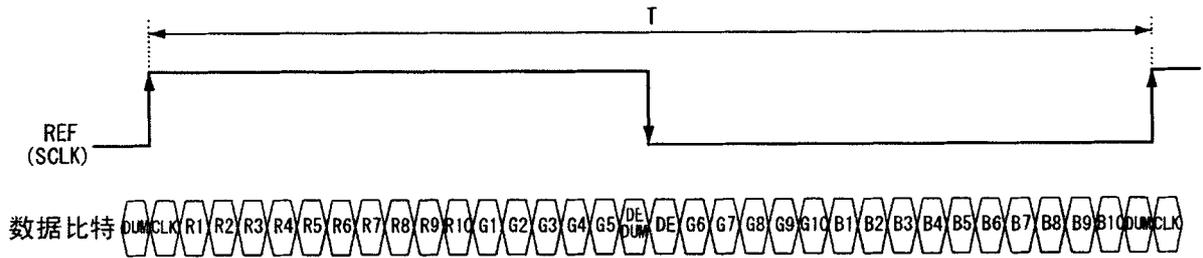


图 20A

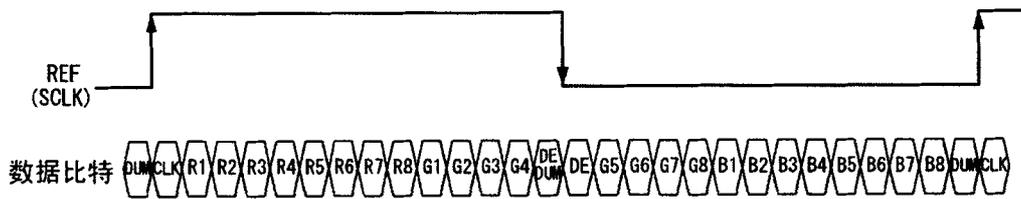


图 20B

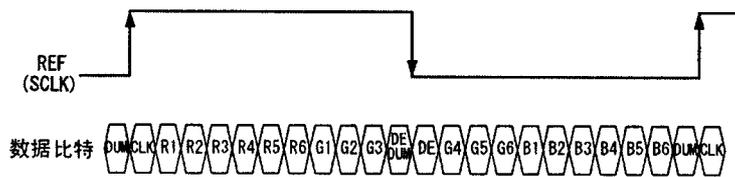


图 20C

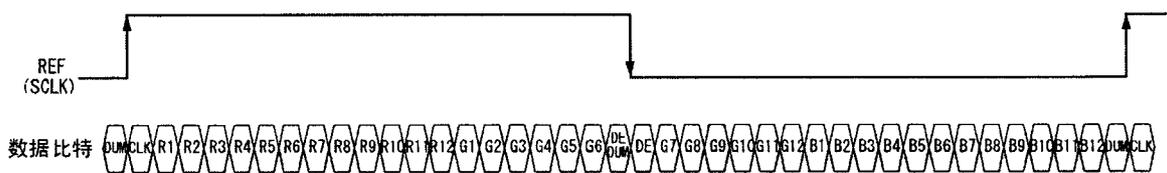


图 20D

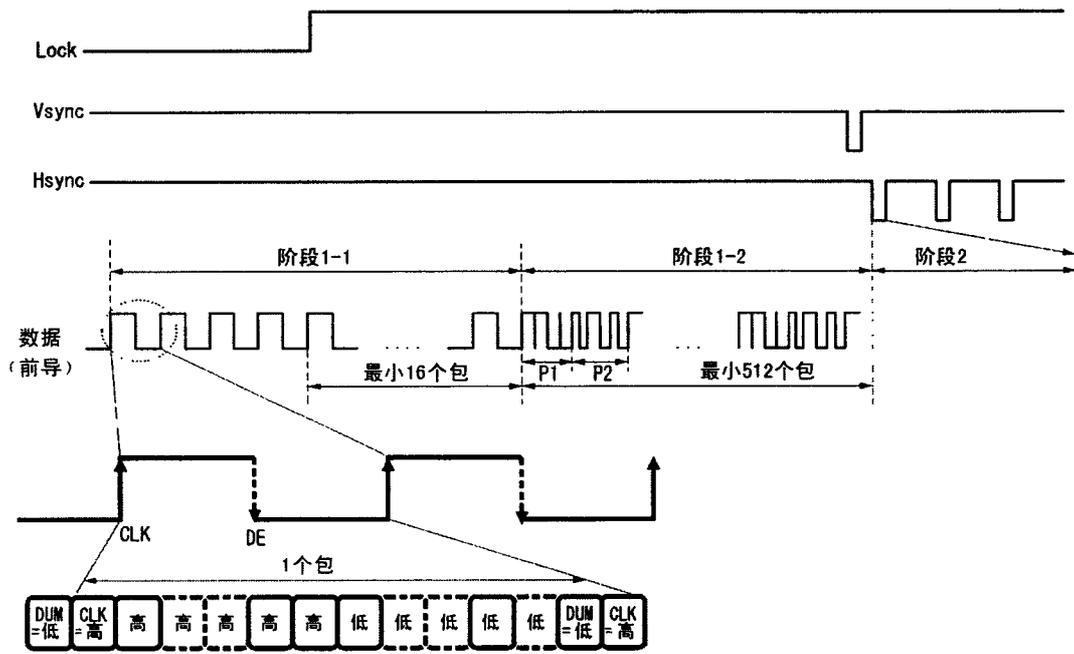


图 21

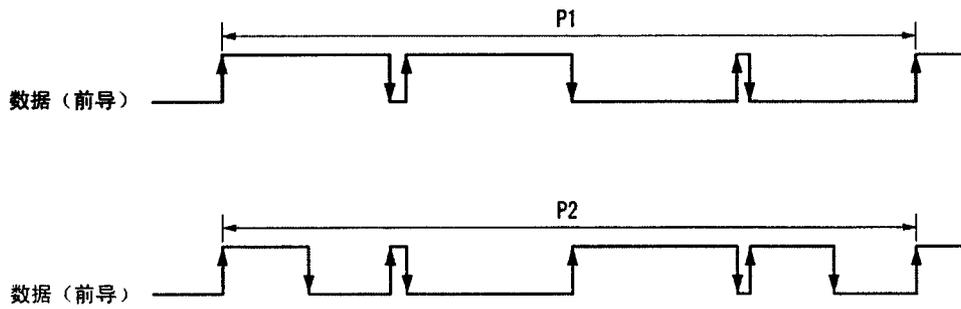


图 22

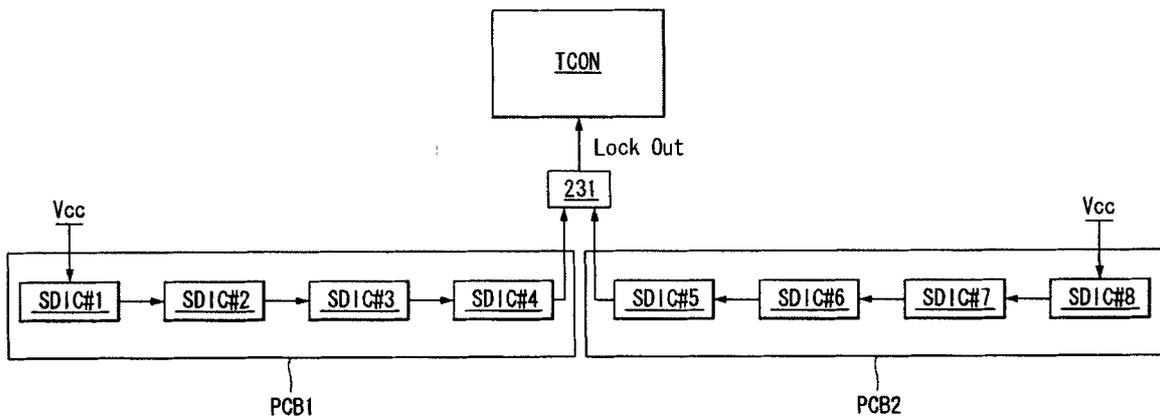


图 23

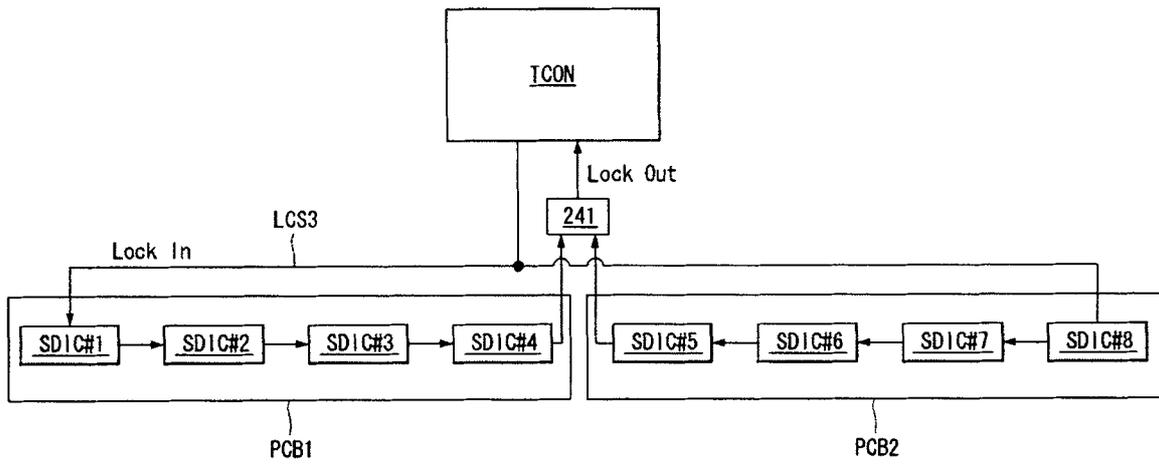


图 24

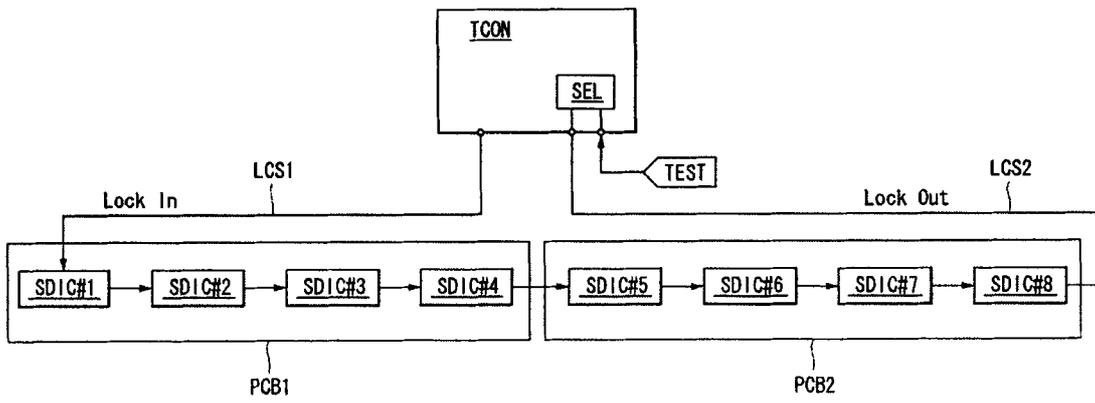


图 25

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	<a href="#">CN101763832A</a>	公开(公告)日	2010-06-30
申请号	CN200910175768.1	申请日	2009-10-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	洪镇铁 吴承哲 曹畅训		
发明人	洪镇铁 吴承哲 曹畅训		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G2310/06 G09G2370/14 G09G2370/08		
代理人(译)	徐金国 钟强		
优先权	1020080132479 2008-12-23 KR		
其他公开文献	CN101763832B		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明提供一种液晶显示器及其驱动方法。液晶显示器包括：第一源驱动IC组，响应于通过第一锁定信号输入端输入的电源电压和来自时序控制器的锁定信号之一，输出第一反馈锁定信号；第二源驱动IC组，响应于通过第二锁定信号输入端输入的电源电压、来自时序控制器的锁定信号和从第一源驱动IC组传输的锁定信号之一，输出第二反馈锁定信号；以及比较器，比较第一反馈锁定信号和第二反馈锁定信号，并将比较结果提供给时序控制器。

