

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

G02F 1/1362 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200910048541.0

[43] 公开日 2010 年 1 月 6 日

[11] 公开号 CN 101620838A

[22] 申请日 2009.3.30

[21] 申请号 200910048541.0

[71] 申请人 上海广电光电子有限公司

地址 200233 上海市徐汇区宜山路 757 号三
楼

[72] 发明人 周思思 黄秋平

[74] 专利代理机构 上海申汇专利代理有限公司

代理人 白璧华

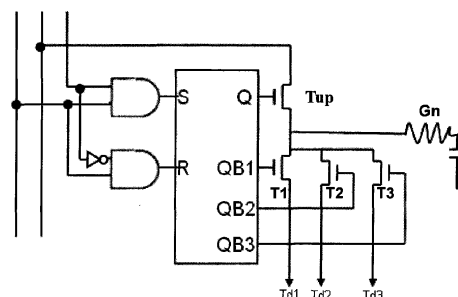
权利要求书 1 页 说明书 4 页 附图 2 页

[54] 发明名称

液晶显示器的栅极线驱动装置

[57] 摘要

本发明涉及一种液晶显示器的栅极线驱动装置，包括多个栅极线驱动单元，每个栅极线驱动单元包括一移位寄存器，一上拉电路和一下拉电路；所述多个栅极线驱动单元依次串连在一起，每一行栅极线驱动单元的输出端子与当前行栅极线相连；其中，所述下拉电路包括 n 个下拉控制开关，所述移位寄存器为所述 n 个下拉控制开关依次分时提供周期性下拉驱动信号， n 为正整数， $n \geq 3$ 。本发明提供的液晶显示器的栅极线驱动装置，通过多个下拉电路分时工作，大幅降低了非晶硅薄膜晶体管的偏压时间，提高了非晶硅薄膜晶体管的可靠度。



1、 一种液晶显示器的栅极线驱动装置，包括：

多个栅极线驱动单元，每个栅极线驱动单元包括一移位寄存器，一上拉电路和一下拉电路，所述移位寄存器为所述上拉电路和下拉电路提供上拉驱动信号和下拉驱动信号；

每个驱动单元提供时钟输入端子、置位端子和输出端子，所述时钟输入端子和时钟信号线相连，相邻两行栅极线驱动单元的时钟输入端子连接的时钟信号线的相位相反；

所述多个栅极线驱动单元依次串连在一起，其中，第一行栅极线驱动单元的置位端子与初始脉冲相连，其余栅极线驱动单元的置位端子与前一行栅极线驱动单元的输出端子相连，每一行栅极线驱动单元的输出端子与当前行栅极线相连；

其特征在于，所述下拉电路包括 n 个下拉控制开关，所述移位寄存器为所述 n 个下拉控制开关依次分时提供周期性下拉驱动信号， n 为正整数， $n \geq 3$ 。

2、 根据权利要求 1 所述的液晶显示器的栅极线驱动装置，其特征在于，所述栅极线驱动装置通过 TFT 技术直接在 TFT 下基板上形成。

液晶显示器的栅极线驱动装置

技术领域

本发明涉及一种液晶显示器的栅极线驱动装置，特别是涉及一种改善栅极线驱动能力的液晶显示器的栅极线驱动装置。

背景技术

液晶显示装置（LCD）由于其具有的重量轻、体积小、厚度薄的特点，已广泛地被用在各种大中小尺寸的终端显示设备中。LCD 包括用于显示图像的 LCD 面板以及用于驱动 LCD 面板的数据和栅极驱动电路。LCD 面板包括多条栅极线、数据线、以及多个像素。每个像素均包括薄膜晶体管（TFT）和液晶电容器。数据驱动电路将数据信号输出至数据线，以及栅极驱动电路将栅极驱动信号输出至栅极线。

为了减少成本，可将栅极驱动电路做在面板上。目前，非晶硅已经被用来制作集成的栅极驱动器，因为不需要额外的工序并且适合大规模生产。栅极驱动电路与形成 TFT 的工艺相同并与 TFT 一起形成在 LCD 面板上。

栅极驱动电路的各级彼此相连，顺序依次将栅极驱动信号输出至栅极线。当前级的输入端连接到上一级的输出端，当前级的控制端连接到下一级的输出端。图 1 是现有技术中栅极驱动器装置结构原理图，请参照图 1，栅极驱动器包括多个栅极线驱动单元 SRC1，SRC2，SRC3，SRC4…，多个栅极线驱动单元 SRC1，SRC2，SRC3，SRC4 级联在一起，依次顺序的激活栅极线 G1, G2, G3, G4，以响应时钟信号 CKV 和反转时钟信号 CKVB。当初始信号 STV 驱动第一级 SRC1 时，第一级 SRC1 导通第一栅极线 G1，以响应时钟信号 CKV。导通的第一栅极线 G1 驱动第二级 SRC2，该 SRC2 导通第二栅极线 G2，以响应反转时钟信号 CKVB。导通的第二栅极线 G2 驱动第三级 SRC3，并同时关断第一级 SRC1。各栅极线（G1，G2，G3，G4…）以这种方式依次顺序导通。

图 2 是现有技术中栅极驱动器的移位寄存器示意图。请参见图 2，该栅极线驱动单元包括上拉控制开关 Tup 以及下拉控制开关 Tdown，连接外部时钟信号和栅极线，用于控制对栅极线 Gn 的输出；以及 TFT 的控制电路，连接外部时钟信号，用于控制上拉和下拉 TFT 的顺序打开和关闭。在一帧时间内，每个单元提供一个高

电压输出，使栅线打开并给像素充入来自输入数据线信号。当像素被充电后，栅线要保持在一个低电压来保持像素上的电荷。在 TFT-LCD 中，栅线几乎都是保持在低电压水平。为了使栅线保持在低电压状态，下拉的 TFT 需要长时间保持在开启状态。而非晶硅薄膜晶体管的栅极若长时间受到直流偏压，就会造成非晶硅薄膜的劣化而出现很多缺陷，进而导致非晶硅薄膜晶体管的临界电压（threshold voltage）变得很大。因此，在图 2 所示的这种电路结构，在工作一段时间之后，下拉 TFT 的性能劣化，临界电压就会向上漂移，使得输出信号的电压无法充电完全，因此具有这种结构的栅极驱动器装置无法长时间正常工作。

上述结构无法避免下拉 TFT 栅极长期处于高的直流偏压之下，造成该非晶硅薄膜晶体管膜质劣化，引起临界电压的漂移，从而影响移位寄存器的输出特性，降低了器件的稳定性。

发明内容

本发明所要解决的技术问题是提供一种液晶显示器的栅极线驱动装置，非晶硅薄膜晶体管的栅极长时间受偏压而造成非晶硅薄膜劣化，提升非晶硅薄膜晶体管的可靠度，进而增加整体电路的稳定性。

本发明为解决上述技术问题而采用的技术方案是提供一种液晶显示器的栅极线驱动装置，包括多个栅极线驱动单元，每个栅极线驱动单元包括一移位寄存器，一上拉电路和一下拉电路，所述移位寄存器为所述上拉电路和下拉电路提供上拉驱动信号和下拉驱动信号；每个驱动单元提供时钟输入端子、置位端子和输出端子，所述时钟输入端子和时钟信号线相连，相邻两行栅极线驱动单元的时钟输入端子连接的时钟信号线的相位相反；所述多个栅极线驱动单元依次串连在一起，其中，第一行栅极线驱动单元的置位端子与初始脉冲相连，其余栅极线驱动单元的置位端子与前行栅极线驱动单元的输出端子相连，每一行栅极线驱动单元的输出端子与当前行栅极线相连；其中，所述下拉电路包括 n 个下拉控制开关，所述移位寄存器为所述 n 个下拉控制开关依次分时提供周期性下拉驱动信号， n 为正整数， $n \geq 3$ 。

上述的液晶显示器的栅极线驱动装置，所述栅极线驱动装置通过 TFT 技术直接在 TFT 下基板上形成。

本发明对比现有技术有如下的有益效果：本发明提供的液晶显示器的栅极线驱动装置，通过多个下拉电路分时工作，大幅降低了非晶硅薄膜晶体管的偏压时间，提高了非晶硅薄膜晶体管的可靠度。

附图说明

图 1 是现有技术中栅极驱动器装置结构原理图。

图 2 是现有技术中栅极驱动器的移位寄存器示意图。

图 3 是本发明栅极驱动器装置结构示意图。

图 4 是图 3 中下拉驱动信号时序图。

具体实施方式

下面结合附图及典型实施例对本发明作进一步说明。

图 3 是本发明栅极驱动器装置结构示意图。

请参见图 1 和图 3，本发明提供的栅极线驱动装置包括多个栅极线驱动单元（SRC1, SRC2, SRC3, …），每个栅极线驱动单元包括一移位寄存器，一上拉电路和一下拉电路，所述移位寄存器为所述上拉电路和下拉电路提供上拉驱动信号和下拉驱动信号；每个驱动单元提供时钟输入端子、置位端子和输出端子，相邻两行栅极线驱动单元的时钟输入端子分别和时钟信号 CKV、时钟信号 CKVB 相连，所述时钟信号 CKV 和时钟信号 CKVB 的相位相反；所述多个栅极线驱动单元依次串连在一起。例如对 n (n 为正整数) 条栅极线 ($G1, G2, G3, \dots$)，当 n 为奇数时，当前行栅极线驱动单元的时钟输入端子与时钟信号 CKV 相连；当 n 为偶数时，当前行栅极线驱动单元的时钟输入端子与时钟信号 CKVB 相连；第一行栅极线驱动单元的置位端子与初始脉冲 STV 相连，其余栅极线驱动单元的置位端子与前行栅极线驱动单元的输出端子相连，每一行栅极线驱动单元的输出端子与当前行栅极线相连。

请继续参见图 3，每个移位寄存器提供一个上拉信号 Q 节点和 3 个下拉信号 QB1, QB2 和 QB2 节点。该移位寄存器连接的下拉电路包括 3 个下拉控制开关 T1, T2 和 T3，所述移位寄存器通 QB1, QB2 和 QB2 输出节点分别为下拉控制开关 T1, T2 和 T3 依次分时提供周期性下拉驱动信号，QB 输出节点和下拉 TFT 的数量相对应，具

体数量可以是2个以上。

图4是图3中下拉驱动信号时序图。

请参见图4，在一帧时间内，移位寄存器分时依次向各个QB节点输出打开信号，打开相应的下拉TFT器件。QB1，QB2，QB3各节点依次输出打开信号，使得3个下拉TFT轮替工作，维持栅线在低电压状态。具体来说，在第一个一帧时间内，QB1工作，QB2，QB3不工作；第二个一帧时间内，QB2工作，QB1，QB3不工作；第三个一帧时间内，QB3工作，QB1，QB2不工作。也就是说在一帧时间内只有一个QB点工作。这样的话原来的直流偏压被3个下拉控制开关T1，T2和T3所分配，3个下拉控制开关T1，T2和T3的工作时间为原来只有1个TFT工作时间的三分之一。通过这种方法，QB点非晶硅薄膜晶体管的退化情况被大大降低。

综上所述，本发明栅极驱动器装置的下拉电路包含多个下拉TFT，一般可以为3个或3个以上，移位寄存器相应地为所述多个下拉控制开关依次分时提供周期性下拉驱动信号，使得每个下拉TFT工作时间为原来只有1个TFT工作时间的三分之一甚至更小，通过这种方法，可以有效的降低QB点非晶硅薄膜晶体管的退化情况。

虽然本发明已以较佳实施例揭示如上，然其并非用以限定本发明，任何本领域技术人员，在不脱离本发明的精神和范围内，当可作些许的修改和完善，因此本发明的保护范围当以权利要求书所界定的为准。

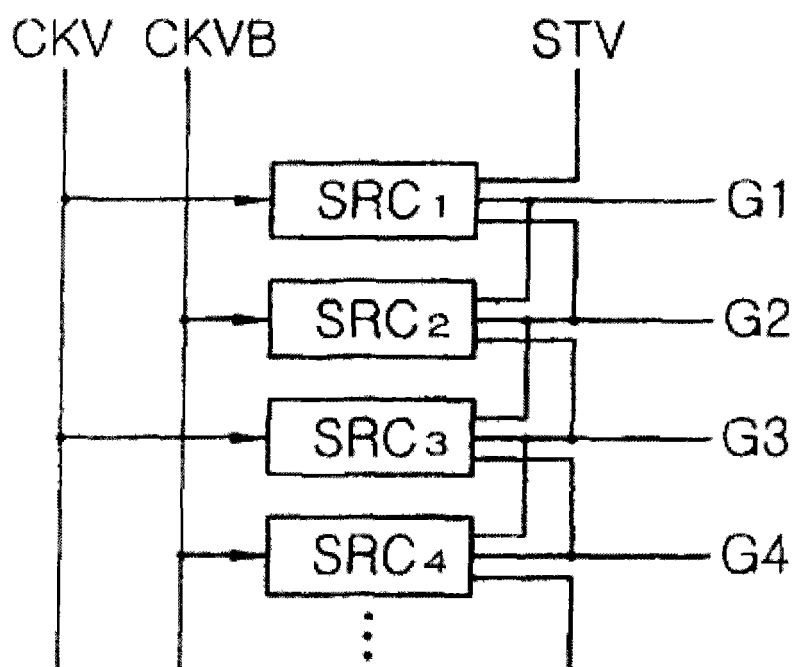


图 1

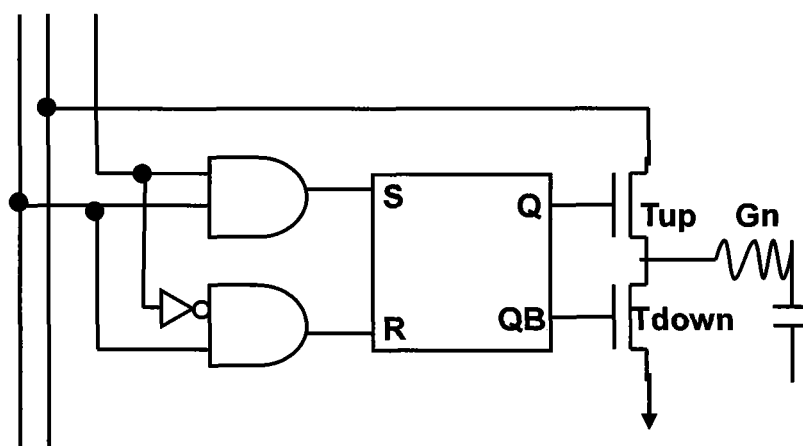


图 2

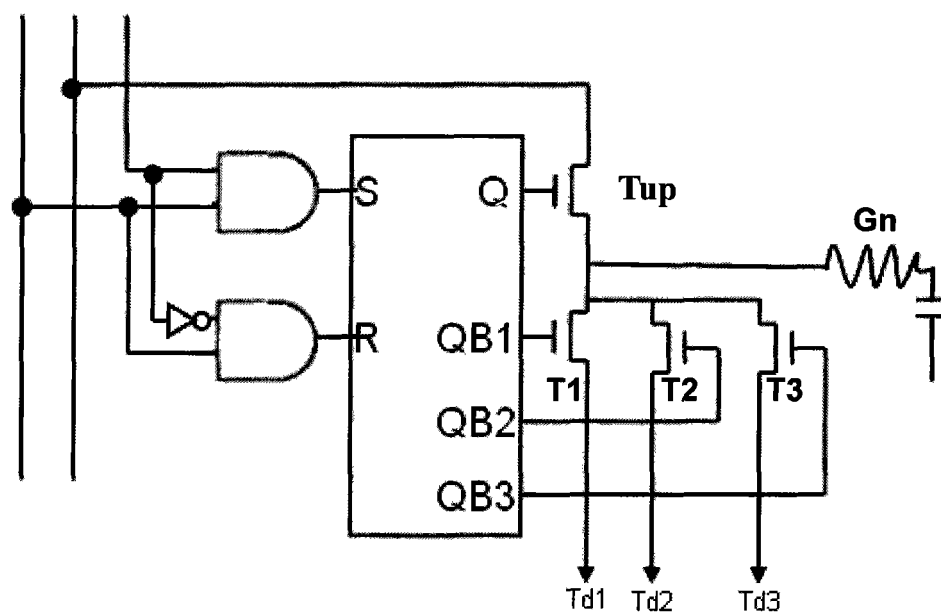


图 3

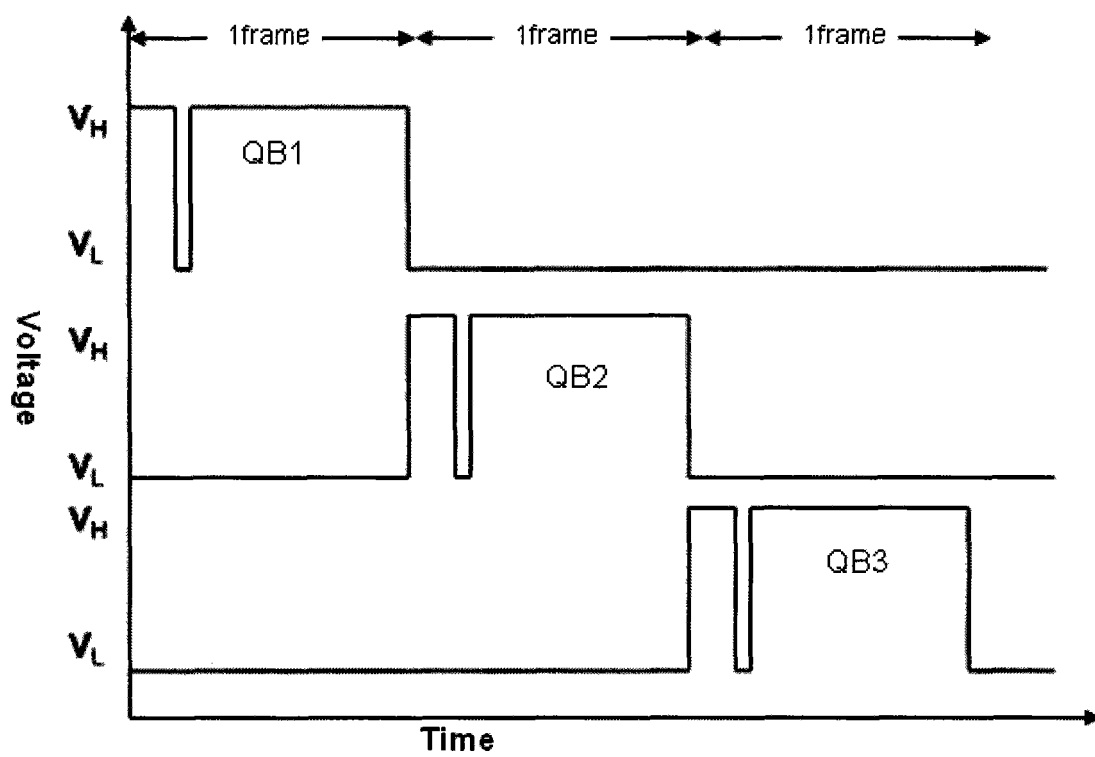


图 4

专利名称(译)	液晶显示器的栅极线驱动装置		
公开(公告)号	CN101620838A	公开(公告)日	2010-01-06
申请号	CN200910048541.0	申请日	2009-03-30
[标]申请(专利权)人(译)	上海广电光电子有限公司		
申请(专利权)人(译)	上海广电光电子有限公司		
当前申请(专利权)人(译)	南京中电熊猫液晶显示科技有限公司		
[标]发明人	周思思 黄秋平		
发明人	周思思 黄秋平		
IPC分类号	G09G3/36 G02F1/1362		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种液晶显示器的栅极线驱动装置，包括多个栅极线驱动单元，每个栅极线驱动单元包括一移位寄存器，一上拉电路和一下拉电路；所述多个栅极线驱动单元依次串连在一起，每一行栅极线驱动单元的输出端子与当前行栅极线相连；其中，所述下拉电路包括n个下拉控制开关，所述移位寄存器为所述n个下拉控制开关依次分时提供周期性下拉驱动信号，n为正整数， $n \geq 3$ 。本发明提供的液晶显示器的栅极线驱动装置，通过多个下拉电路分时工作，大幅降低了非晶硅薄膜晶体管的偏压时间，提高了非晶硅薄膜晶体管的可靠度。

