



(12) 发明专利

(10) 授权公告号 CN 101241247 B

(45) 授权公告日 2010.05.26

(21) 申请号 200710073259.9

审查员 刘时雄

(22) 申请日 2007.02.09

(73) 专利权人 群康科技(深圳)有限公司

地址 518109 广东省深圳市宝安区龙华镇富
士康科技工业园 E 区 4 栋 1 层

专利权人 群创光电股份有限公司

(72) 发明人 江建学 陈思孝

(51) Int. Cl.

G02F 1/133(2006.01)

G09G 3/36(2006.01)

(56) 对比文件

CN 1388501 A, 2003.01.01, 全文.

CN 1588555 A, 2005.03.02, 全文.

JP 特开 2003-347904 A, 2003.12.05, 全文.

WO 2005/122178 A1, 2005.12.22, 全文.

US 2005/0264505 A1, 2005.10.01, 全文.

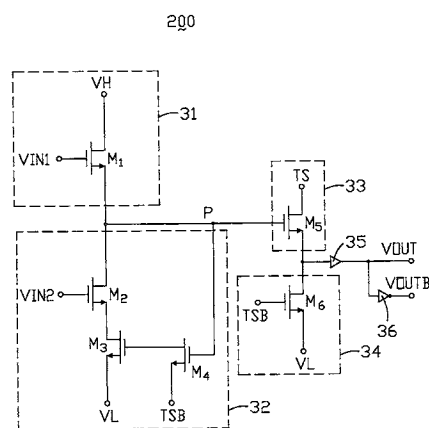
权利要求书 2 页 说明书 6 页 附图 4 页

(54) 发明名称

移位寄存器及液晶显示装置

(57) 摘要

本发明涉及一种移位寄存器及采用该移位寄存器的液晶显示装置。该液晶显示装置包括一液晶面板、一数据驱动电路及一扫描驱动电路。该数据驱动电路及该扫描驱动电路均包括一移位寄存器。每一移位寄存器包括多个移位寄存单元,每一移位寄存单元均受外部电路的时钟信号、反相时钟信号、前一级移位寄存单元的输出信号及前一级移位寄存单元的反相输出信号控制。每一移位寄存单元包括一上拉电路、一下拉电路、一第一输出电路、一第二输出电路及一反相电路。



1. 一种移位寄存器,其包括多个移位寄存单元,其特征在于:每一移位寄存单元均受外部电路的时钟信号、反相时钟信号、前一级移位寄存单元的输出信号及前一级移位寄存单元的反相输出信号控制,每一移位寄存单元包括一时钟信号输入端、一反相时钟信号输入端、一高电平输入端、一低电平输入端、一第一输入端、一第二输入端、一输出端、一反相输出端、一上拉电路、一下拉电路、一第一输出电路、一第二输出电路及一反相电路,该时钟信号输入端接收外部电路的时钟信号,该反相时钟信号输入端接收外部电路的反相时钟信号,该高电平输入端接收外部电路的高电平信号,该低电平输入端接收外部电路的低电平信号,该上拉电路、下拉电路及该第一输出电路具有一公共节点,该上拉电路为该公共节点提供高电平信号,该下拉电路为该公共节点提供低电平信号,该第一输出电路在该公共节点的控制下输出时钟信号,该第二输出电路在该反相时钟信号的控制下输出低电平信号,该反相电路将第一或第二输出电路的输出信号反相后输出,该上拉电路包括一第一晶体管,该第一晶体管的栅极电连接该第一输入端,其源极电连接该高电平输入端,其漏极电连接该公共节点,该下拉电路包括一第二晶体管、一第三晶体管及一第四晶体管,该第二晶体管的栅极电连接该第二输入端,其源极电连接该公共节点,其漏极电连接该第三晶体管的源极,该第三晶体管的栅极电连接该第四晶体管的源极,其漏极电连接该低电平输入端,该第四晶体管的栅极电连接该公共节点,其漏极电连接该反相时钟信号输入端,该第一输出电路包括一第五晶体管,该第五晶体管的栅极电连接该公共节点,其源极电连接该时钟信号输入端,其漏极电连接该输出端,该第二输出电路包括一第六晶体管,该第六晶体管的栅极电连接该反相时钟信号输入端,其源极电连接该输出端,其漏极电连接该低电平输入端。

2. 如权利要求 1 所述的移位寄存器,其特征在于:该第一输入端电连接至前一级移位寄存单元的输出端,该第二输入端电连接至前一级移位寄存单元的反相输出端,该输出端电连接至后一级移位寄存单元的第一输入端,该反相输出端电连接至后一级移位寄存单元的第二输入端,该上拉电路受该第一输入端控制,该下拉电路受该第二输入端及该公共节点控制。

3. 如权利要求 2 所述的移位寄存器,其特征在于:该第一至第六晶体管均是 NMOS 型晶体管。

4. 如权利要求 2 所述的移位寄存器,其特征在于:该反相电路是一反相器。

5. 如权利要求 2 所述的移位寄存器,其特征在于:该移位寄存器还包括一缓冲器,该缓冲器串接在该第五晶体管的漏极与该输出端之间。

6. 一种液晶显示装置,其包括一液晶显示面板、一数据驱动电路及一扫描驱动电路,该数据驱动电路为该液晶显示面板提供数据信号,该扫描驱动电路为该液晶显示面板提供扫描信号,该数据驱动电路及该扫描驱动电路分别包括一移位寄存器以控制数据信号与扫描信号的输出时序,该移位寄存器包括多个移位寄存单元,其特征在于:每一移位寄存单元均受外部电路的时钟信号、反相时钟信号、前一级移位寄存单元的输出信号及前一级移位寄存单元的反相输出信号控制,每一移位寄存单元包括一时钟信号输入端、一反相时钟信号输入端、一高电平输入端、一低电平输入端、一第一输入端、一第二输入端、一输出端、一反相输出端、一上拉电路、一下拉电路、一第一输出电路、一第二输出电路及一反相电路,该时钟信号输入端接收外部电路的时钟信号,该反相时钟信号输入端接收外部电路的反相时钟信号,该高电平输入端接收外部电路的高电平信号,该低电平输入端接收外部电路的低

电平信号,该上拉电路、下拉电路及该第一输出电路具有一公共节点,该上拉电路为该公共节点提供高电平信号,该下拉电路为该公共节点提供低电平信号,该第一输出电路在该公共节点的控制下输出时钟信号,该第二输出电路在该反相时钟信号的控制下输出低电平信号,该反相电路将第一或第二输出电路的输出信号反相后输出,该上拉电路包括一第一晶体管,该第一晶体管的栅极电连接该第一输入端,其源极电连接该高电平输入端,其漏极电连接该公共节点,该下拉电路包括一第二晶体管、一第三晶体管及一第四晶体管,该第二晶体管的栅极电连接该第二输入端,其源极电连接该公共节点,其漏极电连接该第三晶体管的源极,该第三晶体管的栅极电连接该第四晶体管的源极,其漏极电连接该低电平输入端,该第四晶体管的栅极电连接该公共节点,其漏极电连接该反相时钟信号输入端,该第一输出电路包括一第五晶体管,该第五晶体管的栅极电连接该公共节点,其源极电连接该时钟信号输入端,其漏极电连接该输出端,该第二输出电路包括一第六晶体管,该第六晶体管的栅极电连接该反相时钟信号输入端,其源极电连接该输出端,其漏极电连接该低电平输入端。

移位寄存器及液晶显示装置

技术领域

[0001] 本发明涉及一种移位寄存器及采用该移位寄存器的液晶显示装置。

背景技术

[0002] 目前薄膜晶体管 (Thin Film Transistor, TFT) 液晶显示装置已逐渐成为各种数字产品的标准输出设备,在制造过程中,需要设计适当的驱动电路以保证其稳定工作。

[0003] 通常,液晶显示装置的驱动电路包括一数据驱动电路及一扫描驱动电路。数据驱动电路用于控制每一像素单元的显示亮度,扫描驱动电路则用于控制薄膜晶体管的导通与截止。该二驱动电路均应用移位寄存器作为核心电路单元。通常,移位寄存器是由多个移位寄存单元串联而成,并且前一移位寄存单元的输出信号为后一移位寄存单元的输入信号。

[0004] 请参阅图 1,其是一种现有技术移位寄存器的移位寄存单元的电路图。该移位寄存单元 100 包括一第一时钟反相电路 110、一换流电路 120 及一第二时钟反相电路 130。该移位寄存单元 100 的各电路均由 PMOS (P-channel Metal-Oxide Semiconductor, P 沟道金属氧化物半导体) 型晶体管组成,每一 PMOS 型晶体管均包括一栅极、一源极及一漏极。

[0005] 该第一时钟反相电路 110 包括一第一晶体管 M1、一第二晶体管 M2、一第三晶体管 M3、一第四晶体管 M4、一第一输出端 V01 及一第二输出端 V02。该第一晶体管 M1 的栅极接收该移位寄存单元 100 的前一移位寄存单元的输出信号 VS,其源极接收来自外部电路的高电平信号 VDD,其漏极连接至该第二晶体管 M2 的源极。该第二晶体管 M2 的栅极及其漏极接收来自外部电路的低电平信号 VSS。该第三晶体管 M3 及该第四晶体管 M4 的栅极均接收来自外部电路的反相时钟信号 CK,两者的漏极分别作为该第一时钟反相电路 110 的第一输出端 V01 及第二输出端 V02,且该第三晶体管 M3 的源极连接至该第一晶体管 M1 的漏极,该第四晶体管 M4 的源极连接至该第一晶体管 M1 的栅极。

[0006] 该换流电路 120 包括一第五晶体管 M5、一第六晶体管 M6 及一信号输出端 V0。该第五晶体管 M5 的栅极连接至该第一输出端 V01,其源极接收来自外部电路的高电平信号 VDD,其漏极连接至该第六晶体管 M6 的源极。该第六晶体管 M6 的栅极连接至该第二输出端 V02,其漏极接收来自外部电路的低电平信号 VSS,其源极是该移位寄存单元 100 的信号输出端 V0。

[0007] 该第二时钟反相电路 130 包括一第七晶体管 M7、一第八晶体管 M8、一第九晶体管 M9 及一第十晶体管 M10。该第七晶体管 M7 的栅极连接至该信号输出端 V0,其源极接收来自外部电路的高电平信号 VDD,其漏极连接至该第八晶体管 M8 的源极。该第八晶体管 M8 的栅极及其漏极均接收来自外部电路的低电平信号 VSS。该第九晶体管 M9 的源极连接至该第一输出端 V01,其栅极接收来自外部电路的时钟信号 CK,其漏极连接至该第七晶体管 M7 的漏极。该第十晶体管的栅极接收外部电路的时钟信号 CK,其源极连接至该第二输出端 V02,其漏极连接至该信号输出端 V0。

[0008] 请一并参阅图 2,其是该移位寄存单元 100 的工作时序图。在 T1 时间内,该前一移位寄存单元的输出信号 VS 由高电平跳变为低电平,反相时钟信号 $\overline{CK}$ 由低电平跳变为高电

平,则使该第三晶体管 M3 及该第四晶体管 M4 截止,进而使该第一时钟反相电路 110 断开。而该时钟信号 CK 由高电平跳变为低电平,使该第九晶体管 M9 及该第十晶体管 M10 导通,进而使该第二时钟反相电路 130 导通,而该信号输出端 V0 初始状态的高电平经该第十晶体管 M10,使该第六晶体管 M6 截止,而该第八晶体管 M8 输出的低电平经由该第九晶体管 M9,使该第五晶体管 M5 导通,进而使其源极的高电平信号 VDD 输出至该信号输出端 V0,故该信号输出端 V0 保持高电平输出。

[0009] 在 T2 时间内,该反相时钟信号 $\overline{\text{CK}}$ 由高电平跳变为低电平,则使该第三晶体管 M3 及该第四晶体管 M4 导通,进而使该第一时钟反相电路 110 导通。而该时钟信号 CK 由低电平跳变为高电平,则使该第九晶体管 M9 及该第十晶体管 M10 截止,进而使该第二时钟反相电路 130 断开。该输入信号 VS 由高电平跳变为低电平,则使该第一晶体管 M1 导通,其源极的高电平 VDD 经该第三晶体管 M3 截止该第五晶体管 M5,且该输入信号 VS 的低电平经该第四晶体管 M4 导通该第六晶体管 M6,使该信号输出端 V0 输出低电平。

[0010] 在 T3 时间内,该反相时钟信号 $\overline{\text{CK}}$ 由低电平跳变为高电平,则使该第三晶体管 M3 及该第四晶体管 M4 截止,进而使该第一时钟反相电路 110 断开。而该时钟信号 CK 由高电平跳变为低电平,使该第九晶体管 M9 及该第十晶体管 M10 导通,进而使该第二时钟反相电路 130 导通。该信号输出端 V0 的低电平导通该第七晶体管 M7,其源极的高电平经该第九晶体管 M9 截止该第五晶体管 M5。同时,该信号输出端 V0 的低电平也经该第十晶体管 M10 导通该第六晶体管 M6,该第六晶体管 M6 的漏极低电平使该信号输出端 V0 保持低电平输出。

[0011] 在 T4 时间内,该反相时钟信号 $\overline{\text{CK}}$ 由高电平跳变为低电平,则使该第三晶体管 M3 及该第四晶体管 M4 导通,进而使该第一时钟反相电路 110 导通。而该时钟信号 CK 由低电平跳变为高电平,使该第九晶体管 M9 及该第十晶体管 M10 截止,进而使该第二时钟反相电路 120 断开。输入信号 VS 的高电平经该第四晶体管 M4 截止该第六晶体管 M6,而该第二晶体管 M2 的漏极低电平经该第三晶体管 M3 导通该第五晶体管 M5,使其源极的高电平输出至该信号输出端 V0,使该信号输出端 V0 的输出由低电平跳变为高电平。

[0012] 该移位寄存器的各移位寄存单元 100 所用晶体管数量较多,且各信号走线的绕线较复杂,因此该移位寄存器的电路结构较复杂。

[0013] 另外,该移位寄存器可应用于液晶显示装置以及其它数字电子产品中。例如液晶显示装置的数据驱动电路或扫描驱动电路需要该移位寄存器实现列扫描或行扫描的功能。但是,该移位寄存器的电路结构较复杂,容易发生噪声干扰,故采用该移位寄存器作为数据驱动电路及扫描驱动电路的液晶显示装置在进行列扫描或行扫描时,各信号间也容易相互干扰。

发明内容

[0014] 为了解决现有技术中移位寄存器电路结构复杂的问题,本发明提供一种电路结构较简单的移位寄存器。

[0015] 同时也有必要提供一种可避免信号干扰的液晶显示装置。

[0016] 一种移位寄存器,其包括多个移位寄存单元,每一移位寄存单元均受外部电路的时钟信号、反相时钟信号、前一级移位寄存单元的输出信号及前一级移位寄存单元的反相输出信号控制。每一移位寄存单元包括一时钟信号输入端、一反相时钟信号输入端、一高电

平输入端、一低电平输入端、一第一输入端、一第二输入端、一输出端、一反相输出端、一上拉电路、一下拉电路、一第一输出电路、一第二输出电路及一反相电路,该时钟信号输入端接收外部电路的时钟信号,该反相时钟信号输入端接收外部电路的反相时钟信号,该高电平输入端接收外部电路的高电平信号,该低电平输入端接收外部电路的低电平信号,该上拉电路、下拉电路及该第一输出电路具有一公共节点,该上拉电路为该公共节点提供高电平信号,该下拉电路为该公共节点提供低电平信号,该第一输出电路在该公共节点的控制下输出时钟信号,该第二输出电路在该反相时钟信号的控制下输出低电平信号,该反相电路将第一或第二输出电路的输出信号反相后输出,该上拉电路包括一第一晶体管,该第一晶体管的栅极电连接该第一输入端,其源极电连接该高电平输入端,其漏极电连接该公共节点,该下拉电路包括一第二晶体管、一第三晶体管及一第四晶体管,该第二晶体管的栅极电连接该第二输入端,其源极电连接该公共节点,其漏极电连接该第三晶体管的源极,该第三晶体管的栅极电连接该第四晶体管的源极,其漏极电连接该低电平输入端,该第四晶体管的栅极电连接该公共节点,其漏极电连接该反相时钟信号输入端,该第一输出电路包括一第五晶体管,该第五晶体管的栅极电连接该公共节点,其源极电连接该时钟信号输入端,其漏极电连接该输出端,该第二输出电路包括一第六晶体管,该第六晶体管的栅极电连接该反相时钟信号输入端,其源极电连接该输出端,其漏极电连接该低电平输入端。

[0017] 一种液晶显示装置,其包括一液晶显示面板、一数据驱动电路及一扫描驱动电路,该数据驱动电路为该液晶显示面板提供数据信号,该扫描驱动电路为该液晶显示面板提供扫描信号,该数据驱动电路及该扫描驱动电路分别包括一移位寄存器以控制数据信号与扫描信号的输出时序。该移位寄存器包括多个移位寄存单元,每一移位寄存单元均受外部电路的时钟信号、反相时钟信号、前一级移位寄存单元的输出信号及前一级移位寄存单元的反相输出信号控制,每一移位寄存单元包括一时钟信号输入端、一反相时钟信号输入端、一高电平输入端、一低电平输入端、一第一输入端、一第二输入端、一输出端、一反相输出端、一上拉电路、一下拉电路、一第一输出电路、一第二输出电路及一反相电路,该时钟信号输入端接收外部电路的时钟信号,该反相时钟信号输入端接收外部电路的反相时钟信号,该高电平输入端接收外部电路的高电平信号,该低电平输入端接收外部电路的低电平信号,该上拉电路、下拉电路及该第一输出电路具有一公共节点,该上拉电路为该公共节点提供高电平信号,该下拉电路为该公共节点提供低电平信号,该第一输出电路在该公共节点的控制下输出时钟信号,该第二输出电路在该反相时钟信号的控制下输出低电平信号,该反相电路将第一或第二输出电路的输出信号反相后输出,该上拉电路包括一第一晶体管,该第一晶体管的栅极电连接该第一输入端,其源极电连接该高电平输入端,其漏极电连接该公共节点,该下拉电路包括一第二晶体管、一第三晶体管及一第四晶体管,该第二晶体管的栅极电连接该第二输入端,其源极电连接该公共节点,其漏极电连接该第三晶体管的源极,该第三晶体管的栅极电连接该第四晶体管的源极,其漏极电连接该低电平输入端,该第四晶体管的栅极电连接该公共节点,其漏极电连接该反相时钟信号输入端,该第一输出电路包括一第五晶体管,该第五晶体管的栅极电连接该公共节点,其源极电连接该时钟信号输入端,其漏极电连接该输出端,该第二输出电路包括一第六晶体管,该第六晶体管的栅极电连接该反相时钟信号输入端,其源极电连接该输出端,其漏极电连接该低电平输入端。

[0018] 与现有技术相比,本发明移位寄存器的每一移位寄存单元由六颗晶体管构成,且

没有复杂的绕线,故该移位寄存器的电路结构简单,从而可避免不必要噪声干扰发生。同时,因晶体管数量较少,在生产中的错误机率也相应较低,从而可以提高产品的良率。

[0019] 与现有技术相比,本发明液晶显示装置的移位寄存器的每一移位寄存单元由六颗晶体管构成,且没有复杂的绕线,故该移位寄存器的电路结构简单,从而可避免不必要噪声干扰发生。使用该移位寄存器的扫描驱动电路及数据驱动电路在进行行扫描或列扫描时,其各输出信号间也不会产生信号干扰,从而提高了该液晶显示装置的显示效果。

附图说明

[0020] 图 1 是一种现有技术移位寄存单元的电路示意图。

[0021] 图 2 是图 1 中移位寄存单元所在移位寄存器的时序示意图。

[0022] 图 3 是本发明移位寄存器较佳实施方式的结构示意图。

[0023] 图 4 是图 3 的移位寄存单元的电路示意图。

[0024] 图 5 是图 1 中移位寄存器的时序示意图。

[0025] 图 6 是本发明液晶显示装置较佳实施方式的结构示意图。

具体实施方式

[0026] 请参阅图 3,其是本发明移位寄存器较佳实施方式的结构示意图。该移位寄存器 20 包括多个结构相同的移位寄存单元 200,该多个移位寄存单元 200 依次串联。每一移位寄存单元 200 包括一时钟信号输入端 TS、一反相时钟信号输入端 TSB、一第一输入端 VIN1、一第二输入端 VIN2、一输出端 VOUT、一反相输出端 VOUTB、一高电平输入端 VH 及一低电平输入端 VL。每一移位寄存单元 200 的时钟信号输入端 TS 接收外部电路(图未示)的时钟输入信号 CK,其反相时钟信号输入端 TSB 接收外部电路(图未示)的反相时钟输入信号 CKB,其高电平输入端 VH 接收外部电路(图未示)的高电平信号 VDD,其低电平输入端 VL 接收外部电路(图未示)的低电平信号 VSS。其第一输入端 VIN1 电连接至前一级移位寄存单元 200 的输出端 VOUT,其第二输入端 VIN2 电连接前一级移位寄存单元 200 的反相输出端 VOUTB,其输出端 VOUT 电连接至后一级移位寄存单元 200 的第一输入端 VIN1,其反相输出端 VOUTB 电连接至后一级移位寄存单元 200 的第二输入端 VIN2。即前一级移位寄存单元 200 的输出信号为后一级移位寄存单元 200 的第一输入信号,前一级移位寄存单元 200 的反相输出信号为后一级移位寄存单元 200 的第二输入信号,且每一移位寄存单元 200 同时由外部电路的时钟信号 CK、反相时钟信号 CKB、高电平信号 VDD 及低电平信号 VSS 控制。

[0027] 请参阅图 4,其是图 3 的移位寄存单元的电路示意图。该移位寄存单元 200 包括一上拉电路 31、一下拉电路 32、一第一输出电路 33、一第二输出电路 34、一缓冲器 35 及一反相器 36,该缓冲器 35 是由二反相器串接而成,主要用于保持该移位寄存单元 200 的输出波形,避免输出波形失真。该上拉电路 31、下拉电路 32 及该第一输出电路 33 具有一公共节点 P,该上拉电路 31 为该公共节点 P 提供高电平信号,该下拉电路 32 为该公共节点 P 提供低电平信号。该上拉电路 31 受该第一输入端 VIN1 控制,该下拉电路 32 受该第二输入端 VIN2 及该公共节点 P 控制。该第一输出电路 33 在该公共节点 P 的控制下输出时钟信号 CK 至该缓冲器 35,该第二输出电路 34 在该反相时钟信号 CKB 的控制下输出低电平信号 VSS 至该缓冲器,该缓冲器将接收的时钟信号 CK 或低电平信号 VSS 传送至该输出端 VOUT。该反相

器 36 将输出端 VOUT 的信号反相后输入至该反相输出端 VOUTB。

[0028] 该上拉电路 31 包括一第一晶体管 M1, 该第一晶体管 M1 是 NMOS 型晶体管。该第一晶体管 M1 的栅极电连接该第一输入端 VIN1, 其源极电连接该高电平输入端 VH, 其漏极电连接该公共节点 P。

[0029] 该下拉电路 32 包括一第二晶体管 M2、一第三晶体管 M3 及一第四晶体管 M4, 该第二、第三、第四晶体管 M2、M3、M4 均是 NMOS 型晶体管。该第二晶体管 M2 的栅极电连接该第二输入端 VIN2, 其源极电连接该公共节点 P, 其漏极电连接该第三晶体管 M3 的源极。该第三晶体管 M3 的栅极电连接该第四晶体管 M4 的源极, 其漏极电连接该低电平输入端 VL。该第四晶体管 M4 的栅极电连接该公共节点 P, 其漏极电连接该反相时钟信号输入端 TSB。

[0030] 该第一输出电路 33 包括一第五晶体管 M5, 该第五晶体管 M5 是 NMOS 型晶体管。该第五晶体管 M5 的栅极电连接该公共节点 P, 其源极电连接该时钟信号输入端 TS, 其漏极电连接该缓冲器 35。

[0031] 该第二输出电路 34 包括一第六晶体管 M6, 该第六晶体管 M6 是 NMOS 型晶体管。该第六晶体管 M6 的栅极电连接该反相时钟信号输入端 TSB, 其源极电连接该缓冲器, 其漏极电连接该低电平输入端 VL。

[0032] 请一并参阅图 5, 其是图 3 中移位寄存器 20 的时序示意图。用 n 表示某一级移位寄存单元 200, 则其前一级用 n-1 表示。

[0033] 在 T1 时间内, 对于第 n 级移位寄存单元 200, 第一输入端 VIN1 接收第 n-1 级输出信号 V01 为高电平, 则第一晶体管 M1 导通, 该公共节点 P 被上拉为高电平。该第二输入端 VIN2 接收第 n-1 级反相输出信号 $\overline{V01}$ 为低电平, 则该第二晶体管 M2 截止。因该公共节点 P 为高电平, 则第五晶体管 M5 导通。此时该反相时钟信号为高电平, 则第六晶体管 M6 导通。此时该时钟信号 CK 为低电平, 故该缓冲器 35 接收到的信号为低电平, 该输出端 VOUT 的输出信号 V02 为低电平。

[0034] 在 T2 时间内, 对于第 n 级移位寄存单元 200, 第一输入端 VIN1 接收第 n-1 级输出信号 V01 为低电平, 则第一晶体管 M1 截止, 该公共节点 P 继续保持为高电平。第二输入端 VIN2 接收第 n-1 级反相输出信号 $\overline{V01}$ 为高电平, 则该第二晶体管 M2 导通。因该公共节点 P 为高电平, 则第五晶体管 M5 导通。因该公共节点 P 为高电平, 则第四晶体管 M4 导通, 反相时钟信号 CKB 通过该第四晶体管 M4 控制该第三晶体管 M3, 此时该反相时钟信号 CKB 为低电平, 则第三晶体管 M3 截止, 该第六晶体管 M6 也截止。时钟信号 CK 分别通过该第五晶体管 M5 输入至该缓冲器 35, 此时该时钟信号 CK 为高电平, 故输出端 VOUT 的输出信号 V02 为高电平。

[0035] 在 T3 时间内, 对于第 n 级移位寄存单元 200, 第一输入端 VIN1 接收第 n-1 级输出信号 V01 为低电平, 则第一晶体管 M1 截止, 该公共节点 P 继续保持为高电平。第二输入端 VIN2 接收第 n-1 级反相输出信号 $\overline{V01}$ 为高电平, 则该第二晶体管 M2 导通。因该公共节点 P 为高电平, 则第四晶体管 M4 导通, 反相时钟信号 CKB 通过该第四晶体管 M4 控制该第三晶体管 M3, 此时该反相时钟信号 CKB 为高电平, 则第三晶体管 M3 导通, 公共节点 P 被下拉为低电平, 则第五晶体管 M5 截止。因为此时该反相时钟信号 CKB 为高电平, 则第六晶体管 M6 导通, 低电平信号通过该第六晶体管 M6 输入至该缓冲器 35, 故输出端 VOUT 的输出信号 V02 为低电平。

[0036] 在 T4 时间内,对于第 n 级移位寄存单元 200,第一输入端 VIN1 接收第 n-1 级输出信号 V01 为低电平,则第一晶体管 M1 截止,该公共节点 P 继续保持为低电平,则第四晶体管 M4 截止、第五晶体管 M5 截止。此时该反相时钟信号 CKB 为低电平,则第六晶体管 M6 截止,故输出端 VOUT 的输出信号 V02 保持为低电平。

[0037] 与现有技术相比,本发明移位寄存器 20 的每一移位寄存单元 200 由六颗晶体管构成,且没有复杂的绕线,故该移位寄存器 20 的电路结构简单,从而可避免不必要噪声干扰发生。同时,因晶体管数量较少,在生产中的错误机率也相应较低,从而可以提高产品的良率。

[0038] 每一移位寄存单元 200 的反相器 36 也可用一反相电路代替。

[0039] 该移位寄存器 20 可用于液晶显示装置以及其它数字电子产品中。请参阅图 6,其是一采用上述移位寄存器的液晶显示装置的结构示意图。该液晶显示装置 2 包括一液晶显示面板 21、一数据驱动电路 22 及一扫描驱动电路 23,该数据驱动电路 22 及该扫描驱动电路 23 分别藉由多个数据线与多个扫描线与该液晶显示面板 21 连接。该液晶显示面板 21 包括一上基板(图未示)、一下基板(图未示)及一夹持于上基板与下基板间的液晶层(图未示),且于该下基板邻近液晶层一侧设置有一用于控制液晶分子扭转状态的薄膜晶体管数组(图未示)。该数据驱动电路 22 及该扫描驱动电路 23 分别包括一上述移位寄存器 20。该扫描驱动电路 23 在该移位寄存器 20 的控制下依序输出高电平信号至该多个扫描线,以逐列控制该薄膜晶体管矩阵的导通与关断状态。该数据驱动电路 22 依序输出数据信号至该液晶显示面板 21,以控制其显示画面变化。该扫描驱动电路 23 及该数据驱动电路 22 皆利用该移位寄存器 20 控制扫描信号与数据信号的输出时序,从而实现画面显示。

[0040] 由于该移位寄存器 20 的电路结构较简单,因此可避免不必要噪声干扰发生。使用该移位寄存器 20 的扫描驱动电路 23 及数据驱动电路 22 在进行行扫描或列扫描时,其各输出信号间也不会产生信号干扰,从而提高了该液晶显示装置 2 的显示效果。

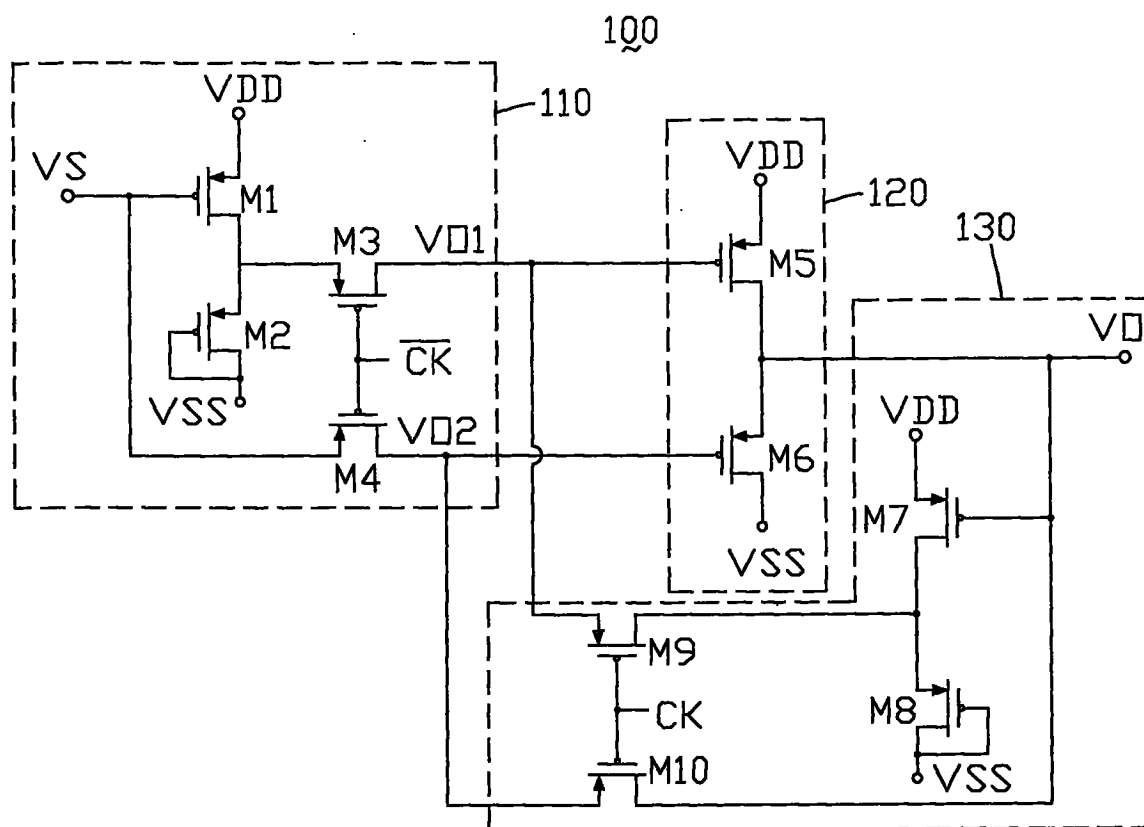


图 1

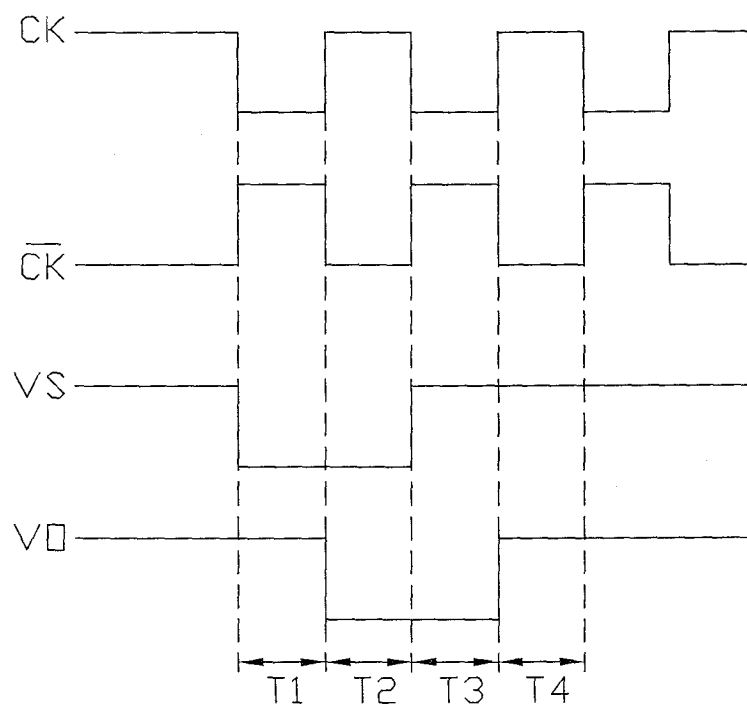


图 2

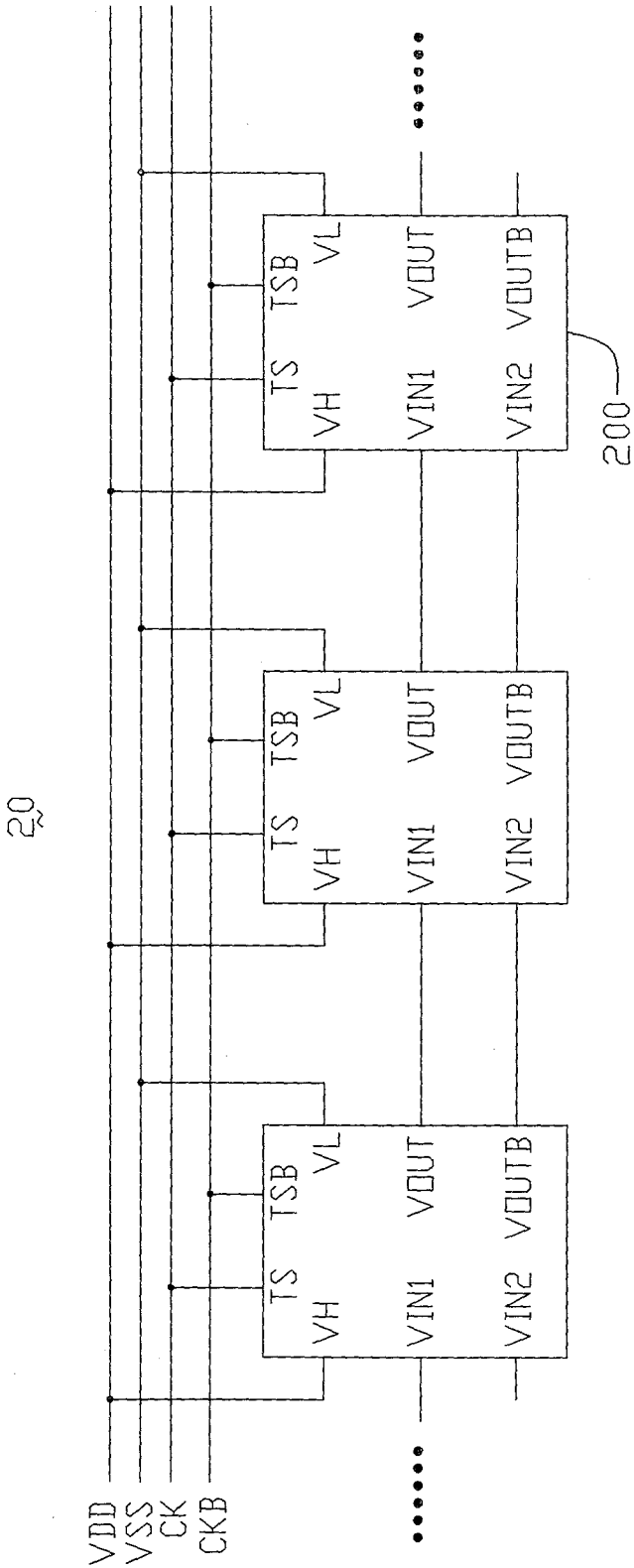


图 3

200

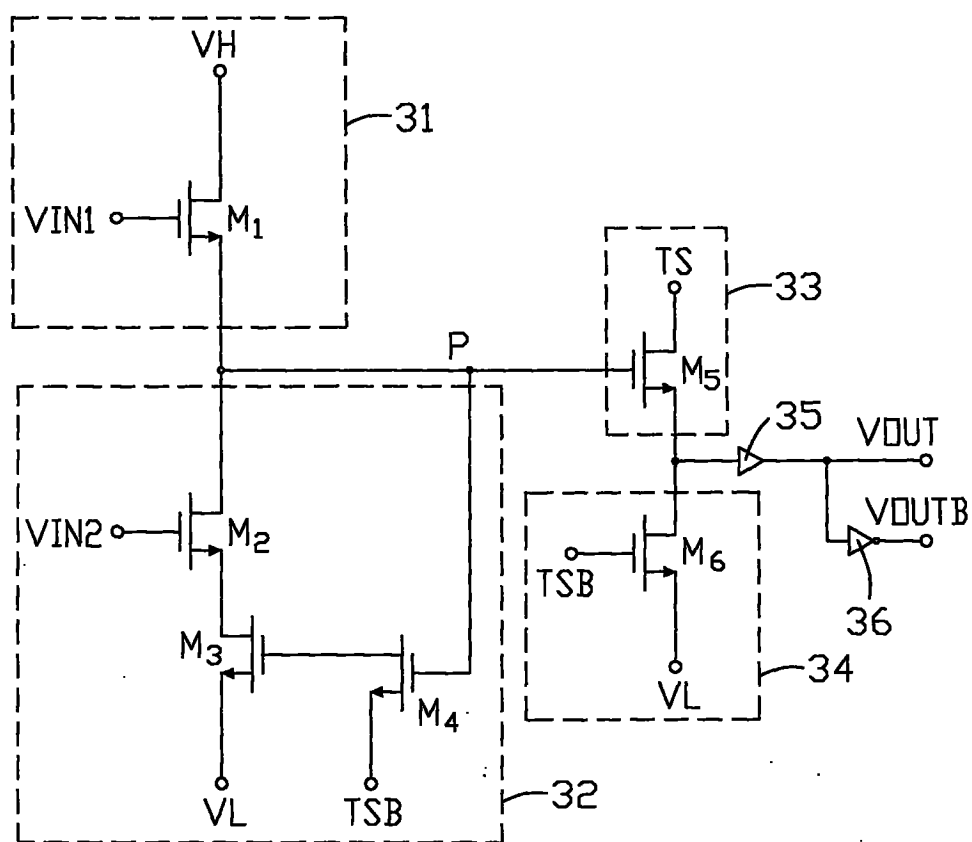


图 4

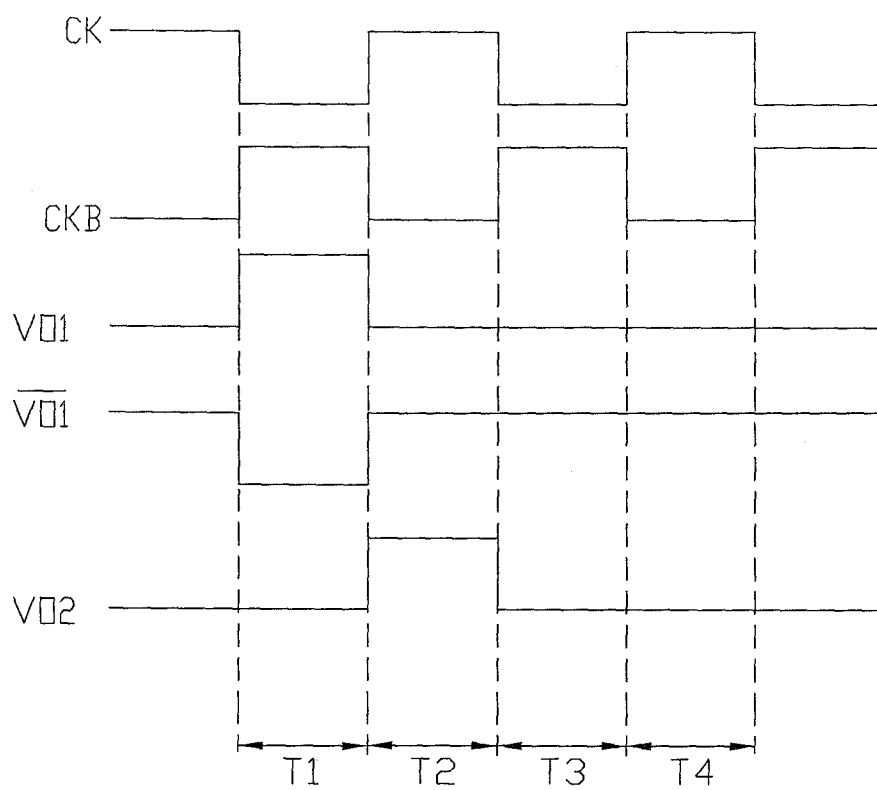


图 5

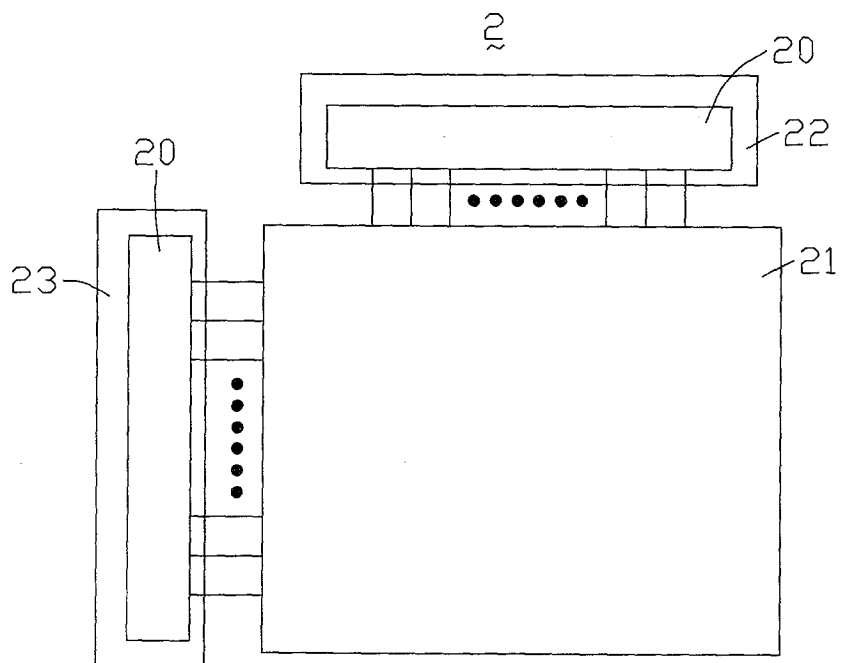


图 6

专利名称(译)	移位寄存器及液晶显示装置		
公开(公告)号	CN101241247B	公开(公告)日	2010-05-26
申请号	CN200710073259.9	申请日	2007-02-09
[标]申请(专利权)人(译)	群康科技(深圳)有限公司 群创光电股份有限公司		
申请(专利权)人(译)	群康科技(深圳)有限公司 群创光电股份有限公司		
当前申请(专利权)人(译)	群康科技(深圳)有限公司 群创光电股份有限公司		
[标]发明人	江建学 陈思孝		
发明人	江建学 陈思孝		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G11C19/28		
审查员(译)	刘时雄		
其他公开文献	CN101241247A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种移位寄存器及采用该移位寄存器的液晶显示装置。该液晶显示装置包括一液晶面板、一数据驱动电路及一扫描驱动电路。该数据驱动电路及该扫描驱动电路均包括一移位寄存器。每一移位寄存器包括多个移位寄存单元，每一移位寄存单元均受外部电路的时钟信号、反相时钟信号、前一级移位寄存单元的输出信号及前一级移位寄存单元的反相输出信号控制。每一移位寄存单元包括一上拉电路、一下拉电路、一第一输出电路、一第二输出电路及一反相电路。

