

[51] Int. Cl.
G02F 1/133 (2006.01)
G09G 3/36 (2006.01)



[21] 申请号 200710073259.9

[43] 公开日 2008 年 8 月 13 日

[11] 公开号 CN 101241247A

[22] 申请日 2007.2.9

[21] 申请号 200710073259.9

[71] 申请人 群康科技(深圳)有限公司

地址 518109 广东省深圳市宝安区龙华镇富士康科技工业园 E 区 4 栋 1 层

共同申请人 群创光电股份有限公司

[72] 发明人 江建学 陈思孝

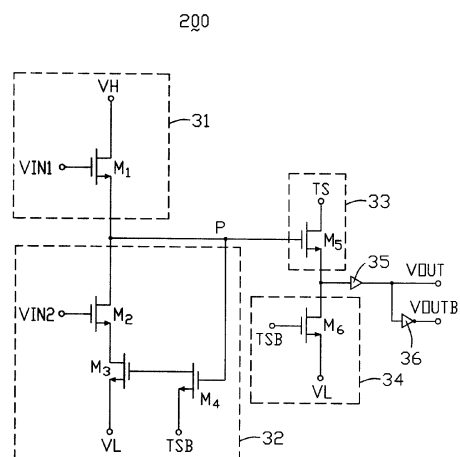
权利要求书 3 页 说明书 10 页 附图 4 页

[54] 发明名称

移位寄存器及液晶显示装置

[57] 摘要

本发明涉及一种移位寄存器及采用该移位寄存器的液晶显示装置。该液晶显示装置包括一液晶面板、一数据驱动电路及一扫描驱动电路。该数据驱动电路及该扫描驱动电路均包括一移位寄存器。每一移位寄存器包括多个移位寄存单元，每一移位寄存单元均受外部电路的时钟信号、反相时钟信号、前一级移位寄存单元的输出信号及前一级移位寄存单元的反相输出信号控制。每一移位寄存单元包括一上拉电路、一下拉电路、一第一输出电路、一第二输出电路及一反相电路。



1.一种移位寄存器,其包括多个移位寄存单元,其特征在于:每一移位寄存单元均受外部电路的时钟信号、反相时钟信号、前一级移位寄存单元的输出信号及前一级移位寄存单元的反相输出信号控制,每一移位寄存单元包括一上拉电路、一下拉电路、一第一输出电路、一第二输出电路及一反相电路,该上拉电路、下拉电路及该第一输出电路具有一公共节点,该上拉电路为该公共节点提供高电平信号,该下拉电路为该公共节点提供低电平信号,该第一输出电路在该公共节点的控制下输出时钟信号,该第二输出电路在该反相时钟信号的控制下输出低电平信号,该反相电路将第一或第二输出电路的输出信号反相后输出。

2.如权利要求1所述的移位寄存器,其特征在于:每一移位寄存单元包括一时钟信号输入端、一反相时钟信号输入端、一高电平输入端、一低电平输入端、一第一输入端、一第二输入端、一输出端及一反相输出端,该时钟信号输入端接收外部电路的时钟信号,该反相时钟信号输入端接收外部电路的反相时钟信号,该高电平输入端接收外部电路的高电平信号,该低电平输入端接收外部电路的低电平信号,该第一输入端电连接至前一级移位寄存单元的输出端,该第二输入端电连接至前一级移位寄存单元的反相输出端,该输出端电连接至后一级移位寄存单元的第一输入端,该反相输出端电连接至后一级移位寄存单元的第二输入端,该上拉电路受该第一输入端控制,该下拉电路受该第二输入端及该公共节点控制。

3.如权利要求2所述的移位寄存器,其特征在于:该上拉电路包括一第一晶体管,该第一晶体管的栅极电连接该第一输入端,其源极电连接该高电平输入端,其漏极电连接该公共节点。

4.如权利要求3所述的移位寄存器,其特征在于:该下拉电路包括一第二晶体管、一第三晶体管及一第四晶体管,该第二晶体管的栅极电连接该第二输入端,其源极电连接该公共节点,

其漏极电连接该第三晶体管的源极，该第三晶体管的栅极电连接该第四晶体管的源极，其漏极电连接该低电平输入端，该第四晶体管的栅极电连接该公共节点，其漏极电连接该反相时钟信号输入端。

5.如权利要求4所述的移位寄存器，其特征在于：该第一输出电路包括一第五晶体管，该第五晶体管的栅极电连接该公共节点，其源极电连接该时钟信号输入端，其漏极电连接该输出端。

6如权利要求5所述的移位寄存器，其特征在于：该第二输出电路包括一第六晶体管，该第六晶体管的栅极电连接该反相时钟信号输入端，其源极电连接该输出端，其漏极电连接该低电平输入端。

7.如权利要求6所述的移位寄存器，其特征在于：该第一至第六晶体管均是NMOS型晶体管。

8.如权利要求6所述的移位寄存器，其特征在于：该反相电路是一反相器。

9.如权利要求6所述的移位寄存器，其特征在于：该移位寄存器还包括一缓冲器，该缓冲器串接在该第五晶体管的漏极与该输出端之间。

10.一种液晶显示装置，其包括一液晶显示面板、一数据驱动电路及一扫描驱动电路，该数据驱动电路为该液晶显示面板提供数据信号，该扫描驱动电路为该液晶显示面板提供扫描信号，该数据驱动电路及该扫描驱动电路分别包括一移位寄存器以控制数据信号与扫描信号的输出时序，该移位寄存器包括多个移位寄存单元，其特征在于：每一移位寄存单元均受外部电路的时钟信号、反相时钟信号、前一级移位寄存单元的输出信号及前一级移位寄存单元的反相输出信号控制，每一移位寄存单元包括一上拉电路、一下拉电路、一第一输出电路、一第二输出电路及一反相电路，该上拉电路、下拉电路及该第一输出电路具有一公共节点，该上拉电路为该公共节点提供高电平信

号，该下拉电路为该公共节点提供低电平信号，该第一输出电路在该公共节点的控制下输出时钟信号，该第二输出电路在该反相时钟信号的控制下输出低电平信号，该反相电路将第一或第二输出电路的输出信号反相后输出。

移位寄存器及液晶显示装置

技术领域

本发明涉及一种移位寄存器及采用该移位寄存器的液晶显示装置。

背景技术

目前薄膜晶体管(Thin Film Transistor, TFT)液晶显示装置已逐渐成为各种数字产品的标准输出设备,在制造过程中,需要设计适当的驱动电路以保证其稳定工作。

通常,液晶显示装置的驱动电路包括一数据驱动电路及一扫描驱动电路。数据驱动电路用于控制每一像素单元的显示亮度,扫描驱动电路则用于控制薄膜晶体管的导通与截止。该二驱动电路均应用移位寄存器作为核心电路单元。通常,移位寄存器是由多个移位寄存单元串联而成,并且前一移位寄存单元的输出信号为后一移位寄存单元的输入信号。

请参阅图1,其是一种现有技术移位寄存器的移位寄存单元的电路图。该移位寄存单元100包括一第一时钟反相电路110、一换流电路120及一第二时钟反相电路130。该移位寄存单元100的各电路均由PMOS(P-channel Metal-Oxide Semiconductor, P沟道金属氧化物半导体)型晶体管组成,每一PMOS型晶体管均包括一栅极、一源极及一漏极。

该第一时钟反相电路110包括一第一晶体管M1、一第二晶体管M2、一第三晶体管M3、一第四晶体管M4、一第一输出端VO1及一第二输出端VO2。该第一晶体管M1的栅极接收该移位寄存单元100的前一移位寄存单元的输出信号VS,其源极接收来自外部电路的高电平信号VDD,其漏极连接至该第二晶体管M2的源极。该第二晶体管M2的栅极及其漏极接

收来自外部电路的低电平信号VSS。该第三晶体管M3及该第四晶体管M4的栅极均接收来自外部电路的反相时钟信号 $\overline{\text{CK}}$ ，两者的漏极分别作为该第一时钟反相电路110的第一输出端VO1及第二输出端VO2，且该第三晶体管M3的源极连接至该第一晶体管M1的漏极，该第四晶体管M4的源极连接至该第一晶体管M1的栅极。

该换流电路120包括一第五晶体管M5、一第六晶体管M6及一信号输出端VO。该第五晶体管M5的栅极连接至该第一输出端VO1，其源极接收来自外部电路的高电平信号VDD，其漏极连接至该第六晶体管M6的源极。该第六晶体管M6的栅极连接至该第二输出端VO2，其漏极接收来自外部电路的低电平信号VSS，其源极是该移位寄存单元100的信号输出端VO。

该第二时钟反相电路130包括一第七晶体管M7、一第八晶体管M8、一第九晶体管M9及一第十晶体管M10。该第七晶体管M7的栅极连接至该信号输出端VO，其源极接收来自外部电路的高电平信号VDD，其漏极连接至该第八晶体管M8的源极。该第八晶体管M8的栅极及其漏极均接收来自外部电路的低电平信号VSS。该第九晶体管M9的源极连接至该第一输出端VO1，其栅极接收来自外部电路的时钟信号CK，其漏极连接至该第七晶体管M7的漏极。该第十晶体管的栅极接收外部电路的时钟信号CK，其源极连接至该第二输出端VO2，其漏极连接至该信号输出端VO。

请一并参阅图2，其是该移位寄存单元100的工作时序图。在T1时间内，该前一移位寄存单元的输出信号VS由高电平跳变为低电平，反相时钟信号 $\overline{\text{CK}}$ 由低电平跳变为高电平，则使该第三晶体管M3及该第四晶体管M4截止，进而使该第一时钟反相电路110断开。而该时钟信号CK由高电平跳变为低电平，使该第九晶体管M9及该第十晶体管M10导通，进而使该第二时钟反相电路130导通，而该信号输出端VO初始状

态的高电平经该第十晶体管M10, 使该第六晶体管M6截止, 而该第八晶体管M8输出的低电平经由该第九晶体管M9, 使该第五晶体管M5导通, 进而使其源极的高电平信号VDD输出至该信号输出端VO, 故该信号输出端VO保持高电平输出。

在T2时间内, 该反相时钟信号 $\overline{CK}$ 由高电平跳变为低电平, 则使该第三晶体管M3及该第四晶体管M4导通, 进而使该第一时钟反相电路110导通。而该时钟信号CK由低电平跳变为高电平, 则使该第九晶体管M9及该第十晶体管M10截止, 进而使该第二时钟反相电路130断开。该输入信号VS由高电平跳变为低电平, 则使该第一晶体管M1导通, 其源极的高电平VDD经该第三晶体管M3截止该第五晶体管M5, 且该输入信号VS的低电平经该第四晶体管M4导通该第六晶体管M6, 使该信号输出端VO输出低电平。

在T3时间内, 该反相时钟信号 $\overline{CK}$ 由低电平跳变为高电平, 则使该第三晶体管M3及该第四晶体管M4截止, 进而使该第一时钟反相电路110断开。而该时钟信号CK由高电平跳变为低电平, 使该第九晶体管M9及该第十晶体管M10导通, 进而使该第二时钟反相电路130导通。该信号输出端VO的低电平导通该第七晶体管M7, 其源极的高电平经该第九晶体管M9截止该第五晶体管M5。同时, 该信号输出端VO的低电平也经该第十晶体管M10导通该第六晶体管M6, 该第六晶体管M6的漏极低电平使该信号输出端VO保持低电平输出。

在T4时间内, 该反相时钟信号 $\overline{CK}$ 由高电平跳变为低电平, 则使该第三晶体管M3及该第四晶体管M4导通, 进而使该第一时钟反相电路110导通。而该时钟信号CK由低电平跳变为高电平, 使该第九晶体管M9及该第十晶体管M10截止, 进而使该第二时钟反相电路120断开。输入信号VS的高电平经该第四晶体管M4截止该第六晶体管M6, 而该第二晶体管M2的漏极低电平经该第三晶体管M3导通该第五晶体管M5, 使其源极的高电平输出至该信号输出端VO, 使该信号输出端

VO的输出由低电平跳变为高电平。

该移位寄存器的各移位寄存单元100所用晶体管数量较多，且各信号走线的绕线较复杂，因此该移位寄存器的电路结构较复杂。

另外，该移位寄存器可应用于液晶显示装置以及其它数字电子产品中。例如液晶显示装置的数据驱动电路或扫描驱动电路需要该移位寄存器实现列扫描或行扫描的功能。但是，该移位寄存器的电路结构较复杂，容易发生噪声干扰，故采用该移位寄存器作为数据驱动电路及扫描驱动电路的液晶显示装置在进行列扫描或行扫描时，各信号间也容易相互干扰。

发明内容

为了解决现有技术中移位寄存器电路结构复杂的问题，本发明提供一种电路结构较简单的移位寄存器。

同时也有必要提供一种可避免信号干扰的液晶显示装置。

一种移位寄存器，其包括多个移位寄存单元，每一移位寄存单元均受外部电路的时钟信号、反相时钟信号、前一级移位寄存单元的输出信号及前一级移位寄存单元的反相输出信号控制。每一移位寄存单元包括一上拉电路、一下拉电路、一第一输出电路、一第二输出电路及一反相电路，该上拉电路、下拉电路及该第一输出电路具有一公共节点，该上拉电路为该公共节点提供高电平信号，该下拉电路为该公共节点提供低电平信号。该第一输出电路在该公共节点的控制下输出时钟信号，该第二输出电路在该反相时钟信号的控制下输出低电平信号，该反相电路将第一或第二输出电路的输出信号反相后输出。

一种液晶显示装置，其包括一液晶显示面板、一数据驱动电路及一扫描驱动电路，该数据驱动电路为该液晶显示面

板提供数据信号，该扫描驱动电路为该液晶显示面板提供扫描信号，该数据驱动电路及该扫描驱动电路分别包括一移位寄存器以控制数据信号与扫描信号的输出时序。该移位寄存器包括多个移位寄存单元，每一移位寄存单元均受外部电路的时钟信号、反相时钟信号、前一级移位寄存单元的输出信号及前一级移位寄存单元的反相输出信号控制，每一移位寄存单元包括一上拉电路、一下拉电路、一第一输出电路、一第二输出电路及一反相电路。该上拉电路、下拉电路及该第一输出电路具有一公共节点，该上拉电路为该公共节点提供高电平信号，该下拉电路为该公共节点提供低电平信号，该第一输出电路在该公共节点的控制下输出时钟信号，该第二输出电路在该反相时钟信号的控制下输出低电平信号，该反相电路将第一或第二输出电路的输出信号反相后输出。

与现有技术相比，本发明移位寄存器的每一移位寄存单元由六颗晶体管构成，且没有复杂的绕线，故该移位寄存器的电路结构简单，从而可避免不必要噪声干扰发生。同时，因晶体管数量较少，在生产中的错误机率也相应较低，从而可以提高产品的良率。

与现有技术相比，本发明液晶显示装置的移位寄存器的每一移位寄存单元由六颗晶体管构成，且没有复杂的绕线，故该移位寄存器的电路结构简单，从而可避免不必要噪声干扰发生。使用该移位寄存器的扫描驱动电路及数据驱动电路在进行行扫描或列扫描时，其各输出信号间也不会产生信号干扰，从而提高了该液晶显示装置的显示效果。

附图说明

图1是一种现有技术移位寄存单元的电路示意图。

图2是图1中移位寄存单元所在移位寄存器的时序示意图。

图3是本发明移位寄存器较佳实施方式的结构示意图。

图4是图3的移位寄存单元的电路示意图。

图5是图1中移位寄存器的时序示意图。

图6是本发明液晶显示装置较佳实施方式的结构示意图。

具体实施方式

请参阅图3，其是本发明移位寄存器较佳实施方式的结构示意图。该移位寄存器20包括多个结构相同的移位寄存单元200，该多个移位寄存单元200依次串联。每一移位寄存单元200包括一时钟信号输入端TS、一反相时钟信号输入端TSB、一第一输入端VIN1、一第二输入端VIN2、一输出端VOUT、一反相输出端VOUTB、一高电平输入端VH及一低电平输入端VL。每一移位寄存单元200的时钟信号输入端TS接收外部电路(图未示)的时钟输入信号CK，其反相时钟信号输入端TSB接收外部电路(图未示)的反相时钟输入信号CKB，其高电平输入端VH接收外部电路(图未示)的高电平信号VDD，其低电平输入端VL接收外部电路(图未示)的低电平信号VSS。其第一输入端VIN1电连接至前一级移位寄存单元200的输出端VOUT，其第二输入端VIN2电连接前一级移位寄存单元200的反相输出端VOUTB，其输出端VOUT电连接至后一级移位寄存单元200的第一输入端VIN1，其反相输出端VOUTB电连接至后一级移位寄存单元200的第二输入端VIN2。即前一级移位寄存单元200的输出信号为后一级移位寄存单元200的第一输入信号，前一级移位寄存单元200的反相输出信号为后一级移位寄存单元200的第二输入信号，且每一移位寄存单元200同时由外部电路的时钟信号CK、反相时钟信号CKB、高电平信号VDD及低电平信号VSS控制。

请参阅图4，其是图3的移位寄存单元的电路示意图。该移位寄存单元200包括一上拉电路31、一下拉电路32、一第一输出电路33、一第二输出电路34、一缓冲器35及一反相器

36, 该缓冲器35是由二反相器串接而成, 主要用于保持该移位寄存单元200的输出波形, 避免输出波形失真。该上拉电路31、下拉电路32及该第一输出电路33具有一公共节点P, 该上拉电路31为该公共节点P提供高电平信号, 该下拉电路32为该公共节点P提供低电平信号。该上拉电路31受该第一输入端VIN1控制, 该下拉电路32受该第二输入端VIN2及该公共节点P控制。该第一输出电路33在该公共节点P的控制下输出时钟信号CK至该缓冲器35, 该第二输出电路34在该反相时钟信号CKB的控制下输出低电平信号VSS至该缓冲器, 该缓冲器将接收的时钟信号CK或低电平信号VSS传送至该输出端VOUT。该反相器36将输出端VOUT的信号反相后输入至该反相输出端VOUTB。

该上拉电路31包括一第一晶体管M1, 该第一晶体管M1是NMOS型晶体管。该第一晶体管M1的栅极电连接该第一输入端VIN1, 其源极电连接该高电平输入端VH, 其漏极电连接该公共节点P。

该下拉电路32包括一第二晶体管M2、一第三晶体管M3及一第四晶体管M4, 该第二、第三、第四晶体管M2、M3、M4均是NMOS型晶体管。该第二晶体管M2的栅极电连接该第二输入端VIN2, 其源极电连接该公共节点P, 其漏极电连接该第三晶体管M3的源极。该第三晶体管M3的栅极电连接该第四晶体管M4的源极, 其漏极电连接该低电平输入端VL。该第四晶体管M4的栅极电连接该公共节点P, 其漏极电连接该反相时钟信号输入端TSB。

该第一输出电路33包括一第五晶体管M5, 该第五晶体管M5是NMOS型晶体管。该第五晶体管M5的栅极电连接该公共节点P, 其源极电连接该时钟信号输入端TS, 其漏极电连接该缓冲器35。

该第二输出电路34包括一第六晶体管M6, 该第六晶体管M6是NMOS型晶体管。该第六晶体管M6的栅极电连接该反相

时钟信号输入端TSB，其源极电连接该缓冲器，其漏极电连接该低电平输入端VL。

请一并参阅图5，其是图3中移位寄存器20的时序示意图。用n表示某一级移位寄存单元200，则其前一级用n-1表示。

在T1时间内，对于第n级移位寄存单元200，第一输入端VIN1接收第n-1级输出信号VO1为高电平，则第一晶体管M1导通，该公共节点P被上拉为高电平。该第二输入端VIN2接收第n-1级反相输出信号 $\overline{VO1}$ 为低电平，则该第二晶体管M2截止。因该公共节点P为高电平，则第五晶体管M5导通。此时该反相时钟信号为高电平，则第六晶体管M6导通。此时该时钟信号CK为低电平，故该缓冲器35接收到的信号为低电平，该输出端VOUT的输出信号VO2为低电平。

在T2时间内，对于第n级移位寄存单元200，第一输入端VIN1接收第n-1级输出信号VO1为低电平，则第一晶体管M1截止，该公共节点P继续保持为高电平。第二输入端VIN2接收第n-1级反相输出信号 $\overline{VO1}$ 为高电平，则该第二晶体管M2导通。因该公共节点P为高电平，则第五晶体管M5导通。因该公共节点P为高电平，则第四晶体管M4导通，反相时钟信号CKB通过该第四晶体管M4控制该第三晶体管M3，此时该反相时钟信号CKB为低电平，则第三晶体管M3截止，该第六晶体管M6也截止。时钟信号CK分别通过该第五晶体管M5输入至该缓冲器35，此时该时钟信号CK为高电平，故输出端VOUT的输出信号VO2为高电平。

在T3时间内，对于第n级移位寄存单元200，第一输入端VIN1接收第n-1级输出信号VO1为低电平，则第一晶体管M1截止，该公共节点P继续保持为高电平。第二输入端VIN2接收第n-1级反相输出信号 $\overline{VO1}$ 为高电平，则该第二晶体管M2导通。因该公共节点P为高电平，则第四晶体管M4导通，反相时钟信号CKB通过该第四晶体管M4控制该第三晶体管M3，此时该反相时钟信号CKB为高电平，则第三晶体管M3

导通，公共节点P被下拉为低电平，则第五晶体管M5截止。因为此时该反相时钟信号CKB为高电平，则第六晶体管M6导通，低电平信号通过该第六晶体管M6输入至该缓冲器35，故输出端VOUT的输出信号VO2为低电平。

在T4时间内，对于第n级移位寄存单元200，第一输入端VIN1接收第n-1级输出信号VO1为低电平，则第一晶体管M1截止，该公共节点P继续保持为低电平，则第四晶体管M4截止、第五晶体管M5截止。此时该反相时钟信号CKB为低电平，则第六晶体管M6截止，故输出端VOUT的输出信号VO2保持为低电平。

与现有技术相比，本发明移位寄存器20的每一移位寄存单元200由六颗晶体管构成，且没有复杂的绕线，故该移位寄存器20的电路结构简单，从而可避免不必要噪声干扰发生。同时，因晶体管数量较少，在生产中的错误机率也相应较低，从而可以提高产品的良率。

每一移位寄存单元200的反相器36也可用一反相电路代替。

该移位寄存器20可用于液晶显示装置以及其它数字电子产品中。请参阅图6，其是一采用上述移位寄存器的液晶显示装置的结构示意图。该液晶显示装置2包括一液晶显示面板21、一数据驱动电路22及一扫描驱动电路23，该数据驱动电路22及该扫描驱动电路23分别藉由多个数据线与多个扫描线与该液晶显示面板21连接。该液晶显示面板21包括一上基板(图未示)、一下基板(图未示)及一夹持于上基板与下基板间的液晶层(图未示)，且于该下基板邻近液晶层一侧设置有一用于控制液晶分子扭转状态的薄膜晶体管数组(图未示)。该数据驱动电路22及该扫描驱动电路23分别包括一上述移位寄存器20。该扫描驱动电路23在该移位寄存器20的控制下依序输出高电平信号至该多个扫描线，以逐列控制该薄膜晶体管矩阵的导通与关断状态。该数据驱动电路22依序输出

数据信号至该液晶显示面板21，以控制其显示画面变化。该扫描驱动电路23及该数据驱动电路22皆利用该移位寄存器20控制扫描信号与数据信号的输出时序，从而实现画面显示。

由于该移位寄存器20的电路结构较简单，因此可避免不必要噪声干扰发生。使用该移位寄存器20的扫描驱动电路23及数据驱动电路22在进行行扫描或列扫描时，其各输出信号间也不会产生信号干扰，从而提高了该液晶显示装置2的显示效果。

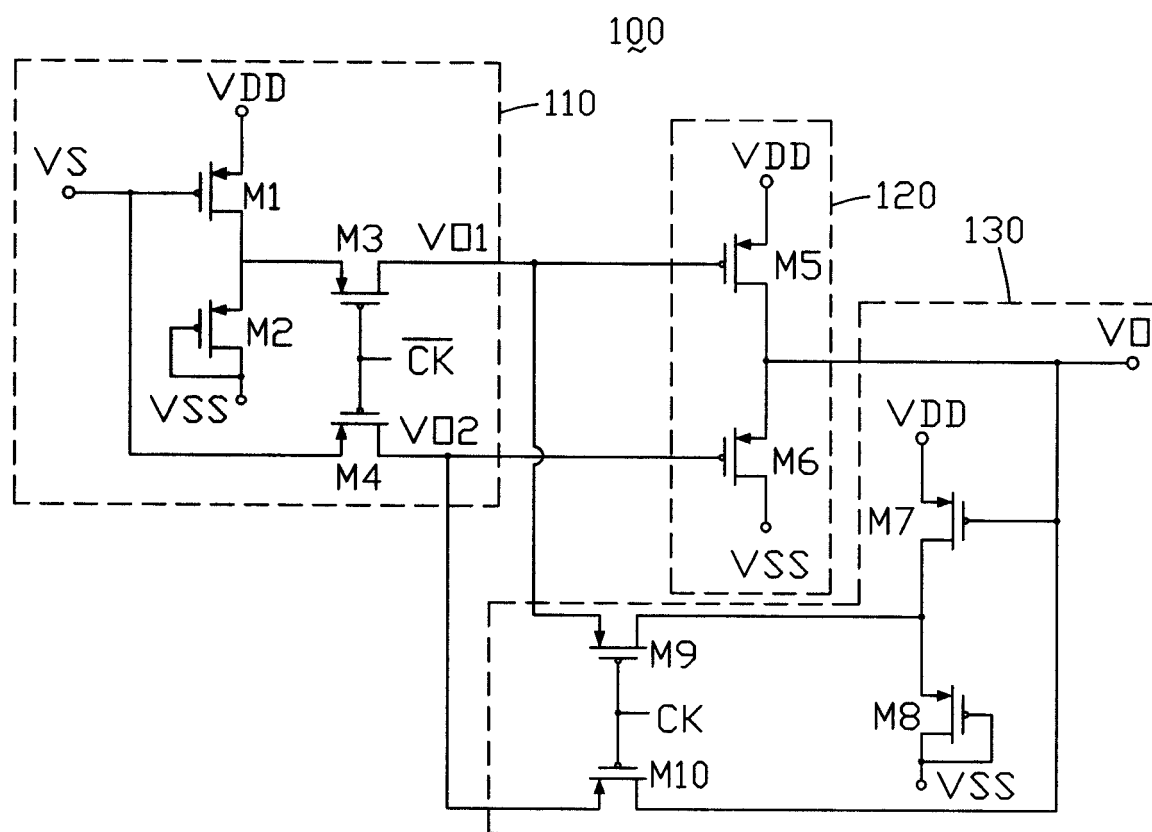


图 1

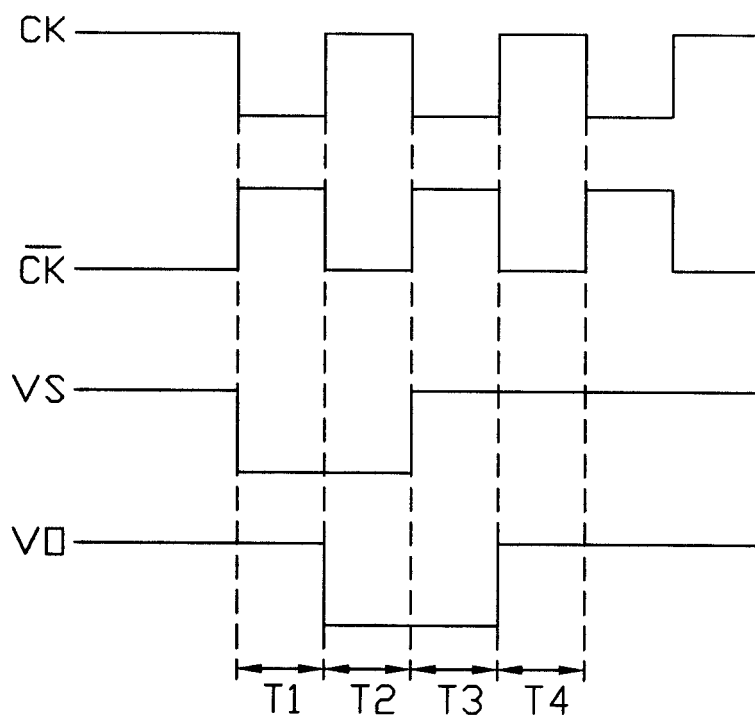


图 2

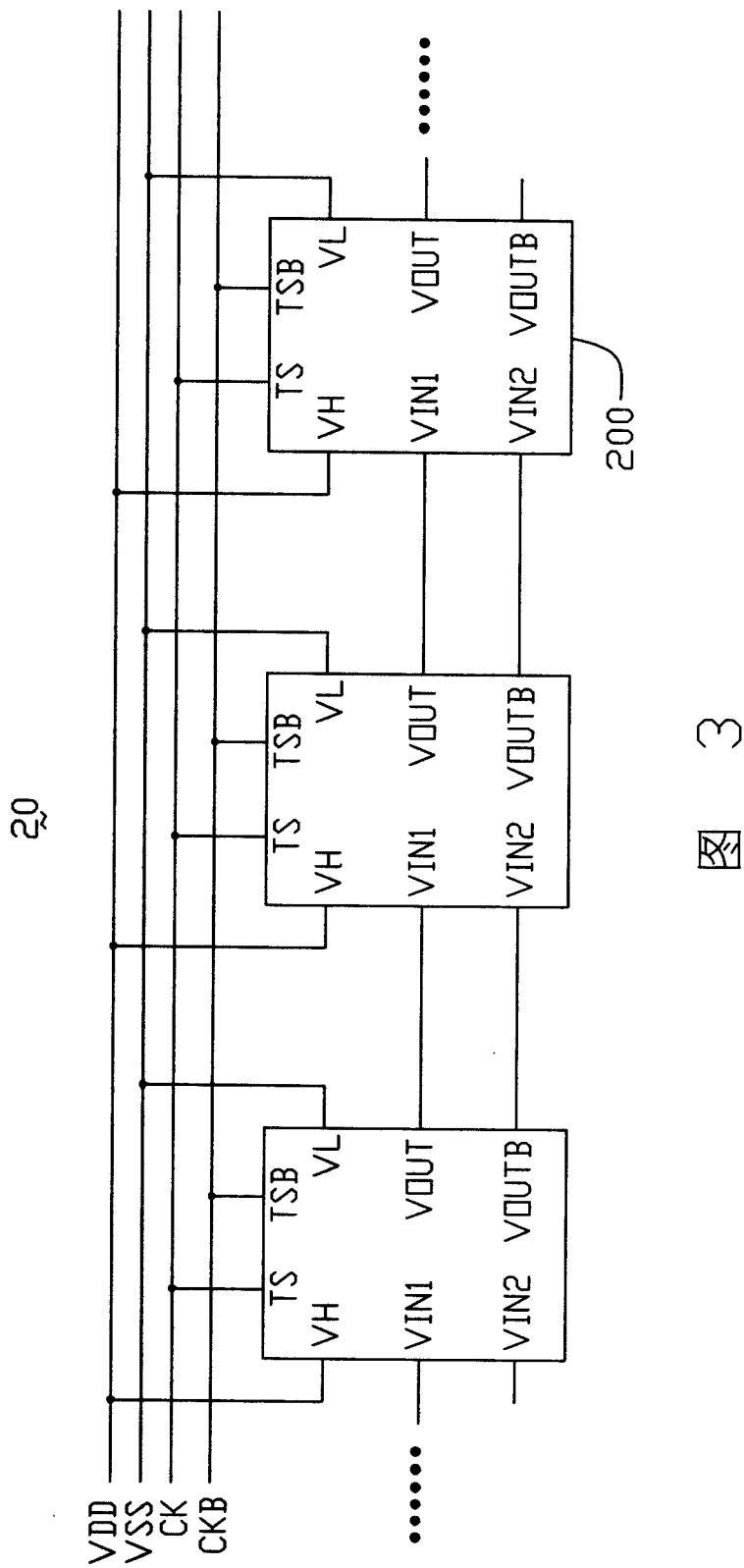


图 3

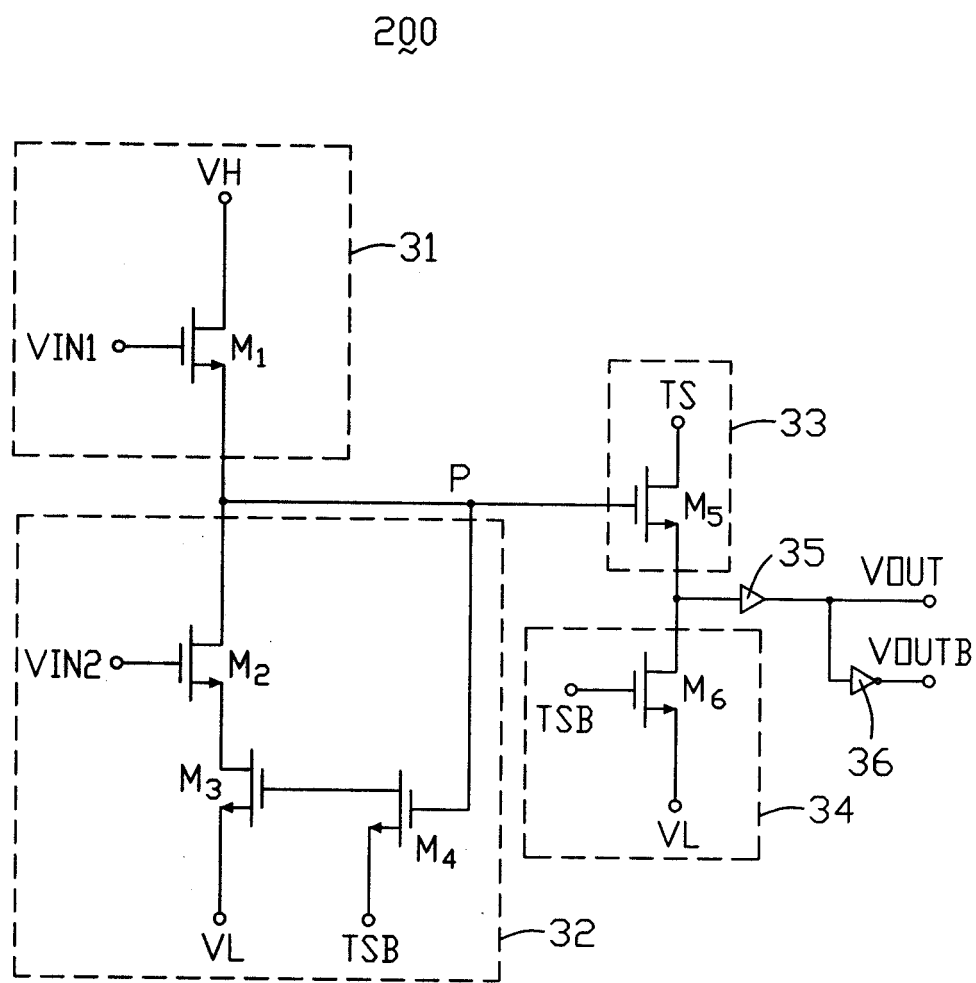


图 4

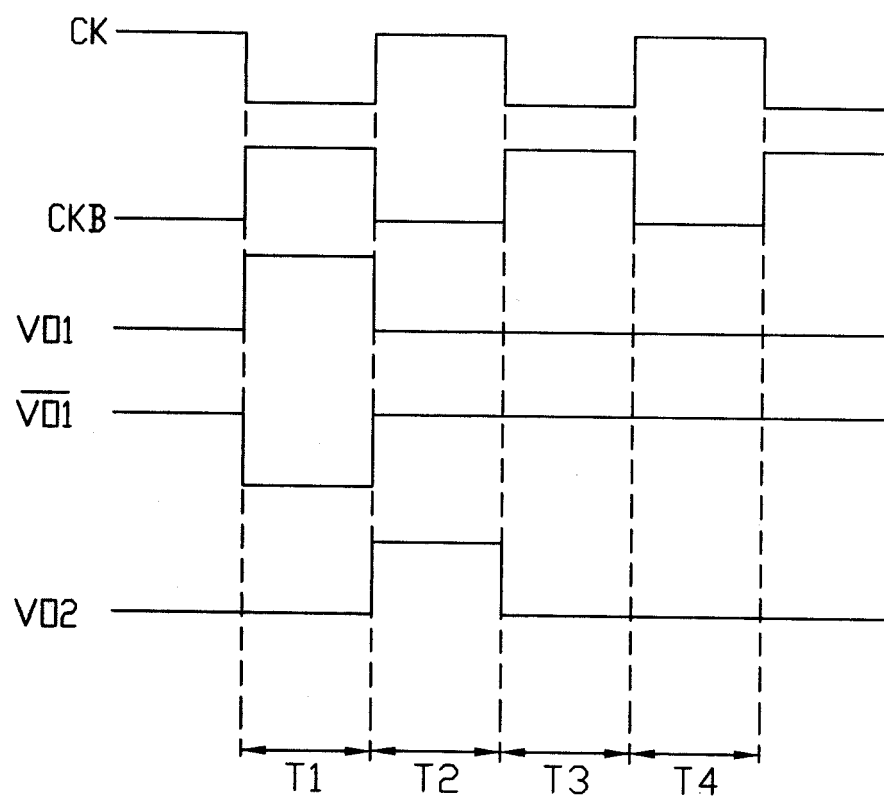


图 5

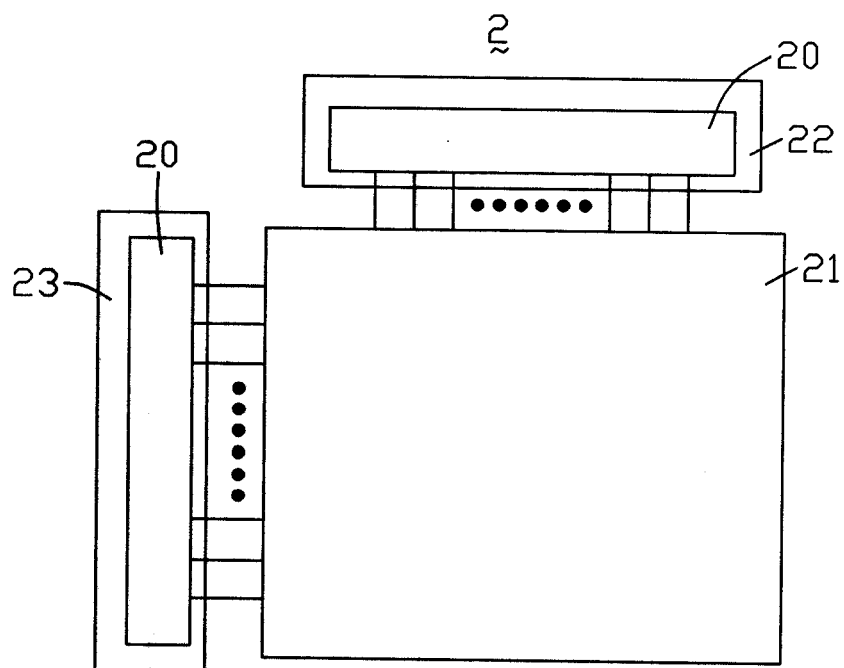


图 6

专利名称(译)	移位寄存器及液晶显示装置		
公开(公告)号	CN101241247A	公开(公告)日	2008-08-13
申请号	CN200710073259.9	申请日	2007-02-09
[标]申请(专利权)人(译)	群康科技(深圳)有限公司 群创光电股份有限公司		
申请(专利权)人(译)	群康科技(深圳)有限公司 群创光电股份有限公司		
当前申请(专利权)人(译)	群康科技(深圳)有限公司 群创光电股份有限公司		
[标]发明人	江建学 陈思孝		
发明人	江建学 陈思孝		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G11C19/28		
其他公开文献	CN101241247B		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种移位寄存器及采用该移位寄存器的液晶显示装置。该液晶显示装置包括一液晶面板、一数据驱动电路及一扫描驱动电路。该数据驱动电路及该扫描驱动电路均包括一移位寄存器。每一移位寄存器包括多个移位寄存单元，每一移位寄存单元均受外部电路的时钟信号、反相时钟信号、前一级移位寄存单元的输出信号及前一级移位寄存单元的反相输出信号控制。每一移位寄存单元包括一上拉电路、一下拉电路、一第一输出电路、一第二输出电路及一反相电路。

