

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)



[12] 发明专利说明书

专利号 ZL 200310118857.5

[45] 授权公告日 2008 年 3 月 19 日

[11] 授权公告号 CN 100375990C

[22] 申请日 2003.11.28

[21] 申请号 200310118857.5

[30] 优先权

[32] 2002.12.4 [33] KR [31] 76698/02

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金好影 金容燮

[56] 参考文献

US5757338A 1998.5.26

JP2001-285726A 2001.10.12

US20020172029A1 2002.11.21

CN1380741A 2002.11.20

US20020060672A1 2002.5.23

审查员 王超

[74] 专利代理机构 北京市柳沈律师事务所

代理人 吕晓章 马莹

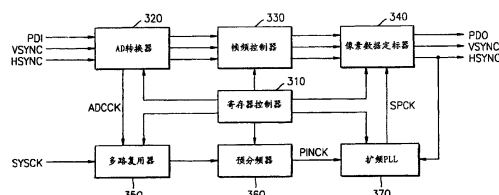
权利要求书 2 页 说明书 12 页 附图 7 页

[54] 发明名称

能够减少电磁干扰的液晶显示驱动定标器

[57] 摘要

一种能够减小电磁干扰的 LCD 驱动定标器利用扩频锁相环路(PLL)。在所述 PLL 中,多相压控振荡器响应从环路滤波器输出的电压而振荡,并输出定标器像素时钟信号和多个不同相位的振荡信号。当具有调整的帧频的水平同步信号被激发时,扩频处理器对参考像素时钟信号的时钟周期进行计数,并响应解码信号而顺序地输出多个振荡信号,所述解码信号每几个参考像素时钟信号周期的递增或递减。然后,将多个振荡信号输出到主分频器。所述主分频器通过多个振荡信号的频率分频来产生主分频器信号。将主分频器信号输入相频检测器。相频检测器检测预分频器信号和主分频器信号之间的相位差,并且输出相位差信号,因此定标器像素时钟信号的频率重复地变化。



1. 一种 LCD 驱动定标器, 包括:

寄存器控制器, 用于将控制信息存储在寄存器中;

模数转换器, 通过转换输入其中的模拟像素数据来产生与输入像素时钟信号同步的数字像素数据, 并且输出水平同步信号、垂直同步信号以及响应所述水平同步信号和所述垂直同步信号所产生的输入像素时钟信号;

帧频控制器, 用于将帧频调整得与液晶显示 (LCD) 板一致, 并且输出所述数字像素数据、所述水平同步信号和所述垂直同步信号;

像素数据定标器, 其响应所述数字像素数据、所述水平同步信号和所述垂直同步信号而产生定标器输出像素数据, 并且输出具有调整的帧频的水平同步信号和垂直同步信号, 所述定标器输出像素数据具有通过将所述数字像素数据定标成与定标器像素时钟信号同步的调整的帧频, 所述定标器像素时钟信号与 LCD 板一致;

多路复用器, 用于选择性地输出系统时钟信号和所述输入像素时钟信号;

预分频器, 用于分频多路复用器的输出信号的频率, 并且输出预分频器信号; 以及

扩频 PLL, 用于产生与表示所述预分频器信号和主分频器信号之间的相位差的信号相对应的定标器像素时钟信号、具有调整的帧频的水平同步信号、以及多个不同相位的振荡信号, 并且通过分频所述振荡信号的频率来产生主分频器信号, 所述振荡信号响应于解码信号而被顺序地选择。

2. 如权利要求 1 所述的 LCD 驱动定标器, 其中所述扩频 PLL 包括:

相频检测器, 用于检测所述预分频器信号和所述主分频器信号之间的相位差, 并且输出所述相位差信号;

电荷泵, 响应所述相位差信号来提供电流;

环路滤波器, 响应从所述电荷泵提供的电流, 而输出电压电平;

多相压控振荡器, 响应从所述环路滤波器输出的电压电平而振荡, 并输出所述定标器像素时钟信号和所述多个不同相位的振荡信号;

扩频处理器, 当具有调整的帧频的水平同步信号被激发时, 对参考像素时钟信号的时钟周期进行计数, 并且响应所述解码信号而输出多个振荡信号, 所述解码信号响应所述参考像素时钟信号的变化而增加或减小值; 以及

主分频器，通过分频所述多个振荡信号的频率而产生所述主分频器信号。

3. 如权利要求2所述的LCD驱动定标器，其中所述扩频处理器包括：

计数器，当具有调整的帧频的水平同步信号被激发时其被复位，对所述参考像素时钟信号达到高电平的次数进行计数，并且输出解码信号，所述解码信号每预定次数的所述参考像素时钟信号达到所述高电平时，增加或减小；

解码器，用于输出多个开关信号，其中响应于所述解码信号，所述多个开关信号顺序地将它们自己的相位从低逻辑状态转换为高逻辑状态；以及

多个开关，响应它们对应的开关信号而被激活，从而选择性地输出一个对应于接通的开关的振荡信号。

4. 如权利要求2所述的LCD驱动定标器，其中所述解码信号根据所述控制信息而改变，并且按照所述解码信号的变化来确定扩频调制过程中的调制率和调制频率。

5. 如权利要求3所述的LCD驱动定标器，其中具有调整的帧频的水平同步信号被输入到所述计数器，从而所述具有调整的帧频水平同步信号可以被调制得与扩频调制过程中的调制频率一致。

6. 如权利要求1所述的LCD驱动定标器，其中当所述系统时钟信号通过频率调制而被转换成所述预分频器信号时，得到扩频效果。

7. 如权利要求1所述的LCD驱动定标器，其中当所述输入像素时钟信号通过频率调制而被转换成所述预分频器信号时，得到扩频效果。

能够减少电磁干扰的液晶显示驱动定标器

本申请要求于 2002 年 12 月 4 日向韩国知识产权局申请的韩国专利申请第 2002-76698 号的优先权，在此全文引用作为参考。

技术领域

本发明涉及一种液晶显示器(LCD)，具体涉及一种能够减小电磁干扰的 LCD 驱动定标器。

背景技术

以高时钟频率工作的高速个人计算机(PCs)易受到电磁干扰(EMI)这个严重的问题的影响。诸如大尺寸的监视器或 LCD 的显示器件由于其高像素时钟频率，也具有与高速 PC 相同的问题。为此，对于减小 EMI 的方法，已经展开了各种各样的研究。

为了减小 EMI，可以应用金属屏蔽技术。或者，可以使用无源器件，例如多层印刷电路板、阻流圈或垫片。然而，通过反复的尝试和失败来减小 EMI，因此增加材料和制造成本以及开发产品所消耗的时间是不可避免的。

同时，日益增多的注意力已经集中在一种 EMI 减少方法：扩频调制方法。根据该扩频调制方法，调制一个输入时钟的频率，从而该时钟频率周期性地变化。

图 1A 和 1B 分别是显示在执行用于减少 EMI 的频率调制之前和之后的频谱图。

参考图 1A 和 1B，作为频率调制的结果，时钟的频谱在宽频带的频率上扩展，因此，时钟的最大幅度减小。通常，扩频时钟发生器(SSCG)被用来扩频调制，它是一种能够周期性地改变输入时钟的频率调制器。

有两种不同类型的扩频调制技术。一种方法是中心扩展技术，其中对时钟信号的频率进行调制，从而该时钟信号的频率在中心频率的向上和向下方向上改变相同的数量，另一种方法是下扩展技术，其中根据一个比中心频率低的频率来调制时钟信号的频率，从而可以阻止该时钟信号的频率超过中心

频率。

图 2 示出了一种中心扩展技术，通过该技术，可以通过频率调制来提供三角形调制轮廓。有各种各样的通过扩频调制技术提供的调制轮廓，例如三角形调制轮廓、正弦调制轮廓以及所谓的“Hershey-kiss”调制轮廓。下面，将以三角形调制轮廓为例，参考图 2 在下面段落中描述调制率和调制周期。

在图 2 中，调制率表示被调制的输出信号频率的变化的宽度，该被调制的输出信号是通过以扩频调制方法对输入时钟信号的频率进行调制而得到的，调制周期表示被调制的输出信号频率的变化周期。调制频率是调制周期的倒数。

具有 SXGA 分辨率或更高分辨率的 LCD 监视器也需要上述的使用扩频时钟发生器的扩频调制技术，因为具有高分辨率的 LCD 监视器使用大约 100MHz 的高频率系统时钟，这意味着 LCD 监视器的用户容易暴露在如此高频率电平的强电磁波下。

总体而言，扩频调制技术已经被应用到 LCD，在该扩频调制技术中通过使用扩频时钟发生器来对输入到定标器的输入系统时钟的频谱进行扩展。下面，将在多种使用扩频时钟发生器的常规扩频调制方法中，简要地描述在使用锁相环路(PLL)之前和之后使用扩频时钟发生器的两种扩频调制方法。

在常规的、在 PLL 之前使用扩频时钟发生器的扩频调制方法中，在输入高频系统时钟上通过执行扩频而获得的时钟信号的频率在由 PLL 处理之前被分频，并且然后在 PLL 中产生定标器像素时钟信号。

这里，扩频时钟发生器从液晶振荡器接收系统时钟，通过输入管脚来接收控制调制率所需的信息，并且根据固定在大约 30-50KHz 的调制频率来执行系统时钟的扩频。

另一方面，在另一种常规的、在 PLL 之后使用扩频时钟发生器的扩频调制方法中，高频系统时钟的频率被分频，并且分频的结果被输入 PLL。然后，通过对从 PLL 输出的信号进行扩频调制来产生定标器像素时钟信号。

通过伽马校正电路，将与定标器像素时钟同步的像素数据输出提供到 LCD 源驱动器，从而可以在 LCD 板上显示屏幕。

然而，由于上述的常规扩频调制方法使用扩频时钟发生器中的 PLL，并且在定标器中包括一个 PLL，所以很可能发生两个 PLL 之间的频率的失配。换句话说，由于定标器输出时钟和像素驱动时钟之间的频率的失配，定标器

输出时钟不能驱动像素。这个问题可以通过增加分频率来解决，从而减小了两个 PLL 之间的相位差，但是高分频率会导致下述的另一个问题。

假设扩频调制的时钟信号的调制率是 A，并且分频率为 1000。然后，作为在 PLL 中对扩频调制的时钟处理之前对其进行分频的结果，将被输入到 PLL 的时钟信号的调制率被减小为 $A/1000$ ，这意味着较弱的扩频效果。

在现有技术中使用的扩频时钟发生器已经被许多公司制造，包括 Pulse Core 公司，ICS 公司，以及 Cypress 半导体公司。在这样的扩频时钟发生器中，通过输入时钟频率来预先确定调制频率，并且通过 IC 管脚设置，使得只有调制率可以在输入时钟频率的几个百分比内被调整。因此，不可能将调制频率设置为与视频信号的输入水平同步信号 HSYNC 的频率相同，或设置为大于视频信号的输入水平同步信号 HSYNC 的频率的预定倍数。因此，在这样的结构中不能够将输入水平同步信号 HSYNC 的频率与调制频率匹配。此外，由于像素数据在不同时刻及时地被发送到 LCD 板的垂直行，所以 LCD 板的水平行具有对应的不同的亮度。

在常规方法中，由于扩频时钟发生器被外部的提供给定标器，因此在定标器中不能对时钟信号执行扩频调制技术。为了解决这个问题，可以紧随在包含在定标器中的 PLL 之后提供扩频时钟发生器，从而可以扩展在 PLL 中处理的时钟的频谱。然而，在这样的情况下，仍不能解决两个 PLL 之间的频率失配、较弱的扩频效果以及 LCD 板的行之间的亮度差的问题。

另外，在常规方法中，由于将扩频时钟发生器外部的提供给定标器，所以该定标器需要用于扩频时钟发生器的附加输入/输出管脚，这就导致芯片尺寸的增大。

发明内容

本发明提供了一种用于驱动液晶显示器(LCD)的定标器，其能够减小芯片的大小、提供更好的扩频效果、稳定 LCD 的行之间的亮度、并且通过产生具有由其中的锁相环路(PLL)扩展的频谱的定标器像素时钟来减小 EMI。

根据本发明的一个实施例，提供一种 LCD 驱动定标器，包括寄存器控制器、模数转换器、帧频控制器、像素数据定标器、多路复用器、预分频器以及扩频 PLL。

所述寄存器控制器将预定的控制信息存储在寄存器中，并且执行总体控

制操作。

所述模数转换器通过转换输入到其中的模拟像素数据来产生与输入像素时钟信号同步的数字像素数据，并且输出水平同步信号、垂直同步信号、以及响应水平同步信号和垂直同步信号所产生的输入像素时钟信号。

所述帧频控制器将帧频调整得与液晶显示(LCD)板一致，并且输出数字像素数据、水平同步信号和垂直同步信号；

所述像素数据定标器响应于数字像素数据、水平同步信号和垂直同步信号而产生定标器输出像素数据，并且输出具有所述调整的帧频的水平同步信号和垂直同步信号，所述输出像素数据具有通过将数字像素数据定标成与定标器像素时钟信号同步的调整的帧频，所述定标器像素时钟信号与 LCD 板一致。

所述多路复用器选择性地输出系统时钟信号和输入像素时钟信号。

所述预分频器分频多路复用器的输出信号的频率，并且输出预分频信号。

所述扩频 PLL 产生与表示所述预分频器信号和主分频器信号之间的相位差的信号相对应的定标器像素时钟信号、具有调整的帧频的水平同步信号、以及多个不同相位的振荡信号，并且通过分频振荡信号的频率来产生主分频器信号，所述振荡信号响应于解码信号而被顺序地选择。

最好是，所述扩频 PLL 包括相频检测器、电荷泵、环路滤波器、多相压控振荡器、扩频处理器以及主分频器。

所述相频检测器检测预分频器信号和主分频器信号之间的相位差，并且输出该相位差信号。

所述电荷泵响应相位差信号而提供电流。

所述环路滤波器响应从电荷泵提供的电流而输出电压电平。

所述多相压控振荡器响应从环路滤波器输出的电压电平而振荡，并输出定标器像素时钟信号和多个不同相位的振荡信号。

所述扩频处理器当具有调整的帧频的水平同步信号被激发时，对参考像素时钟信号的时钟周期进行计数，并且响应解码信号而顺序输出多个振荡信号，所述解码信号每几个参考像素时钟信号而增加或减小。

所述主分频器通过分频所述多个振荡信号的频率而产生主分频器信号。

最好是，所述扩频处理器包括计数器、解码器、以及多个开关。

所述计数器当具有调整的帧频的水平同步信号被激发时被复位，对参考

像素时钟信号达到第二逻辑电平的次数进行计数，并且输出解码信号，所述解码信号每预定次数的所述参考像素时钟信号达到所述第二逻辑电平时递增或递减。

所述解码器输出多个开关信号，所述多个开关信号响应于解码信号，将它们的相位从第一逻辑状态转换为第二逻辑状态。

多个开关响应于它们对应的开关信号而被接通，从而选择性地输出一个对应于接通的开关的振荡信号。

最好是，所述解码信号根据预定的控制信号而改变，并且按照解码信号的变化来确定扩频调制过程中的调制率和调制频率。

最好是，所述具有调整的帧频的水平同步信号被输入到所述计数器，从而水平同步信号可以被调制得与扩频调制过程中的调制频率一致。

最好是，当所述系统时钟信号通过频率调制而被转换成预分频器信号时，得到扩频效果。

最好是，当所述输入像素时钟信号通过频率调制而被转换成预分频器信号时，得到扩频效果。

附图说明

通过参考附图来详细描述本发明的示例性实施例，本发明的上述特征和优点将变得更加明显，其中：

图 1A 和 1B 示出了在为了减小电磁干扰(EMI)而执行频率调制之前和之后的频谱图；

图 2 示出了根据中心扩展方法的具有三角形调制轮廓的频率调制的图，所述中心扩展方法是扩频调制方法的一个示例；

图 3 是根据本发明优选例的用于驱动液晶显示器(LCD)的定标器的方框图；

图 4 是根据本发明优选例的 LCD 驱动定标器的扩频锁相环路(PLL)的方框图；

图 5 是根据本发明优选例的 LCD 驱动定标器的扩频 PLL 中包含的扩频处理器的方框图；

图 6A 和 6B 是描述当调制率较低时，根据本发明优选例的 LCD 驱动定标器的扩频 PLL 中包含的扩频处理器的操作图；和

图 7A 和 7B 是描述当调制率较高时, 根据本发明优选例的 LCD 驱动定标器的扩频 PLL 中包含的扩频处理器的操作图。

具体实施方式

下面, 将参考附图更详细地描述本发明, 附图中示出了本发明的优选实施例。在附图中, 相同的参考标记表示相同的元件。

图 3 是根据本发明优选例的、用于驱动液晶显示器(LCD)的定标器的方框图。参考图 3, 定标器包括寄存器控制器 310、模数(AD)转换器 320、帧频控制器 330、像素数据定标器 340、多路复用器 350、预分频器 360 和扩频锁相环路(PLL)370。

寄存器控制器 310 将预定的控制信息存储在一个寄存器中, 并且执行总体的控制操作。这里, 在寄存器中存储的预定控制信息包括扩频 PLL 370 的预分频器 360 和主分频器 376(请参考图 4)的分频率(division rate)、调制频率和扩频的调制频率、控制帧频来与相关的 LCD 板相一致所需要的信息、以及寄存器控制器 310 执行总体控制操作所需要的其他信息。

AD 转换器 320 将向其输入的模拟像素数据 PDI 转换成与输入像素时钟信号 ADCCK 同步的数字像素数据, 并且输出一个水平同步信号 HSYNC、一个垂直同步信号 VSYNC 以及一个响应于水平同步信号 HSYNC 和垂直同步信号 VSYNC 而产生的输入像素时钟信号 ADCCK。换句话说, AD 转换器 320 将输入模拟像素数据 PDI 转换成与输入像素时钟信号 ADCCK 同步的数字像素数据, 并将其输出。这里, 输入像素时钟信号 ADCCK 是一种具有与输入像素数据 PDI 的传输频率相同频率的信号, 并且是由包含在 AD 转换器 320 中的 PLL 响应于输入到 AD 转换器 320 的水平同步信号 HSYNC 和垂直同步信号 VSYNC 而产生的。

帧频控制器 330 通过将帧频调整到与 LCD 板一致, 来输出数字像素数据、水平同步信号 HSYNC 以及垂直同步信号 VSYNC。至于帧频调整, 如果输入像素数据 PDI 具有与输出到 LCD 板的像素数据 PDO 的信号系统(如 SXGA)不相同的信号系统(如 XGA), 则从输入像素数据 PDI 删除一些帧或将一些帧增加到输入像素数据 PDI, 来使输入像素数据 PDI 具有与 LCD 板的信号系统相适合的信号系统。

响应具有调整的帧频的数字像素数据、水平同步信号 HSYNC 和垂直同

步信号 VSYNC, 像素数据定标器 340 输出像素数据 PDO, 该像素数据 PDO 是通过将所述数字像素数据定标为与对应于 LCD 板的定标器像素时钟信号 SPCK 同步而获得的, 而且所述像素数据定标器输出每个具有调整的帧频的水平同步信号 HSYNC 和 VSYNC。在对数字像素数据定标的过程中, 通过将像素插入数字像素数据来产生新的数据, 从而当数字像素数据(例如, 1280 * 1024SXGA)具有比输出到 LCD 板的像素数据 PDO(例如, 1400 * 1050SXGA)少的像素数量时, 所述新产生的数据可以具有与输出到 LCD 板的像素数据 PDO 同样多的像素。如果输出到 LCD 板的像素数据 PDO 具有比数字像素数据的数量少的像素时, 在定标所述数字像素数据的过程中也可以删除数字像素数据的一些像素。

通过伽马(gamma)校正电路, 将从像素数据定标器 340 输出的、与定标器像素时钟 SPCK 同步的像素数据 PDO 提供给 LCD 源驱动器, 从而, 可以在 LCD 板上显示图形图像。

多路复用器 350 选择性地输出系统时钟信号 SYSCK 和输入的像素时钟信号 ADCCK。

预分频器 360 对多路复用器 350 的输出信号的频率进行分频, 并且因此输出预分频器信号 PINCK。

扩频 PLL 370 产生与表示预分频器信号 PINCK 和主分频器信号 MOCK 之间的相位差的信号相对应的定标器像素时钟信号 SPCK、具有调整的帧频的水平同步信号 HSYNC、以及多个具有不同相位的振荡信号 CK0 到 CK6, 并且响应解码信号对振荡信号 CK0 到 CK6 的每一个的频率顺序地分频, 从而产生主分频器信号 MOCK(下面将参考图 4 来讨论)。

根据本发明的 LCD 驱动定标器可以以两种不同的模式工作, 即, 帧频控制(FRC)模式和帧同步模式。

在 FRC 模式中, 在输入像素数据 PDI 的信号系统(如, XGA)被调整得与输出到 LCD 板的像素数据 PDO 的信号系统(如, SXGA)相同并且输出到 LCD 板的信号的帧频与输入信号的帧频同步的情况下, 多路复用器 350 输出系统时钟信号 SYSCK。

图 4 是扩频 PLL 370 的方框图。参考图 4, 扩频 PLL 370 包括相频检测器 371、电荷泵 372、环路滤波器 373、多相压控振荡器 374、扩频处理器 375 以及主分频器 376。

相频检测器 371 检测预分频器信号 PINCK 与主分频器信号 MOCK 之间的相位差, 并且输出该相位差信号作为检测的结果。

电荷泵 372 响应所述相位差信号, 将电流提供给环路滤波器 373。

环路滤波器 373 输出对应于从电荷泵 372 提供的电流量的电平的电压。

多相压控振荡器 374 响应从环路滤波器 373 输出的电压而振荡, 并输出定标器像素时钟信号 SPCK 和具有不同相位的振荡信号 CK0 到 CK6。这里, 振荡信号的数量可以随着用户制定的芯片设计来变化。

当具有调整的帧频的水平同步信号 HSYNC 被激发时, 扩频处理器 375 对参考像素时钟信号 PCKREF 的时钟周期进行计数, 并且响应解码信号, 顺序地输出振荡信号 CK0 到 CK6, 所述解码信号每几个参考像素时钟信号周期增加 1。

主分频器 376 通过分频已选择的振荡信号 SSCK 的频率来产生主分频器信号 MOCK。这里, 根据本发明的、由 LCD 驱动定标器执行的扩频很少受到预分频器 360 和主分频器 376 的分频率的影响, 并且因此能够自由地调整预分频器 360 和主分频器 376 的分频率。

图 5 是包含在扩频 PLL 370 中的扩频处理器 375 的方框图。参考图 5, 扩频处理器 375 包括计数器 3751、解码器 3753 以及多个开关 3755。

当具有调整的帧频的水平同步信号 HSYNC 被激发时, 即当水平同步信号 HSYNC 的状态从第一逻辑状态(即逻辑低状态)转换到第二逻辑状态(即逻辑高状态)时, 计数器 3751 复位, 对参考像素时钟信号 PCKREF 达到第二逻辑电平, 即逻辑高电平的次数进行计数, 并且输出解码信号, 该解码信号每几次当参考像素时钟信号 PCKREF 达到逻辑高电平时增加 1。

解码器 3753 输出多个开关信号 C0 到 C6, 所述多个开关信号响应所述解码信号将它们的相位顺序地从第一逻辑状态转换到第二逻辑状态。这里, 开关信号 C0 到 C6 的数量与具有不同相位的振荡信号 CK0 到 CK6 的数量相同, 并且响应所述解码信号, 顺序地输出开关信号 C0 到 C6。此外, 第一逻辑状态和第二逻辑状态分别表示逻辑低状态和逻辑高状态。

开关 3755 响应它们对应的开关信号而接通。当开关 3755 中的一个接通时, 选择性地输出对应于接通的开关的振荡信号。这里, 开关 3755 的数量与具有不同相位的振荡信号 CK0 到 CK6 的数量相同, 并且振荡信号 CK0 到 CK6 响应它们对应的开关信号而被选择性地输出。

因此，根据预定控制信息来改变解码信号，并且根据解码信号的变化来确定扩频调制过程中的调制率和调制频率。换句话说，每几个当定标器像素时钟信号 SPCK 达到第二逻辑电平，即逻辑高电平的周期，解码信号增加 1。解码信号的增加率确定扩频调制过程中的调制率和调制频率。

在帧频控制(FRC)模式中，当通过使用预分频器 360 和主分频器 376 调制系统时钟信号 SYSCK 的频率来获得预分频器信号 PINCK 时，扩展系统时钟信号 SYSCK 的频谱。假设预分频器 360 和主分频器 376 的分频率 P 和 M 分别足够高能够精确获得 LCD 板所需要的定标器像素时钟信号 SPCK，并且例如为 1000，则满足下列等式：

$$P = \frac{f(\text{SYSCK})}{f(\text{PINCK})} = 1000 \quad \dots(1)$$

$$M = \frac{f(\text{SPCK})}{f(\text{PINCK})}$$

在等式(1)中， $f(x)$ 表示信号 x 的频率。换句话说，当系统时钟信号 SYSCK 具有 30MHz 的频率时，预分频器信号 PINCK 具有 30KHz 的频率，并且通过多相压控振荡器 374 和扩频处理器 375，产生定标器像素时钟信号 SPCK，该信号 SPCK 是通过频率调制对系统时钟信号 SYSCK 的频谱进行扩展的结果。

在帧同步模式中，当获得预分频器信号 PINCK 时，通过调制输入像素时钟信号 ADCCK 的频率来扩展输入像素时钟信号 ADCCK 的频谱。例如，通过将预分频器信号 PINCK 与主分频器信号 MOCK 同步，并且对输入像素时钟信号 ADCCK 进行计数来设定预分频器 360 的分频率 P，从而，预分频器信号 PINCK 的频率可以等于输出到 LCD 板的水平同步信号 HSYNC 的频率。此外，通过将预分频器信号 PINCK 的频率或输出到 LCD 板的水平同步信号 HSYNC 的频率与 LCD 板的一个水平行上包含的像素数量相乘，来确定满足下列等式(2)的定标器像素时钟信号 SPCK 的频率。

$$P = \frac{HIP}{V} \quad \dots(2)$$

$$M = HOP$$

在等式(2)中， HIP 表示在 LCD 板的一个水平行上包含的像素数量，并且 HIP 对应于输入像素数据 PDI， V 表示 LCD 板的垂直行的数量，以及 HOP 表示 LCD 板的水平行的数量。

因此，扩频 PLL 370 的扩频处理器 375 从像素数据定标器 340 接收输出到 LCD 板的水平同步信号 HSYNC，并且因此能够将扩频调制过程中的调制

频率调整得与输出到 LCD 板的水平同步信号 HSYNC 的频率相同。

因此，能够防止亮度在 LCD 板的水平行间瞬间变化，并且能够获得没有任何失真的稳定的显示屏幕。另外，通过解决现有技术的问题，例如两个 PLL 之间的频率失配以及由高分频率引起的低质量的扩频效果，能够提供高性能的扩频效果。

在下面的段落中将更详细地描述根据本发明的 LCD 驱动定标器的操作。

图 6A 和 6B 是描述当调制率较低时，根据本发明的 LCD 驱动定标器的扩频 PLL 370 中包含的扩频处理器 375 的操作图。

图 7A 和 7B 是描述当调制率较高时，根据本发明的 LCD 驱动定标器的扩频 PLL 370 中包含的扩频处理器 375 的操作图。

参考图 6A 和 7A，参考像素时钟信号 PCKREF 与输出到 LCD 板的水平同步信号 HSYNC 同步，并且参考像素时钟信号 PCKREF 按照水平同步信号 HSYNC 的周期来连续振荡。计数器 3751 对在水平同步信号 HSYNC 的一个周期内参考像素时钟信号 PCKREF 达到第二逻辑电平，即逻辑高电平的次数进行计数。如图 6A 和 7A 所示，假定在水平同步信号 HSYNC 的一个周期内，参考像素时钟信号 PCKREF 达到第二逻辑电平，即逻辑高电平，的次数是 14 次。

当水平同步信号 HSYNC 被激发时，即当水平同步信号 HSYNC 的状态从第一逻辑状态，即逻辑低状态转换到第二逻辑状态，即逻辑高状态时，计数器 3751 被复位到“0”，并且重新开始对参考像素时钟信号 PCKREF 达到第二逻辑电平，即逻辑高电平的次数进行计数，并且输出解码信号，该解码信号每预定次数的当参考像素时钟信号 PCKREF 达到第二逻辑电平时增加 1。这里，预定数量存储在寄存器控制器 310 中作为预定控制信息，并且在图 6A 和 7A 中分别被设定为“1”和“2”。

因此，解码器 3753 输出多个开关信号 C0 到 C6，所述开关信号响应于解码信号而顺序地将它们的相位从第一逻辑状态，即逻辑低状态转换成第二逻辑状态，即逻辑高状态。

之后，开关 3755 响应它们所对应的开关信号而接通。当接通开关 3755 中的一个时，对应于接通的开关的振荡信号被选择性地输出到主分频器 376。如上所述，振荡信号 CK0 到 CK6 具有不同的相位。

具有不同相位的振荡信号 CK0 到 CK6 被输出到主分频器 376，并且在主

分频器 376 中被 M 倍分频。作为分频的结果，得到主分频器信号 MOCK。然后，主分频器信号 MOCK 被输入到相频检测器 371。按照重复输入到相频检测器 371 的具有不同相位的振荡信号 CK0 到 CK6，相频检测器 371 重复地输出与预分频器信号 PINCK 相比具有不同相位的信号。然后，定标器像素时钟信号 SPCK 的频率反复地变化，并且这种扩频效果对 EMI 的减小有贡献。

换句话说，如图 6A 所示，当开关信号 C0 达到第二逻辑电平，即逻辑高电平时，开关 SW0 被接通，并且因此对应于开关 SW0 的振荡信号 CK0 被输出到主分频器 376。以相同的方式，当开关信号 C1 到 C6 顺序地达到第二逻辑电平，即逻辑高电平时，它们对应的开关 SW1 到 SW6 顺序地被接通，因此振荡信号 CK1 到 CK6 被顺序地输出到主分频器 376。

在图 7A 中，分别对应于开关信号 C0 到 C3 的振荡信号 CK0 到 CK3 被顺序地输出到主分频器 376。

参考图 6B，如图 6A 所示的扩频调制的定标器像素时钟信号 SPCK 具有三角形的波谱轮廓，其中定标器像素时钟信号 SPCK 的频率以一个调制周期内七个不同的相位进行变化。这里，所述调制周期与具有调整的帧频的水平同步信号 HSYNC 的周期相同。

参考图 7B，如图 7A 所示的扩频调制的定标器像素时钟信号 SPCK 具有三角形的波谱轮廓，其中定标器像素时钟信号 SPCK 的频率以一个调制周期内四个不同的相位进行变化。这里，所述调制周期与具有调整的帧频的水平同步信号 HSYNC 的周期相同。

如上所述，在根据本发明的 LCD 驱动定标器中，扩频 PLL 377 中的多相压控振荡器 374 响应环路滤波器 373 的输出电压而振荡，并输出定标器像素时钟信号 SPCK 和具有不同相位的振荡信号 CK0 到 CK6。因此，当具有调整的帧频的水平同步信号 HSYNC 被激发时，扩频处理器 375 对参考像素时钟信号 SPCK 达到预定逻辑电平的次数进行计数。然后，响应于每预定次数参考像素时钟信号达到预定逻辑电平而递增的解码信号，扩频处理器 375 顺序地输出振荡信号 CK0 到 CK6。具有不同相位的振荡信号 CK0 到 CK6 被输出到主分频器 376，并且被 M 倍分频。作为分频的结果，得到主分频器信号 MOCK。之后，主分频器信号 MOCK 被输入到相频检测器 371。按照重复输入到相频检测器 371 的不同相位的振荡信号 CK0 到 CK6，相频检测器 371 重复地输出与预分频器信号 PINCK 相比具有不同相位的信号。然后，定标器

像素时钟信号 SPCK 的频率反复地变化，并且这种扩频效果对 EMI 的减小有贡献。

再次如上所述，根据本发明，通过将利用多相压控振荡器的 PLL 来代替定标器中的常规 PLL，能够执行扩频调制，并且使用多相压控振荡器的 PLL 通过寄存器的控制，而不是通过 IC 管脚设置就能够自由地调整调制率和调制频率。另外，在帧同步模式中，定标器中的输入像素时钟 ADCK 也能够被扩频调制。

在定标器的输出信号中，水平同步信号 HSYNC 被反馈回扩频 PLL，并且被用来执行扩频调制。因此，容易将调制频率控制为与水平同步信号 HSYNC 的频率相同，因此，能够在 LCD 板上得到稳定的显示屏幕，而没有水平之间的突然的亮度变化或其它失真。

由于根据本发明的 LCD 驱动定标器使用了单个 PLL，它解决了常规方法中的缺点，即，两个 PLL 之间的频率失配以及由高分辨率引起的较差扩频效果。因此，可以提供一种高性能的扩频效果。

而且，由于在定标器中执行了扩频调制，所以没有必要安装扩频时钟发生器，并且不需要用来与定标器相连接的附加输入/输出管脚，从而可以减小芯片的大小。

尽管已经参考了本发明的示例性实施例具体示出和描述了本发明，本领域的普通技术人员应当理解，在不背离由所附权利要求定义的本发明的精神和范畴的情况下，可以在形式上和细节上做出各种各样的变化。

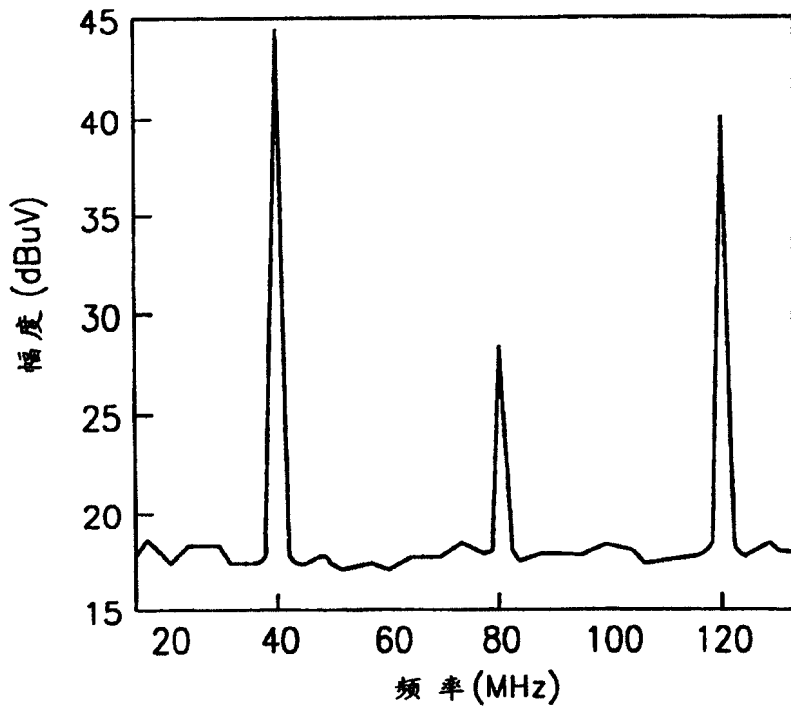


图 1A

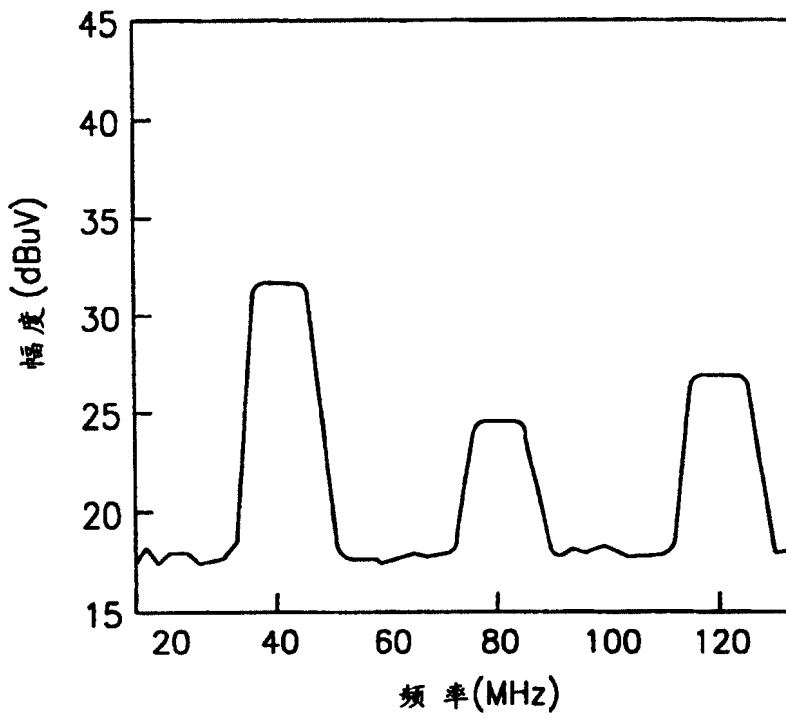


图 1B

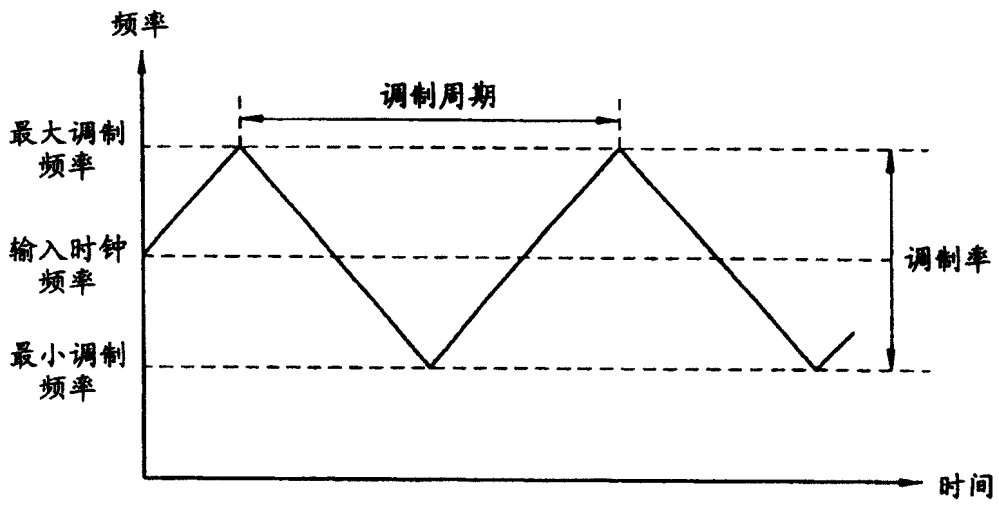


图 2

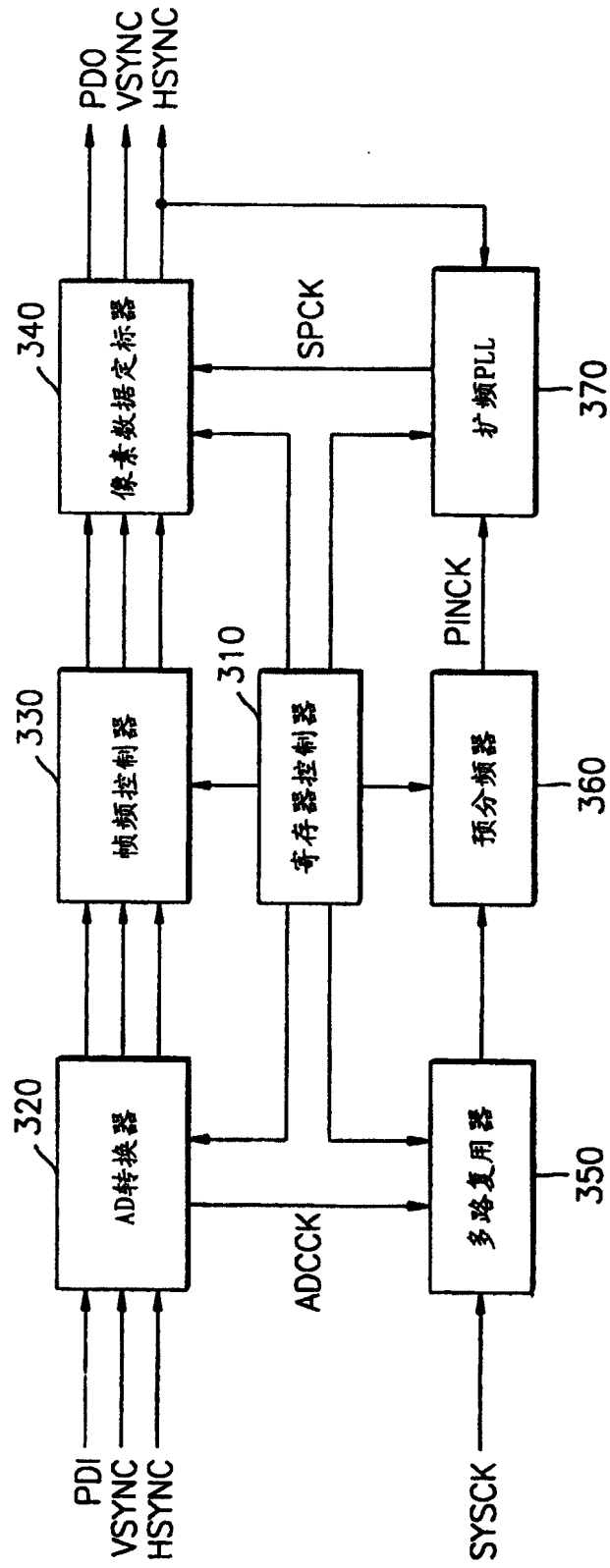


图 3

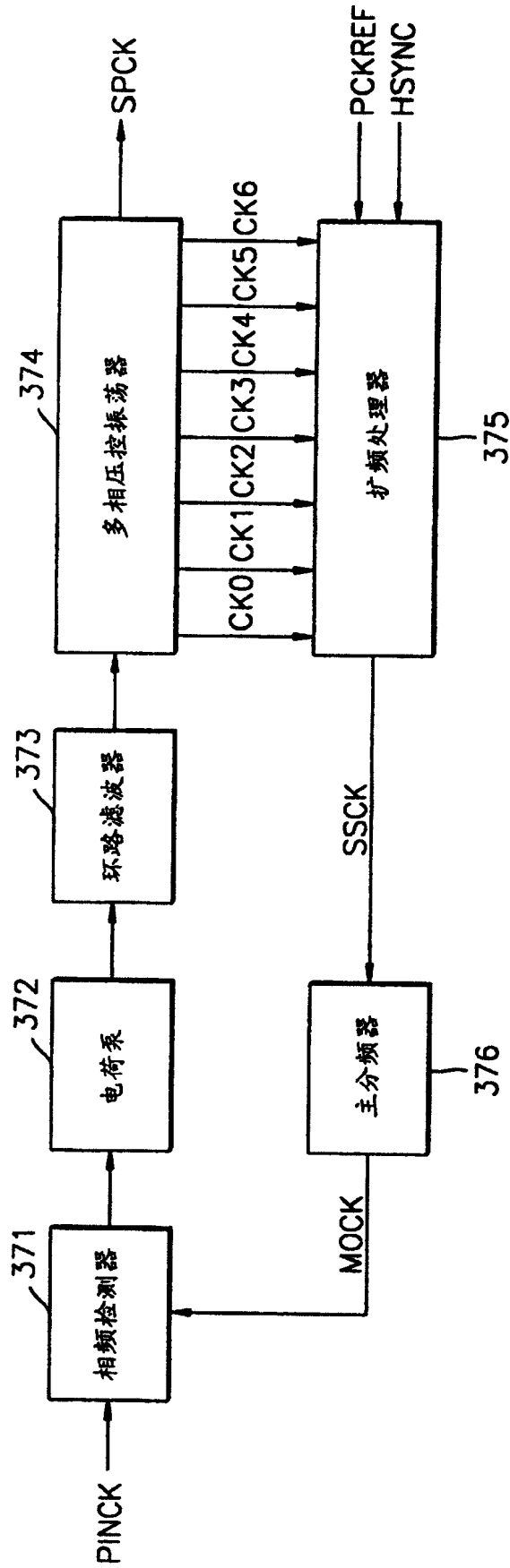


图 4

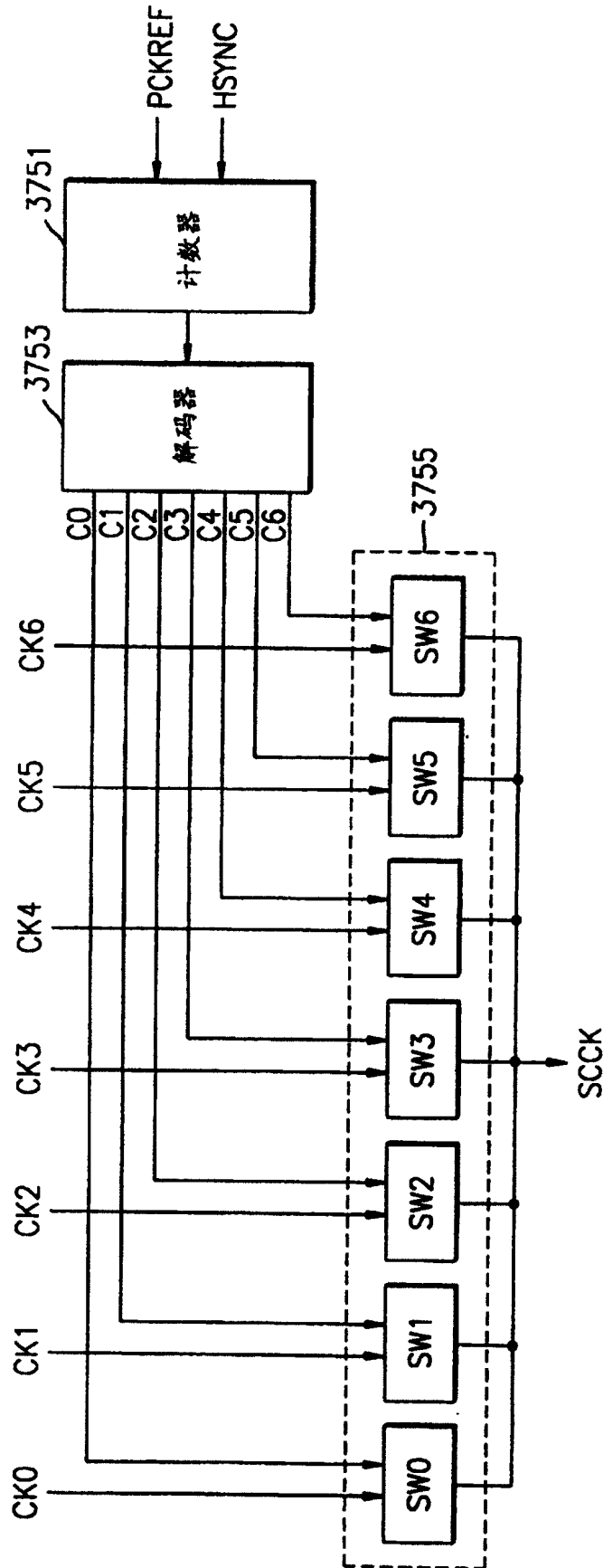


图 5

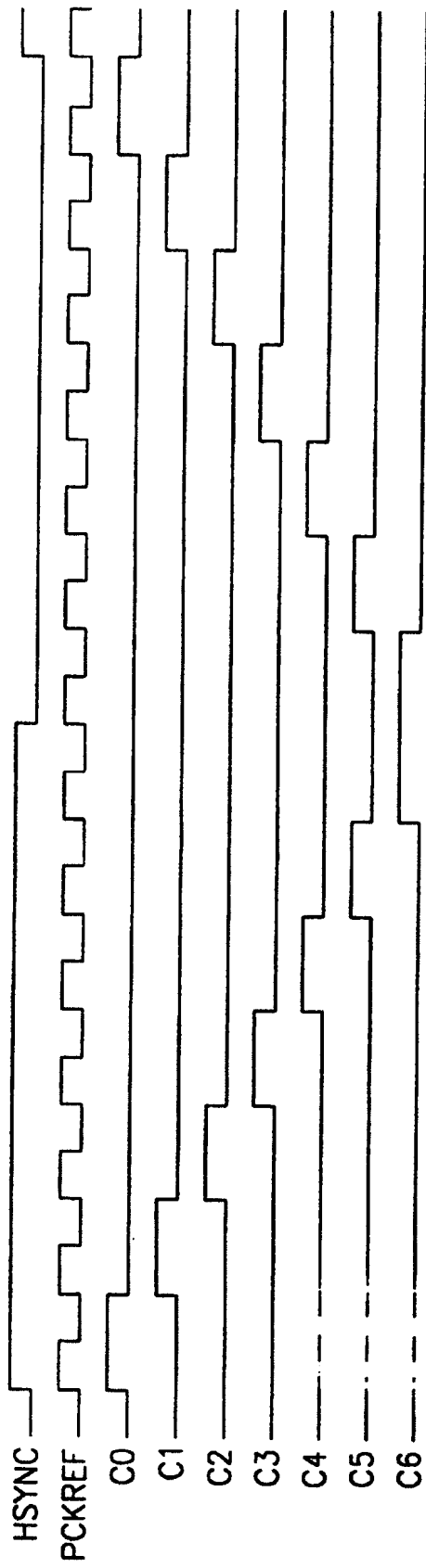


图 6A

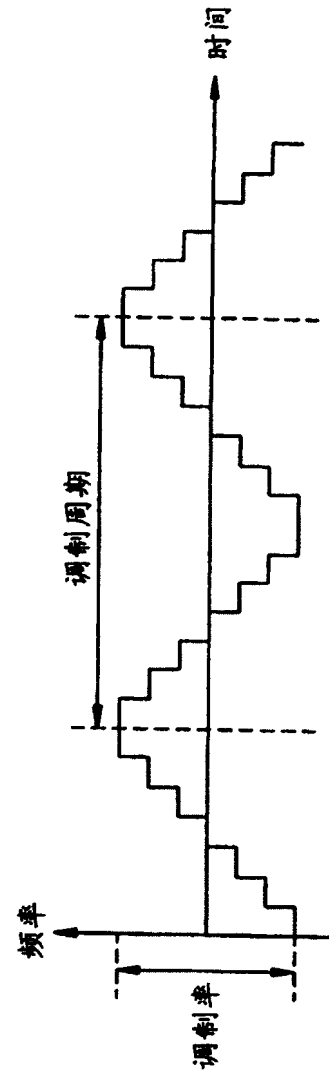


图 6B

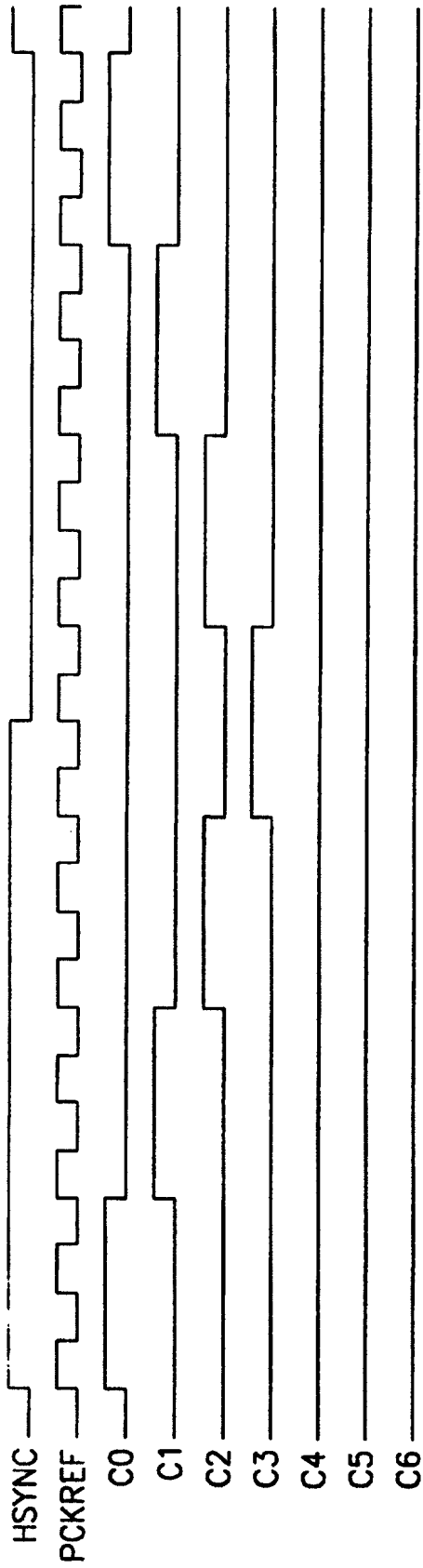


图 7A

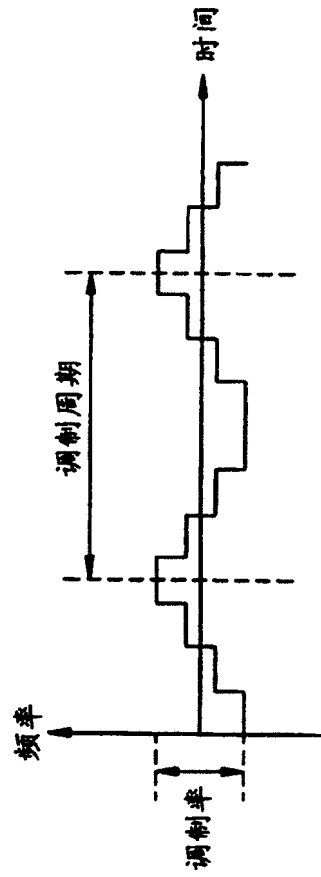


图 7B

专利名称(译)	能够减少电磁干扰的液晶显示驱动定标器		
公开(公告)号	CN100375990C	公开(公告)日	2008-03-19
申请号	CN200310118857.5	申请日	2003-11-28
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金好影 金容燮		
发明人	金好影 金容燮		
IPC分类号	G09G3/36		
CPC分类号	G09G5/18 G09G2330/06 G09G2340/0414 G09G2340/0435 G09G2340/0421		
代理人(译)	马莹		
审查员(译)	王超		
优先权	1020020076698 2002-12-04 KR		
其他公开文献	CN1504988A		
外部链接	Espacenet SIPO		

摘要(译)

一种能够减小电磁干扰的LCD驱动定标器利用扩频锁相环路(PLL)。在所述PLL中，多相压控振荡器响应从环路滤波器输出的电压而振荡，并输出定标器像素时钟信号和多个不同相位的振荡信号。当具有调整的帧频的水平同步信号被激发时，扩频处理器对参考像素时钟信号的时钟周期进行计数，并响应解码信号而顺序地输出多个振荡信号，所述解码信号每几个参考像素时钟信号周期的递增或递减。然后，将多个振荡信号输出到主分频器。所述主分频器通过多个振荡信号的频率分频来产生主分频器信号。将主分频器信号输入相频检测器。相频检测器检测预分频器信号和主分频器信号之间的相位差，并且输出相位差信号，因此定标器像素时钟信号的频率重复地变化。

