



# [ 12 ] 发明专利申请公开说明书

[ 21 ] 申请号 02815195. X

[ 43 ] 公开日 2004 年 10 月 20 日

[ 11 ] 公开号 CN 1539134A

[ 22 ] 申请日 2002. 7. 31 [ 21 ] 申请号 02815195. X  
 [ 30 ] 优先权  
 [ 32 ] 2001. 8. 3 [ 33 ] US [ 31 ] 09/920,826  
 [ 86 ] 国际申请 PCT/IB2002/003237 2002. 7. 31  
 [ 87 ] 国际公布 WO2003/015069 英 2003. 2. 20  
 [ 85 ] 进入国家阶段日期 2004. 2. 2  
 [ 71 ] 申请人 皇家飞利浦电子股份有限公司  
 地址 荷兰艾恩德霍芬  
 [ 72 ] 发明人 P·詹森 L·R·阿尔布

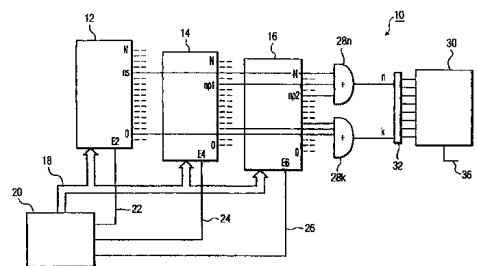
[ 74 ] 专利代理机构 中国专利代理(香港)有限公司  
 代理人 吴立明 王 勇

权利要求书 3 页 说明书 8 页 附图 1 页

[ 54 ] 发明名称 液晶显示器的行寻址电路

[ 57 ] 摘要

用于实现随机行选择、预写入和双向滚动的行寻址电路，包括多个解码器(12、14、16)，每个解码器与一地址总线(18)连接，每个具有一解码器使能输入端(E2、E4、E6)，每个为像素阵列行提供行使能信号。各解码器(12、14、16)输出的各行的行使能信息可以逻辑合并在一起从而产生合成的行驱动信息。有利地，每个解码器(12、14、16)都与相同的地址总线(18)连接，由一共用控制器(20)产生每个解码器使能信号。通过利用这些行使能信号，与地址总线(18)上的地址信息同步地，向各像素提供正确的行驱动信息，例如预写入或图像信息。通过使能两个行来接受相同的图像信息可以实现双向滚动。



1. 用于具有  $N+1$  像素行的矩阵显示装置 (30) 的行寻址电路, 包括:

5 一控制器 (20), 用于选择性地施加行地址, 并选择性地激活选择解码器使能信号和第一预写入解码器使能信号;

一选择解码器 (12), 具有一选择解码器使能输入端 (E2), 用于接收所述选择性激活的选择解码器使能信号; 一选择地址输入端, 用于接收所述选择性激活的行地址; 和  $N+1$  个选择行使能输出端, 每个输出端都与  $N+1$  像素行之一相关并与行地址之一相关, 其中当激活选择解码器使能信号时, 在选择行使能输出端中与所施加的行地址相关的一个上产生选择行使能信号; 和

一第一预写入解码器 (14), 具有一第一解码器使能输入端 (E4), 用于接收所述选择性激活的第一预写入解码器使能信号; 一第一预写入地址输入端, 用于接收所述选择性施加的行地址; 和  $N+1$  个第一预写入行使能输出端, 每一个都与  $N+1$  像素行之一相关并与行地址之一相关, 其中当激活第一预写入使能信号时, 在第一预写入行使能输出端中与所施加的行地址相关的一个上产生第一预写入行使能信号; 和

20  $N+1$  个逻辑组合电路 (28n), 每个都与所述选择解码器 (12) 的选择行使能输出端中对应的一个以及所述第一预写入解码器 (14) 的第一预写入行使能输出端中对应的一个连接, 并产生一行选择信号, 该行选择信号用于在所述  $N+1$  像素行中选择预定的像素行。

2. 如权利要求 1 所述的行寻址电路, 还包括一地址总线 (18), 它连接在控制器 (20)、选择解码器 (12) 以及第一预写入解码器 (14) 之间, 其中控制器 (20) 在地址总线 (18) 上施加行地址。

25 3. 如权利要求 1 所述的行寻址电路, 其中所述控制器 (20) 同时激活选择解码器使能信号和第一预写入解码器使能信号。

4. 如权利要求 1 所述的行寻址电路, 其中在逻辑组合电路 (28n) 产生用于在所述  $N+1$  像素行中选择一预定像素行的行选择信号的同时, 逻辑组合电路 (28n) 还产生用于在所述  $N+1$  像素行中选择一

30 第二预定像素行的第二行选择信号。

5. 如权利要求 1 所述的行寻址电路, 其中每个逻辑组合电路 (28n) 都向显示装置的行驱动器 (32) 提供行选择信号。

6. 如权利要求1所述的行寻址电路, 其中:

控制器(20)还选择性地激活第二预写入解码器使能信号;

该电路还包括一第二预写入解码器(16), 该第二预写入解码器具有一第三解码器使能输入端(E6), 用于接收所述选择性激活的第二预写入解码器使能信号; 一第二预写入地址输入端, 用于接收所述选择性提供的行地址; 和 N+1 个第二预写入行使能输出端, 每一个都与 N+1 像素行之一相关并与行地址之一相关, 其中当激活第二预写入解码器使能信号时, 在第二预写入行使能输出端中与所提供的行地址相关的一个上产生第二预写入行使能信号; 并且

10 N+1 个逻辑组合电路(28n)中的每个都与所述第二预写入解码器(16)的第二预写入行使能输出端中对应的一个连接。

7. 如权利要求6所述的行寻址电路, 其中所述控制器(20)同时激活选择解码器使能信号、第一预写入解码器使能信号和第二预写入解码器使能信号。

15 8. 用于寻址显示装置(30)中 N+1 个像素行的装置, 包括:

多个解码器(12、14、16), 每个接收对应像素行之一的一解码器使能信号和一地址, 响应于此为显示装置(30)的多个行提供多个行使能信号; 和

20 用于逻辑组合该多个解码器(12、14、16)的行使能信号的装置, 从而产生用于选择将被提供有数据的显示装置中的一像素行的行选择信号。

9. 如权利要求8所述的装置, 其中用于逻辑组合该多个解码器(12、14、16)的行使能信号的装置包括多个逻辑组合电路(28n), 每个逻辑组合电路接收各解码器(12、14、16)的多个行使能信号中的对应的一个。

10. 如权利要求8所述的装置, 其中所有的解码器都通过共同连接的地址总线接收相同的地址。

11. 如权利要求10所述的装置, 还包括一控制器(20), 用于向解码器(12、14、16)提供解码器使能信号和地址。

30 12. 如权利要求11所述的装置, 其中所述控制器交织实现多个解码器(12、14、16)的激活。

13. 如权利要求11所述的装置, 其中控制器同时向该多个解码器

(12、14、16)中的至少两个提供解码器使能信号。

14. 如权利要求8所述的装置，其中该多个解码器(12、14、16)包括：

5 一第一预写入解码器(14)，激活行使能信号之一从而向对应的像素行写入第一消隐数据；

一选择解码器(12)，激活行使能信号之一从而向对应的像素行写入图像数据。

15. 如权利要求14所述的装置，其中多个解码器(12、14、16)还包括一第二预写入解码器(16)，该解码器用于激活行使能信号之一从而向对应的像素行写入第二预写入数据。

10

## 液晶显示器的行寻址电路

发明背景

5 技术领域

本发明涉及电-光彩色显示系统。特别是本发明涉及具有可实现双向行扫描和预写入的解码器的电-光彩色显示系统。

背景技术

10 众所周知具有彩色光条的显示系统，该彩色光条在电-光光板上顺序滚动，从而产生彩色图像。这种显示系统，例如在彩色电视机中，对显示通过帧连续更新的彩色图像特别有用。通常，每个帧由多个彩色子帧构成，通常为红、绿和蓝色子帧。

这种显示系统使用了电-光光板，它是由按照行和列的矩阵排列的各个像素元素构成的。根据像素图像信息对各个像素元素进行调制。  
15 通常，在各帧周期期间通过行来向单独像素元素提供像素图像信息。这种像素元素的矩阵阵列最好是“有源的”，其中每个像素元素都与开关元件矩阵阵列中的一个有源开关元件连接。

由于必须在每个帧周期内对各彩色子帧进行寻址，因此子帧寻址率应当是帧率的三倍。目前，最好的电-光光板是反射有源矩阵液晶显示器（AMLCD），它在硅衬底上形成并使用了扭转向列（TN）液晶。通常使用薄膜晶体管（TFT）作为有源开关元件。由于TFT和它们的相互连接线路可以集成在该硅衬底上，因此这种板可以支持高像素密度。  
20 另外，反射有源矩阵液晶显示器可以比透射有源矩阵液晶显示器的寻址速度快得多。但是，TN反射有源矩阵液晶显示器需要大约100微秒来对一个像素元素成像。相反，一行像素图像信息可以在大约5微秒的时间内产生并施加给像素元素。当前反射TN有源矩阵液晶显示器中存在的另一个问题在于像素电容根据所施加的电压而改变。

增加像素元素成像时间的一个问题在于像素的图像精确度取决于像素的残留状态，而该残留状态又取决于前面成像的信息。这意味着  
30 特定像素的亮度取决于该像素前次所显示的图像的亮度。可以使用二维查询表来对新的像素图像提供校正值以校正该残留状态。

反射TN有源矩阵液晶显示器中响应时间慢以及像素电容随电压变

化的问题，可以通过使用具有更快响应时间和更低压敏电容的电-光材料来减少。这种材料中的一类是铁电 LC。但是，铁电 LC 材料具有存储效应，其中所产生的图像（前一图像）必须由新的图像覆盖。成像新像素之前清除像素的辅助“消隐脉冲”可以显著的降低存储效应问题。

- 5 可以在线选择期间通过行电极和一共用反电极施加这种消隐脉冲。在实际中，已经证明使用两个“预写入”消隐脉冲比使用单个的“预写入”消隐脉冲更加有效。

预写入消隐方案通常需要产生该消隐脉冲的特殊电路。在现有技术中，该特殊电路不易集成在驱动器电路中，该驱动器电路可以将通常  
10 通常为数字信号的输入像素信息转换为适用于驱动有源矩阵液晶显示器的模拟信号。

现有技术中驱动有源矩阵液晶显示器的电路通常使用移位寄存器。但是，在滚动彩色应用（例如计算机显示屏）中，有时需要访问非邻近的行。这样，就需要多个并行操作的移位寄存器。另外，如果  
15 需要双向扫描，就需要更多的专用移位寄存器。

已知在某些应用中采用解码器代替移位寄存器。解码器可以实现随机行选择。但是，现有技术使用解码器来提供行信息、产生预写入以补偿存储效应并进行双向滚动的尝试都被证明是不切实际的。

## 20 发明内容

本发明的原理提供了一种使用解码器的新技术，以实现显示器中的随机行（或列）选择和预写入。这些原理还可以实现双向滚动。本发明由独立权利要求来限定。从属权利要求对有利的实施例进行限定。

25 根据本发明原理的驱动电路可以操作电-光显示装置，从而利用预写入消隐脉冲减小或消除由残留状态导致的彩色残像。该驱动电路还可以实现双向滚动。这种驱动电路包括多个解码器，每个解码器与一地址总线连接，每个解码器具有行选择使能，并且每个解码器产生对应像素阵列的一行的行选择信号。将多个解码器输出的选择信号组合  
30 以用于像素阵列中的每一个像素行，从而产生用于像素驱动器的像素驱动信息。有利地，各解码器都与相同的地址总线连接，通过一共用控制器产生每一行选择使能信号。与地址总线上的地址信息同步地，

通过使用多个行选择使能线，向用于各像素行的像素驱动器施加正确的预写入和图像信息。

根据本发明的原理，在电-光显示装置中，通过多个解码器中的至少一个产生的信号可以基本减少或消除由前一被寻址数据信号产生的像素残留状态导致的彩色残像，同时通过多个解码器中的另一个解码器产生图像信息。

优选，共用控制器可以在需要时使能解码器以产生所需的图像，预写入一像素行以准备下一图像以及使能双向扫描。

本发明的这些和其它方面将在下面参照实施例的说明中变得明显。

#### 附图说明

唯一的附图示出基于解码器的行寻址电路的简化平面图，该行寻址电路可实现预写入并符合本发明的原理。

15

#### 具体实施方式

在该唯一附图中，示出用于液晶显示器(LCD) 30的基于解码器的行寻址电路 10 的简化平面图，它可以实现预写入并符合本发明的原理。如图所示，寻址电路 10 包括选择解码器 12、第一预写入解码器 14、优选还有第二预写入解码器 16。应当理解可以使用一个或多个物理解码器来实现解码器 12、14 和 16。

控制器 20 通过各个解码器使能线选择性地提供解码器使能信号给解码器。选择解码器使能线 22 将选择解码器 12 的解码器使能输入端 E2 与控制器 20 连接。第一预写入解码器使能线 24 将第一预写入解码器 14 的解码器使能输入端 E4 与控制器 20 连接。第二预写入解码器使能线 26 将第二预写入解码器 16 的解码器使能输入端 E6 与控制器 20 连接。控制器 20 还通过所有解码器共享的地址总线 18 选择性地提供地址信息。控制器 20 所提供的每个地址都对应于各解码器的多个行使能输出端中的一个。如图所示，对于具有 N+1 像素扫描线(行)即 0-N 行的 LCD30，解码器 12、14 和 16 中的每个都具有 N+1 个行使能输出端，每个行使能输出端都为对应的扫描线(如果 LCD30 是 TFT-LCD 时，该扫描线可以是薄膜晶体管(TFT)的栅极线)提供一行

使能信号。

对于每一行  $n$  (其中  $n$  是从 0 到  $N$  的范围内的一个索引), 可以通过图 1 中由 AND 门  $28n$  表示的组合逻辑电路将各解码器的对应的行使能信号组合在一起以产生行选择信号。这样, 就意味着选择解码器 12 的第  $n$  个选择行使能信号、第一预写入解码器 14 的第  $n$  个第一预写入行使能信号以及第二预写入解码器 16 的第  $n$  个第二预写入行使能信号都被施加到由 AND 门  $28n$  表示的同一组合逻辑电路, 从而产生一用于行  $n$  的行选择信号。应当理解在优选实施例中, LCD30 的每一行都具有自己的组合逻辑电路 (例如 AND 门  $28n$ )。因此如图所示, 对于具有  $N+1$  个扫描线 (行) 的 LCD30, 存在  $N+1$  个 AND 门。图中示出用于行  $n$  和  $k$  的示例性 AND 门  $28n$  和  $28k$ 。另外, 应当理解还可以利用多种方法例如通过使用 NAND 门、OR 门等或甚至通过三位宽的查询表或存储器件来实现组合逻辑功能。

各 AND 门  $28n$  所输出的行选择信号被施加到驱动器 32, 这又通过驱动器 32 产生用于 LCD30 的对应的扫描线 (行)  $n$  的行驱动信号。另外, 应当理解在 LCD 显示器 30 的共用电极上施加一共用电极电势 36。因此, 通过施加响应 AND 门  $28n$  的行选择信号产生的驱动器 32 的行驱动信号, 可以对 LCD 显示器 30 的各扫描线 (行) 进行寻址。各行驱动信号控制对应的像素行中所有的开关元件 (例如 TFT 装置) 的开关, 使得图像或消隐数据可以从 LCD30 的数据 (列) 线经过开关元件传输到像素电极 (未示出) 中。

在操作中, 对于将被显示的 LCD30 中的每像素行, 首先选择该行, 并利用经过 LCD30 的数据线施加的第一消隐信号预写入该行的所有像素。在预定时间周期 (例如  $25\mu\text{s}$ ) 后, 再次选择该行, 利用经过 LCD30 的数据线施加的第二消隐信号再次预写入该行的所有像素。在经过另一预定时间周期 (例如  $100\mu\text{s}$ ) 后, 再次选择该行, 图像数据从数据线传输至像素电极以显示图像。

因此, 为了执行第一预写入操作从而向 LCD30 的像素行  $n$  提供第一消隐信号, 控制器 20 向地址总线 18 施加行  $n$  的行地址, 并激活第一预写入解码器 14 的第一预写入解码器地址选通信号。控制器 20 还激活与第一预写入解码器 14 连接的第一预写入使能线 24 上的第一预写入解码器使能信号。第一预写入解码器 14 对所施加的行地址进行解

码，并响应第一预写入解码器使能信号，激活与对应的 AND 门 28n 的输入端连接的行使能输出端 n 上的用于行 n 的第一预写入行使能信号（例如有源逻辑 LOW）。此时，行 n 的选择解码器 12 和第二预写入解码器 16 的行使能输出没有被激活（因此是逻辑 HIGH）。然后 AND 门 28n 激活行 n 的行选择信号（逻辑 LOW）提供给驱动器 32。驱动器 32 接通行 n 的像素的开关装置（例如 TFT），以及共用电极电势 36 和经过适当的开关元件所施加的信息，诱发第一预写入“消隐脉冲”，该脉冲可以预写入所选行 n 的像素。第一消隐信息是通过列驱动电路经过开关元件施加到各像素电极的，该列驱动电路未示出。

10 在行 n 的第一预写入操作执行后，控制器 20 去激活第一预写入使能线 24 上的第一预写入解码器使能信号，响应于此，该第一预写入解码器 14 去激活行 n 的第一预写入行使能信号。响应于此，驱动器 32 关断行 n 像素的开关装置（例如 TFT），这样就不再有列驱动电路输出的数据存储在其中。

15 在稍后的时刻（例如行 n 的第一预写入后的 25us），控制器 20 再次向地址总线 18 施加行 n 的行地址，从而向 LCD30 的像素行 n 提供第二消隐信号。但是这次控制器 20 激活第二预写入解码器 14 的第一预写入解码器地址选通信号并激活与第二预写入解码器 16 连接的第二预写入解码器使能线 26 上的第二预写入解码器使能信号。第二预写入解码器 16 对所施加的行地址解码，并响应第二预写入解码器使能信号，激活与对应的 AND 门 28n 的输入连接的行使能输出端 n 上的用于行 n 的第二预写入行使能信号（例如，有源逻辑 LOW）。此时，行 n 的选择解码器 12 和第一预写入解码器 14 的行使能输出都没有被激活（因此是逻辑 HIGH）。然后 AND 门 28n 激活行 n 的行选择信号（逻辑 LOW）提供给驱动器 32。驱动器 32 接通行 n 的像素的开关装置（例如 TFT），以及共用电极电势 36 和经过适当的开关元件所施加的信息，诱导第二预写入“消隐脉冲”，该脉冲可以预写入所选行 n 的像素。第二消隐信息是经过列驱动电路通过开关元件被提供到各像素电极的，该列驱动电路未示出。

30 在行 n 的第二预写入操作执行后，控制器 20 去激活第二预写入使能线 26 上的第二预写入解码器使能信号，响应于此，该第二预写入解码器 16 去激活行 n 的第二预写入行使能信号。响应于此，驱动器 32

关断行  $n$  像素的开关装置（例如 TFT），这样就不再有列驱动电路输出的数据存储其中。

最后，在稍后的时刻（例如第二预写入后的 100us），控制器 20 向地址总线 18 施加行  $n$  的行地址，从而向 LCD30 的行  $n$  的像素中写入图像数据。此时控制器 20 激活第一预写入解码器地址选通信号并激活与选择解码器 12 连接的选择解码器使能线 22 上的选择解码器使能信号。选择解码器 12 对所提供的行地址解码，并响应选择解码器使能信号，激活与对应的 AND 门 28 $n$  的输入端连接的行使能输出端  $n$  上的行  $n$  的选择行使能信号（例如，有源逻辑 LOW）。此时，行  $n$  的第一预写入解码器 14 和第二预写入解码器 16 的行使能输出都没有激活（因此逻辑 HIGH）。然后 AND 门 28 $n$  激活行  $n$  的行选择信号（逻辑 LOW）提供给驱动器 32。驱动器 32 接通行  $n$  的像素的开关装置（例如 TFT），以及共用电极电势 36 和经过适当的开关元件所施加的信息，诱发将图像数据传送至所选择行  $n$  的像素中。图像数据是通过列驱动电路经过开关元件施加到各像素电极的，该列驱动电路未示出。

在各帧中重复该过程，从而 LCD30 的每行被使能执行第一和第二数据预写入操作以及图像数据写入操作。

在优选实施例中，在同一扫描（线）周期中可以对 LCD30 的不同行执行预写入和图像数据写入操作。例如，在各线间隔期间在列线上提供的的数据可以包括一初始消隐电压，它是在扫描周期的初始消隐间隔期间被提供的，后面是图像数据电压，该图像数据电压是在扫描周期的随后的图像数据写入间隔期间被提供的。在这种情况下，在扫描周期期间，可以执行行  $n$  的第一预写入操作，随后在相同的扫描周期期间对不同的行  $k$  执行图像数据写入操作的第一部分，并且任选地可以在初始消隐间隔期间对另一不同行  $m$  执行第二预写入操作。

在该方案的一实施例中，控制器 20 在地址总线 18 上写入第一预写入行地址并为第一预写入解码器 14 激活第一预写入解码器地址选通信号。这使得第一预写入解码器 14 可以使能 LCD30 中的对应行（例如行  $n$ ）执行第一预写入操作，如下面将要详细说明的。然后，控制器 20 在地址总线 18 上写入第二消隐行地址，并为第二预写入解码器 16 激活第二预写入解码器地址选通信号。然后，控制器 20 在地址总线 18 中写入显示行地址，并为该选择解码器 12 激活选择解码器地址选通信

号。不同解码器的写入地址的顺序可以重新排列为任何方便的顺序，甚至当地址总线 18 足够宽具有足够数目的线时，还可以同时完成。而且，每个解码器可以具有不同的地址偏差，这样地址总线 18 上的单个地址就可以为每个解码器激活不同行使能输出端。

5 更详细的，在扫描周期的初始消隐间隔期间，控制器 20 激活第一预写入解码器使能线 24 上的第一预写入使能信号，还激活选择解码器使能线 22 上的选择解码器使能信号。响应于此，如上所述，第一预写入解码器 14 激活与 AND 门 28<sub>n</sub> 连接的行 n 的行使能输出端 n 上的行 n 的第一预写入行使能信号。然后，AND 门 28<sub>n</sub> 激活提供给驱动器 32 的  
10 行 n 的行选择信号，从而使驱动器 32 接通行 n 的像素的开关装置。同时，选择解码器 12 激活与 AND 门 28<sub>k</sub> 连接的行 k 的行使能输出端 k 上的行 k 选择行使能信号。然后，AND 门 28<sub>k</sub> 激活提供给驱动器 32 的行 k 的行选择信号，从而使驱动器 32 接共用于行 k 的像素的开关装置。任选在相同的初始消隐间隔期间，控制器 20 激活第二预写入使能解码器使能线 26 上的第二预写入解码器使能信号，从而接通行 m 的像素的  
15 开关装置。这样，在扫描周期的初始消隐间隔期间，可以向行 n 和 k（并任选行 m）的像素提供消隐电压。

在初始消隐间隔完成后，控制器去激活第一（并任选第二）预写入解码器使能信号，使驱动器 32 关断行 n（并任选行 m）像素的开关  
20 装置（例如 TFT），从而使列驱动器电路的数据不再存储其中。同时，对于剩余的扫描周期（即在图像数据写入间隔期间），行 k 的像素的开关装置仍然保持接通从而存储所需的图像数据。

有利地，当行寻址电路中包括第一和第二预写入解码器 14 和 16 且当三个解码器是利用等效电路实现时，如果一个解码器失效则还有  
25 两个解码器可以支持写入数据和一次预写入的基本功能。

虽然产生第一和第二预写入消隐脉冲是有用的，本发明的原理还可以实现双向扫描。在这种模式下，控制器 20 在地址总线 18 上施加行地址信息并在使能线 22 上施加解码器使能信号。然后选择解码器 12 对地址信息解码并向与该行地址相关的适当的 AND 门例如 AND 门 28<sub>n</sub>  
30 提供被激活的行使能信号。然后驱动器 32 使能数据在被选择的像素行中的写入。随后或同时，控制器 20 通过向使能线 24 提供解码器使能信号，向另一解码器，比如第一预写入解码器 14 提供使能信号。通过

偏置被寻址的行(例如通过利用地址  $n$  选择选择解码器的行  $n$ , 而不是选择第一预写入解码器 14 的行  $n+1$ ), 或者通过控制器 20 向第一预写入解码器 14 提供另一行地址(比如  $n+1$ ), 第一预写入解码器对行地址进行解码并为其所选的 AND 门 28 ( $n+1$ ) 提供行选择信号。然后该 AND 门 28 ( $n+1$ ) 向驱动器 32 提供逻辑 LOW, 其也在相邻行中写入相同的图像数据。这样显示器的两条线就可以显示相同的信息。然后, 通过消隐与 AND 门 28 $n$  相关的线, 显示器可以表现为滚动。另外, 屏幕可以表现为向下滚动(通过提供行  $n-1$  而不是  $n+1$ ) 或者可表现为快速滚动(例如通过提供  $n+3$  而不是  $n+1$ )。这种双行模式还有其它作用, 例如快速屏幕利用特定颜色填充, 这也可以通过不对以前写入的行(例如行  $n$ ) 进行消隐来实现。

应当理解, 上述实施例只是用于说明而不是限制本发明, 本领域技术人员可以在不脱离附加权利要求的范围的情况下实现多种替换实施例。在权利要求中, 任何置于括号中的附图标记都不对权利要求进行限制。词汇“包括”并不排除权利要求中列出的元件或步骤以外的其它元件或步骤。元件前面的词汇“一”或“一个”并不排除多个这样元件的可能性。本发明可通过包括多个独立元件的硬件来实现, 也可以通过被合适编程的计算机来实现。在装置权利要求中枚举了多个装置, 其中一些可以利用完全相同的硬件来实现。在彼此不同的从属权利要求中说明的特定手段的事实并不表示不能使用这些手段的组合。

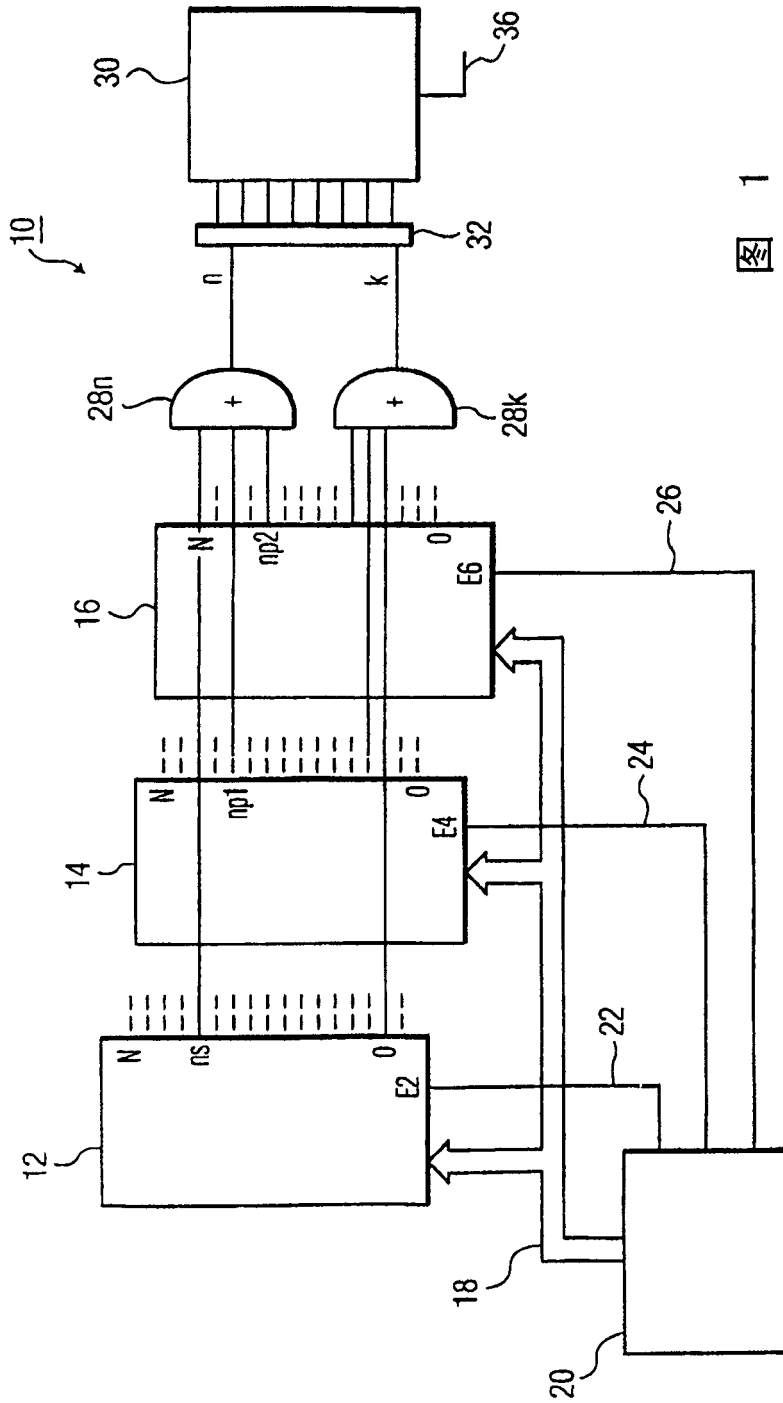


图 1

专利名称(译)	液晶显示器的行寻址电路		
公开(公告)号	<a href="#">CN1539134A</a>	公开(公告)日	2004-10-20
申请号	CN02815195.X	申请日	2002-07-31
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
当前申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
[标]发明人	P詹森 LR阿尔布		
发明人	P·詹森 L·R·阿尔布		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3607 G09G3/3674		
代理人(译)	吴立明 王勇		
优先权	09/920826 2001-08-03 US		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

用于实现随机行选择、预写入和双向滚动的行寻址电路，包括多个解码器(12、14、16)，每个解码器与一地址总线(18)连接，每个具有一解码器使能输入端(E2、E4、E6)，每个为像素阵列行提供行使能信号。各解码器(12、14、16)输出的各行的行使能信息可以逻辑合并在一起从而产生合成的行驱动信息。有利地，每个解码器(12、14、16)都与相同的地址总线(18)连接，由一共用控制器(20)产生每个解码器使能信号。通过利用这些行使能信号，与地址总线(18)上的地址信息同步地，向各像素提供正确的行驱动信息，例如预写入或图像信息。通过使能两个行来接受相同的图像信息可以实现双向滚动。

