



(12)发明专利申请

(10)申请公布号 CN 110824800 A

(43)申请公布日 2020.02.21

(21)申请号 201911225794.0

(51)Int.CI.

(22)申请日 2010.09.28

G02F 1/1368(2006.01)

(30)优先权数据

G09G 3/36(2006.01)

2009-238916 2009.10.16 JP

H01L 27/12(2006.01)

2009-273913 2009.12.01 JP

H01L 29/786(2006.01)

2009-278999 2009.12.08 JP

G09G 5/18(2006.01)

(62)分案原申请数据

201080046963.5 2010.09.28

(71)申请人 株式会社半导体能源研究所

地址 日本神奈川县

(72)发明人 山崎舜平 小山润 三宅博之

津吹将志 野田耕生

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 宋俊寅

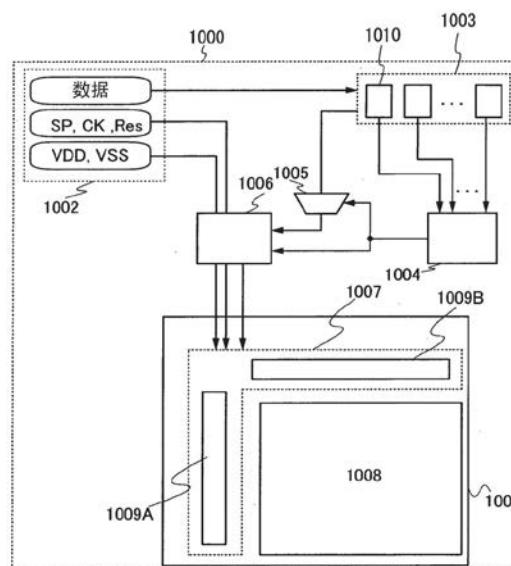
权利要求书2页 说明书54页 附图34页

(54)发明名称

显示设备

(57)摘要

本发明涉及一种显示设备,包括:包括源极、漏极和沟道形成区的晶体管,所述沟道形成区包括氧化物半导体;电连接到所述晶体管的所述源极或所述漏极的像素电极;以及与所述像素电极相邻的液晶材料,其中,所述液晶材料在20℃测量的特定电阻率大于或等于 $1 \times 10^{12} \Omega \cdot \text{cm}$ 。



1. 一种显示设备,包括:

像素部分及驱动电路,

其中,所述像素部分包括晶体管及显示元件,

所述晶体管包括栅极电极层、所述栅极电极层上的栅极绝缘层以及所述栅极绝缘层上的氧化物半导体层,

第一氧化硅膜位于所述氧化物半导体层上,

第一氮化硅膜位于所述第一氧化硅膜上,

所述栅极绝缘层包括第二氮化硅膜以及所述第二氮化硅膜上的第二氧化硅膜,

所述第一氧化硅膜包括与所述氧化物半导体层接触的区域,

所述第二氧化硅膜包括与所述氧化物半导体层接触的区域,

所述驱动电路具有对所述像素部分写入信号的功能,

并且,在使所述像素部分显示静止图像时将所述信号从所述驱动电路通过所述晶体管写入到所述显示元件的频率比在使所述像素部分显示活动图像时将所述信号从所述驱动电路通过所述晶体管写入到所述显示元件的频率低。

2. 一种显示设备,包括:

像素部分及驱动电路,

其中,所述像素部分包括晶体管及显示元件,

所述晶体管包括栅极电极层、所述栅极电极层上的栅极绝缘层以及所述栅极绝缘层上的氧化物半导体层,

第一氧化硅膜位于所述氧化物半导体层上,

第一氮化硅膜位于所述第一氧化硅膜上,

所述栅极绝缘层包括第二氮化硅膜以及所述第二氮化硅膜上的第二氧化硅膜,

所述第一氧化硅膜包括与所述氧化物半导体层接触的区域,

所述第二氧化硅膜包括与所述氧化物半导体层接触的区域,

所述氧化物半导体层包含铟、镓及锌,

所述驱动电路具有对所述像素部分写入信号的功能,

并且,在使所述像素部分显示静止图像时将所述信号从所述驱动电路通过所述晶体管写入到所述显示元件的频率比在使所述像素部分显示活动图像时将所述信号从所述驱动电路通过所述晶体管写入到所述显示元件的频率低。

3. 一种显示设备,包括:

像素部分及驱动电路,

其中,所述像素部分包括晶体管及显示元件,

所述晶体管包括栅极电极层、所述栅极电极层上的栅极绝缘层以及所述栅极绝缘层上的氧化物半导体层,

第一氧化硅膜位于所述氧化物半导体层上,

第一氮化硅膜位于所述第一氧化硅膜上,

所述栅极绝缘层包括第二氮化硅膜以及所述第二氮化硅膜上的第二氧化硅膜,

所述第一氧化硅膜包括与所述氧化物半导体层接触的区域,

所述第二氧化硅膜包括与所述氧化物半导体层接触的区域,

所述氧化物半导体层包括结晶部分，
所述驱动电路具有对所述像素部分写入信号的功能，
并且，在使所述像素部分显示静止图像时将所述信号从所述驱动电路通过所述晶体管写入到所述显示元件的频率比在使所述像素部分显示活动图像时将所述信号从所述驱动电路通过所述晶体管写入到所述显示元件的频率低。

4. 一种显示设备，包括：
像素部分及驱动电路，
其中，所述像素部分包括晶体管及显示元件，
所述晶体管包括栅极电极层、所述栅极电极层上的栅极绝缘层以及所述栅极绝缘层上的氧化物半导体层，
第一氧化硅膜位于所述氧化物半导体层上，
第一氮化硅膜位于所述第一氧化硅膜上，
所述栅极绝缘层包括第二氮化硅膜以及所述第二氮化硅膜上的第二氧化硅膜，
所述第一氧化硅膜包括与所述氧化物半导体层接触的区域，
所述第二氧化硅膜包括与所述氧化物半导体层接触的区域，
所述晶体管的截止状态电流为小于或等于 $1 \times 10^{-13} A$ ，
所述驱动电路具有对所述像素部分写入信号的功能，
并且，在使所述像素部分显示静止图像时将所述信号从所述驱动电路通过所述晶体管写入到所述显示元件的频率比在使所述像素部分显示活动图像时将所述信号从所述驱动电路通过所述晶体管写入到所述显示元件的频率低。

5. 如权利要求1至4中任一项所述的显示设备，其特征在于，
所述第一氧化硅膜具有对所述氧化物半导体层供应氧的功能。

显示设备

[0001] 本申请是针对分案申请201610843907.3再次提出的分案申请。分案申请201610843907.3是申请日为2010年9月28日、申请号为“201080046963.5”、发明名称为“液晶显示设备以及具有其的电子装置”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及液晶显示设备。本发明涉及具有液晶显示设备的电子装置。

背景技术

[0003] 如通常在液晶显示设备中看到的,在诸如玻璃基板之类的平板上形成的薄膜晶体管已使用非晶硅、多晶硅等来制造。使用非晶硅制造的薄膜晶体管具有低场效应迁移率,但可在较大的玻璃基板上形成。另一方面,使用晶体硅制造的薄膜晶体管具有高场效应迁移率,但是由于诸如激光退火之类的结晶步骤,这种晶体管不一定适于在较大的玻璃基板上形成。

[0004] 鉴于上述内容,已注意到一种使用氧化物半导体制造薄膜晶体管的技术,而且这种晶体管应用于电子器件或光学器件。例如,专利文献1公开了使用氧化锌或In-Ga-Zn-O基氧化物半导体作为氧化物半导体膜来制造薄膜晶体管的技术,并且这种晶体管被用作例如液晶显示设备的开关元件。

[0005] [参考文献]

[0006] 专利文献1:日本公开专利申请No.2006-165528

发明内容

[0007] 据说,其中氧化物半导体用于形成沟道区的薄膜晶体管实现了比其中非晶硅用于形成沟道区的薄膜晶体管高的场效应迁移率。期望将包括使用氧化物半导体的这种薄膜晶体管的像素应用于显示设备,诸如液晶显示设备。

[0008] 液晶显示设备中所包括的每一像素设置有其中保持用于控制液晶元件取向的电压的存储电容器。薄膜晶体管的截止漏电流(在下文中称为截止状态电流)是确定保持电容量的一个因素。当显示静止图像等时,减小截止状态电流(这导致在存储电容器中保持电压的周期增大)对于降低功耗是重要的。

[0009] 此外,制造显示设备从而除了显示静止图像等时的低功耗以外可显示活动图像,这对于提高显示设备的附加价值来说是重要的。因此,确定图像是静止图像还是活动图像、以及通过在静止图像和活动图像之间切换来进行显示、从而通过降低显示静止图像时的功耗来进一步降低功耗是重要的。

[0010] 注意在本说明书中,截止状态电流是当薄膜晶体管处于截止状态(也称为非导通状态)时在源极和漏极之间流动的电流。在n沟道薄膜晶体管(例如,具有约0至2V的阈值电压)的情况下,截止状态电流是指当负电压施加到栅极和源极之间时在源极和漏极之间流动的电流。

[0011] 此外,在具有更高附加价值的液晶显示设备(诸如3D显示器或4k2k显示器)中,期望每一像素的面积较小,并且需要改进孔径比。为了改进孔径比,减小存储电容器的面积是重要的。因此,需要减小薄膜晶体管的截止状态电流。

[0012] 鉴于上述内容,本发明的一个实施例的目的在于,提供其中在像素中减小使用氧化物半导体的薄膜晶体管的截止状态电流的具有降低功耗的液晶显示设备。

[0013] 本发明的一个实施例是液晶显示设备,该液晶显示设备包括:包括驱动电路部分、以及其中包括使用氧化物半导体的半导体层的晶体管设置在每一像素中的像素部分的显示面板;用于生成用于驱动驱动电路部分的控制信号、以及供应到像素部分的图像信号的信号生成电路;用于存储每一帧周期的图像信号的存储器电路;用于在存储器电路中存储的各个帧周期的图像信号中检测一系列帧周期的图像信号的差异的比较电路;在比较电路中检测到该差异时选择和输出该一系列帧周期的图像信号的选择电路;以及在比较电路中检测到该差异时将控制信号以及从选择电路输出的图像信号供应到驱动电路部分、并且在比较电路中未检测到该差异时停止向驱动电路部分供应控制信号的显示控制电路。

[0014] 液晶显示设备中的控制信号可以是高电源电位、低电源电位、时钟信号、起动脉冲信号、以及重置信号中的任一个。

[0015] 液晶显示设备中的氧化物半导体可具有通过二次离子质谱法检测的小于或等于 $1 \times 10^{16}/\text{cm}^3$ 的氢浓度。

[0016] 液晶显示设备中的氧化物半导体可具有小于 $1 \times 10^{14}/\text{cm}^3$ 的载流子密度。

[0017] 根据本发明,在包括使用氧化物半导体的薄膜晶体管的像素中,截止状态电流可减小。因此,在存储电容器中保持电压的周期可延长,从而可提供其中可降低显示静止图像等时的功耗的液晶显示设备。此外,可改进孔径比,从而可提供包括高分辨率显示部分的液晶显示设备。

[0018] 此外,可提供不仅显示静止图像而且显示活动图像的显示设备,从而可提高显示设备的附加价值。确定图像是静止图像还是活动图像,并且通过在静止图像和活动图像之间切换来进行显示,从而可降低显示静止图像时的功耗。

附图说明

- [0019] 图1是示出液晶显示设备的方框图的一个示例的示图;
- [0020] 图2A至2C是示出驱动电路的一个示例的示图。
- [0021] 图3是驱动电路的时序图。
- [0022] 图4A至4C是示出驱动电路的一个示例的示图。
- [0023] 图5A和5B示出薄膜晶体管。
- [0024] 图6A至6E示出用于制造薄膜晶体管的方法。
- [0025] 图7A和7B示出薄膜晶体管。
- [0026] 图8A至8E示出用于制造薄膜晶体管的方法。
- [0027] 图9A和9B各自示出薄膜晶体管。
- [0028] 图10A至10E示出用于制造薄膜晶体管的方法。
- [0029] 图11A至11E示出用于制造薄膜晶体管的方法。
- [0030] 图12A至12D示出用于制造薄膜晶体管的方法。

- [0031] 图13A至13D示出用于制造薄膜晶体管的方法。
- [0032] 图14示出薄膜晶体管。
- [0033] 图15A至15C示出液晶面板。
- [0034] 图16A至16C各自示出电子装置。
- [0035] 图17A至17C各自示出电子装置。
- [0036] 图18A和18B示出显示面板和薄膜晶体管。
- [0037] 图19是用于描述实施例13的示图。
- [0038] 图20A和20B是用于描述实施例13的示图。
- [0039] 图21A和21B是用于描述实施例13的示图。
- [0040] 图22是用于描述实施例13的示图。
- [0041] 图23是用于描述实施例14的曲线图。
- [0042] 图24A和24B是用于描述实施例14的照片。
- [0043] 图25A和25B是用于描述实施例14的曲线图。
- [0044] 图26A至26D是用于描述实施例1的示图。
- [0045] 图27是用于描述示例1的照片。
- [0046] 图28是用于描述示例1的曲线图。
- [0047] 图29是用于描述示例2的照片。
- [0048] 图30是用于描述示例2的曲线图。
- [0049] 图31是用于描述示例3的照片。
- [0050] 图32是用于描述示例3的曲线图。
- [0051] 图33是用于描述示例4的照片。
- [0052] 图34是用于描述示例5的示图。

具体实施方式

[0053] 在下文中,将参考附图描述本发明的实施例和示例。然而,本领域技术人员容易理解,本文中所公开的模式和细节可以各种方式修改,而不背离本发明的精神和范围。因此,本发明不应被解释为限于实施例和示例的描述。注意,在以下所述的本发明的结构中,在所有附图中,相同的部分由相同的附图标记指示。

[0054] 注意,在一些情况下为了简单起见,实施例中的附图等所示的尺寸、层的厚度、或每一结构的区域被放大。因此,本发明的实施例不限于这种缩放比例。

[0055] 在本说明书中,为了避免组件之间的混淆使用诸如“第一”、“第二”和“第三”的序数,而这些术语并不在数值上限制组件。

[0056] (实施例1)

[0057] 在本实施例中,描述显示设备的方框图、以及驱动电路中的操作的停止顺序和开始顺序。首先,使用图1来描述显示设备的方框图。

[0058] 实施例1中所描述的液晶显示设备1000包括显示面板1001、信号生成电路1002、存储器电路1003、比较电路1004、选择电路1005、以及显示控制电路1006。

[0059] 显示面板1001包括例如驱动电路部分1007和像素部分1008。包括栅极线驱动电路1009A和信号线驱动电路1009B,它们是用于驱动包括多个像素的像素部分1008的驱动电

路。栅极线驱动电路1009A、信号线驱动电路1009B、以及像素部分1008可使用在一个基板上形成的晶体管来形成。

[0060] 栅极线驱动电路1009A、信号线驱动电路1009B、以及像素部分1008可使用n沟道晶体管来形成，在每一n沟道晶体管中使用氧化物半导体来形成半导体层。栅极线驱动电路1009A和/或信号线驱动电路1009B可在与像素部分相同的基板或不同的基板上形成。

[0061] 可采用逐行扫描法、隔行扫描法等作为像素部分1008中的显示方法。彩色显示时在像素中受控的色彩分量不限于R、G和B (R、G和B分别对应于红色、绿色和蓝色) 三种色彩；例如，可采用R、G、B和W (W对应于白色) 、或者R、G、B和黄色、青色、品红色中的一种或多种等。此外，取决于色彩分量的相应点，显示区的尺寸可以是不同的。本发明不限于应用于供彩色显示的显示设备，而是还可应用于供单色显示的显示设备。

[0062] 接着，描述被用作栅极线驱动电路1009A、信号线驱动电路1009B、以及像素部分1008中的任一个中所包括的晶体管的半导体层的氧化物半导体层。

[0063] 至于本实施例中所使用的氧化物半导体，在氧化物半导体中包含小于或等于 $1 \times 10^{16}/\text{cm}^3$ 的氢，并且去除氧化物半导体中所包含的氢。氧化物半导体膜具有小于 $1 \times 10^{14}/\text{cm}^3$ 的载流子密度、优选小于或等于 $1 \times 10^{12}/\text{cm}^3$ ，并且被用于形成薄膜晶体管的沟道区。在本说明书中，具有小于 $1 \times 10^{12}/\text{cm}^3$ 的载流子密度的氧化物半导体被称为本征(I型)氧化物半导体，而具有大于或等于 $1 \times 10^{12}/\text{cm}^3$ 但小于或等于 $1 \times 10^{14}/\text{cm}^3$ 的载流子密度的氧化物半导体被称为基本本征氧化物半导体。在本说明书中，氧化物半导体层中的氢浓度通过二次离子质谱法(SIMS)来测量。

[0064] 在氧化物半导体的带隙为大于或等于2eV、优选为大于或等于2.5eV、更优选为大于或等于3eV的情况下，由热激发引起的载流子数量是可忽略的。因此，尽可能地减少杂质(诸如可用作施主的氢)以使载流子密度小于 $1 \times 10^{14}/\text{cm}^3$ ，优选小于或等于 $1 \times 10^{12}/\text{cm}^3$ 。即，氧化物半导体层的载流子密度尽可能地减少以极接近于零。

[0065] 通过从氧化物半导体尽可能多地去除氢来高度提纯的这种氧化物半导体被用于薄膜晶体管的沟道形成区，由此即使当沟道宽度为10mm时，漏电流在漏电压在1V至10V的范围内以及栅电压在-5V至-20V的范围内时也小于或等于 $1 \times 10^{-13}\text{A}$ 。

[0066] 在使用其截止状态电流极小的这种薄膜晶体管来制造显示设备的情况下，漏电流减小，从而用于保持显示数据的周期可延长。

[0067] 具体地，在包括具有 $10\mu\text{m}$ 沟道宽度的上述氧化物半导体层的晶体管中，沟道宽度的每微米截止状态电流可小于或等于 $10\text{aA}/\mu\text{m}$ ($1 \times 10^{17}\text{A}/\mu\text{m}$)，并且进一步可小于或等于 $1\text{aA}/\mu\text{m}$ ($1 \times 10^{18}\text{A}/\mu\text{m}$)。其截止状态电流极小的这种晶体管被用作栅极线驱动电路1009A、信号线驱动电路1009B、以及像素部分1008中的任一个中所包括的晶体管，由此诸如视频信号之类的电信号的保持时间可增大。由于保持时间可增大，因此例如，写入视频信号之后的保持时间被设为大于或等于10秒、优选为大于或等于30秒、更优选大于或等于1分钟且小于10分钟。通过增大保持时间，写入时序之间的间隔可增大，从而可进一步抑制功耗。

[0068] 对晶体管中的截止状态电流流动的阻力可被称为截止状态电阻率。截止状态电阻率是晶体管截止时的沟道形成区的电阻率，其可根据截止状态电流来计算。

[0069] 具体地，晶体管截止时的电阻(截止状态电阻R)可使用欧姆定律根据截止状态电流和漏电压来计算，这得到截止状态电阻率 ρ ，其使用公式 $\rho = RA/L$ (R 是截止状态电阻)根据

沟道形成区的截面积A和沟道形成区的长度L(其对应于源电极和漏电极之间的距离)来计算。

[0070] 截面积A可根据 $A=dW$ (其中沟道形成区的厚度为d,而沟道宽度为W)来计算。沟道形成区的长度L是沟道长度L。以此方式,截止状态电阻率可根据截止状态电流来计算。

[0071] 本实施例中的包括氧化物半导体层的晶体管的截止状态电阻率优选为大于或等于 $1 \times 10^9 \Omega \cdot \text{m}$,更优选为大于或等于 $1 \times 10^{10} \Omega \cdot \text{m}$ 。

[0072] 另一方面,例如在使用低温多晶硅的晶体管的情况下,假设截止状态电流约为 $1 \times 10^{-12} \text{A}/\mu\text{m}$ 来进行设计等。因此,在包括氧化物半导体的晶体管中,当保持电容彼此相等时(约0.1pF)时,电压的保持周期可延长到使用低温多晶硅的晶体管的保持周期的约 10^5 倍长的周期。此外,在使用非晶硅的晶体管的情况下,沟道宽度的每微米截止状态电流为大于或等于 $1 \times 10^{-13} \text{A}/\mu\text{m}$ 。因此,在包括具有高纯度氧化物半导体的晶体管中,当保持电容彼此相等时(约0.1pF)时,电压的保持周期可延长到使用非晶硅的晶体管的保持周期的 10^4 倍或更长的周期。

[0073] 例如,在使用利用低温多晶硅的晶体管的像素的情况下,图像显示一般以每秒60帧(每帧16微秒)进行。相同的速率可适用于静止图像显示的情况,这是因为如果速率降低(写入时序之间的间隔增大),则像素的电压减小,其不利地影响图像显示。另一方面,在使用包括氧化物半导体层的上述晶体管的情况下,由于截止状态电流较小,因此每信号写入的保持周期可延长到1600秒,其约为使用低温多晶硅的晶体管的保持周期的 10^5 倍长。

[0074] 以此方式,静止图像显示甚至可通过不太频繁地写入图像信号而在显示部分上进行。由于保持周期可延长,因此信号写入的频率可降低,尤其是当显示静止图像时。例如,在一个静止图像的显示周期中信号写入的次数可以是1或n(n大于或等于2且小于或等于 10^3)。由此可实现显示设备的低功耗。

[0075] 一般而言,每一像素设置有通过一对电极、以及设置为该对电极之间的电介质的绝缘层而形成的存储电容器。存储电容器的尺寸可鉴于设置在每一像素中的晶体管的截止状态电流等来设置。在本实施例中,由于包括高纯度氧化物半导体层的晶体管被用作设置在每一像素中的晶体管,因此设置其电容小于或等于每一像素的液晶电容的 $1/3$ 、优选小于或等于 $1/5$ 的存储电容器就足够了。

[0076] 由于在包括高纯度氧化物半导体层的上述晶体管中保持周期可以较长,因此信号写入的频率可极大地降低,尤其是当显示静止图像时。因此,在显示例如静止图像(其涉及不太频繁的显示切换)时将信号写入像素的次数可减少,从而可实现低功耗。

[0077] 在显示静止图像时,考虑到在保持周期期间施加到液晶元件的电压的保持速率,可适当地进行刷新操作。例如,可在存储电容器中的电压相对于在信号刚写入液晶元件的像素电极之后的电压值(初始值)达到预定电平时进行刷新操作。优选相对于初始值设置该电压的预定电平,从而不会感测到闪烁。具体地,优选每当该电压达到比初始值小10%(优选3%)的电压时,就进行刷新操作(重写)。

[0078] 在显示静止图像时的保持周期中,对电极(也称为公共电极)可进入浮动状态。具体地,可在将公共电位供应到对电极的电源和对电极之间设置开关,在写入周期中该开关导通以将来自电源的公共电位供应到对电极,并且随后在保持周期中该开关截止以使对电极进入浮动状态。优选使用包括上述高纯度氧化物半导体层的晶体管作为开关。

[0079] 信号生成电路1002是用于生成用于驱动栅极线驱动电路1009A的信号、以及用于驱动信号线驱动电路1009B的信号的电路。信号生成电路1002还是用于通过布线输出用于驱动驱动电路部分1007的信号的电路、并且是用于通过布线将图像信号(也称为视频电压、视频信号、或视频数据)输出到存储器电路1003的电路。换句话说,信号生成电路1002是用于生成和输出用于控制驱动电路部分1007的控制信号、以及供应到像素部分1008的图像信号的电路。

[0080] 具体地,作为控制信号,信号生成电路1002将高电源电位VDD和低电源电位VSS供应到栅极线驱动电路1009A和信号线驱动电路1009B,并供应用于栅极线驱动电路1009A的起动脉冲SP和时钟脉冲CK、以及用于信号线驱动电路1009B的起动脉冲SP和时钟脉冲CK。此外,信号生成电路1002将用于显示活动图像或静止图像的图像信号Data(数据)供应到存储器电路1003。

[0081] 活动图像是指通过快速切换按时间被划分成多个帧的多个图像来用人眼识别为活动图像的图像。具体地,活动图像是指通过以每秒至少60次(60帧)切换图像来用人眼识别为具有较少闪烁的活动图像的一系列图像信号。与活动图像不同,静止图像是指虽然按时间被划分成多个帧周期的多个图像快速地切换,但在一系列帧周期中(例如,在第n帧和第(n+1)帧中)不会改变的图像信号。

[0082] 信号生成电路1002还可生成另一信号,诸如图像信号或闩锁信号。信号生成电路1002可将用于停止输出每一驱动电路的脉冲信号的重置信号Res输出到栅极线驱动电路1009A和/或信号线驱动电路1009B。每一信号可包括多个信号,诸如第一时钟信号和第二时钟信号。

[0083] 高电源电位VDD是指高于基准电位的电位,而低电源电位VSS是指低于或等于基准电位的电位。优选高电源电位和低电源电位是高到足以使晶体管操作的电位。

[0084] 在许多情况下,电压是指给定电位和基准电位(例如,地电位)之间的电位差。因此,电压、电位和电位差也可分别被称为电位、电压和电压差。

[0085] 在从信号生成电路1002输出到存储器电路1003的图像信号是模拟信号的情况下,该模拟信号可通过A/D转换器等转换成数字信号以输出到存储器电路1003。

[0086] 存储器电路1003包括用于存储多个帧的图像信号的多个帧存储器1010。帧存储器可使用存储器元件(诸如动态随机存取存储器(DRAM)或静态随机存取存储器(SRAM))来形成。

[0087] 帧存储器1010的数量没有具体限制,只要可存储每一帧周期的图像信号。帧存储器1010的图像信号由比较电路1004和选择电路1005选择性地读出。

[0088] 比较电路1004是选择性地读出存储在存储器电路1003中的一系列帧周期中的图像信号、比较该图像信号、并且检测其差异的电路。该一系列帧周期的图像在通过在比较电路1004中比较图像信号而检测到该差异的情况下被确定为活动图像,而在通过在比较电路1004中比较图像信号而未检测到该差异的情况下被确定为静止图像。即,通过在比较电路1004中检测该差异来确定一系列帧周期中的图像信号是用于显示活动图像的图像信号还是用于显示静止图像的图像信号。通过比较所获取的该差异可被设置成在其超过预定电平时被确定为检测到的差异。

[0089] 选择电路1005包括诸如薄膜晶体管的多个开关,并且是在通过比较电路1004中的

差异检测来确定用于显示活动图像的图像信号时选择来自存储图像信号的帧存储器1010的图像信号、并输出到显示控制电路1006的电路。当未检测到在比较电路1004中比较的一系列帧之间的图像信号的差异时,在一系列帧中显示的图像是静止图像,并且在此情况下,选择电路1005可不将后面帧的图像信号中的信号输出到显示控制电路1006。

[0090] 显示控制电路1006是切换将图像信号和控制信号(诸如高电源电位VDD、低电源电位VSS、起动脉冲SP、时钟信号CK、以及重置信号Res)供应到驱动电路部分1007、与停止向该驱动电路部分1007供应这些信号的电路。具体地,当图像被比较电路1004确定为活动图像(即,检测到一系列帧中的图像信号的差异)时,将图像信号通过显示控制电路1006从选择电路1005供应到驱动电路部分1007,并且将控制信号通过显示控制电路1006供应到驱动电路部分1007。另一方面,当图像被比较电路1004确定为静止图像(即,未检测到一系列帧中的图像信号的差异)时,不从选择电路1005供应后面帧的图像信号,从而图像信号未通过显示控制电路1006供应到驱动电路部分1007,并且显示控制电路1006停止向驱动电路部分1007供应控制信号。

[0091] 注意,在确定为静止图像的情况下,当假设图像是静止图像的周期较短时,停止供应控制信号中的高电源电位VDD和低电源电位VSS不一定进行。这是因为,可减小因频繁地停止和开始供应高电源电位VDD和低电源电位VSS引起的功耗增加,这是优选的。

[0092] 优选停止供应图像信号和控制信号完全在像素部分1008中的每一像素中用于保持图像信号的周期中进行,并且显示控制电路1006以前供应的图像信号和控制信号再次供应,以使图像信号在每一像素的保持周期之后再次供应。

[0093] 供应任何信号是指将预定电位供应到布线。停止供应任何信号是指停止预定电位向布线的供应、以及到向其供应预定固定电位的布线的连接,例如,向其供应低电源电位VSS的布线。停止供应任何信号还指切断到向其供应预定电位的布线的电连接以进入浮动状态。

[0094] 如上所述,在包括氧化物半导体层的薄膜晶体管中,截止状态电流减小到小于或等于 $1 \times 10^{-12} \text{ A}/\mu\text{m}$,从而保持周期可延长。因此,在本实施例中,期望在降低显示静止图像时的功耗中产生增强效应。

[0095] 以此方式,比较图像信号以确定其图像是活动图像还是静止图像,并且选择性地进行供应或停止供应控制信号(诸如时钟信号或起动脉冲),由此可降低功耗。

[0096] 接着,使用图2A至2C来描述驱动电路部分1007的栅极线驱动电路1009A和信号线驱动电路1009B中的每一个中所包括的移位寄存器的结构的示例。

[0097] 图2A所示的移位寄存器包括第一至第N个脉冲输出电路10_1至10_N(N是大于或等于3的自然数)。将来自第一布线11的第一时钟信号CK1、来自第二布线12的第二时钟信号CK2、来自第三布线13的第三时钟信号CK3、以及来自第四布线14的第四时钟信号CK4供应到图2A所示的移位寄存器的第一至第N个脉冲输出电路10_1到10_N。来自第五布线15的起动脉冲SP1(第一起动脉冲)被输入到第一脉冲输出电路10_1。来自前一级中的脉冲输出电路的信号(称为前一级信号OUT(n-1)(n是大于或等于2且小于或等于N的自然数)的信号)被输入到第二或更后面的级中的第N个脉冲输出电路10_N。来自第一脉冲输出电路10_1之后两级的级中的第三脉冲输出电路10_3的信号被输入到第一脉冲输出电路10_1;类似地,来自第N个脉冲输出电路10_N之后两级的级中的第(N+2)个脉冲输出电路10_(n+2)的信号(被称

为后续级信号OUT (n+2) 的信号) 被输入到第n个脉冲输出电路。以此方式, 从每一脉冲输出电路输出要输入到下一级和/或两级之前的级的脉冲输出电路的第一输出信号(对应于OUT (1) (SR) 至OUT (N) (SR) 中的一个)、以及输入到另一电路等的第二输出信号(对应于OUT (1) 至OUT (N) 中的一个)。注意, 如图2A所示, 后续级信号OUT (n+2) 未被输入到移位寄存器的最后两级; 因此, 作为示例, 第二起动脉冲SP2可被输入到移位寄存器的最后两级中的一级, 而第三起动脉冲SP3可被输入到该最后两级中的另一级。替换地, 可在内部生成要输入的信号。例如, 可提供对到显示部分的脉冲输出没有做出贡献的第(N+1)个脉冲输出电路10_(N+1) 和第(N+2)个脉冲输出电路10_(N+2) (这些电路也称为伪级(dummy stage)), 并且可在伪级中生成与第二起动脉冲(SP2) 和第三起动脉冲(SP3) 相对应的信号。

[0098] 注意, 第一至第四时钟信号(CK1)至(CK4)各自是以恒定循环在H电平信号和L电平信号之间振荡的信号。第一至第四时钟信号(CK1)至(CK4)按顺序延迟1/4周期。在本实施例中, 通过使用第一至第四时钟信号(CK1)至(CK4), 进行对驱动脉冲输出电路等的控制。注意, 取决于输入时钟信号的驱动电路, 时钟信号也称为GCK或SCK; 然而, 在本实施例中通过使用CK作为时钟信号来进行描述。

[0099] 注意, 当明确描述“A和B连接”时, A和B电连接的情况、A和B功能性地连接的情况、以及A与B直接连接的情况都被包括在内。在此, A和B各自对应于一对象(例如, 设备、元件、电路、布线、电极、端子、导电膜、或层)。因此, 包括其他连接关系而不限于预定连接关系, 例如, 附图和文字所示的连接关系。

[0100] 第一至第N个脉冲输出电路10_1至10_N各自包括第一输入端子21、第二输入端子22、第三输入端子23、第四输入端子24、第五输入端子25、第一输出端子26、以及第二输出端子27(参见图2B)。

[0101] 第一输入端子21、第二输入端子22、以及第三输入端子23电连接到第一至第四布线11至14中的任一个。例如, 在图2A和2B中, 第一脉冲输出电路10_1的第一输入端子21电连接到第一布线11, 第一脉冲输出电路10_1的第二输入端子22电连接到第二布线12, 而第一脉冲输出电路10_1的第三输入端子23电连接到第三布线13。另外, 第二脉冲输出电路10_2的第一输入端子21电连接到第二布线12, 第二脉冲输出电路10_2的第二输入端子22电连接到第三布线13, 而第二脉冲输出电路10_2的第三输入端子23电连接到第四布线14。

[0102] 在图2A和2B中, 在第一脉冲输出电路10_1中, 第一起动脉冲SP1被输入到第四输入端子24, 后续级信号OUT (3) 被输入到第五输入端子25, 第一输出信号OUT (1) (SR) 从第一输出端子26输出, 而第二输出信号OUT (1) 从第二输出端子27输出。

[0103] 接着, 参考图2C描述脉冲输出电路的具体电路结构的示例。

[0104] 在图2C中, 第一晶体管31的第一端子电连接到电源线51、第一晶体管31的第二端子电连接到第九晶体管39的第一端子, 而第一晶体管31的栅电极电连接到第四输入端子24。第二晶体管32的第一端子电连接到电源线52, 第二晶体管32的第二端子电连接到第九晶体管39的第一端子, 而第二晶体管32的栅电极电连接到第四晶体管34的栅电极。第三晶体管33的第一端子电连接到第一输入端子21, 而第三晶体管33的第二端子电连接到第一输出端子26。第四晶体管34的第一端子电连接到电源线52, 而第四晶体管34的第二端子电连接到第一输出端子26。第五晶体管35的第一端子电连接到电源线52, 第五晶体管35的第二端子电连接到第二晶体管32的栅电极和第四晶体管34的栅电极, 而第五晶体管35的栅电极

电连接到第四输入端子24。第六晶体管36的第一端子电连接到电源线51,第六晶体管36的第二端子电连接到第二晶体管32的栅电极和第四晶体管34的栅电极,而第六晶体管36的栅电极电连接到第五输入端子25。第七晶体管37的第一端子电连接到电源线51、第七晶体管37的第二端子电连接到第八晶体管38的第二端子,而第七晶体管37的栅电极电连接到第三输入端子23。第八晶体管38的第一端子电连接到第二晶体管32的栅电极和第四晶体管34的栅电极,而第八晶体管38的栅电极电连接到第二输入端子22。第九晶体管39的第一端子电连接到第一晶体管31的第二端子和第二晶体管32的第二端子,第九晶体管39的第二端子电连接到第三晶体管33的栅电极和第十晶体管40的栅电极,而第九晶体管39的栅电极电连接到电源线51。第十晶体管40的第一端子电连接到第一输入端子21,第十晶体管40的第二端子电连接到第二输出端子27,而第十晶体管40的栅电极电连接到第九晶体管39的第二端子。第十一晶体管41的第一端子电连接到电源线52,第十一晶体管41的第二端子电连接到第二输出端子27,而第十一晶体管41的栅电极电连接到第二晶体管32的栅电极和第四晶体管34的栅电极。

[0105] 在图2C中,第三晶体管33的栅电极、第十晶体管40的栅电极、以及第九晶体管39的第二端子的连接点被称为节点NA。另外,第二晶体管32的栅电极、第四晶体管34的栅电极、第五晶体管35的第二端子、第六晶体管36的第二端子、第八晶体管38的第一端子、以及第十一晶体管41的栅电极的连接点被称为节点NB。

[0106] 在图2C中的脉冲输出电路是第一脉冲输出电路10_1的情况下,第一时钟信号CK1被输入到第一输入端子21,第二时钟信号CK2被输入到第二输入端子22,第三时钟信号CK3被输入到第三输入端子23,起动脉冲SP被输入到第四输入端子24,后续级信号OUT (3) 被输入到第五输入端子25,第一输出信号OUT (1) (SR) 从第一输出端子26输出,而第二输出信号OUT (1) 从第二输出端子27输出。

[0107] 图3示出包括图2C所示的多个脉冲输出电路的移位寄存器的时序图。在移位寄存器是扫描线驱动电路的情况下,图3中的周期61是垂直回扫周期,而周期62是门选周期。

[0108] 在下文中描述在显示静止图像和活动图像的情况下在包括多个n沟道晶体管的驱动电路(被描述为图2A至2C以及图3中的示例)中供应或停止供应布线的电位的次序。

[0109] 首先,在停止驱动电路部分1007的操作的情况下,显示控制电路1006停止供应起动脉冲SP。接着,在停止供应起动脉冲SP之后,在脉冲输出到达移位寄存器的最后一级之后停止供应每一时钟信号CK。然后,停止供应电源电压的高电源电位VDD和低电源电位VSS(参见图26A)。在开始驱动电路部分1007的操作的情况下,首先,显示控制电路1006将电源电压的高电源电位VDD和低电源电位VSS供应到驱动电路部分1007。然后,供应每一时钟信号CK,并且随后开始供应起动脉冲SP(参见图26B)。

[0110] 在图2A至2C以及图3的描述中,重置信号Res未被供应到驱动电路。在图4A至4C中示出并描述向其供应重置信号Res的结构。

[0111] 图4A所示的移位寄存器包括第一至第N个脉冲输出电路10_1至10_N(N是大于或等于3的自然数)。将来自第一布线11的第一时钟信号CK1、来自第二布线12的第二时钟信号CK2、来自第三布线13的第三时钟信号CK3、以及来自第四布线14的第四时钟信号CK4供应到图4A所示的移位寄存器的第一至第N个脉冲输出电路10_1到10_N。来自第五布线15的起动脉冲SP1(第一起动脉冲)被输入到第一脉冲输出电路10_1。来自前一级中的脉冲输出电路

的信号(称为前一级信号OUT (n-1) (n是大于或等于2且低于或等于N的自然数)的信号)被输入到第二或更后面的级中的第N个脉冲输出电路10_N。来自第一脉冲输出电路10_1之后两级的级中的第三脉冲输出电路10_3的信号被输入到第一脉冲输出电路10_1;类似地,来自第N个脉冲输出电路10_N之后两级的级中的第(N+2)个脉冲输出电路10_(N+2)的信号(被称为后续级信号OUT (n+2)的信号)被输入到第n个脉冲输出电路。以此方式,从每一脉冲输出电路输出要输入到下一级和/或两级之前的级的脉冲输出电路的第一输出信号(对应于OUT (1) (SR) 至OUT (N) (SR) 中的一个)、以及输入到另一电路等的第二输出信号(对应于OUT (1) 至OUT (N) 中的一个)。将重置信号Res从第六布线16供应到每一级中的脉冲输出电路。

[0112] 图4A至4C所示的脉冲输出电路与图2A至2C所示的脉冲输出电路的不同之处在于,提供用于供应重置信号Res的第六布线16;其他部分如图2A至2C中所述。

[0113] 第一至第N个脉冲输出电路10_1至10_N各自包括第一输入端子21、第二输入端子22、第三输入端子23、第四输入端子24、第五输入端子25、第一输出端子26、第二输出端子27、以及第六输入端子28(参见图4B)。

[0114] 第一输入端子21、第二输入端子22、以及第三输入端子23电连接到第一至第四布线11至14中的任一个。例如,在图4A和4B中,第一脉冲输出电路10_1的第一输入端子21电连接到第一布线11,第一脉冲输出电路10_1的第二输入端子22电连接到第二布线12,而第一脉冲输出电路10_1的第三输入端子23电连接到第三布线13。另外,第二脉冲输出电路10_2的第一输入端子21电连接到第二布线12,第二脉冲输出电路10_2的第二输入端子22电连接到第三布线13,而第二脉冲输出电路10_2的第三输入端子23电连接到第四布线14。

[0115] 在图4A和4B中,在第一脉冲输出电路10_1中,第一起动脉冲SP1被输入到第四输入端子24,后续级信号OUT (3) 被输入到第五输入端子25,第一输出信号OUT (1) (SR) 从第一输出端子26输出,第二输出信号OUT (1) 从第二输出端子27输出,而重置信号Res从第六输入端子28输入。

[0116] 接着,参考图4C描述脉冲输出电路的具体电路结构的示例。

[0117] 在图4C中,第一晶体管31的第一端子电连接到电源线51、第一晶体管31的第二端子电连接到第九晶体管39的第一端子,而第一晶体管31的栅电极电连接到第四输入端子24。第二晶体管32的第一端子电连接到电源线52,第二晶体管32的第二端子电连接到第九晶体管39的第一端子,而第二晶体管32的栅电极电连接到第四晶体管34的栅电极。第三晶体管33的第一端子电连接到第一输入端子21,而第三晶体管33的第二端子电连接到第一输出端子26。第四晶体管34的第一端子电连接到电源线52,而第四晶体管34的第二端子电连接到第一输出端子26。第五晶体管35的第一端子电连接到电源线52,第五晶体管35的第二端子电连接到第二晶体管32的栅电极和第四晶体管34的栅电极,而第五晶体管35的栅电极电连接到第四输入端子24。第六晶体管36的第一端子电连接到电源线51,第六晶体管36的第二端子电连接到第二晶体管32的栅电极和第四晶体管34的栅电极,而第六晶体管36的栅电极电连接到第五输入端子25。第七晶体管37的第一端子电连接到电源线51、第七晶体管37的第二端子电连接到第八晶体管38的第二端子,而第七晶体管37的栅电极电连接到第三输入端子23。第八晶体管38的第一端子电连接到第二晶体管32的栅电极和第四晶体管34的栅电极,而第八晶体管38的栅电极电连接到第二输入端子22。第九晶体管39的第一端子电连接到第一晶体管31的第二端子和第二晶体管32的第二端子,第九晶体管39的第二端子电

连接到第三晶体管33的栅电极和第十晶体管40的栅电极,而第九晶体管39的栅电极电连接到电源线51。第十晶体管40的第一端子电连接到第一输入端子21,第十晶体管40的第二端子电连接到第二输出端子27,而第十晶体管40的栅电极电连接到第九晶体管39的第二端子。第十一晶体管41的第一端子电连接到电源线52,第十一晶体管41的第二端子电连接到第二输出端子27,而第十一晶体管41的栅电极电连接到第二晶体管32的栅电极和第四晶体管34的栅电极。第二晶体管32的栅电极、第四晶体管34的栅电极、第五晶体管35的第二端子、第六晶体管36的第二端子、第八晶体管38的第一端子、以及第十一晶体管41的栅电极电连接到用于供应重置信号Res的布线53。重置信号Res是用于将具有高电源电位电平的信号供应到第二晶体管32的栅电极、第四晶体管34的栅电极、第五晶体管35的第二端子、第六晶体管36的第二端子、第八晶体管38的第一端子、以及第十一晶体管41的栅电极以将来自脉冲输出电路的输出减小到具有低电源电位电平的信号的信号。

[0118] 在图4C中,第三晶体管33的栅电极、第十晶体管40的栅电极、以及第九晶体管39的第二端子的连接点被称为节点NA。另外,第二晶体管32的栅电极、第四晶体管34的栅电极、第五晶体管35的第二端子、第六晶体管36的第二端子、第八晶体管38的第一端子、以及第十一晶体管41的栅电极的连接点被称为节点NB。

[0119] 在图4C中的脉冲输出电路是第一脉冲输出电路10_1的情况下,第一时钟信号CK1被输入到第一输入端子21,第二时钟信号CK2被输入到第二输入端子22,第三时钟信号CK3被输入到第三输入端子23,起动脉冲SP被输入到第四输入端子24,后续级信号OUT (3) 被输入到第五输入端子25,第一输出信号OUT (1) (SR) 从第一输出端子26输出,第二输出信号OUT (1) 从第二输出端子27输出,而重置信号Res从第六输入端子28输入。

[0120] 包括图4C所示的多个脉冲输出电路的移位寄存器的时序图与图3所示的图2C的类似。

[0121] 在下文中描述在显示静止图像或活动图像的情况下在包括多个n沟道晶体管的驱动电路(被描述为图4A至4C中的示例)中供应或停止供应布线的电位的次序。

[0122] 首先,在停止驱动电路部分1007的操作的情况下,显示控制电路1006停止供应起动脉冲SP。接着,在停止供应起动脉冲SP之后,在脉冲输出到达移位寄存器的最后一级之后停止供应每一时钟信号CK。然后,供应重置信号Res。接着,停止供应电源电压的高电源电位VDD和低电源电位VSS(参见图26C)。在开始驱动电路部分1007的操作的情况下,首先,显示控制电路1006将电源电压的高电源电位VDD和低电源电位VSS供应到驱动电路部分1007。然后,供应重置信号Res。接着,供应每一时钟信号CK,并且随后开始供应起动脉冲SP(参见图26D)。

[0123] 除了图2A至2C以及图3所示的结构以外,其中供应重置信号的如图4A至4C所示的结构是优选的,因为由于在静止图像和活动图像之间切换时的信号延迟等引起的故障可减少。

[0124] 在显示静止图像的情况下,设置在驱动电路部分中所包括的薄膜晶体管上的公共电位电极可从公共电位线切断以使其进入浮动状态。然后,在静止图像模式之后,在再次开始驱动电路的操作的情况下,公共电位电极连接到公共电位线。因此,可防止驱动电路部分中的薄膜晶体管发生故障。

[0125] 图18A示出具有这种结构的显示面板1800,而图18B是用于描述其截面结构的视

图。显示面板1800包括驱动电路1802和1804、以及像素部分1806。公共电位电极1808被设置成与驱动电路1802重叠。用于控制公共电位电极1808和公共电位端子1812之间的连接/非连接的开关1810设置在它们之间。

[0126] 在如图18B所示的驱动电路的TFT 1803上设置公共电位电极1808，由此使TFT 1803屏蔽于静电，从而防止阈值电压的改变或寄生沟道的生成。

[0127] 与TFT 1803相同的结构可被用作开关1810。其中截止状态中的漏电流极小的这种元件有助于稳定显示面板的操作。即，在显示静止图像的情况下，即使当开关1803截止以使公共电位电极进入浮动状态时，电位也可保持恒定。

[0128] 以此方式，通过使用利用具有宽带隙的氧化物半导体而形成的TFT、以及提供公共电位电极来屏蔽外部电场，即使在停止驱动电路的操作的状态中也可显示静止图像。此外，通过根据驱动电路的操作来适当地控制公共电位电极的电位，可稳定显示面板的操作。

[0129] 如上所述，通过使用利用氧化物半导体的薄膜晶体管的较小截止状态电流的特性，对于液晶显示设备，在存储电容器中保持电压的周期可延长，并且显示静止图像等时的功耗可降低。此外，通过在显示静止图像的情况下停止供应控制信号，功耗可进一步降低。另外，可切换静止图像和活动图像，而不发生故障。

[0130] 可与其他实施例中所描述的任一结构适当组合地实现实施例1。

[0131] (实施例2)

[0132] 使用图5A和5B、以及图6A至6E来描述本实施例的薄膜晶体管、以及用于制造薄膜晶体管的方法的实施例。

[0133] 在实施例2中，将描述可应用于本说明书中所描述的液晶显示设备的薄膜晶体管的示例。实施例2中所描述的薄膜晶体管410可被用作实施例1中所描述的像素部分1008的每一像素中的薄膜晶体管。

[0134] 图5A示出薄膜晶体管的平面结构的示例，而图5B示出其截面结构的示例。图5A和5B所示的薄膜晶体管410是顶栅薄膜晶体管。

[0135] 图5A是顶栅薄膜晶体管410的平面图，而图5B是沿图5A中的线C1-C2的截面图。

[0136] 薄膜晶体管410包括，在具有绝缘表面的基板400上的，绝缘层407、氧化物半导体层412、源电极层和漏电极层415a和415b、栅绝缘层402、以及栅电极层411。布线层414a和414b被设置成与源电极层和漏电极层415a和415b接触，以分别电连接到源电极层和漏电极层415a和415b。

[0137] 薄膜晶体管410被描述为单栅薄膜晶体管；当需要时可形成包括多个沟道形成区的多栅薄膜晶体管。

[0138] 在下文中参考图6A至6C描述用于在基板400上制造薄膜晶体管410的工艺。

[0139] 对可被用作具有绝缘表面的基板400的基板没有具体限制，只要该基板对于稍后要进行的热处理具有足够的耐热性即可。

[0140] 当稍后进行的热处理的温度较高时，可使用其应变点高于或等于730°C的玻璃基板作为基板400。例如，使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃、或钡硼硅酸盐玻璃之类的玻璃材料作为玻璃基板的材料。注意，通过包含比氧化硼的量多的氧化钡(BaO)，可形成更实用的耐热玻璃基板。因此，优选使用包含比B₂O₃的量多的BaO的玻璃基板。

[0141] 注意，可使用诸如陶瓷基板、石英基板、或兰宝石基板之类的绝缘体形成的基板来

代替上述玻璃基板作为基板400。替换地,可使用结晶玻璃基板等。进一步替换地,可使用塑料基板等。

[0142] 首先,在具有绝缘表面的基板400上形成用作基膜的绝缘层407。优选诸如氧化硅层、氧氮化硅层、氧化铝层、或氮氧化铝层之类的氧化物绝缘层被用作与氧化物半导体层接触的绝缘层407。绝缘层407可通过等离子体CVD法、溅射法等形成。为了在绝缘层407中不包含氢,优选通过溅射法形成绝缘层407。

[0143] 在本实施例中,通过溅射法形成氧化硅层作为绝缘层407。将基板400传送到腔室中,将其中去除氢和水分的包含高纯度氧的溅射气体引入该腔室,并且使用靶,从而氧化硅层沉积在基板400上作为绝缘层407。基板400可在室温下,或可被加热。

[0144] 例如,氧化硅膜如下地形成:石英(优选合成石英(quart))被用作靶;基板温度为108°C;靶和基板之间的距离(T-S距离)为60mm;压强为0.4Pa;高频功率为1.5kW;气氛是氧气和氩气(氧气与氩气的流速比为25sccm:25sccm=1:1);以及使用RF溅射法。在本实施例中,氧化硅膜的厚度为100nm。可使用硅靶代替石英(优选合成石英)来形成氧化硅膜。在本实施例中,使用氧气、或者氧气和氩气的混合气体作为溅射气体。

[0145] 在此情况下,优选在沉积绝缘层407时去除腔室中的残余水分。这是为了防止绝缘层407包含氢、羟基、或水分。

[0146] 为了从腔室去除残余水分,优选使用吸附型真空泵。例如,优选使用低温泵、离子泵、或钛升华泵。可使用添加了冷阱的涡轮分子泵作为排气单元。在通过使用低温泵来进行排气的腔室中,例如,排出氢分子、包括氢原子的化合物(诸如水(H₂O))等。因此,可降低在腔室中形成的绝缘层407中所包括的杂质浓度。

[0147] 优选其中将诸如氢、水、羟基、或氢化物之类的杂质去除到小于或等于1ppm、优选小于或等于10ppb的高纯度气体被用作用于沉积绝缘层407的溅射气体。

[0148] 溅射法的示例包括高频电源被用作溅射电源的RF溅射法、使用DC电源的DC溅射法、以及以脉冲方式施加偏压的脉冲DC溅射法。在形成绝缘膜的情况下主要使用RF溅射法,而在形成金属膜的情况下主要使用DC溅射法。

[0149] 可使用其中可设置由彼此不同的材料形成的多个靶的多靶溅射装置。通过多靶溅射装置,可在同一腔室中堆叠要形成的不同材料的膜,或者可在同一腔室中同时通过放电沉积多种材料。

[0150] 替换地,可使用在腔室内部设置有磁铁系统且用于磁控溅射法的溅射装置、或者在不使用辉光放电的情况下使用通过使用微波而生成的等离子体的用于ECR溅射法的溅射装置。

[0151] 此外,可使用靶物质和溅射气体组分在沉积期间相互化学反应以形成其化合物薄膜的反应溅射法、或者在沉积期间还向基板施加电压的偏压溅射法作为使用溅射法的沉积法。

[0152] 绝缘层407可具有叠层结构;例如,可使用其中氮化物绝缘层(诸如氮化硅层、氮氧化硅层、氮化铝层、或氮氧化铝层)和上述氧化物绝缘层按该次序堆叠在基板400上的叠层结构。

[0153] 例如,通过引入其中去除氢和水分的包含高纯度氢的溅射气体、以及使用硅靶,在氧化硅层和基板400之间形成氮化硅层。同样在此情况下,优选在形成氮化硅层时去除腔室

中的残余水分,与沉积氧化硅层的情况一样。

[0154] 可在膜沉积氮化硅层时加热基板。

[0155] 在堆叠氮化硅层和氧化硅层以形成绝缘层407的情况下,可用同一硅靶在同一腔室中形成氮化硅层和氧化硅层。例如,首先,引入含氮的溅射气体并使用置于腔室内部的硅靶来形成氮化硅层,并且随后,将溅射气体切换到含氧的溅射气体并使用同一硅靶来形成氧化硅层。由于可连续地形成氮化硅层和氧化硅层而不暴露于空气,因此可防止诸如氢或水分之类的杂质在氮化硅层的表面上被吸收。

[0156] 接着,在绝缘层407上,氧化物半导体膜被形成为大于或等于2nm且小于或等于200nm的厚度。

[0157] 氧化物半导体膜为了尽可能地不包含诸如氢、羟基、或水分之类的杂质,优选在膜形成之前在溅射装置的预热室中预热设置有绝缘层407的基板400从而消除在基板400上吸收的杂质(诸如氢或水分),并且进行排气。作为设置在预热室中的排气单元,低温泵是优选的。该预热步骤不一定执行。

[0158] 注意,在通过溅射法形成氧化物半导体膜之前,优选进行其中引入氩气并生成等离子体的反溅射以去除绝缘层407表面上的灰尘。反溅射是其中在氩气气氛中用高频电源向基板侧施加电压以在基板侧上生成等离子体而不向靶侧施加电压、以使表面变性的方法。可使用氮气气氛、氦气气氛、氧气气氛等来代替氩气气氛。

[0159] 通过溅射法形成氧化物半导体膜。可使用In-Ga-Zn-O基氧化物半导体膜、In-Sn-Zn-O基氧化物半导体膜、In-Al-Zn-O基氧化物半导体膜、Sn-Ga-Zn-O基氧化物半导体膜、Al-Ga-Zn-O基氧化物半导体膜、Sn-Al-Zn-O基氧化物半导体膜、In-Zn-O基氧化物半导体膜、Sn-Zn-O基氧化物半导体膜、Al-Zn-O基氧化物半导体膜、In-O基氧化物半导体膜、Sn-O基氧化物半导体膜、或Zn-O基氧化物半导体膜来形成氧化物半导体膜。在本实施例中,通过使用In-Ga-Zn-O基氧化物半导体靶的溅射法来形成氧化物半导体膜。具体地,使用组分比为 $In_2O_3:Ga_2O_3:ZnO=1:1:1$ (即, $In:Ga:Zn=1:1:0.5$ [atom%](原子%))的靶。替换地,可使用组分比为 $In:Ga:Zn=1:1:1$ [atom%]或 $In:Ga:Zn=1:1:2$ [atom%]的靶。在本实施例中,氧化物半导体靶的填充率大于或等于90%且小于或等于100%、优选大于或等于95%且小于或等于99.9%。通过使用具有高填充率的氧化物半导体靶,所沉积的氧化物半导体膜具有高密度。溅射时的气氛可以是稀有气体(通常是氩气)气氛、氧气气氛、或者稀有气体和氧气的混合气氛。该靶可包含大于或等于2wt%且小于或等于10wt%的 SiO_2 。

[0160] 优选其中将诸如氢、水、羟基、或氢化物之类的杂质去除到小于或等于1ppm、优选小于或等于10ppb的高纯度气体被用作用于沉积氧化物半导体膜的溅射气体。

[0161] 在基板400上如下地形成氧化物半导体膜:用减小的压力将基板保持在腔室中,去除腔室中的残余水分,引入去除氢和水分的溅射气体,并且使用上述靶。为了去除腔室中的残余水分,优选使用吸收型真空泵。例如,优选使用低温泵、离子泵、或钛升华泵。可使用添加了冷阱的涡轮分子泵作为排气单元。在使用低温泵来进行排气的腔室中,排出氢分子、包括氢原子的化合物(诸如水(H_2O))、包括碳原子的化合物等。因此,可降低在腔室中形成的氧化物半导体膜中所包括的杂质浓度。可在膜沉积氧化硅半导体膜时加热基板。

[0162] 作为膜沉积条件的示例,采用以下条件:基板的温度是室温;基板和靶之间的距离为110mm;压强为0.4Pa;直流(DC)功率为0.5kW;以及气氛是氧气和氩气(氧气与氩气的流速

比为15sccm:30sccm)。优选使用脉冲直流(DC)电源,因为可减少在膜沉积时生成的粉末物质(也称为粒子或灰尘),并且可使膜厚均匀。氧化物半导体膜的厚度大于或等于2nm且小于或等于200nm、优选大于或等于5nm且小于或等于30nm。注意,氧化物半导体膜的适当厚度根据其材料而变化;因此,厚度可根据材料适当地确定。

[0163] 接着,通过第一光刻步骤将氧化物半导体膜处理成岛状氧化物半导体层412(参见图6A)。可使用喷墨法来形成用于形成岛状氧化物半导体层412的抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;由此可降低制造成本。

[0164] 对于蚀刻氧化物半导体膜,可采用湿法蚀刻和干法蚀刻中的一种或两种。

[0165] 优选使用含氯的气体(诸如氯气(Cl₂)、氯化硼(BCl₃)、氯化硅(SiCl₄)或四氯化碳(CCl₄)之类的氯基气体)作为用于干法蚀刻的蚀刻气体。

[0166] 替换地,可使用含氟的气体(诸如四氟化碳(CF₄)、氟化硫(SF₆)、氟化氮(NF₃)、或三氟甲烷(CHF₃)之类的氟基气体);溴化氢(HBr);氧气(O₂);添加了诸如氦气(He)或氩气(Ar)之类的稀有气体的这些气体中的任一种等。

[0167] 可使用平行板RIE(反应离子蚀刻)法或ICP(感应耦合等离子体)蚀刻法作为干法蚀刻法。为了将该层蚀刻成期望形状,适当地调整蚀刻条件(施加到线圈状电极的电功率量、施加到基板侧上的电极的电功率量、基板侧上的电极的温度等)。

[0168] 可使用磷酸、醋酸和硝酸的混合溶液、氨双氧水混合物(双氧水:氨:水=5:2:2)、氢氧化铵/双氧水混合物(31wt%的双氧水溶液:28wt%的氨水:水=5:2:2)等作为用于湿法蚀刻的蚀刻剂。可使用IT007N(由KANTO化学公司(KANTO CHEMICAL CO., INC.)生产)。

[0169] 在湿法蚀刻之后,通过清洗去除蚀刻剂以及被蚀刻掉的材料。可提纯包含已去除材料的蚀刻剂的废液,并且可重新使用包含在废液中的材料。在蚀刻之后通过从废液中收集和重新使用氧化物半导体中所包括的材料(诸如铟),可有效地使用资源,并且可降低成本。

[0170] 根据材料适当地调整蚀刻条件(诸如蚀刻剂、蚀刻时间、或温度),从而可将该材料蚀刻成期望形状。

[0171] 在本实施例中,通过使用通过混合磷酸、醋酸和硝酸而获取的溶液的湿法蚀刻法,将氧化物半导体膜处理成岛状氧化物半导体层412。

[0172] 在本实施例中,对氧化物半导体层412进行第一热处理。第一热处理的温度高于或等于400℃且低于或等于750℃,并且在基板400的应变点低于或等于750℃时,其高于或等于400℃且低于基板400的应变点。在本实施例中,将基板放入作为一种热处理装置的电炉且在氮气气氛中在450℃对氧化物半导体层进行热处理达1小时,并且随后,温度下降到室温且防止水或氢进入氧化物半导体层而不暴露于空气;由此,获取氧化物半导体层。可通过第一热处理来对氧化物半导体层412进行脱水或脱氢。

[0173] 热处理装置不限于电炉,并且可设置有通过来自诸如电阻加热器等加热器的热传导或热辐射对要处理的对象加热的设备。例如,可使用诸如GRTA(气体快速热退火)装置或LRTA(灯快速热退火)装置之类的RTA(快速热退火)装置。LRTA装置是用于通过从诸如卤素灯、卤化金属灯、氩弧灯、碳弧灯、高压钠灯、或高压汞灯之类的灯发射的光(电磁波)辐射来对要处理对象加热的装置。GRTA装置是用于使用高温气体来进行热处理的装置。使用与要通过热处理处理的对象不反应的惰性气体(诸如氮气或稀有气体(诸如氩气))作为该气体。

[0174] 例如,作为第一热处理,GRTA可如下地进行:将基板传送到加热到650°C至700°C的高温的惰性气体中,加热几分钟,并且传送且从加热到高温的惰性气体中取出。GRTA实现高温热处理较短的时间。

[0175] 在第一热处理中,优选在氮气或稀有气体(诸如氦气、氖气、或氩气)中不包含水、氢等。优选向热处理装置引入的氮气或稀有气体(诸如氦气、氖气、或氩气)的纯度为大于或等于6N(99.9999%),更优选为大于或等于7N(99.99999%)(即,杂质浓度优选为小于或等于1ppm,更优选为小于或等于0.1ppm)。

[0176] 此外,根据第一热处理的条件或氧化物半导体层的材料,可使氧化物半导体层412结晶成微晶膜或多晶膜。例如,可使氧化物半导体层结晶成微晶氧化物半导体膜,其中结晶度大于或等于90%、或者大于或等于80%。此外,根据第一热处理的条件或氧化物半导体层的材料,氧化物半导体层412可以是不包含结晶组分的非晶氧化物半导体膜。氧化物半导体层可变成其中将微晶部分(其粒径大于或等于1nm且小于或等于20nm、通常大于或等于2nm且小于或等于4nm)混合到非晶氧化物半导体中的氧化物半导体膜。

[0177] 同样,可在氧化物半导体膜被处理成岛状氧化物半导体层412之前,对该氧化物半导体膜进行氧化物半导体层的第一热处理。在此情况下,在第一热处理之后从加热装置取出基板,并且随后对其执行光刻步骤。

[0178] 在上文中描述了其中在形成氧化物半导体层412之后就对氧化物半导体层进行用于脱水和/或脱氢的热处理的示例。然而,可在氧化物半导体层上堆叠源电极和漏电极之后、或者在源电极和漏电极上形成栅绝缘层之后进行用于脱水和/或脱氢的热处理,只要它在沉积氧化物半导体层之后进行即可。

[0179] 在绝缘层407和氧化物半导体层412上形成导电膜。该导电膜可通过溅射法或真空蒸镀法形成。可给出从Al、Cr、Cu、Ta、Ti、Mo和W选择的元素;包含这些元素中的任一种作为组分的合金;包含这些元素中的任一种组合的合金膜等作为导电膜的材料。此外,可使用从锰、镁、锆、铍和钇选择的一种或多种材料。此外,导电膜可具有单层结构、或者大于或等于两层的叠层结构。例如,可给出包括硅的铝膜的单层结构、其中在铝膜上堆叠钛膜的双层结构、其中Ti膜、铝膜、以及钛膜按该次序堆叠的三层结构。替换地,可使用膜、合金膜、或者氮化膜,其包含铝(A1)以及从以下选择的一种或多种元素:钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、以及钪(Sc)。在本实施例中,通过溅射法形成厚度为150nm的钛膜作为导电膜。

[0180] 接着,通过第二光刻步骤在导电膜上形成抗蚀剂掩模。抗蚀剂掩模可使用喷墨法形成。通过喷墨法形成抗蚀剂掩模不需要光掩模;由此可降低制造成本。之后,对其进行选择性地进行蚀刻以形成源电极层和漏电极层415a和415b,并且随后,去除抗蚀剂掩模(参见图6B)。优选源电极层和漏电极层各自的端部具有楔形,因为用在其上堆叠的栅绝缘层的覆盖得以改进。

[0181] 注意,适当地调整每一材料和蚀刻条件,从而导电膜的蚀刻不会去除氧化物半导体层412,并且不露出氧化物半导体层412下面的绝缘层407。

[0182] 在本实施例中,由于Ti膜被用作导电膜而In-Ga-Zn-O基氧化物半导体被用作氧化物半导体层412,因此氢氧化铵/双氧水混合物(31wt%的双氧水溶液:28wt%的氨水:水=5:2:2)被用作蚀刻剂。

[0183] 在第二光刻步骤中,在一些情况下,蚀刻氧化物半导体层412的一部分,由此可形成具有凹槽(凹陷部分)的氧化物半导体层。

[0184] 可使用紫外光、KrF激光、或ArF激光来进行第二光刻步骤中的形成抗蚀剂掩模时的曝光。要形成的薄膜晶体管的沟道长度L由源电极层的下端和漏电极层的下端之间的间距确定,源电极层和漏电极层在氧化物半导体层412上彼此相邻。在针对小于25nm的沟道长度L进行曝光的情况下,使用具有几纳米至几十纳米的极短波长的远紫外光进行在第二光刻步骤中形成抗蚀剂掩模时的曝光。在通过远紫外光的曝光时,分辨率高且聚焦深度大。因此,可使薄膜晶体管的沟道长度L大于或等于10nm且小于或等于1000nm,可增大电路的运行率,并且可通过极小的截止状态电流来实现低功耗。

[0185] 接着,在绝缘层407、氧化物半导体层412、以及源电极层和漏电极层415a和415b上形成栅绝缘层402(参见图6C)。

[0186] 可通过等离子体CVD法、溅射法等来使栅绝缘层402形成为具有使用氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层、以及氧化铝层中的一个或多个的单层结构或叠层结构。为了尽可能防止栅绝缘层402包含氢,优选通过溅射法形成栅绝缘层402。在通过溅射法形成氧化硅膜的情况下,硅靶或石英靶被用作靶,并且氧气、或者氧气和氩气的混合气体被用作溅射气体。在本实施例中,100nm厚的氧化硅层如下地形成:压强为0.4Pa;高频功率为1.5kW;气氛是氧气和氩气(氧气与氩气的流速比为25sccm:25sccm=1:1);以及使用RF溅射法。

[0187] 栅绝缘层402可具有其中氧化硅层和氮化硅层按该次序堆叠的结构。例如,厚度大于或等于70nm且小于或等于400nm(例如,厚度为100nm)的栅绝缘层以如下方式形成:通过溅射法形成厚度大于或等于5nm且小于或等于300nm的氧化硅层(SiO_x ($x>0$))作为第一栅绝缘层、并且随后在第一栅绝缘层上堆叠厚度大于或等于50nm且小于或等于200nm的氮化硅层(SiN_y ($y>0$))作为第二栅绝缘层。

[0188] 接着,通过第三光刻步骤形成抗蚀剂掩模,并且选择性地进行蚀刻以去除栅绝缘层402的多个部分,从而形成到达源电极层和漏电极层415a和415b的开口421a和421b(参见图6D)。

[0189] 接着,在栅绝缘层402、以及开口421a和421b上形成导电膜。在本实施例中,通过溅射法形成厚度为150nm的钛膜。之后,对其执行第四光刻步骤,从而形成栅电极层411、以及布线层414a和414b。注意,可通过喷墨法形成抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;由此可降低制造成本。

[0190] 栅电极层411、以及布线层414a和414b各自可被形成为具有使用诸如钼、钛、铬、钽、钨、铝、铜、钕、或钪之类的金属材料、或者包含这些材料中的任一种作为其主要组分的合金材料的单层或叠层结构。

[0191] 例如,作为栅电极层411、以及布线层414a和414b各自的双层结构,优选以下结构中的任一种:铝层和堆叠在该铝层上的钼层的双层结构、铜层和堆叠在该铜层上的钼层的双层结构、铜层和堆叠在该铜层上的氮化钛层或氮化钽层的双层结构、以及氮化钛层和钼层的双层结构。作为三层结构,钨层或氮化钨层、铝和硅的合金层或者铝和钛的合金层、以及氮化钛层或钛层的叠层是优选的。可使用透光导电膜形成栅电极层。可给出透光导电氧化物作为透光导电膜的材料的示例。

[0192] 接着,在惰性气体气氛或氧气气氛中进行第二热处理(优选在高于或等于200℃且低于或等于400℃的温度下,例如,在高于或等于250℃且低于或等于350℃的温度下)。在本实施例中,在氮气气氛中,在250℃进行第二热处理达1小时。可在薄膜晶体管410上形成保护绝缘层或平面化绝缘层之后进行第二热处理。

[0193] 此外,可在空气气氛中在高于或等于100℃且低于或等于200℃进行热处理达大于或等于1小时且小于或等于30小时。该热处理可在固定加热温度下进行。替换地,可重复多次地进行加热温度的以下改变:加热温度从室温上升到高于或等于100℃且低于或等于200℃的温度,并且随后下降到室温。该热处理可在形成氧化物绝缘层之前在减少的压力下进行。在减小的压力下,可缩短热处理时间。

[0194] 通过上述工艺,可形成包括氧化物半导体层412(其中氢、水分、氢化物、以及氢氧化物的浓度降低)的薄膜晶体管410(参见图6E)。薄膜晶体管410可被用作实施例1中所描述的薄膜晶体管。

[0195] 可在薄膜晶体管410上设置保护绝缘层、或者用于平面化的平面化绝缘层。例如,保护绝缘层可被形成为具有使用氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层、以及氧化铝层中的一个或多个的单层结构或叠层结构。

[0196] 可使用诸如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺、或环氧树脂之类的耐热有机材料来形成平面化绝缘层。除了这些有机材料以外,有可能使用低介电常数材料(低k材料)、硅氧烷基树脂、PSG(磷硅酸盐玻璃)、BPSG(硼磷硅酸盐玻璃)等。可通过堆叠使用这些材料形成的多个绝缘膜来形成平面化绝缘层。

[0197] 注意,硅氧烷基树脂对应于包括使用硅氧烷基材料作为原材料而形成的Si-O-Si键的树脂。硅氧烷基树脂可包括有机基(例如,烷基或芳基)或氟基作为取代基。该有机基可包括氟基。

[0198] 对用于形成平面化绝缘层的方法没有具体的限制。根据材料,可通过诸如溅射法、SOG法、旋涂法、浸渍法、喷涂法、或液滴喷射法(例如,喷墨法、丝网印刷、或胶版印刷)之类的方法、或者通过使用诸如刮刀、辊涂机、幕涂机、刀涂机之类的工具来形成平面化绝缘层。

[0199] 通过如上所述在膜沉积氧化物半导体膜时在反应气氛中去除残余水分,可降低氧化物半导体膜中的氢和氢化物的浓度。因此,可稳定氧化物半导体膜。

[0200] 通过在液晶显示设备的显示部分的多个像素中的每一个中使用如上所述而制造的薄膜晶体管,可抑制来自像素的漏电流。因此,在存储电容器中保持电压的周期可增大,并且在液晶显示设备中显示静止图像等时的功耗可降低。此外,通过在显示静止图像的情况下停止供应控制信号,功耗可进一步降低。另外,可切换静止图像和活动图像,而不发生故障。

[0201] 可与其他实施例中所描述的任一结构适当组合地实现实施例2。

[0202] (实施例3)

[0203] 在实施例3中,将描述可应用于本说明书中所公开的液晶显示设备的薄膜晶体管的另一示例。注意,实施例2可应用于与实施例2相同的部分、以及具有与实施例2类似功能的部分和步骤,并且不再重复其描述。此外,省略对相同部分的具体描述。本实施例中所描述的薄膜晶体管460可被用作实施例1中所描述的像素部分1008的每一像素中的薄膜晶体管。

[0204] 使用图7A和7B、以及图8A至8E来描述本实施例的薄膜晶体管、以及用于制造薄膜晶体管的方法的实施例。

[0205] 图7A示出薄膜晶体管的平面结构的示例，而图7B示出其截面结构的示例。图7A和7B所示的薄膜晶体管460是顶栅薄膜晶体管。

[0206] 图7A是顶栅薄膜晶体管460的平面图，而图7B是沿图7A中的线D1-D2的截面图。

[0207] 薄膜晶体管460包括，在具有绝缘表面的基板450上的，绝缘层457、源电极层或漏电极层465a (465a1和465a2)、氧化物半导体层462、源电极层或漏电极层465b、布线层468、栅绝缘层452、以及栅电极层461 (461a和461b)。源电极层或漏电极层465a (465a1和465a2)通过布线层468电连接到布线层464。此外，在附图中未示出，源电极层或漏电极层465b还电连接到在栅绝缘层452中形成的开口中的布线层。

[0208] 在下文中参考图8A至8E描述用于在基板450上制造薄膜晶体管460的工艺。

[0209] 首先，在具有绝缘表面的基板450上形成用作基膜的绝缘层457。

[0210] 在本实施例中，通过溅射法形成氧化硅层作为绝缘层457。将基板450传送到腔室中，将其中去除氢和水分的包含高纯度氧的溅射气体引入该腔室，并且使用靶或石英(优选合成石英)，从而氧化硅层沉积在基板450上作为绝缘层457。在本实施例中，使用氧气、或者氧气和氩气的混合气体作为溅射气体。

[0211] 例如，在本实施例中如下地形成氧化硅膜：纯度为6N的石英(优选合成石英)被用作靶；基板温度为108°C；靶和基板之间的距离(T-S距离)为60mm；压强为0.4Pa；高频功率为1.5kW；气氛是氧气和氩气(氧气与氩气的流速比为25sccm:25sccm=1:1)；以及使用RF溅射法。在本实施例中，氧化硅膜的厚度为100nm。可使用硅靶代替石英(优选合成石英)来形成氧化硅膜。

[0212] 在此情况下，优选在沉积绝缘层457时去除腔室中的残余水分。这是为了防止绝缘层457包含氢、羟基、和/或水分。在通过使用低温泵来进行排气的腔室中，例如，排出氢分子、包括氢原子的化合物(诸如H₂O)等。因此，可降低在腔室中形成的绝缘层457中所包括的杂质浓度。

[0213] 优选其中将诸如氢、水、羟基、或氢化物之类的杂质去除到小于或等于1ppm、优选小于或等于10ppb的高纯度气体被用作用于沉积绝缘层457的溅射气体。

[0214] 绝缘层457可具有叠层结构；例如，可使用其中氮化物绝缘层(诸如氮化硅层、氮氧化硅层、氮化铝层、或氮氧化铝层)和上述氧化物绝缘层按该次序堆叠在基板450上的叠层结构。

[0215] 例如，通过引入其中去除氢和水分的包含高纯度氢的溅射气体、以及使用硅靶，在氧化硅层和基板450之间形成氮化硅层。同样在此情况下，优选在形成氮化硅层时去除腔室中的残余水分，与沉积氧化硅层的情况一样。

[0216] 在绝缘层457上形成导电膜。可给出从Al、Cr、Cu、Ta、Ti、Mo和W选择的元素；包含这些元素中的任一种作为组分的合金；包含这些元素中的任一种组合的合金膜等作为导电膜的材料。此外，可使用从锰、镁、锆、铍和钇选择的一种或多种材料。此外，导电膜可具有单层结构、或者大于或等于两层的叠层结构。例如，可给出包括硅的铝膜的单层结构、其中在铝膜上堆叠钛膜的双层结构、其中Ti膜、铝膜、以及钛膜按该次序堆叠的三层结构。替换地，可使用膜、合金膜、或者氮化膜，其包含铝(Al)以及从以下选择的一种或多种元素：钛(Ti)、钽

(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、以及钪(Sc)。在本实施例中,通过溅射法形成厚度为150nm的钛膜作为导电膜。接着,通过第一光刻步骤在导电膜上形成抗蚀剂掩模,对其选择性地蚀刻以形成源电极层和漏电极层465a1和465a2,并且随后去除抗蚀剂掩模(参见图8A)。在截面图中被示为切断的源电极层和漏电极层465a1和465a2是具有环面形部分的一个膜,如图7A所示。优选源电极层和漏电极层465a1和465a2各自的端部具有楔形,因为用在其上堆叠的栅绝缘层的覆盖得以改进。

[0217] 接着,形成厚度大于或等于2nm且小于或等于200nm(例如,大于或等于5nm且小于或等于30nm)的氧化物半导体膜。注意,氧化物半导体膜的适当厚度根据其材料而变化;因此,厚度可根据材料适当地确定。在本实施例中,通过使用In-Ga-Zn-O基氧化物半导体靶的溅射法来形成氧化物半导体膜。

[0218] 在基板450上如下地形成氧化物半导体膜:用减小的压力将基板保持在腔室中,去除腔室中的残余水分,引入去除氢和水分的溅射气体,并且使用靶。为了去除腔室中的残余水分,优选使用吸收型真空泵。例如,优选使用低温泵、离子泵、或钛升华泵。可使用添加了冷阱的涡轮分子泵作为排气单元。在使用低温泵来进行排气的腔室中,排出氢分子、包括氢原子的化合物(诸如水(H₂O))、包括碳原子的化合物等。因此,可降低在腔室中形成的氧化物半导体膜中所包括的杂质浓度。可在膜沉积氧化硅半导体膜时加热基板。

[0219] 优选其中将诸如氢、水、羟基、或氢化物之类的杂质去除到小于或等于1ppm、优选小于或等于10ppb的高纯度气体被用作用于沉积氧化物半导体膜的溅射气体。

[0220] 作为膜沉积条件的示例,采用以下条件:基板的温度是室温;基板和靶之间的距离为110mm;压强为0.4Pa;直流(DC)电源为0.5kW;以及气氛是氧气和氩气(氧气与氩气的流速比为15sccm:30sccm)。

[0221] 接着,通过第二光刻步骤将氧化物半导体膜处理成岛状氧化物半导体层462(参见图8B)。在本实施例中,通过使用通过混合磷酸、醋酸和硝酸而获取的溶液的湿法蚀刻法,将氧化物半导体膜处理成岛状氧化物半导体层462。

[0222] 在本实施例中,对氧化物半导体层462进行第一热处理。第一热处理的温度高于或等于400℃且低于或等于750℃,并且在基板450的应变点低于或等于750℃时,其高于或等于450℃且低于基板450的应变点。在本实施例中,将基板放入作为一种热处理装置的电炉且在氮气气氛中在450℃对氧化物半导体层进行热处理达1小时,并且随后,温度下降到室温而不暴露于空气且防止水或氢进入氧化物半导体层;由此,获取氧化物半导体层。可通过第一热处理来对氧化物半导体层462进行脱水或脱氢。

[0223] 热处理装置不限于电炉,并且可设置有通过来自诸如电阻加热器等加热器的热传导或热辐射对要处理的对象加热的设备。例如,可使用诸如GRTA(气体快速热退火)装置或LRTA(灯快速热退火)装置之类的RTA(快速热退火)装置。例如,作为第一热处理,GRTA可如下地进行:将基板传送到加热到650℃至700℃的高温的惰性气体中,加热几分钟,并且传送且从加热到高温的惰性气体中取出。GRTA实现高温热处理较短的时间。

[0224] 在第一热处理中,优选在氮气或稀有气体(诸如氦气、氖气、或氩气)中不包含水、氢等。优选向热处理装置引入的氮气或稀有气体(诸如氦气、氖气、或氩气)的纯度为大于或等于6N(99.9999%),更优选为大于或等于7N(99.99999%)(即,杂质浓度优选为小于或等于1ppm,更优选为小于或等于0.1ppm)。

[0225] 此外,根据第一热处理的条件或氧化物半导体层的材料,可使氧化物半导体层462结晶成微晶膜或多晶膜。

[0226] 同样,可在氧化物半导体膜被处理成岛状氧化物半导体层462之前,对该氧化物半导体膜进行氧化物半导体层的第一热处理。在此情况下,在第一热处理之后从加热装置取出基板,并且随后对其执行光刻步骤。

[0227] 在上文中描述了其中在形成氧化物半导体层462之后就对氧化物半导体层进行用于脱水和/或脱氢的热处理的示例。然而,可在氧化物半导体层上堆叠源电极层和漏电极层465b之后、或者在源电极层和漏电极层465b上形成栅绝缘层452之后进行用于脱水和/或脱氢的热处理,只要它在沉积氧化物半导体层之后进行即可。

[0228] 接着,在绝缘层457和氧化物半导体层462上形成导电膜。之后,通过第三光刻步骤在导电膜上形成抗蚀剂掩模,选择性地蚀刻导电膜以形成源电极层或漏电极层465b、以及布线层468,并且随后去除抗蚀剂掩模(参见图8C)。源电极层或漏电极层465b、以及布线层468各自可通过与源电极层或漏电极层465a1和465a2各自的材料和步骤类似的材料和类似的步骤来形成。

[0229] 在本实施例中,通过溅射法形成150nm厚的钛膜作为源电极层或漏电极层465b、以及布线层468中的每一个。在本实施例中,由于源电极层或漏电极层465a1和465a2、以及源电极层或漏电极层465b是彼此相同的钛膜,因此无法提供源电极层或漏电极层465b与源电极层或漏电极层465a1和465a2中的每一个之间的蚀刻选择性。因此,为了防止源电极层或漏电极层465a1和465a2在蚀刻源电极层或漏电极层465b时被蚀刻,在未被氧化物半导体层462覆盖的源电极层或栅电极层465a2上设置布线层468。在其中在蚀刻时具有高选择性的不同材料用于形成源电极层或漏电极层465a1和465a2、以及源电极层或漏电极层465b的情况下,不一定设置在蚀刻时保护源电极层或漏电极层465a2的布线层468。

[0230] 可通过蚀刻导电膜来部分地蚀刻掉氧化物半导体层462。适当地控制材料和蚀刻条件,从而不会不必要地去除氧化物半导体层462。

[0231] 在本实施例中,由于Ti膜被用作导电膜而In-Ga-Zn-O基氧化物半导体被用作氧化物半导体层462,因此氢氧化铵/双氧水混合物(31wt%的双氧水溶液:28wt%的氨水:水=5:2:2)被用作蚀刻剂。

[0232] 在第三光刻步骤中,在一些情况下,蚀刻氧化物半导体层462的一部分,由此可形成具有凹槽(凹陷部分)的氧化物半导体层。可通过喷墨法来形成用于形成源电极层或漏电极层465b、以及布线层468的抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;由此可降低制造成本。

[0233] 接着,在绝缘层457、氧化物半导体层462、源电极层或漏电极层465a1和465a2、以及源电极层或漏电极层465b上形成栅绝缘层452。

[0234] 可通过等离子体CVD法、溅射法等来使栅绝缘层452形成为具有使用氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层、以及氧化铝层中的一个或多个的单层结构或叠层结构。为了尽可能防止栅绝缘层452包含氢,优选通过溅射法形成栅绝缘层452。在通过溅射法形成氧化硅膜的情况下,硅靶或石英靶被用作靶,并且氧气、或者氧气和氩气的混合气体被用作溅射气体。

[0235] 栅绝缘层452可具有其中氧化硅层和氮化硅层按该次序堆叠在源电极层或漏电极

层465a1和465a2、以及源电极层或漏电极层465b上的结构。在本实施例中,100nm厚的氧化硅膜如下地形成:压强为0.4Pa;高频功率为1.5kW;气氛是氧气和氩气(氧气与氩气的流速比为25sccm:25sccm=1:1);以及使用RF溅射法。

[0236] 接着,通过第四光刻步骤形成抗蚀剂掩模,并且选择性地进行蚀刻以去除栅绝缘层452的一部分,从而形成到达布线层438的开口423(参见图8D)。尽管未示出,但是可在形成开口423时形成到达源电极层或漏电极层465b的开口。在本实施例中,在堆叠层间绝缘层之后形成到达源电极层或漏电极层465b的开口,并且在开口中形成用于电连接的布线层。

[0237] 接着,在栅绝缘层452和开口423上形成导电膜。之后,对其执行第五光刻步骤,从而形成栅电极层461(461a和461b)、以及布线层464。注意,可通过喷墨法形成抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;由此可降低制造成本。

[0238] 栅电极层461(461a和461b)、以及布线层464各自可被形成为具有使用诸如钼、钛、铬、钽、钨、铝、铜、钕、或钪之类的金属材料、或者包含这些材料中的任一种作为其主要组分的合金材料的单层或叠层结构。

[0239] 在本实施例中,通过溅射法形成150nm厚的钛膜作为栅电极层461(461a和461b)、以及布线层464中的每一个。虽然在图8E中栅电极层461(461a和461b)被示为划分开,但是栅电极层461(461a和461b)被形成为与通过源电极层或漏电极层465a1和465a2、以及源电极层或漏电极层465b而形成的环面形空隙重叠,如图7A所示。

[0240] 接着,在惰性气体气氛或氧气气氛中进行第二热处理(优选在高于或等于200℃且低于或等于400℃的温度下,例如,在高于或等于250℃且低于或等于350℃的温度下)。在本实施例中,在氮气气氛中,在250℃进行第二热处理达1小时。可在薄膜晶体管460上形成保护绝缘层或平面化绝缘层之后进行第二热处理。

[0241] 此外,可在空气气氛中在高于或等于100℃且低于或等于200℃进行热处理达大于或等于1小时且小于或等于30小时。该热处理可在固定加热温度下进行。替换地,可重复多次地进行加热温度的以下改变:加热温度从室温上升到高于或等于100℃且低于或等于200℃的温度,并且随后下降到室温。该热处理可在形成氧化物绝缘层之前在减少的压力下进行。在减小的压力下,可缩短热处理时间。

[0242] 通过上述工艺,可形成包括氧化物半导体层462(其中氢、水分、氢化物、以及氢氧化物的浓度降低)的薄膜晶体管460(参见图8E)。薄膜晶体管460可被用作实施例1中所描述的像素部分1008的每一像素中所用的薄膜晶体管。

[0243] 可在薄膜晶体管460上设置保护绝缘层、或者用于平面化的平面化绝缘层。虽然未示出,但是在本实施例中,在栅绝缘层452、以及保护绝缘层和/或平面化绝缘层中形成到达源电极层或漏电极层465b的开口,并且在该开口中形成电连接到源电极层或漏电极层465b的布线层。

[0244] 通过如上所述在膜沉积氧化物半导体膜时在反应气氛中去除残余水分,可降低氧化物半导体膜中的氢和氢化物的浓度。因此,可稳定氧化物半导体膜。

[0245] 以此方式,在包括使用氧化物半导体层的薄膜晶体管的液晶显示设备的显示部分中所包括的多个像素中,可抑制截止状态电流。因此,在存储电容器中保持电压的周期可延长,并且在液晶显示设备中显示静止图像等时的功耗可降低。此外,通过在显示静止图像的情况下停止供应控制信号,功耗可进一步降低。另外,可切换静止图像和活动图像,而不发

生故障。在本实施例中,沟道的形状是圆形的,并且使用不同的层来形成源电极层和漏电极层,由此可减小沟道长度,并且可增大沟道宽度。以此方式,即使在相对较小的区域中也可形成具有大沟道宽度的薄膜晶体管,这实现了针对大电流进行切换。另外,虽然沟道宽度大,但是截止状态电流极小,因为氧化物半导体被高度提纯。

[0246] 可与其他实施例中所描述的任一结构适当组合地实现实施例3。

[0247] (实施例4)

[0248] 使用图9A和9B来描述本实施例中的薄膜晶体管。在实施例4中,将描述可应用于本说明书中所公开的液晶显示设备的薄膜晶体管的其他示例。注意,实施例2可应用于与实施例2相同的部分、以及具有与实施例2类似功能的部分和步骤,并且不再重复其描述。此外,省略对相同部分的具体描述。本实施例中所描述的薄膜晶体管425和426各自可被用作实施例1中所描述的像素部分1008的每一像素中的薄膜晶体管。

[0249] 图9A和9B示出薄膜晶体管的截面结构的示例。图9A和9B所示的薄膜晶体管425和426各自是具有其中氧化物半导体层插在导电层和栅电极层之间的结构的一种薄膜晶体管。

[0250] 在图9A和9B中,使用硅基板420,并且在绝缘层422(设置在硅基板420上)上分别设置薄膜晶体管425和426。

[0251] 在图9A中,在绝缘层422(设置在硅基板420上)和绝缘层407之间设置导电层427以使其至少与氧化物半导体层412完全重叠。

[0252] 图9B是其中绝缘层422和绝缘层407之间的导电层通过蚀刻来处理成导电层424且至少与包括氧化物半导体层412的沟道区的部分重叠的示例。

[0253] 导电层427和424各自通过耐受稍后进行热处理的温度的金属材料来形成。可使用从钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)以及钪(Sc)中选择的元素,包括以上元素中的任一种作为其组分的合金,包括这些元素的任一组合的合金膜,包括以上元素中的任一种作为其组分的氮化物等。可使用单层结构或叠层结构;例如,可使用钨层的单层、氮化钨层和钨层的叠层等。

[0254] 导电层427和424各自的电位可分别等于薄膜晶体管425和426各自的栅电极层411的电位、或者与其不同,并且导电层427和424各自可用作第二栅电极层。导电层427和424的电位各自可以是固定电位,诸如GND或0V。

[0255] 薄膜晶体管425和426的电特性可分别由导电层427和424控制。

[0256] 可与其他实施例中所描述的任一结构适当组合地实现实施例4。

[0257] (实施例5)

[0258] 在实施例5中,将描述可应用于本说明书中所公开的液晶显示设备的薄膜晶体管的示例。

[0259] 使用图10A至10E来描述本实施例的薄膜晶体管、以及用于制造薄膜晶体管的方法的实施例。

[0260] 图10A至10E示出薄膜晶体管的截面结构的示例。图10A至10E所示的薄膜晶体管390是一种底栅结构,其也称为倒交错薄膜晶体管。

[0261] 虽然使用单栅薄膜晶体管来描述薄膜晶体管390,但是按照需要可形成包括多个沟道形成区的多栅薄膜晶体管。

[0262] 在下文中,使用图10A至10E来描述用于在基板394上制造薄膜晶体管390的工艺。

[0263] 首先,在具有绝缘表面的基板394上形成导电膜,并且随后,对其执行第一光刻步骤,从而形成栅电极层391。优选栅电极层的端部具有楔形,因为用在其上堆叠的栅绝缘层的覆盖得以改进。注意,可通过喷墨法形成抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;由此可降低制造成本。

[0264] 虽然对可用作具有绝缘表面的基板394的基板没有具体限制,但是基板394必须至少具有足够高的耐热性来耐受稍后要进行的热处理。

[0265] 例如,在玻璃基板被用作基板394的情况下,如果稍后要执行的热处理的温度高,则优选使用其应变点为高于或等于730°C的玻璃基板。例如,使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃、或钡硼硅酸盐玻璃之类的玻璃材料作为玻璃基板。注意,通过包含比氧化硼的量多的氧化钡(BaO),玻璃基板耐热并且更加实用。因此,优选使用包含比B₂O₃多的BaO的玻璃基板。

[0266] 注意,可使用由诸如陶瓷基板、石英玻璃基板、或兰宝石基板之类的绝缘体形成的基板来代替玻璃基板作为基板394。替换地,可使用结晶玻璃基板等。进一步替换地,可适当地使用塑料基板等。

[0267] 可在基板394与栅电极层391之间设置用作基膜的绝缘膜。该基膜具有防止杂质元素从基板394扩散的功能,并且可被形成为具有使用氮化硅膜、氧化硅膜、氮氧化硅膜、以及氧氮化硅膜中的一个或多个的单层结构或叠层结构。

[0268] 栅电极层391可被形成为具有使用诸如钼、钛、铬、钽、钨、铝、铜、钕、或钪之类的金属材料、或者包含这些材料中的任一种作为主要组分的合金材料的单层结构或叠层结构。

[0269] 例如,作为栅电极层391的双层结构,以下结构中的任一个是优选的:铝层和堆叠在该铝层上的钼层的双层结构、铜层和堆叠在该铜层上的钼层的双层结构、铜层和堆叠在该铜层上的氮化钛层或氮化钽层的双层结构、氮化钛层和钼层的双层结构、以及氮化钨层和钨层的双层结构。作为三层结构,钨层或氮化钨层、铝和硅的合金层或者铝和钛的合金层、以及氮化钛层或钛层的叠层是优选的。还可使用透光导电膜形成栅电极层。可给出透光导电氧化物等作为透光导电膜的材料的示例。

[0270] 接着,在栅电极层391上形成栅绝缘层397。

[0271] 可通过等离子体CVD法、溅射法等来使栅绝缘层397形成为具有使用氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层、以及氧化铝层中的一个或多个的单层结构或叠层结构。为了尽可能防止栅绝缘层397包含氢,优选通过溅射法形成栅绝缘层397。在通过溅射法形成氧化硅膜的情况下,硅靶或石英靶被用作靶,并且氧气、或者氧气和氩气的混合气体被用作溅射气体。

[0272] 栅绝缘层397可具有其中氮化硅层和氧化硅层按该次序堆叠在栅电极层391上的结构。例如,100nm厚的栅绝缘层以如下方式形成:通过溅射法形成厚度大于或等于50nm且小于或等于200nm的氮化硅层(SiN_y(y>0))作为第一栅绝缘层、并且随后在第一栅绝缘层上堆叠厚度大于或等于5nm且小于或等于300nm的氧化硅层(SiO_x(x>0))作为第二栅绝缘层。

[0273] 氧化物半导体膜为了在栅绝缘层397和氧化物半导体膜393中尽可能地不包含氢、羟基、或水分,优选在膜形成之前在溅射装置的预热室中预热设置有栅电极层391的基板394、或者设置有栅电极层391和栅绝缘层397的基板394以消除在基板394上吸收的杂质(诸

如氢或水分),并且进行排气。预热温度高于或等于100°C且低于或等于400°C、优选高于或等于150°C且低于或等于300°C。作为设置在预热室中的排气单元,低温泵是优选的。该预热步骤不一定执行。在形成氧化物绝缘层396之前,该预热步骤可以类似的方式对设置有图10C所示的源电极层395a和漏电极层395b的基板394执行。

[0274] 接着,通过溅射法在栅绝缘层397上形成厚度大于或等于2nm且小于或等于200nm、优选大于或等于5nm且小于或等于30nm的氧化物半导体膜393(参见图10A)。

[0275] 在通过溅射法形成氧化物半导体膜393之前,优选进行其中引入氩气并产生等离子体的反溅射以去除栅绝缘层397的表面上的灰尘。反溅射是指其中在未向靶侧施加电压的情况下,RF电源用于在氩气气氛中向基板侧施加电压以使表面改性的方法。可使用氮气气氛、氦气气氛、氧气气氛等来代替氩气气氛。

[0276] 可使用In-Ga-Zn-O基氧化物半导体膜、In-Sn-Zn-O基氧化物半导体膜、In-Al-Zn-O基氧化物半导体膜、Sn-Ga-Zn-O基氧化物半导体膜、Al-Ga-Zn-O基氧化物半导体膜、Sn-Al-Zn-O基氧化物半导体膜、In-Zn-O基氧化物半导体膜、Sn-Zn-O基氧化物半导体膜、Al-Zn-O基氧化物半导体膜、In-O基氧化物半导体膜、Sn-O基氧化物半导体膜、或Zn-O基氧化物半导体膜来形成氧化物半导体膜393。在本实施例中,通过使用In-Ga-Zn-O基氧化物半导体靶的溅射法来形成氧化物半导体膜393。具体地,使用组分比为 $In_2O_3:Ga_2O_3:ZnO=1:1:1$ (即, $In:Ga:Zn=1:1:0.5$ [atom%])的靶。替换地,可使用组分比为 $In:Ga:Zn=1:1:1$ [atom%]或 $In:Ga:Zn=1:1:2$ [atom%]的靶。在本实施例中,氧化物半导体靶的填充率大于或等于90%且小于或等于100%、优选大于或等于95%且小于或等于99.9%。通过使用具有高填充率的氧化物半导体靶,所沉积的氧化物半导体膜具有高密度。溅射氧化物半导体膜393时的气氛可以是稀有气体(通常是氩气)气氛、氧气气氛、或者稀有气体(通常是氩气)和氧气的混合气氛。该靶可包含大于或等于2wt%且小于或等于10wt%的 SiO_2 。

[0277] 在基板394上如下地形成氧化物半导体膜393:用减小的压力将基板保持在腔室中,并且将基板加热到室温或低于400°C的温度;以及去除腔室中的残余水分,引入去除氢和水分的溅射气体,并且使用上述靶。为了去除腔室中的残余水分,优选使用吸收型真空泵。例如,优选使用低温泵、离子泵、或钛升华泵。可使用添加了冷阱的涡轮分子泵作为排气单元。在使用低温泵来进行排气的腔室中,排出氢分子、包括氢原子的化合物(诸如水(H_2O))、包括碳原子的化合物等。因此,可降低在腔室中形成的氧化物半导体膜中所包括的杂质浓度。在溅射膜沉积时通过低温泵来去除腔室中剩余的水分,膜沉积氧化物半导体膜393时的基板温度可具有高于或等于室温且小于400°C的温度。

[0278] 作为膜沉积条件的示例,采用以下条件:基板和靶之间的距离为100mm;压强为0.6Pa;直流(DC)电源为0.5kW;以及气氛是氧气(氧气的流速比为100%)。优选使用脉冲直流(DC)电源,因为可减少在膜沉积时生成的粉末物质(也称为粒子或灰尘),并且可使膜厚均匀。

[0279] 溅射法的示例包括高频电源被用作溅射电源的RF溅射法、使用DC电源的DC溅射法、以及以脉冲方式施加偏压的脉冲DC溅射法。在形成绝缘膜的情况下主要使用RF溅射法,而在形成金属膜的情况下主要使用DC溅射法。

[0280] 可使用其中可设置由彼此不同的材料形成的多个靶的多靶溅射装置。通过多靶溅射装置,可在同一腔室中堆叠要形成的不同材料的膜,或者可在同一腔室中同时通过放电

沉积多种材料。

[0281] 替换地,可使用在腔室内部设置有磁铁系统且用于磁控溅射法的溅射装置、或者在不使用辉光放电的情况下使用通过使用微波而生成的等离子体的用于ECR溅射法的溅射装置。

[0282] 此外,可使用靶物质和溅射气体组分在沉积期间相互化学反应以形成其化合物薄膜的反应溅射法、或者在沉积期间还向基板施加电压的偏压溅射法作为使用溅射法的沉积法。

[0283] 接着,通过第二光刻步骤将氧化物半导体膜处理成岛状氧化物半导体层399(参见图10B)。可使用喷墨法来形成用于形成岛状氧化物半导体层399的抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;由此可降低制造成本。

[0284] 在栅绝缘层397中形成接触孔的情况下,其步骤可在形成氧化物半导体层399时执行。

[0285] 对于蚀刻氧化物半导体膜393,可采用湿法蚀刻和干法蚀刻中的一种或两种。

[0286] 优选使用含氯的气体(诸如氯气(Cl_2)、氯化硼(BCl_3)、氯化硅(SiCl_4)或四氯化碳(CCl_4)之类的氯基气体)作为用于干法蚀刻的蚀刻气体。

[0287] 替换地,可使用含氟的气体(诸如四氟化碳(CF_4)、氟化硫(SF_6)、氟化氮(NF_3)、或三氟甲烷(CHF_3)之类的氟基气体);溴化氢(HBr);氧气(O_2);添加了诸如氦气(He)或氩气(Ar)之类的稀有气体的这些气体中的任一种等。

[0288] 可使用平行板RIE(反应离子蚀刻)法或ICP(感应耦合等离子体)蚀刻法作为干法蚀刻法。为了将该层蚀刻成期望形状,适当地调整蚀刻条件(施加到线圈状电极的电功率量、施加到基板侧上的电极的电功率量、基板侧上的电极的温度等)。

[0289] 可使用通过磷酸、醋酸和硝酸的混合溶液、氢氧化铵/双氧水混合物(31wt%的双氧水溶液:28wt%的氨水:水=5:2:2)等作为用于湿法蚀刻的蚀刻剂。可使用IT007N(由KANTO化学公司生产)。

[0290] 在湿法蚀刻之后,通过清洗去除蚀刻剂以及被蚀刻掉的材料。可提纯包含已去除材料的蚀刻剂的废液,并且可重新使用包含在废液中的材料。在蚀刻之后通过从废液中收集和重新使用氧化物半导体中所包括的材料(诸如铟),可有效地使用资源,并且可降低成本。

[0291] 根据材料适当地调整蚀刻条件(诸如蚀刻剂、蚀刻时间、或温度),从而可将该材料蚀刻成期望形状。

[0292] 注意,在此情况下,优选在通过以下步骤形成导电膜之前进行反溅射,从而从氧化物半导体层399和栅绝缘层397的表面去除抗蚀剂残余物等。

[0293] 接着,在栅绝缘层397和氧化物半导体层399上形成导电膜。该导电膜可通过溅射法或真空蒸镀法形成。可给出从Al、Cr、Cu、Ta、Ti、Mo和W选择的元素;包含这些元素中的任一种作为组分的合金;包含这些元素中的任一种组合的合金膜等作为导电膜的材料。此外,可使用从锰、镁、锆、铍和钇选择的一种或多种材料。此外,导电膜可具有单层结构、或者大于或等于两层的叠层结构。例如,可给出包括硅的铝膜的单层结构、其中在铝膜上堆叠钛膜的双层结构、其中Ti膜、铝膜、以及钛膜按该次序堆叠的三层结构。替换地,可使用膜、合金膜、或者氮化膜,其包含铝(Al)以及从以下选择的一种或多种元素:钛(Ti)、钽(Ta)、钨(W)、

钼(Mo)、铬(Cr)、钕(Nd)、以及钪(Sc)。

[0294] 接着,通过第三光刻步骤在导电膜上形成抗蚀剂掩模。之后,对其选择性地蚀刻以形成源电极层和漏电极层395a和395b,并且随后,去除抗蚀剂掩模(参见图10C)。

[0295] 可使用紫外光、KrF激光、或ArF激光来进行第三光刻步骤中的形成抗蚀剂掩模时的曝光。要形成的薄膜晶体管的沟道长度L由源电极层的下端和漏电极层的下端之间的间距确定,源电极层和漏电极层在氧化物半导体层399上彼此相邻。在针对小于25nm的沟道长度L进行曝光的情况下,使用具有几纳米至几十纳米的极短波长的远紫外光进行在第三光刻步骤中形成抗蚀剂掩模时的曝光。在通过远紫外光的曝光时,分辨率高且聚焦深度大。因此,可使薄膜晶体管的沟道长度L大于或等于10nm且小于或等于1000nm,可增大电路的运行率,并且可通过极小的截止状态电流来实现低功耗。

[0296] 可通过蚀刻导电膜来部分地蚀刻掉氧化物半导体层399。适当地控制材料和蚀刻条件,从而在蚀刻导电膜时不会去除氧化物半导体层399。

[0297] 在本实施例中,由于Ti膜被用作导电膜而In-Ga-Zn-O基氧化物半导体被用作氧化物半导体层399,因此氢氧化铵/双氧水混合物(氨、水、以及双氧水溶液的混合物)被用作蚀刻剂。

[0298] 在第三光刻步骤中,在一些情况下,蚀刻氧化物半导体层399的一部分,由此可形成具有凹槽(凹陷部分)的氧化物半导体层。可通过喷墨法来形成用于形成源电极层和漏电极层395a和395b的抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;由此可降低制造成本。

[0299] 为了减少光刻步骤中的光掩模和步骤的数量,可通过利用使用多色调掩模而形成的抗蚀剂掩模来进行蚀刻,该多色调掩模是透射光以使其具有多个强度的曝光掩模。由于使用多色调掩模形成的抗蚀剂掩模具有多个厚度并且可通过进行蚀刻而在形状上进一步改变,因此可在多个蚀刻步骤中使用该抗蚀剂掩模来提供不同图案。因此,与至少两种不同图案相对应的抗蚀剂掩模可通过使用一个多色调掩模来形成。由此,可减少曝光掩模的数量,并且还可减少相应的光刻步骤的数量,由此可实现制造工艺的简化。

[0300] 在去除抗蚀剂掩模之后,可进行使用诸如N₂O、N₂、或Ar之类的气体的等离子体处理来去除在露出的氧化物半导体层399的表面上吸收的水等。可使用氧气和氩气的混合气体来进行等离子体处理。

[0301] 接着,形成氧化物绝缘层396作为用作与氧化物半导体层的一部分接触的保护绝缘层的氧化物绝缘层(参见图10D)。在进行等离子体处理的情况下,可在等离子体处理之后连续地形成氧化物绝缘层396而不将氧化物半导体层399暴露于空气。在本实施例中,氧化物半导体层399在氧化物半导体层399既不与源电极层395a接触也不与漏电极层395b接触的区域中与氧化物绝缘层396接触。

[0302] 在本实施例中,作为氧化物绝缘层396,如下地形成包括缺陷的氧化硅层:在室温至低于100°C的温度下对在其上形成岛状氧化物半导体层399、源电极层395a、以及漏电极层395b的基板394加热;引入去除氢和水分的包含高纯度氧的溅射气体;以及使用硅半导体靶。

[0303] 例如,在本实施例中如下地形成氧化硅膜:使用掺杂有硼且纯度为6N的硅靶(其电阻率为0.01 Ω • cm);靶和基板之间的距离(T-S距离)为89mm;压强为0.4Pa;直流(DC)电源

为6kW；气氛是氧气(氧气的流速比为100%)；以及使用脉冲DC溅射法。在本实施例中，氧化硅膜的厚度为300nm。可使用石英(优选合成石英)代替硅靶来形成氧化硅膜。

[0304] 在此情况下，优选在沉积氧化物绝缘层396时去除腔室中的残余水分。这是为了防止氧化物半导体层399和氧化物绝缘层396包含氢、羟基、和/或水分。

[0305] 为了去除腔室中的残余水分，优选使用吸收型真空泵。例如，优选使用低温泵、离子泵、或钛升华泵。可使用添加了冷阱的涡轮分子泵作为排气单元。在使用低温泵来进行排气的腔室中，排出氢分子、包括氢原子的化合物(诸如H₂O)等。因此，可降低在腔室中形成的氧化物绝缘层396中所包括的杂质浓度。

[0306] 可使用氧氮化硅层、氧化铝层、氧氮化铝层等来代替氧化硅层作为氧化物绝缘层396。

[0307] 此外，在形成氧化物绝缘层396之后，可在氧化物绝缘层396与氧化物半导体层399接触的状态中在100℃至400℃进行热处理。由于本实施例中的氧化物绝缘层396包括许多缺陷，因此通过该热处理来使氧化物半导体层399中所包括的杂质(诸如氢、水分、羟基、或氢化物)扩散到氧化物绝缘层396中，从而氧化物半导体层399中所包括的杂质进一步减少。

[0308] 通过上述工艺，可形成包括氧化物半导体层392(其中氢、水分、羟基、和/或氢化物的浓度降低)的薄膜晶体管390(参见图10E)。

[0309] 通过如上所述在膜沉积氧化物半导体膜时在反应气氛中去除残余水分，可降低氧化物半导体膜中的氢和氢化物的浓度。因此，可稳定氧化物半导体膜。

[0310] 可在氧化物绝缘层上设置保护绝缘层。在本实施例中，在氧化物绝缘层396上形成保护绝缘层398。可使用氮化硅膜、氮氧化硅膜、氮化铝膜、或氮氧化铝膜等作为保护绝缘层398。在本实施例中，使用氮化硅膜形成保护绝缘层398。

[0311] 通过将在其上形成直到且包括氧化物绝缘层396的层的基板394加热到100℃至400℃的温度、引入去除氢和水分的包含高纯度氮的溅射气体、以及使用硅半导体靶来形成氮化硅膜作为保护绝缘层398。同样在此情况下，优选在形成保护绝缘层398时从处理室去除残余水分，与氧化物绝缘层396的情况一样。

[0312] 在形成保护绝缘层398的情况下，在形成保护绝缘层398时将基板394加热到100℃至400℃的温度，由此氧化物半导体层中所包括的氢和/或水分可扩散到氧化物绝缘层中。在此情况下，氧化物绝缘层396形成之后的热处理不一定进行。

[0313] 在形成氧化硅层作为氧化物绝缘层396且堆叠氮化硅层作为保护绝缘层398的情况下，可使用公共硅靶在同一腔室中形成氧化硅层和氮化硅层。首先，引入含氧的溅射气体并使用置于腔室内部的硅靶来形成氧化硅层；并且随后，将溅射气体切换到含氮的溅射气体并使用同一硅靶来形成氮化硅层。由于可连续地形成氧化硅层和氮化硅层而不暴露于空气，因此可防止诸如氢或水分之类的杂质在氧化硅层的表面上被吸收。在此情况下，在形成氧化硅层作为氧化物绝缘层396且堆叠氮化硅层作为保护绝缘层398之后，可进行用于将氧化物半导体层中所包括的氢或水分扩散到氧化物绝缘层中的热处理(在100℃至400℃的温度下)。

[0314] 在形成保护绝缘层之后，可在空气中在高于或等于100℃且低于或等于200℃的温度下进行热处理达大于或等于1小时且小于或等于30小时。该热处理可在固定加热温度下进行。替换地，可重复多次地进行加热温度的以下改变：加热温度从室温上升到高于或等于

100°C且低于或等于200°C的温度,并且随后下降到室温。此外,该热处理可在形成氧化物绝缘膜之前在减小的压力下进行。在减小的压力下,可缩短热处理时间。通过该热处理,可获取常态截止的薄膜晶体管(在n沟道晶体管的情况下其阈值电压为正)。因此,可改进液晶显示设备的可靠性。

[0315] 此外,通过在栅绝缘层上形成氧化物半导体层(其中将形成沟道形成区)时在反应气氛中去除水分,可降低氧化物半导体层中的氢或氢化物的浓度。

[0316] 上述工艺可用于制造液晶显示面板、电致发光显示面板、使用电子墨水的显示设备等的后面板(在其上形成薄膜晶体管的基板)。由于在低于或等于400°C的温度下执行上述工艺,因此该工艺可应用于使用一侧长于或等于1米且厚度小于或等于1毫米的玻璃基板的制造工艺。此外,由于可在低于或等于400°C的处理温度下执行整个工艺,因此可在不消耗太多能量的情况下制造显示面板。

[0317] 在如上所述而制造的使用氧化物半导体层的薄膜晶体管中,截止状态电流可减小。因此,通过在液晶显示设备的显示部分的多个像素中的每一个中使用薄膜晶体管,在存储电容器中保持电压的周期可延长,并且在液晶显示设备中显示静止图像等时的功耗可降低。此外,通过在显示静止图像的情况下停止供应控制信号,功耗可进一步降低。另外,可切换静止图像和活动图像,而不发生故障。

[0318] 可与其他实施例中所描述的任一结构适当组合地实现实施例5。

[0319] (实施例6)

[0320] 使用图11A至11E来描述本实施例的薄膜晶体管、以及用于制造薄膜晶体管的方法的实施例。

[0321] 在实施例6中,将描述可应用于本说明书中所公开的液晶显示设备的薄膜晶体管的另一示例。本实施例中所描述的薄膜晶体管310可被用作实施例1中所描述的像素部分1008的每一像素中的薄膜晶体管。

[0322] 图11A至11E示出薄膜晶体管的截面结构的示例。图11A至11E所示的薄膜晶体管310是一种底栅结构,其也称为倒交错薄膜晶体管。

[0323] 虽然使用单栅薄膜晶体管来描述薄膜晶体管310,但是按照需要可形成包括多个沟道形成区的多栅薄膜晶体管。

[0324] 在下文中,使用图11A至11E来描述用于在基板300上制造薄膜晶体管310的工艺。

[0325] 首先,在具有绝缘表面的基板300上形成导电膜,并且随后,对其执行第一光刻步骤,从而形成栅电极层311。注意,可通过喷墨法形成抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;由此可降低制造成本。

[0326] 虽然对可用作具有绝缘表面的基板300的基板没有具体限制,但是基板300必须至少具有足够高的耐热性来耐受稍后要进行的热处理。

[0327] 例如,在玻璃基板被用作基板300的情况下,如果稍后要执行的热处理的温度高,则优选使用其应变点为高于或等于730°C的玻璃基板。例如,使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃、或钡硼硅酸盐玻璃之类的玻璃材料作为玻璃基板。注意,通过包含比氧化硼的量多的氧化钡(BaO),玻璃基板耐热并且更加实用。因此,优选使用包含比B₂O₃多的BaO的玻璃基板。

[0328] 注意,可使用由诸如陶瓷基板、石英玻璃基板、或兰宝石基板之类的绝缘体形成的

基板来代替玻璃基板作为基板300。替换地,可使用结晶玻璃基板等。

[0329] 可在基板300与栅电极层311之间设置用作基膜的绝缘膜。该基膜具有防止杂质元素从基板300扩散的功能,并且可被形成为具有使用氮化硅膜、氧化硅膜、氮氧化硅膜、以及氧氮化硅膜中的一个或多个的单层结构或叠层结构。

[0330] 栅电极层311可被形成为具有使用诸如钼、钛、铬、钽、钨、铝、铜、钕、或钪之类的金属材料、或者包含这些材料中的任一种作为主要组分的合金材料的单层结构或叠层结构。

[0331] 例如,作为栅电极层311的双层结构,以下结构中的任一个是优选的:铝层和堆叠在该铝层上的钼层的双层结构、铜层和堆叠在该铜层上的钼层的双层结构、铜层和堆叠在该铜层上的氮化钛层或氮化钽层的双层结构、氮化钛层和钼层的双层结构、以及氮化钨层和钨层的双层结构。作为三层结构,钨层或氮化钨层、铝和硅的合金层或者铝和钛的合金层、以及氮化钛层或钛层的叠层是优选的。

[0332] 接着,在栅电极层311上形成栅绝缘层302。

[0333] 可通过等离子体CVD法、溅射法等来使栅绝缘层302形成为具有单层的氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层、或氧化铝层、或者其叠层。例如,可通过使用SiH₄、氧气和氮气作为沉积气体的等离子体CVD法来形成氧氮化硅层。在本实施例中,栅绝缘层302的厚度大于或等于100nm且小于或等于500nm。在叠层结构的情况下,在第一栅绝缘层上堆叠厚度大于或等于50nm且小于或等于200nm的第一栅绝缘层、以及厚度大于或等于5nm且小于或等于300nm的第二栅绝缘层。

[0334] 在本实施例中,通过等离子体CVD法形成厚度为小于或等于100nm的氧氮化硅层作为栅绝缘层302。

[0335] 接着,通过溅射法在栅绝缘层302上形成厚度大于或等于2nm且小于或等于200nm、优选大于或等于5nm且小于或等于30nm的氧化物半导体膜330。注意,适当的厚度根据氧化物半导体材料而不同,并且厚度可根据材料适当地设置。该步骤中的截面图是图11A。

[0336] 在通过溅射法形成氧化物半导体膜330之前,优选进行其中引入氩气并产生等离子体的反溅射以去除栅绝缘层302表面上的灰尘。可使用氮气气氛、氦气气氛、氧气气氛等来代替氩气气氛。

[0337] 可使用In-Ga-Zn-O基氧化物半导体膜、In-Sn-Zn-O基氧化物半导体膜、In-Al-Zn-O基氧化物半导体膜、Sn-Ga-Zn-O基氧化物半导体膜、Al-Ga-Zn-O基氧化物半导体膜、Sn-Al-Zn-O基氧化物半导体膜、In-Zn-O基氧化物半导体膜、Sn-Zn-O基氧化物半导体膜、Al-Zn-O基氧化物半导体膜、In-O基氧化物半导体膜、Sn-O基氧化物半导体膜、或Zn-O基氧化物半导体膜来形成氧化物半导体膜330。在本实施例中,通过使用In-Ga-Zn-O基氧化物半导体靶的溅射法来形成氧化物半导体膜330。具体地,使用组分比为In₂O₃:Ga₂O₃:ZnO=1:1:1(即,In:Ga:Zn=1:1:0.5[atom%])的靶。替换地,可使用组分比为In:Ga:Zn=1:1:1[atom%]或In:Ga:Zn=1:1:2[atom%]的靶。在本实施例中,氧化物半导体靶的填充率大于或等于90%且小于或等于100%、优选大于或等于95%且小于或等于99.9%。通过使用具有高填充率的氧化物半导体靶,所沉积的氧化物半导体膜具有高密度。该靶可包含大于或等于2wt%且小于或等于10wt%的SiO₂。溅射氧化物半导体膜330时的气氛可以是稀有气体(通常是氩气)气氛、氧气气氛、或者稀有气体和氧气的混合气氛。

[0338] 优选其中将诸如氢、水、羟基、或氢化物之类的杂质去除到小于或等于1ppm、优选

小于或等于10ppb的高纯度气体被用作用于沉积氧化物半导体膜330的溅射气体。

[0339] 通过在高于或等于100℃且低于或等于600℃、优选高于或等于200℃且低于或等于400℃的基板温度下用减小的压力将基板保持在腔室中来进行溅射。通过在膜沉积时加热基板,可降低氧化物半导体膜中所包含的杂质浓度。此外,可抑制由溅射造成的损坏。然后,去除腔室中的残余水分,引入去除氢和水分的溅射气体,并且使用上述靶,从而在基板300上形成氧化物半导体膜330。为了去除腔室中的残余水分,优选使用吸收型真空泵。例如,优选使用低温泵、离子泵、或钛升华泵。可使用添加了冷阱的涡轮分子泵作为排气单元。在使用低温泵来进行排气的腔室中,排出氢分子、包括氢原子的化合物(诸如水(H₂O))、包括碳原子的化合物等。因此,可降低在腔室中形成的氧化物半导体膜中所包括的杂质浓度。

[0340] 作为膜沉积条件的示例,采用以下条件:基板和靶之间的距离为100mm;压强为0.6Pa;直流(DC)电源为0.5kW;以及气氛是氧气(氧气的流速比为100%)。优选使用脉冲直流(DC)电源,因为可减少在膜沉积时生成的粉末物质(也称为粒子或灰尘),并且可使膜厚均匀。

[0341] 接着,通过第二光刻步骤将氧化物半导体膜330处理成岛状氧化物半导体层331。可使用喷墨法来形成用于形成岛状氧化物半导体层的抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;由此可降低制造成本。

[0342] 接着,对氧化物半导体层331进行第一热处理。可通过第一热处理来对氧化物半导体层331进行脱水或脱氢。第一热处理的温度高于或等于400℃且低于或等于750℃、优选高于或等于400℃且低于基板的应变点。在本实施例中,将基板放入作为一种热处理装置的电炉且在氮气气氛中在450℃对氧化物半导体层进行热处理达1小时,并且随后,温度下降到室温而不暴露于空气且防止水或氢进入氧化物半导体层;由此,获取氧化物半导体层331(参见图11B)。

[0343] 热处理装置不限于电炉,并且可设置有通过来自诸如电阻加热器等加热器的热传导或热辐射对要处理的对象加热的设备。例如,可使用诸如GRTA(气体快速热退火)装置或LRTA(灯快速热退火)装置之类的RTA(快速热退火)装置。LRTA装置是用于通过从诸如卤素灯、卤化金属灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯之类的灯发射的光(电磁波)辐射来对要处理对象加热的装置。GRTA装置是用于使用高温气体来进行热处理的装置。使用与要通过热处理处理的对象不反应的惰性气体(诸如氮气或稀有气体(诸如氩气))作为该气体。

[0344] 例如,作为第一热处理,GRTA可如下地进行:将基板传送到加热到650℃至700℃的高温的惰性气体中,加热几分钟,并且传送且从加热到高温的惰性气体中取出。GRTA实现高温热处理较短的时间。

[0345] 在第一热处理中,优选在氮气或稀有气体(诸如氦气、氖气、或氩气)中不包含水、氢等。优选向热处理装置引入的氮气或稀有气体(诸如氦气、氖气、或氩气)的纯度为大于或等于6N(99.9999%)、更优选为大于或等于7N(99.99999%)(即,杂质浓度优选为小于或等于1ppm、更优选为小于或等于0.1ppm)。

[0346] 通过第一热处理,可去除氧化物半导体层331中所包含的氢等,并且产生氧损耗,从而氧化物半导体层331变成n型半导体(具有减小的电阻的半导体)。此外,根据第一热处理的条件或氧化物半导体层331的材料,可使氧化物半导体层331结晶成微晶膜或多晶膜。例如,可使氧化物半导体层结晶为微晶氧化物半导体膜,其中结晶度大于或等于90%、或者

大于或等于80%。此外,根据第一热处理的条件或氧化物半导体层331的材料,氧化物半导体层331可以是不包含结晶组分的非晶氧化物半导体膜。氧化物半导体层331可变成其中将微晶部分(其粒径大于或等于1nm且小于或等于20nm、通常大于或等于2nm且小于或等于4nm)混合到非晶氧化物半导体中的氧化物半导体膜。

[0347] 同样,可在氧化物半导体膜330被处理成岛状氧化物半导体层331之前,对该氧化物半导体膜进行氧化物半导体层的第一热处理。在此情况下,在第一热处理之后从加热装置取出基板,并且随后对其执行光刻步骤。

[0348] 可在氧化物半导体层上堆叠源电极和漏电极之后、或者在源电极和漏电极上形成保护绝缘膜之后进行用于脱水和/或脱氢的热处理,只要它在沉积氧化物半导体层之后进行即可。

[0349] 在栅绝缘层302中形成接触孔的情况下,其步骤可在对氧化物半导体膜330或氧化物半导体层331进行用于脱水和/或脱氢的热处理之前或之后进行。

[0350] 对于蚀刻氧化物半导体膜,可采用湿法蚀刻、以及干法蚀刻。

[0351] 根据材料适当地调整蚀刻条件(诸如蚀刻剂、蚀刻时间、或温度),从而可将该材料蚀刻成期望形状。

[0352] 接着,在栅绝缘层302和氧化物半导体层331上形成导电膜。该导电膜可通过溅射法或真空蒸镀法形成。可给出从Al、Cr、Cu、Ta、Ti、Mo和W选择的元素;包含这些元素中的任一种作为组分的合金;包含这些元素中的任一种组合的合金膜等作为导电膜的材料。此外,可使用从锰、镁、锆、铍和钇选择的一种或多种材料。此外,导电膜可具有单层结构、或者大于或等于两层的叠层结构。例如,可给出包括硅的铝膜的单层结构、其中在铝膜上堆叠钛膜的双层结构、其中Ti膜、铝膜、以及钛膜按该次序堆叠的三层结构。替换地,可使用膜、合金膜、或者氮化膜,其包含铝(Al)以及从以下选择的一种或多种元素:钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、以及钪(Sc)。

[0353] 在沉积导电膜之后进行热处理的情况下,优选导电膜具有足够高的耐热性来耐受热处理。

[0354] 接着,通过第三光刻步骤在导电膜上形成抗蚀剂掩模。之后,对其选择性地蚀刻以形成源电极层和漏电极层315a和315b,并且随后,去除抗蚀剂掩模(参见图11C)。

[0355] 可使用紫外光、KrF激光、或ArF激光来进行第三光刻步骤中的形成抗蚀剂掩模时的曝光。要形成的薄膜晶体管的沟道长度L由源电极层的下端和漏电极层的下端之间的间距确定,源电极层和漏电极层在氧化物半导体层331上彼此相邻。在针对小于25nm的沟道长度L进行曝光的情况下,使用具有几纳米至几十纳米的极短波长的远紫外光进行在第三光刻步骤中形成抗蚀剂掩模时的曝光。在通过远紫外光的曝光时,分辨率高且聚焦深度大。因此,可使薄膜晶体管的沟道长度L大于或等于10nm且小于或等于1000nm,可增大电路的运行率,并且可通过极小的截止状态电流来实现低功耗。

[0356] 适当地控制材料和蚀刻条件,从而在蚀刻导电膜时不会去除氧化物半导体层331。

[0357] 在本实施例中,由于Ti膜被用作导电膜而In-Ga-Zn-O基氧化物半导体被用作氧化物半导体层331,因此氢氧化铵/双氧水混合物(氨、水、以及双氧水溶液的混合物)被用作蚀刻剂。

[0358] 在第三光刻步骤中,在一些情况下,蚀刻氧化物半导体层331的一部分,由此可形

成具有凹槽(凹陷部分)的氧化物半导体层。可通过喷墨法来形成用于形成源电极层和漏电极层315a和315b的抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;由此可降低制造成本。

[0359] 此外,可在氧化物半导体层与源电极层和漏电极层之间形成氧化物导电层。可连续地形成氧化物导电层、以及用于形成源电极层和漏电极层的金属层。氧化物导电层可用作源区和漏区。

[0360] 通过在氧化物半导体层与源电极层和漏电极层之间设置氧化物导电层作为源区和漏区,可减小源区和漏区的电阻,并且可以高速操作晶体管。

[0361] 为了减少光刻步骤中的光掩模和步骤的数量,可通过利用使用多色调掩模而形成的抗蚀剂掩模来进行蚀刻,该多色调掩模是透射光以使其具有多个强度的曝光掩模。由于使用多色调掩模形成的抗蚀剂掩模具有多个厚度并且可通过进行蚀刻而在形状上进一步改变,因此可在多个蚀刻步骤中使用该抗蚀剂掩模来提供不同图案。因此,与至少两种不同图案相对应的抗蚀剂掩模可通过使用一个多色调掩模来形成。由此,可减少曝光掩模的数量,并且还可减少相应的光刻步骤的数量,由此可实现制造工艺的简化。

[0362] 接着,可进行使用诸如N₂O、N₂、或Ar之类的气体的等离子体处理来去除在露出的氧化物半导体层的表面上吸收的水等。可使用氧气和氩气的混合气体来进行等离子体处理。

[0363] 在等离子体处理之后,在不暴露于空气的情况下形成用作保护绝缘膜且与氧化物半导体层的一部分接触的氧化物绝缘层316。

[0364] 可适当地通过使诸如水或氢之类的杂质不进入氧化物绝缘层316的方法(诸如溅射法)来形成厚度为至少1nm的氧化物绝缘层316。当氧化物绝缘层316中含氢时,可导致氢进入氧化物半导体层或通过氢提取氧化物半导体层中的氧,由此使得氧化物半导体层的背沟道成为n型(使得其电阻为低),从而可形成寄生沟道。因此,重要的是,采用其中尽可能少地使用氢的形成方法以使氧化物绝缘层316尽可能少地含氢。

[0365] 在本实施例中,通过溅射法沉积200nm厚的氧化硅膜作为氧化物绝缘层316。膜沉积时的基板温度可高于或等于室温且低于或等于300℃,且在本实施例中为100℃。可在稀有气体(通常是氩气)气氛、氧气气氛、或包含稀有气体和氧气的混合气氛中通过溅射法形成氧化硅膜。可使用氧化硅靶或硅靶作为靶。例如,通过使用硅靶,可在氧气和氮气的气氛中通过溅射法沉积氧化硅。使用不包括诸如水分、氢离子和OH⁻之类的杂质且阻止这些杂质从外部进入的无机绝缘膜作为形成为与其电阻减小的氧化物半导体层接触的氧化物绝缘层316。通常,使用氧化硅膜、氧氮化硅膜、氧化铝膜、氧氮化铝膜等。

[0366] 在此情况下,优选在沉积氧化物绝缘层316时去除腔室中的残余水分。这是为了防止氧化物半导体层331和氧化物绝缘层316包含氢、羟基、或水分。

[0367] 为了从腔室去除残余水分,优选使用吸附型真空泵。例如,优选使用低温泵、离子泵、或钛升华泵。可使用添加了冷阱的涡轮分子泵作为排气单元。在通过使用低温泵来进行排气的腔室中,例如,排出氢分子、包括氢原子的化合物(诸如H₂O)等。因此,可降低在腔室中形成的氧化物绝缘层316中所包括的杂质浓度。

[0368] 优选其中将诸如氢、水、羟基、或氢化物之类的杂质去除到小于或等于1ppm、优选小于或等于10ppb的高纯度气体被用作用于沉积氧化物绝缘层316的溅射气体。

[0369] 接着,在惰性气体气氛或氧气气氛中进行第二热处理(优选在高于或等于200℃且

低于或等于400°C的温度下,例如,在高于或等于250°C且低于或等于350°C的温度下)。例如,在氮气气氛中,在250°C进行第二热处理达1小时。通过第二热处理,在氧化物半导体层的一部分(沟道形成区)与氧化物绝缘层316接触的状态下施加热量。

[0370] 通过以上工艺,对所沉积的氧化物半导体膜进行用于脱水和/或脱氢的热处理以减小电阻,并且随后,选择性地使氧化物半导体膜的一部分包括过量的氧。因此,与栅电极层311重叠的沟道形成区313变成i型,以自对准方式形成与源电极层315a重叠且使用低电阻氧化物半导体形成的高电阻源区314a、以及与漏电极层315b重叠且使用低电阻氧化物半导体形成的高电阻漏区314b。通过以上步骤,形成薄膜晶体管310(参见图11D)。

[0371] 此外,可在空气中在高于或等于100°C且低于或等于200°C的温度下进行热处理达大于或等于1小时且小于或等于30小时。在本实施例中,在150°C进行热处理达10小时。该热处理可在固定加热温度下进行。替换地,可重复多次地进行加热温度的以下改变:加热温度从室温上升到高于或等于100°C且低于或等于200°C的温度,并且随后下降到室温。此外,该热处理可在形成氧化物绝缘膜之前在减小的压力下进行。在减小的压力下,可缩短热处理时间。通过该热处理,将氢从氧化物半导体层引入氧化物绝缘层;由此,可获取常态截止的薄膜晶体管。因此,可改进液晶显示设备的可靠性。此外,通过使用包含许多缺陷的氧化硅层作为氧化物绝缘层,通过热处理来使氧化物半导体层中所包含的杂质(诸如氢、水分、羟基、或氢化物)扩散到氧化物绝缘层中,以进一步减少氧化物半导体层中所包含的杂质。

[0372] 在氧化物半导体层与漏电极层315b(或源电极层315a)重叠的部分中形成高电阻漏区314b(或高电阻源区314a),从而可增加薄膜晶体管的可靠性。具体地,通过形成高电阻漏区314b,传导性可从漏电极层315b到晶体管中的高电阻漏区314b和沟道形成区313逐渐地变化。因此,在薄膜晶体管使用连接到用于供应高电源电位VDD的布线的漏电极层315b来操作的情况下,高电阻漏区用作缓冲区,并且即使在栅电极层311和漏电极层315b之间施加高电场也不局部地施加高电场,从而可改进晶体管的耐压。

[0373] 在氧化物半导体层薄至小于或等于15nm的情况下,可在氧化物半导体层中的膜厚方向上的所有深度处形成高电阻源区和高电阻漏区;而在氧化物半导体层厚达大于或等于30nm且小于或等于50nm的厚度的情况下,氧化物半导体层与源电极层和漏电极层接触的各部分(即,各区域)及其附近的电阻可减小,从而形成高电阻源区和高电阻漏区,并且可使氧化物半导体层的接近栅绝缘层的区域变成i型。

[0374] 可在氧化物绝缘层316上形成保护绝缘层。例如,通过RF溅射法形成氮化硅膜。RF溅射法优选作为用于形成保护绝缘层的方法,因为其具有高生产率。作为保护绝缘层,使用不包含诸如水分、氢离子和OH⁻之类的杂质且阻止这些杂质从外部进入的无机绝缘膜;使用氮化硅膜、氮化铝膜、氮氧化硅膜、氮氧化铝膜等。在本实施例中,使用氮化硅膜形成保护绝缘层303作为保护绝缘层(参见图11E)。

[0375] 在本实施例中,通过将在其上形成直到且包括氧化物绝缘层316的层的基板300加热到100°C至400°C的温度、引入去除氢和水分的包含高纯度氮的溅射气体、以及使用硅半导体靶来形成氮化硅膜作为保护绝缘层303。同样在此情况下,优选在形成保护绝缘层303时从处理室去除残余水分,与氧化物绝缘层316的情况一样。

[0376] 可在保护绝缘层303上设置用于平面化的平面化绝缘层。

[0377] 在采用使用如上所述的氧化物半导体层的薄膜晶体管的液晶显示设备的显示部

分的多个像素中的每一个中,截止状态电流可减小。因此,在存储电容器中保持电压的周期可延长,并且在液晶显示设备中显示静止图像等时的功耗可降低。此外,通过在显示静止图像的情况下停止供应控制信号,功耗可进一步降低。另外,可切换静止图像和活动图像,而不发生故障。

[0378] 可与其他实施例中所描述的任一结构适当组合地实现实施例6。

[0379] (实施例7)

[0380] 使用图12A至12D来描述本实施例的薄膜晶体管、以及用于制造薄膜晶体管的方法的实施例。

[0381] 在实施例7中,将描述可应用于本说明书中所公开的液晶显示设备的薄膜晶体管的另一示例。本实施例中所描述的薄膜晶体管360可被用作实施例1中所描述的像素部分1008的每一像素中的薄膜晶体管。

[0382] 图12A至12D示出薄膜晶体管的截面结构的示例。图12A至12D所示的薄膜晶体管360是称为沟道保护结构(也称为沟道阻断结构)的一种底栅结构,并且也称为倒交错薄膜晶体管。

[0383] 虽然使用单栅薄膜晶体管来描述薄膜晶体管360,但是按照需要可形成包括多个沟道形成区的多栅薄膜晶体管。

[0384] 在下文中,使用图12A至12D来描述用于在基板320上制造薄膜晶体管360的工艺。

[0385] 首先,在具有绝缘表面的基板320上形成导电膜,执行第一光刻步骤来形成抗蚀剂掩模,并且使用抗蚀剂掩模来选择性地蚀刻导电膜,从而形成栅电极层361。之后,去除抗蚀剂掩模。注意,可通过喷墨法形成抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;由此可降低制造成本。

[0386] 栅电极层361可被形成为具有使用诸如钼、钛、铬、钽、钨、铝、铜、钕、或钪之类的金属材料、或者包含这些材料中的任一种作为主要组分的合金材料的单层结构或叠层结构。

[0387] 接着,在栅电极层361上形成栅绝缘层322。

[0388] 在本实施例中,通过等离子体CVD法形成厚度为小于或等于100nm的氧氮化硅层作为栅绝缘层322。

[0389] 接着,在栅绝缘层322上形成厚度大于或等于2nm且小于或等于200nm的氧化物半导体膜,并且通过第二光刻步骤将其处理成岛状氧化物半导体层332。在本实施例中,通过使用In-Ga-Zn-O基氧化物半导体靶的溅射法来形成氧化物半导体膜。

[0390] 在此情况下,优选在沉积氧化物半导体膜时去除腔室中的残余水分。这是为了防止氧化物绝缘膜包含氢、羟基、或水分。

[0391] 为了从腔室去除残余水分,优选使用吸附型真空泵。例如,优选使用低温泵、离子泵、或钛升华泵。可使用添加了冷阱的涡轮分子泵作为排气单元。在通过使用低温泵来进行排气的腔室中,例如,排出氢分子、包括氢原子的化合物(诸如H₂O)等。因此,可降低在腔室中形成的氧化物半导体膜中所包括的杂质浓度。

[0392] 优选其中将诸如氢、水、羟基、或氢化物之类的杂质去除到小于或等于1ppm、优选小于或等于10ppb的高纯度气体被用作用于沉积氧化物半导体膜的溅射气体。

[0393] 接着,进行氧化物半导体层的脱水和/或脱氢。用于脱水和/或脱氢的第一热处理的温度高于或等于400℃且低于或等于750℃、优选高于或等于400℃且低于基板的应变点。

在本实施例中,将基板放入作为一种热处理装置的电炉且在氮气气氛中在450°C对氧化物半导体层进行热处理达1小时,并且随后,防止水或氢进入氧化物半导体层而不暴露于空气;由此,获取氧化物半导体层332(参见图12A)。

[0394] 接着,使用诸如N₂O、N₂、或Ar之类的气体来执行等离子体处理。该等离子体处理去除在露出的氧化物半导体层的表面上吸收的水等。另外,可使用氧气和氩气的混合气体来进行等离子体处理。

[0395] 接着,在栅绝缘层322和氧化物半导体层332上形成氧化物绝缘层。之后,通过第三光刻步骤形成抗蚀剂掩模,并且对其选择性地进行蚀刻,从而形成氧化物绝缘层366。之后,去除抗蚀剂掩模。

[0396] 在本实施例中,通过溅射法沉积200nm厚的氧化硅膜作为氧化物绝缘层366。膜沉积时的基板温度可高于或等于室温且低于或等于300°C,且在本实施例中为100°C。在稀有气体(通常是氩气)气氛、氧气气氛、或包含稀有气体和氧气的混合气氛中,可通过溅射法形成氧化硅膜。可使用氧化硅靶或硅靶作为靶。例如,通过使用硅靶,可在氧气和氮气的气氛中通过溅射法沉积氧化硅。使用不包括诸如水分、氢离子和OH⁻之类的杂质且阻止这些杂质从外部进入的无机绝缘膜作为形成为与氧化物半导体层接触的氧化物绝缘层366。通常,使用氧化硅膜、氧氮化硅膜、氧化铝膜、氧氮化铝膜等。

[0397] 在此情况下,优选在沉积氧化物绝缘层366时去除腔室中的残余水分。这是为了防止氧化物半导体层332和氧化物绝缘层366包含氢、羟基、或水分。

[0398] 为了从腔室去除残余水分,优选使用吸附型真空泵。例如,优选使用低温泵、离子泵、或钛升华泵。可使用添加了冷阱的涡轮分子泵作为排气单元。在通过使用低温泵来进行排气的腔室中,例如,排出氢分子、包括氢原子的化合物(诸如H₂O)等。因此,可降低在腔室中形成的氧化物半导体膜中所包括的杂质浓度。

[0399] 优选其中将诸如氢、水、羟基、或氢化物之类的杂质去除到小于或等于1ppm、优选小于或等于10ppb的高纯度气体被用作用于沉积氧化物半导体膜的溅射气体。

[0400] 接着,在惰性气体气氛或氧气气氛中进行第二热处理(优选在高于或等于200°C且低于或等于400°C的温度下,例如,在高于或等于250°C且低于或等于350°C的温度下)。例如,在氮气气氛中,在250°C进行第二热处理达1小时。通过第二热处理,在氧化物半导体层的一部分(沟道形成区)与氧化物绝缘层366接触的状态下施加热量。

[0401] 在本实施例中,设置有氧化物绝缘层366且部分露出的氧化物半导体层332还在氮气气氛或惰性气体气氛中、或者在减小的压力下进行热处理。通过在氮气气氛或惰性气体气氛中、或者在减小的压力下的热处理,氧化物半导体层332未被氧化物绝缘层366覆盖的暴露区域的电阻可减小。例如,在氮气气氛中,在250°C进行热处理达1小时。

[0402] 通过在氮气气氛中对设置有氧化物绝缘层366的氧化物半导体层332的热处理,氧化物半导体层332的暴露区域的电阻减小,从而形成包括不同电阻的区域(指示为图12B中的阴影区和白色区)的氧化物半导体层362。

[0403] 接着,在栅绝缘层322、氧化物半导体层362、以及氧化物绝缘层366上形成导电膜。之后,通过第四光刻步骤形成抗蚀剂掩模,并且对其选择性地进行蚀刻,从而形成源电极层365a和漏电极层365b。之后,去除抗蚀剂掩模(参见图12C)。

[0404] 源电极层365a和漏电极层365b各自通过使用从Al、Cr、Cu、Ta、Ti、Mo和W选择的元

素、包括以上元素中的任一种作为其组分的合金、包括这些元素中的任一种的组合的合金膜等来形成。单层结构、或者包括大于或等于两层的叠层结构可被用作导电膜。

[0405] 通过以上工艺,选择性地使氧化物半导体膜的一部分包括过量的氧。因此,与栅电极层361重叠的沟道形成区363变成i型,并且以自对准方式形成与源电极层365a重叠的高电阻源区364a以及与漏电极层365b重叠的高电阻漏区364b。通过以上步骤,形成薄膜晶体管360。

[0406] 此外,可在空气中在高于或等于100℃且低于或等于200℃的温度下进行热处理达大于或等于1小时且小于或等于30小时。在本实施例中,在150℃进行热处理达10小时。该热处理可在固定加热温度下进行。替换地,可重复多次地进行加热温度的以下改变:加热温度从室温上升到高于或等于100℃且低于或等于200℃的温度,并且随后下降到室温。此外,该热处理可在形成氧化物绝缘膜之前在减小的压力下进行。在减小的压力下,可缩短热处理时间。通过该热处理,将氢从氧化物半导体层引入氧化物绝缘层;由此,可获取常态截止的薄膜晶体管。因此,可改进液晶显示设备的可靠性。

[0407] 在氧化物半导体层与漏电极层365b(或源电极层365a)重叠的部分中形成高电阻漏区364b(或高电阻源区364a),从而可增加薄膜晶体管的可靠性。具体地,通过形成高电阻漏区364b,传导性可从漏电极层365b到晶体管中的高电阻漏区364b和沟道形成区363逐渐地变化。因此,在薄膜晶体管使用连接到用于供应高电源电位VDD的布线的漏电极层365b来操作的情况下,高电阻漏区用作缓冲区,并且即使在栅电极层361和漏电极层315b之间施加高电场也不局部地施加高电场,从而可改进晶体管的耐压。

[0408] 在源电极层365a、漏电极层365b、以及氧化物绝缘层366上形成保护绝缘层323。在本实施例中,使用氮化硅膜形成保护绝缘层323(参见图12D)。

[0409] 可在源电极层362a、漏电极层365b、以及氧化物绝缘层366上形成氧化物绝缘层,并且可在氧化物绝缘层上堆叠保护绝缘层323。

[0410] 在采用使用如上所述的氧化物半导体层的薄膜晶体管的液晶显示设备的显示部分的多个像素中的每一个中,截止状态电流可减小。因此,在存储电容器中保持电压的周期可延长,并且在液晶显示设备中显示静止图像等时的功耗可降低。此外,通过在显示静止图像的情况下停止供应控制信号,功耗可进一步降低。另外,可切换静止图像和活动图像,而不发生故障。

[0411] 可与其他实施例中所描述的任一结构适当组合地实现实施例7。

[0412] (实施例8)

[0413] 在实施例8中,将描述可应用于本说明书中所公开的液晶显示设备的薄膜晶体管的另一示例。本实施例中所描述的薄膜晶体管350可被用作实施例1中所描述的像素部分1008的每一像素中的薄膜晶体管。

[0414] 使用图13A至13D来描述本实施例的薄膜晶体管、以及用于制造薄膜晶体管的方法的实施例。

[0415] 虽然使用单栅薄膜晶体管来描述薄膜晶体管350,但是按照需要可形成包括多个沟道形成区的多栅薄膜晶体管。

[0416] 在下文中,使用图13A至13D来描述用于在基板340上制造薄膜晶体管350的工艺。

[0417] 首先,在具有绝缘表面的基板340上形成导电膜并执行第一光刻步骤,从而形成栅

电极层351。在本实施例中,通过溅射法形成150nm厚的钨膜作为栅电极层351。

[0418] 接着,在栅电极层351上形成栅绝缘层342。在本实施例中,通过等离子体CVD法形成厚度为小于或等于100nm的氧氮化硅层作为栅绝缘层342。

[0419] 接着,在栅绝缘层342上形成导电膜且通过第二光刻步骤在导电膜上形成抗蚀剂掩模,并且对其进行选择性的蚀刻,从而形成源电极层355a和漏电极层355b。之后,去除抗蚀剂掩模(参见图13A)。

[0420] 接着,形成氧化物半导体膜345(参见图13B)。在本实施例中,通过使用In-Ga-Zn-O基氧化物半导体靶的溅射法来形成氧化物半导体膜345。通过第三光刻步骤将氧化物半导体膜345处理成岛状氧化物半导体层。

[0421] 在此情况下,优选在沉积氧化物半导体膜345时去除腔室中的残余水分。这是为了防止氧化物半导体膜345包含氢、羟基、或水分。

[0422] 为了从腔室去除残余水分,优选使用吸附型真空泵。例如,优选使用低温泵、离子泵、或钛升华泵。可使用添加了冷阱的涡轮分子泵作为排气单元。在通过使用低温泵来进行排气的腔室中,例如,排出氢分子、包括氢原子的化合物(诸如H₂O)等。因此,可降低在腔室中形成的氧化物半导体膜345中所包括的杂质浓度。

[0423] 优选其中将诸如氢、水、羟基、或氢化物之类的杂质去除到小于或等于1ppm、优选小于或等于10ppb的高纯度气体被用作用于沉积氧化物半导体膜345的溅射气体。

[0424] 接着,进行氧化物半导体层的脱水和/或脱氢。用于脱水和/或脱氢的第一热处理的温度高于或等于400℃且低于或等于750℃、优选高于或等于400℃且低于基板的应变点。在本实施例中,将基板放入作为一种热处理装置的电炉且在氮气气氛中在450℃对氧化物半导体层进行热处理达1小时,并且随后,防止水或氢进入氧化物半导体层而不暴露于空气;由此,获取氧化物半导体层346(参见图13C)。

[0425] 例如,作为第一热处理,GRTA可如下地进行:将基板传送到加热到650℃至700℃的高温的惰性气体中,加热几分钟,并且传送且从加热到高温的惰性气体中取出。GRTA实现高温热处理较短的时间。

[0426] 接着,形成与氧化物半导体层346接触的用作保护绝缘膜的氧化物绝缘层356。

[0427] 可适当地通过使诸如水或氢之类的杂质不进入氧化物绝缘层356的方法(诸如溅射法)来形成厚度为至少1nm的氧化物绝缘层356。当氧化物绝缘层356中含氢时,可导致氢进入氧化物半导体层或通过氢提取氧化物半导体层中的氧,由此使得氧化物半导体层的背沟道成为n型(使得其电阻为低),从而可形成寄生沟道。因此,重要的是,采用其中尽可能少地使用氢的形成方法以使氧化物绝缘层356尽可能少地含氢。

[0428] 在本实施例中,通过溅射法沉积200nm厚的氧化硅膜作为氧化物绝缘层356。膜沉积时的基板温度可高于或等于室温且低于或等于300℃,且在本实施例中为100℃。在稀有气体(通常是氩气)气氛、氧气气氛、或包含稀有气体和氧气的混合气氛中,可通过溅射法形成氧化硅膜。可使用氧化硅靶或硅靶作为靶。例如,通过使用硅靶,可在氧气和氮气的气氛中通过溅射法沉积氧化硅。使用不包括诸如水分、氢离子和OH⁻之类的杂质且阻止这些杂质从外部进入的无机绝缘膜作为形成为与氧化物半导体层接触的氧化物绝缘层356。通常,使用氧化硅膜、氧氮化硅膜、氧化铝膜、氧氮化铝膜等。

[0429] 在此情况下,优选在沉积氧化物绝缘层356时去除腔室中的残余水分。这是为了防

止氧化物半导体层346和氧化物绝缘层356包含氢、羟基、或水分。

[0430] 为了从腔室去除残余水分,优选使用吸附型真空泵。例如,优选使用低温泵、离子泵、或钛升华泵。可使用添加了冷阱的涡轮分子泵作为排气单元。在通过使用低温泵来进行排气的腔室中,例如,排出氢分子、包括氢原子的化合物(诸如H₂O)等。因此,可降低在腔室中形成的氧化物绝缘层356中所包括的杂质浓度。

[0431] 优选其中将诸如氢、水、羟基、或氢化物之类的杂质去除到小于或等于1ppm、优选小于或等于10ppb的高纯度气体被用作用于沉积氧化物绝缘层356的溅射气体。

[0432] 接着,在惰性气体气氛或氧气气氛中进行第二热处理(优选在高于或等于200℃且低于或等于400℃的温度下,例如,在高于或等于250℃且低于或等于350℃的温度下)。例如,在氮气气氛中,在250℃进行第二热处理达1小时。通过第二热处理,在氧化物半导体层的一部分(沟道形成区)与氧化物绝缘层356接触的状态下施加热量。

[0433] 通过以上工艺,选择性地使氧化物半导体膜包括过量的氧。因此,形成i型氧化物半导体层352。通过以上步骤,形成薄膜晶体管350。

[0434] 此外,可在空气中在高于或等于100℃且低于或等于200℃的温度下进行热处理达大于或等于1小时且小于或等于30小时。在本实施例中,在150℃进行热处理达10小时。该热处理可在固定加热温度下进行。替换地,可重复多次地进行加热温度的以下改变:加热温度从室温上升到高于或等于100℃且低于或等于200℃的温度,并且随后下降到室温。此外,该热处理可在形成氧化物绝缘膜之前在减小的压力下进行。在减小的压力下,可缩短热处理时间。通过该热处理,将氢从氧化物半导体层引入氧化物绝缘层;由此,可获取常态截止的薄膜晶体管。因此,可改进液晶显示设备的可靠性。

[0435] 可在氧化物绝缘层356上形成保护绝缘层。例如,通过RF溅射法形成氮化硅膜。在本实施例中,使用氮化硅膜形成保护绝缘层343作为保护绝缘层(参见图13D)。

[0436] 可在保护绝缘层343上设置用于平面化的平面化绝缘层。

[0437] 在如上所述而制造的使用氧化物半导体层的薄膜晶体管中,截止状态电流可减小。因此,通过在液晶显示设备的显示部分的多个像素中的每一个中使用薄膜晶体管,在存储电容器中保持电压的周期可延长,并且在液晶显示设备中显示静止图像等时的功耗可降低。此外,通过在显示静止图像的情况下停止供应控制信号,功耗可进一步降低。另外,可切换静止图像和活动图像,而不发生故障。

[0438] 可与其他实施例中所描述的任一结构适当组合地实现实施例8。

[0439] (实施例9)

[0440] 在实施例9中,将使用图14来描述在薄膜晶体管的制造工艺中与实施例6不同的示例。由于图14除部分步骤以外与图11A至11E相同,因此相同的附图标记用于相同的部分,并且不再重复相同部分的详细描述。

[0441] 在实施例9中,将描述可应用于本说明书中所公开的液晶显示设备的薄膜晶体管的另一示例。本实施例中所描述的薄膜晶体管380可被用作实施例1中所描述的像素部分1008的每一像素中的薄膜晶体管。

[0442] 根据实施例6,在基板370上形成栅电极层381,并且堆叠第一栅绝缘层372a和第二栅绝缘层372b。在本实施例中,栅绝缘层具有双层结构,其中氮化物绝缘层被用作第一栅绝缘层372a,而氧化物绝缘层被用作第二栅绝缘层372b。

[0443] 可使用氧化硅层、氧氮化硅层、氧化铝层、氧氮化铝层等作为氧化物绝缘层。可使用氮化硅层、氮氧化硅层、氮化铝层、氮氧化铝层等作为氮化物绝缘层。

[0444] 在本实施例中,栅绝缘层具有其中氮化硅层和氧化硅层按该次序堆叠在栅电极层381上的结构。例如,150nm厚的栅绝缘层以如下方式形成:通过溅射法形成厚度大于或等于50nm且小于或等于200nm的氮化硅层($\text{SiN}_y (y>0)$)作为第一栅绝缘层372a、并且随后在第一栅绝缘层372a上堆叠厚度大于或等于5nm且小于或等于300nm(在本实施例中为100nm)的氧化硅层($\text{SiO}_x (x>0)$)作为第二栅绝缘层372b。

[0445] 接着,形成氧化物半导体膜,并且通过光刻步骤将其处理成岛状氧化物半导体层。在本实施例中,通过使用In-Ga-Zn-O基氧化物半导体靶的溅射法来形成氧化物半导体膜。

[0446] 在此情况下,优选在沉积氧化物绝缘膜时去除腔室中的残余水分。这是为了防止氧化物半导体膜包含氢、羟基、或水分。

[0447] 为了从腔室去除残余水分,优选使用吸附型真空泵。例如,优选使用低温泵、离子泵、或钛升华泵。可使用添加了冷阱的涡轮分子泵作为排气单元。在通过使用低温泵来进行排气的腔室中,例如,排出氢分子、包括氢原子的化合物(诸如 H_2O)等。因此,可降低在腔室中形成的氧化物半导体膜中所包括的杂质浓度。

[0448] 优选其中将诸如氢、水、羟基、或氢化物之类的杂质去除到小于或等于1ppm、优选小于或等于10ppb的高纯度气体被用作用于沉积氧化物半导体膜的溅射气体。

[0449] 接着,进行氧化物半导体层的脱水和/或脱氢。用于脱水或脱氢的第一热处理的温度高于或等于400°C且低于或等于750°C、优选高于或等于425°C。热处理时间在高于或等于425°C的温度下为短于或等于1小时,而在低于425°C的温度下长于1小时。在本实施例中,将基板放入作为一种热处理装置的电炉且在氮气气氛中对氧化物半导体层进行热处理,并且随后,防止水或氢进入氧化物半导体层而不暴露于空气;由此,获取氧化物半导体层。之后,通过将高纯度氧气、高纯度 N_2O 气体、或超干空气(具有低于或等于-40°C的露点、优选低于或等于-60°C)引入同一炉来进行冷却。优选氧气和 N_2O 气体不包含水、氢等。替换地,被引入热处理装置的氧气或 N_2O 气体的纯度优选为高于或等于6N(99.9999%)、更优选为高于或等于7N(99.99999%) (即,氧气气体或 N_2O 气体的杂质浓度优选为低于或等于1ppm、更优选为低于或等于0.1ppm)。

[0450] 热处理装置不限于电炉。例如,可使用诸如GRTA(气体快速热退火)装置或LRTA(灯快速热退火)装置之类的RTA(快速热退火)装置。LRTA装置是用于通过从诸如卤素灯、卤化金属灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯之类的灯发射的光(电磁波)辐射来对要处理对象加热的装置。LRTA装置不仅可设置有灯,而且设置有通过来自加热器(诸如电阻加热器)的热传导或热辐射对要处理的对象加热的设备。GRTA是用于使用高温气体来进行热处理的方法。使用与要通过热处理处理的对象不反应的惰性气体(诸如氮气或稀有气体(诸如氩气))作为该气体。可在600°C至750°C使用RTA法进行热处理达数分钟。

[0451] 在用于脱水和/或脱氢的第一热处理之后,可在氧气气氛或 N_2O 气体气氛中在高于或等于200°C且低于或等于400°C、优选高于或等于200°C且低于或等于300°C的温度下进行热处理。

[0452] 也可在氧化物半导体膜被处理成岛状氧化物半导体层之前,对该氧化物半导体膜进行氧化物半导体层的第一热处理。在此情况下,在第一热处理之后从加热装置取出基板,

并且随后对其执行光刻步骤。

[0453] 通过以上步骤使整个氧化物半导体膜包含过量的氧,由此氧化物半导体膜具有更高的电阻,即变成i型。因此,形成其整个区域为i型的氧化物半导体层382。

[0454] 接着,通过光刻步骤在氧化物半导体层382上形成抗蚀剂掩模,并且选择性地进行蚀刻以形成源电极层385a和漏电极层385b,并且随后通过溅射法形成氧化物绝缘层386。

[0455] 在此情况下,优选在沉积氧化物绝缘层386时去除腔室中的残余水分。这是为了防止氧化物半导体层382和氧化物绝缘层386包含氢、羟基、和/或水分。

[0456] 为了去除腔室中的残余水分,优选使用吸收型真空泵。例如,优选使用低温泵、离子泵、或钛升华泵。可使用添加了冷阱的涡轮分子泵作为排气单元。在使用低温泵来进行排气的腔室中,排出氢分子、包括氢原子的化合物(诸如H₂O)等。因此,可降低在腔室中形成的氧化物绝缘层386中所包括的杂质浓度。

[0457] 优选其中将诸如氢、水、羟基、或氢化物之类的杂质去除到小于或等于1ppm、优选小于或等于10ppb的高纯度气体被用作用于沉积氧化物绝缘层386的溅射气体。

[0458] 通过以上步骤,可制造薄膜晶体管380。

[0459] 接着,可在惰性气体气氛或氮气气氛中进行热处理(优选在高于或等于150℃且低于350℃的温度下)以抑制薄膜晶体管的电特性的变化。例如,在氮气气氛中,在250℃进行热处理达1小时。

[0460] 此外,可在空气中在高于或等于100℃且低于或等于200℃的温度下进行热处理达大于或等于1小时且小于或等于30小时。在本实施例中,在150℃进行热处理达10小时。该热处理可在固定加热温度下进行。替换地,可重复多次地进行加热温度的以下改变:加热温度从室温上升到高于或等于100℃且低于或等于200℃的温度,并且随后下降到室温。此外,该热处理可在形成氧化物绝缘膜之前在减小的压力下进行。在减小的压力下,可缩短热处理时间。通过该热处理,将氢从氧化物半导体层引入氧化物绝缘层;由此,可获取常态截止的薄膜晶体管。因此,可改进液晶显示设备的可靠性。

[0461] 在氧化物绝缘层386上形成保护绝缘层373。在本实施例中,通过溅射法形成100nm厚的氮化硅膜作为保护绝缘层373。

[0462] 作为氮化物绝缘层的保护绝缘层373和第一栅绝缘层372a不包含诸如水分、氢、氢化物、或氢氧化物之类的杂质,并且阻止它们从外部进入。

[0463] 因此,在形成保护绝缘层373之后的制造工艺中,可防止诸如水分之类的杂质从外部进入。此外,即使在完成设备作为诸如液晶显示设备之类的半导体设备之后,以也可长期地防止诸如水分之类的杂质从外部进入;因此,可改进该设备的长期可靠性。

[0464] 可去除设置在作为氮化物绝缘层的保护绝缘层373和第一栅绝缘层372a之间的绝缘层以使保护绝缘层373与第一栅绝缘层372a接触。

[0465] 因此,可减少氧化物半导体层中的杂质(诸如水分、氢、氢化物、氢氧化物),并防止其进入,从而可将氧化物半导体层中的杂质浓度保持为低。

[0466] 可在保护绝缘层373上设置用于平面化的平面化绝缘层。

[0467] 在采用使用如上所述的氧化物半导体层的薄膜晶体管的液晶显示设备的显示部分的多个像素中的每一个中,截止状态电流可减小。因此,在存储电容器中保持电压的周期可延长,并且在液晶显示设备中显示静止图像等时的功耗可降低。此外,通过在显示静止图

像的情况下停止供应控制信号,功耗可进一步降低。另外,可切换静止图像和活动图像,而不发生故障。

[0468] 可与其他实施例中所描述的任一结构适当组合地实现实施例9。

[0469] (实施例10)

[0470] 在实施例10中,将描述可应用于本说明书中所公开的液晶显示设备的薄膜晶体管的另一示例。本实施例中所描述的薄膜晶体管可被用作实施例2至8中的任一个中的薄膜晶体管,其可被用作实施例1中的薄膜晶体管。

[0471] 在实施例10中,将描述使用具有透光性质的导电材料作为栅电极层、源电极层、以及漏电极层中的任一个的示例。注意,以上实施例可应用于与以上实施例相同的部分、以及具有与该实施例类似功能的部分和步骤,并且不再重复其描述。此外,省略对相同部分的具体描述。

[0472] 可使用透射可见光的导电材料作为栅电极层、源电极层、以及漏电极层中的任一个的材料。例如,可使用以下金属氧化物中的任一个:In-Sn-0基金属氧化物;In-Sn-Zn-0基金属氧化物;In-Al-Zn-0基金属氧化物;Sn-Ga-Zn-0基金属氧化物;Al-Ga-Zn-0基金属氧化物;Sn-Al-Zn-0基金属氧化物;In-Zn-0基金属氧化物;Sn-Zn-0基金属氧化物;Al-Zn-0基金属氧化物;In-0基金属氧化物;Sn-0基金属氧化物;以及Zn-0基金属氧化物。其厚度被适当地设置在大于或等于50nm且小于或等于300nm的范围内。使用溅射法、真空蒸镀法(电子束蒸镀法等)、电弧放电离子电镀法、喷雾法作为用于栅电极层、源电极层、以及漏电极层中的任一个的金属氧化物的沉积法。在采用溅射法的情况下,优选使用包含大于等于2wt%且小于等于10wt%的SiO₂的靶来进行沉积,并且抑制结晶的SiO_x(x>0)被包含在透光导电膜中,从而防止在后续步骤中的热处理时结晶。

[0473] 注意,透光导电膜中的组分百分比的单位是原子百分比,并且通过使用电子探针X射线微量分析仪(EPMA)的分析来评估组分的百分比。

[0474] 在设置有薄膜晶体管的像素中,当使用透射可见光的导电膜来形成像素电极层、另一电极层(诸如电容器电极层)、或布线层(诸如电容器布线层)时,可实现具有高孔径比的显示设备。毋庸赘言,优选像素中的栅绝缘层、氧化物绝缘层、保护绝缘层、以及平面化绝缘层各自也使用透射可见光的膜来形成。

[0475] 在本说明书中,透射可见光的膜是指具有如此厚度以具有75%至100%的可见光透射率的膜。在膜具有传导性的情况下,膜也称为透明导电膜。此外,相对于可见光为半透射的导电膜可被用作应用于栅电极层、源电极层、漏电极层、像素电极层、另一电极层、或另一布线层的金属氧化物。相对于可见光为半透射的导电膜指示具有50%至75%的可见光透射率的膜。

[0476] 当薄膜晶体管具有透光性质时,孔径比可增大。具体而言,对于小于或等于10英寸的小液晶显示面板,例如,即使当通过增加栅极布线的数量来减小像素的尺寸以实现显示图像的更高分辨率时,也可实现高孔径比。此外,通过将具有透光性质的膜用于薄膜晶体管的组件,即使当一个像素被分成多个子像素以实现宽视角时,也可实现高孔径比。即,即使当设置一组高密度薄膜晶体管时,也可维持高孔径比,从而可确保显示区的足够面积。例如,在一个像素包括2至4个子像素的情况下,可改进孔径比,因为薄膜晶体管具有透光性质。此外,存储电容器可使用同一材料、通过与薄膜晶体管中的组件相同的步骤来形成,从

而存储电容器可具有透光性质,由此可进一步改进孔径比。

[0477] 可与其他实施例中所描述的任一结构适当组合地实现实施例10。

[0478] (实施例11)

[0479] 参考图15A至15C来描述作为液晶显示设备的一个实施例的液晶显示面板的外观和截面。图15A和15C各自是面板的俯视图,其中通过密封剂4005将在第一基板4001上形成的薄膜晶体管4010和4011、以及液晶元件4013密封在第一基板4001与第二基板4006之间。图15B对应于图15A或15C中沿线M-N的截面图。

[0480] 密封剂4005被设置成包围设置在第一基板4001上的像素部分4002和扫描线驱动电路4004。在像素部分4002和扫描线驱动电路4004上设置第二基板4006。因此,通过第一基板4001、密封剂4005、以及第二基板4006使像素部分4002和扫描线驱动电路4004与液晶层4008密封在一起。使用单晶半导体膜或多晶半导体膜在分开制备的基板上形成的信号线驱动电路4003被安装在第一基板4001上与通过密封剂4005包围的区域不同的区域中。

[0481] 注意,分开形成的驱动电路的连接方法没有具体限制;可使用COG法、引线接合法、TAB法等。图15A示出通过COG法安装信号线驱动电路4003的示例,而图15C示出通过TAB法安装信号线驱动电路4003的示例。

[0482] 此外,设置在第一基板4001上的像素部分4002和扫描线驱动电路4004各自包括多个薄膜晶体管。图15B示出像素部分4002中所包括的薄膜晶体管4010、以及扫描线驱动电路4004中所包括的薄膜晶体管4011。在薄膜晶体管4010和4011上设置绝缘层4041、4042、4020、以及4021。

[0483] 实施例2至9中所描述的薄膜晶体管中的任一个可被适当地用作薄膜晶体管4010和4011中的每一个,并且可使用类似工艺和类似材料来形成。在薄膜晶体管4010和4011各自的氧化物半导体层中,减少氢或水。由此,薄膜晶体管4010和4011具有高可靠性。在此实施例中,薄膜晶体管4010和4011是n沟道薄膜晶体管。

[0484] 在绝缘层4021的一部分上设置导电层4040,该导电层与用于驱动电路的薄膜晶体管4011中的氧化物半导体层的沟道形成区重叠。在与氧化物半导体层的沟道形成区重叠的位置处设置导电层4040,由此可减少通过BT测试的薄膜晶体管4011的阈值电压的改变量。导电层4040的电位可与薄膜晶体管4011的栅电极层的电位相同或不同。导电层4040还可用作第二栅电极层。另外,导电层4040的电位可以是GND或0V,或者导电层4040可处于浮动状态。

[0485] 液晶元件4013中所包括的像素电极层4030电连接到薄膜晶体管4010的源电极层或漏电极层。在第二基板4006上设置液晶元件4013的对电极层4031。像素电极层4030、对电极层4031、以及液晶层4008相互重叠的部分对应于液晶元件4013。注意,像素电极层4030和对电极层4031分别设置有各自用作取向膜的绝缘层4032和绝缘层4033,并且液晶层4008隔着绝缘层4032和4033夹在像素电极层4030和对电极层4031之间。

[0486] 可使用透光基板作为第一基板4001和第二基板4006中的每一个;可使用玻璃、陶瓷、或塑料。可使用玻璃纤维增强塑料(FRP)板、聚氟乙烯(PVF)膜、聚酯膜、或丙烯酸树脂膜作为塑料。

[0487] 间隔物4035是通过选择性地蚀刻绝缘膜而获得的柱状间隔物,并且用于控制像素电极层4030和对电极层4031之间的距离(单元间隙)。替换地,可使用球形间隔物。另外,对

电极层4031电连接到在与薄膜晶体管4010相同的基板上形成的公共电位线。通过使用公共连接部分,对电极层4031与公共电位线可通过设置在一对基板之间的导电粒子而彼此电连接。这些导电粒子被包括在密封剂4005中。

[0488] 使用热致液晶、低分子液晶、高分子液晶、聚合物分散液晶、铁电液晶、反铁电液晶等作为液晶。这些液晶材料根据条件呈现胆甾相、近晶相、立体相、手性向列相、各向同性相等。

[0489] 替换地,可使用不需要取向膜的、呈现蓝相的液晶。蓝相是液晶相之一,当胆甾型液晶的温度升高时,蓝相刚好在胆甾相变成各向同性相之前产生。由于只在窄温度范围内产生蓝相,因此将包含大于或等于5wt%的手性剂的液晶组合物用于液晶层4008以加宽温度范围。包括呈现蓝相的液晶、以及手性剂的液晶组合物具有小于或等于1毫秒的较短响应时间,具有不需要取向工艺的光学各向同性,并且具有小的视角依赖性。不需要设置取向膜,并且由此摩擦处理不是必需的;因此可防止摩擦处理所引起的静电放电损坏,并且在制造工艺中可减少液晶显示设备的缺陷和损坏。由此,可改进液晶显示设备的生产率。包括氧化物半导体层的薄膜晶体管尤其具有薄膜晶体管的电特性受静电影响而显著改变并偏离所设计范围的可能性。因此,更有效的是,将蓝相液晶材料用于具有包括氧化物半导体层的薄膜晶体管的液晶显示设备。

[0490] 本实施例中的液晶材料的特定电阻率为大于或等于 $1 \times 10^{12} \Omega \cdot \text{cm}$ 、优选大于或等于 $1 \times 10^{13} \Omega \cdot \text{cm}$ 、更优选大于或等于 $1 \times 10^{14} \Omega \cdot \text{cm}$ 。在其中来自取向膜或密封剂的杂质可进入使用液晶材料的液晶单元的情况下,电阻率为大于或等于 $1 \times 10^{11} \Omega \cdot \text{cm}$,且优选超过 $1 \times 10^{12} \Omega \cdot \text{cm}$ 。本说明书中的特定电阻率值在20°C测量。

[0491] 随着液晶材料的特定电阻率增大,通过液晶材料泄漏的电荷量可减少,从而可抑制用于保持液晶元件的操作状态的电压随着时间的降低。因此,可延长保持周期,可降低信号写入的频率,并且可实现显示设备的低功耗。

[0492] 本发明的本实施例还可应用于半透射(透射反射)或反射液晶显示设备、以及透射液晶显示设备。本实施例的显示设备不限于液晶显示设备,并且可以是使用诸如电致发光元件(也称为EL元件)之类的发光元件作为显示元件的EL显示设备。

[0493] 示出其中偏振板设置在基板的外表面上(在观察者侧上)且用于显示元件的着色层和电极层按该次序设置在基板的内表面上的液晶显示设备的示例;然而,偏振板可设置在基板的内表面上。偏振板和着色层的叠层结构不限于本实施例中所描述的结构,并且可根据偏振板和着色层的材料或制造工艺的条件来适当地设置。此外,可在非显示部分的区域中设置用作黑矩阵的挡光膜。

[0494] 在薄膜晶体管4011和4010上形成与氧化物半导体层接触的绝缘层4041。可使用与实施例2中所描述的氧化物绝缘层416类似的材料、通过与其类似的方法来形成绝缘层4041。在本实施例中,使用实施例2,通过溅射法来形成氧化硅层作为绝缘层4041。此外,在绝缘层4041上形成保护绝缘层4042,并且该保护绝缘层与绝缘层4041接触。保护绝缘层4042可以与实施例2中所描述的保护绝缘层403类似的方式形成;例如,可使用氮化硅膜。另外,为了减小薄膜晶体管的表面粗糙度,用用作平面化绝缘膜的绝缘层4021来覆盖保护绝缘层4042。

[0495] 形成绝缘层4021作为平面化绝缘膜。可使用具有耐热性的有机材料(诸如聚酰亚

胺、丙烯酸、苯并环丁烯、聚酰胺、或环氧树脂)作为绝缘层4021。除这些有机材料以外,还有可能使用低介电常数材料(低k材料)、硅氧烷基树脂、磷硅玻璃(PSG)、硼磷硅玻璃(BPSG)等。可通过堆叠使用这些材料形成的多层绝缘膜来形成绝缘层4021。

[0496] 对用于形成绝缘层4021的方法没有具体的限制。根据材料,可通过诸如溅射法、SOG法、旋涂法、浸渍法、喷涂法、或液滴喷射法(例如,喷墨法、丝网印刷、或胶版印刷)之类的方法、或者通过使用诸如刮刀、辊涂机、幕涂机、刀涂机之类的工具(装备)来形成绝缘层4021。绝缘层4021的烘培步骤也用作半导体层的退火,由此可有效地制造液晶显示设备。

[0497] 可使用诸如氧化铟锡(ITO)、氧化锌(ZnO)与氧化铟混合的氧化铟锌(IZO)、氧化硅(SiO₂)与氧化铟混合的导电材料、有机铟、有机锡、包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、或包含氧化钛的氧化铟锡之类的透光导电材料来形成像素电极层4030和对电极层4031。替换地,在反射液晶显示设备中的像素电极层4030或对电极层4031不需要透光性质、或需要反射性质的情况下,可使用从诸如钨(W)、钼(Mo)、锆(Zr)、铪(Hf)、钒(V)、铌(Nb)、钽(Ta)、铬(Cr)、钴(Co)、镍(Ni)、钛(Ti)、铂(Pt)、铝(Al)、铜(Cu)、或银(Ag)之类的金属、其合金、以及其氮化物选择的一种或多种来形成像素电极层4030或对电极层4031。

[0498] 包含导电高分子(也称为导电聚合物)的导电组合物可用于像素电极层4030和对电极层4031。使用导电组合物形成的像素电极优选具有小于或等于10000欧姆/□的薄层电阻、以及在550nm波长处的大于或等于70%的透射率。此外,导电组合物中所包含的导电高分子的电阻率优选为小于或等于0.1Ω • cm。

[0499] 可使用所谓的π电子共轭导电聚合物作为导电高分子。例如,可给出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、这些材料中的两种或更多种的共聚物等。

[0500] 此外,各个信号和电位从FPC 4018供应到分开形成的信号线驱动电路4003、扫描线驱动电路4004、或像素部分4002。

[0501] 连接端子电极4015由与液晶元件4013中所包括的像素电极层4030相同的导电膜形成,而端子电极4016由与薄膜晶体管4010和4011的源电极层和漏电极层相同的导电膜形成。

[0502] 连接端子电极4015经由各向异性导电膜4019电连接到FPC 4018中所包括的端子。

[0503] 图15A至15C示出其中信号线驱动电路4003分开形成并安装在第一基板4001上的示例;然而,本实施例不限于该结构。可分开形成并且随后安装扫描线驱动电路,或者可只分开形成并且随后安装信号线驱动电路的一部分或扫描线驱动电路的一部分。

[0504] 适当地设置黑矩阵(挡光层)、诸如偏振构件、阻滞构件、或防反射构件之类的光学构件(光学基板)等。例如,可通过使用偏振基板和阻滞基板来采用圆形偏振。另外,背光、侧光等可被用作光源。

[0505] 在有源矩阵液晶显示设备中,通过驱动排列成矩阵的像素电极在屏幕上形成显示图案。具体而言,将电压施加到所选像素电极和与像素电极相对应的对电极层之间,并且由此光学调制置于像素电极和对电极之间的液晶层。该光学调制被观察者识别为显示图案。

[0506] 此外,由于因静电等容易损坏薄膜晶体管,因此保护电路优选设置在与像素部分或驱动电路部分相同的基板上。优选通过包括氧化物半导体层的非线性元件来形成保护电路。例如,保护电路设置在像素部分与扫描线输入端子和信号线输入端子之间。在本实施例

中,多个保护电路被设置成即使当因静电等引起的浪涌电压施加到扫描线、信号线、或电容器总线时也不损坏像素晶体管等。因此,保护电路被配置成在浪涌电压施加到保护电路时将电荷释放到公共布线。保护电路包括平行地排列在公共布线与扫描线、信号线、或电容器总线之间的非线性元件。非线性元件各自包括诸如二极管之类的两端元件、或诸如晶体管之类的三端元件。例如,可通过与像素部分的薄膜晶体管相同的步骤来形成非线性元件。例如,可通过将栅极端子连接到漏极端子来实现类似于二极管的特性。

[0507] 此外,对于液晶显示模块,可使用扭曲向列(TN)模式、共面切换(IPS)模式、边缘场切换(FFS)模式、轴对称取向微单元(ASM)模式、光学补偿双折射(OCB)模式、铁电液晶(FLC)模式、反铁电液晶(AFLC)模式等。

[0508] 对本说明书中所公开的液晶显示设备没有具体的限制;可使用TN液晶、OCB液晶、STN液晶、VA液晶、ECB液晶、GH液晶、聚合物分散液晶、盘状液晶等。具体而言,诸如使用垂直取向(VA)模式的透射液晶显示设备之类的常黑液晶面板是优选的。存在垂直取向模式的一些示例;例如,可采用多畴垂直取向(MVA)模式、图案化垂直取向(PVA)模式、ASV模式等。

[0509] 此外,本实施例可应用于VA液晶显示设备。VA液晶显示设备具有其中液晶显示面板的液晶分子的取向受控的一种形式。在VA液晶显示设备中,当未施加电压时,液晶分子相对于面板表面在垂直方向上取向。此外,有可能使用称为畴倍增或多畴设计的方法,其中像素被分为一些区域(子像素),并且分子在其各自的区域中在不同方向上取向。

[0510] 可与其他实施例中所描述的任一结构适当组合地实现实施例11。

[0511] (实施例12)

[0512] 在实施例12中,将描述包括以上所述的实施例的任一液晶显示设备的电子装置的示例。

[0513] 图16A示出可包括外壳9630、显示部分9631、扬声器9633、操作键9635、连接端子9636、记录介质读取部分9672等的便携式游戏机。图16A所示的便携式游戏机可具有读取存储在记录介质中的程序或数据以显示在显示部分上的功能、通过无线通信与另一便携式游戏机共享信息的功能等。图16A中所示的便携式游戏机可具有除以上给出的功能以外的各种功能。

[0514] 图16B示出可包括外壳9630、显示部分9631、扬声器9633、操作键9635、连接端子9636、快门按钮9676、图像接收部分9677等的数码相机。图16B中的具有电视接收功能的数码相机可具有拍摄静止图像和/或活动图像的功能,自动地或手动地校正所拍摄图像的功能、从天线获取各种信息的功能、存储所拍摄图像或从天线所获取的信息的功能、以及在显示部分上显示所拍摄图像或从天线获取的信息的功能。图16B中的具有电视接收功能的数码相机可具有除以上给出的功能以外的各种功能。

[0515] 图16C示出可包括外壳9630、显示部分9631、扬声器9633、操作键9635、连接端子9636等的电视机。图16C中的电视机可具有处理电视电波并将其转换成图像信号的功能、处理图像信号并将其转换成适于显示的信号的功能、转换图像信号的帧频率的功能等。图16C中的电视机可具有除以上给出的功能以外的各种功能。

[0516] 图17A示出可包括外壳9630、显示部分9631、扬声器9633、操作键9635、连接端子9636、定点设备9681、外部连接端口9680等的计算机。图17A中的计算机可具有在显示部分上显示各种信息(例如,静止图像、活动图像、以及文本图像)的功能、通过各种软件(程序)

控制处理的功能、诸如无线通信或有线通信之类的通信功能、通过通信功能连接到各种计算机网络的功能、通过通信功能发射或接收各种数据的功能等。图17A中的计算机可具有除以上给出的功能以外的各种功能。

[0517] 图17B示出可包括外壳9630、显示部分9631、扬声器9633、操作键9635、话筒9638等的移动电话。图17B中的移动电话可具有在显示部分上显示各种信息(例如,静止图像、活动图像、以及文本图像)的功能、在显示部分上显示日历、日期、时间等的功能、操作或编辑显示部分上所显示的信息的功能、通过各种软件(程序)控制处理的功能等。图17B中的移动电话可具有除以上给出的功能以外的各种功能。

[0518] 图17C示出可包括外壳9630、显示部分9631、操作键9635等的电子纸(也称为电子书)。图17C中的电子纸可具有在显示部分上显示各种信息(例如,静止图像、活动图像、以及文本图像)的功能、在显示部分上显示日历、日期、时间等的功能、操作或编辑显示部分上所显示的信息的功能、通过各种软件(程序)控制处理的功能等。图17C中的电子纸可具有除以上给出的功能以外的各种功能。

[0519] 在本实施例中所描述的每一电子装置中,在液晶显示设备的显示部分的多个像素中的每一个中,截止状态电流可减小。因此,可增大在存储电容器中保持电压的周期,并且可制造其中可降低在液晶显示设备中显示静止图像等时的功耗的电子装置。此外,通过在显示静止图像的情况下停止供应控制信号,功耗可进一步降低。另外,可切换静止图像和活动图像,而不发生故障。

[0520] 可与其他实施例中所描述的任一结构适当组合地实现实施例12。

[0521] (实施例13)

[0522] 在实施例13中,将描述包括氧化物半导体的底栅晶体管的操作原理。

[0523] 图19是包括氧化物半导体的倒交错绝缘栅晶体管的截面图。氧化物半导体层(OS)隔着第一栅绝缘膜(GI1)设置在栅电极(G1)上,而源电极(S)和漏电极(D)设置在该氧化物半导体层上。此外,第二栅绝缘膜(GI2)设置在源电极(S)和漏电极(D)上,而第二栅电极(G2)设置在该第二栅绝缘膜上。G2维持在地电位。

[0524] 在下文中,使用能带图来进行描述。为了理解所描述的能带图不是严格的,尽可能地简化这些能带图。图20A和20B是沿图19所示的A-A'截面的能带图(示意图)。图20A示出其中施加到源极的电压电位等于施加到漏极的电压电位($VD=0V$)的情况,而图20B示出其中相对于源极的正电位被施加到漏极($VD>0$)的情况。

[0525] 图21A和21B是沿图19所示的B-B'截面的能带图(示意图)。图21A示出其中正电位($+VG$)被施加到栅极(G1)并且载流子(电子)在源极和漏极之间流动的导通状态。图21B示出其中负电位($-VG$)被施加到栅极(G1)而少数载流子不流动的截止状态。

[0526] 图22示出真空能级和金属的功函数(ϕ_M)之间、以及真空能级和氧化物半导体的电子亲和性(x)之间的关系。

[0527] 由于金属简并,因此导带和费米能级彼此对应。另一方面,常规氧化物半导体通常是n型半导体,在此情况下,费米能级(E_F)远离位于带隙中间的本征费米能级(E_i),并且位于更接近导带。注意,已知氢是氧化物半导体中的施主,并且是使氧化物半导体成为n型半导体的一个因素。

[0528] 另一方面,本发明的氧化物半导体是本征(i型)或基本本征氧化物半导体,其通过

从氧化物半导体去除作为n型杂质的氢并且提纯氧化物半导体、以尽可能防止氧化物半导体中包含不同于其主要组分的杂质来获取。换句话说,特征在于,经提纯的i型(本征)半导体、或接近其的半导体不是通过添加杂质、而是通过尽可能多地去除杂质(诸如氢或水)来获取。这使得费米能级(E_f)能够处于与本征费米能级(E_i)相同的能级。

[0529] 在氧化物半导体的带隙(E_g)为3.15eV的情况下,电子亲和性(x)为4.3eV。源电极和漏电极中所包括的钛(Ti)的功函数基本上等于氧化物半导体的电子亲和性(x)。在此情况下,在金属和氧化物半导体之间的界面处不形成电子的肖特基势垒。

[0530] 换句话说,在金属的功函数(Φ_M)和氧化物半导体的电子亲和性(x)彼此相等且金属和氧化物半导体彼此接触的情况下,获取如图20A所示的能带图(示意图)。

[0531] 在图20B中,黑圆圈(•)表示电子,并且当正电位被施加到栅极和漏极时,电子被注入势垒(h)上的氧化物半导体,并且流向漏极。在此情况下,势垒的高度(h)根据栅电压和漏电压而改变;在施加正漏电压的情况下,势垒的高度(h)小于图20A中未施加电压时的势垒的高度(即,带隙(E_g)的1/2)。

[0532] 此时注入氧化物半导体的电子在氧化物半导体中流动,如图21A所示。另外,在图21B中,当负电位(反向偏压)被施加到栅电极(G1)时,电流值极接近零,因为作为少数载流子的空穴基本上为零。

[0533] 例如,即使当如上所述的绝缘栅晶体管具有 $1 \times 10^4 \mu\text{m}$ 的沟道宽度W和 $3 \mu\text{m}$ 的沟道长度时,截止状态电流为小于或等于 10^{-13}A ,而子阈值摆动(S值)可以是0.1V/dec(栅绝缘膜的厚度:100nm)。

[0534] 注意,硅半导体的本征载流子密度为 $1.45 \times 10^{10}/\text{cm}^3$ (300K),并且载流子甚至在室温下也存在。这意味着热激励载流子甚至在室温下也存在。实际上使用添加了诸如磷或硼之类的杂质的硅晶片。另外,即使在所谓的本征硅晶片中,也存在无法控制的杂质。因此,实际上在硅半导体中存在大于或等于 $1 \times 10^{14}/\text{cm}^3$ 的载流子,这有助于源极和漏极之间的导通。此外,硅半导体的带隙为1.12eV,并且由此包括硅半导体的晶体管的截止状态电流根据温度而显著地改变。

[0535] 因此,不是通过简单地将具有宽带隙的氧化物半导体用于晶体管、而是通过提纯氧化物半导体来尽可能地防止其中包含不同于主要组分的杂质以使载流子浓度变成小于 $1 \times 10^{14}/\text{cm}^3$ (优选小于或等于 $1 \times 10^{12}/\text{cm}^3$),可消除在实际操作温度下热激励的载流子,并且晶体管可只用从源侧注入的载流子来操作。这使得截止状态电流下降到小于或等于 $1 \times 10^{-13}\text{A}$ 并且获取其截止状态电流几乎不随着温度的改变而改变且能够极稳定操作的晶体管成为可能。

[0536] 本发明的技术思想是,不向氧化物半导体添加杂质,而相反氧化物半导体本身通过去除不期望存在于其中的杂质(诸如水或氢)来提纯。换句话说,本发明的一个实施例的特征在于,氧化物半导体本身通过去除形成施主能级的水或氢、并且进一步通过充分地供应氧以消除氧缺陷来提纯。

[0537] 在氧化物半导体中,即使在刚沉积之后,通过二次离子质谱法(SIMS)观察到 $10^{20}/\text{cm}^3$ 数量级的氢。本发明的一个技术思想是,通过有意去除形成施主能级的杂质(诸如水或氢)、并且进一步通过将在去除水或氢时减少的氧(氧化物半导体的组分之一)添加到氧化物半导体来提纯氧化物半导体并获取电i型(本征)半导体。

[0538] 因此,优选氢的量尽可能地少,并且还优选氧化物半导体中的载流子数量尽可能地少。氧化物半导体是经提纯的i型(本征)半导体,其在用于绝缘栅晶体管时已消除载流子且给出作为如半导体的载流子路径的含义(而不是如半导体有意包括载流子)。

[0539] 因此,通过从氧化物半导体完全消除载流子或显著地减少其中的载流子,绝缘栅晶体管的截止状态电流可减小,这是本发明的一个实施例的技术思想。换句话说,作为准则,氢浓度为小于或等于 $1 \times 10^{16}/\text{cm}^3$,而载流子浓度小于 $1 \times 10^{14}/\text{cm}^3$ 、优选小于或等于 $1 \times 10^{12}/\text{cm}^3$ 。根据本发明的技术思想,理想的氢浓度和载流子浓度为零、或者接近零。

[0540] 另外,因此,氧化物半导体用作路径,并且氧化物半导体本身是被提纯以不包括载流子或包括极少载流子的i型(本征)半导体,并且载流子由源侧上的电极供应。供应的程度通过从氧化物半导体的电子亲和性x、理想地与本征费米能级相对应的费米能级、以及源电极或漏电极的功函数获取的势垒高度来确定。

[0541] 因此,优选截止状态电流尽可能地小,并且本发明的一个实施例的特征在于,在施加1V至10V的漏电压的绝缘栅晶体管的特性中,沟道宽度的每微米截止状态电流为小于或等于 $100\text{aA}/\mu\text{m}$ 、优选小于或等于 $10\text{aA}/\mu\text{m}$ 、更优选小于或等于 $1\text{aA}/\mu\text{m}$ 。

[0542] (实施例14)

[0543] 在实施例14中,将在下文中描述使用测试元件组(也称为TEG)所测量的截止状态电流值。

[0544] 图23示出具有 $L/W = 3\mu\text{m}/10000\mu\text{m}$ 的薄膜晶体管的初始特性,其中各自具有 $L/W = 3\mu\text{m}/50\mu\text{m}$ 的200个薄膜晶体管并联连接。另外,其俯视图是图24A,而其部分放大的俯视图是图24B。图24B中的虚线所包围的区域是具有 $L/W = 3\mu\text{m}/50\mu\text{m}$ 和 $L_{ov} = 1.5\mu\text{m}$ 的一级的薄膜晶体管。为了测量薄膜晶体管的初始特性,在基板温度被设为室温、源极和漏极之间的电压(在下文中为漏电压或 V_d)被设为10V、以及源极和栅极之间的电压(在下文中为栅电压或 V_g)从-20V改变到+20V的条件下测量源漏电流(在下文中称为漏电流或 I_d)的变化特性,即 V_g - I_d 特性。注意,图23示出在从-20V到+5V的范围内的 V_g 。

[0545] 如图23所示,沟道宽度W为 $10000\mu\text{m}$ 的薄膜晶体管在1V和10V的 V_d 时具有小于或等于 $1 \times 10^{-13}\text{A}$ 的截止状态电流,其小于或等于测量设备(Agilent科技公司制造的一种半导体参数分析仪Agilent 4156C)的分辨率(100fA)。

[0546] 描述用于制造测量用的薄膜晶体管的方法。

[0547] 首先,通过CVD法在玻璃基板上形成氮化硅层来作为基层,并且在该氮化硅层上形成氧氮化硅层。通过溅射法在氧氮化硅层上形成钨层来作为栅电极层。在本实施例中,将钨层选择性地蚀刻成栅电极层。

[0548] 然后,通过CVD法在栅电极层上形成厚度为100nm的氧氮化硅层来作为栅绝缘层。

[0549] 然后,通过溅射法使用In-Ga-Zn-O基氧化物半导体靶(摩尔比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:2$)在栅绝缘层上形成厚度为50nm的氧化物半导体层。在此,将氧化物半导体层选择性地蚀刻成岛状氧化物半导体层。

[0550] 然后,在氮气气氛中,在干净烘箱中在450°C对氧化物半导体层进行第一热处理达1小时。

[0551] 然后,通过溅射法在氧化物半导体层上形成钛层(厚度为150nm)来作为源电极层和漏电极层。在此,选择性地蚀刻源电极层和漏电极层,以使各自具有 $3\mu\text{m}$ 的沟道长度L和50

μm 的沟道宽度W的200个薄膜晶体管并联连接来获取具有 $L/W=3\mu\text{m}/1000\mu\text{m}$ 的薄膜晶体管。

[0552] 接着,通过反应溅射法形成厚度为300nm的氧化硅层来作为与氧化物半导体层接触的保护绝缘层。在此,选择性地蚀刻作为保护层的氧化硅层,从而在栅电极层、源电极层、以及漏电极层上形成开口部分。之后,在氮气气氛中,在250°C进行第二热处理达1小时。

[0553] 然后,在测量 V_g - I_d 特性之前,在150°C进行热处理达10小时。

[0554] 通过以上工艺,制造底栅薄膜晶体管。

[0555] 如图23所示薄膜晶体管具有约 $1\times 10^{-13}\text{A}$ 的截止状态电流的原因在于,氧化物半导体层中的氢浓度可能在以上制造工艺中充分地降低。氧化物半导体层中的氢浓度为小于或等于 $1\times 10^{16}/\text{cm}^3$ 。注意,氧化物半导体层中的氢浓度通过二次离子质谱法(SIMS)来测量。

[0556] 虽然描述了使用In-Ga-Zn-O基氧化物半导体的示例,但是本实施例不具体地受限于此。还可使用另一氧化物半导体材料,诸如In-Sn-Zn-O基氧化物半导体、Sn-Ga-Zn-O基氧化物半导体、Al-Ga-Zn-O基氧化物半导体、Sn-Al-Zn-O基氧化物半导体、In-Zn-O基氧化物半导体、In-Sn-O基氧化物半导体、Sn-Zn-O基氧化物半导体、Al-Zn-O基氧化物半导体、In-O基氧化物半导体、Sn-O基氧化物半导体、或Zn-O基氧化物半导体。可使用混合有2.5wt%至10wt%的 Al_{10} 的In-Al-Zn-O基氧化物半导体、或混合有2.5wt%至10wt%的 Si_{10} 的In-Zn-O基氧化物半导体作为氧化物半导体材料。

[0557] 由载流子测量设备测量的氧化物半导体层的载流子浓度小于 $1\times 10^{14}/\text{cm}^3$ 、优选小于或等于 $1\times 10^{12}/\text{cm}^3$ 。换句话说,可使氧化物半导体层的载流子浓度尽可能地接近零。

[0558] 薄膜晶体管的沟道长度L还可以是大于或等于10nm且小于或等于1000nm,这使得电路操作速度能够增大,而截止状态电流极小,这使得功耗能够进一步减少。

[0559] 另外,在电路设计中,氧化物半导体层可被认为是薄膜晶体管处于截止状态时的绝缘体。

[0560] 之后,评估本实施例中所制造的薄膜晶体管的截止状态电流的温度特性。考虑到使用薄膜晶体管的最终产品的耐环境性、性能的维护等,温度特性是重要的。应当理解,较少量的改变更加优选,这增加用于产品设计的自由程度。

[0561] 对于温度特性,在设置有薄膜晶体管的基板被保持于相应的恒温-30°C、0°C、25°C、40°C、60°C、80°C、100°C和120°C、漏电压被设为6V、以及栅电压从-20V改变到+20V的条件下使用恒温室来获取 V_g - I_d 特性。

[0562] 图25A示出在以上温度下测量的且彼此叠加的 V_g - I_d 特性,而图25B示出图25A中的虚线所包围的截止状态电流的范围的放大图。示图中的箭头所指示的最右边的曲线是在-30°C获取的曲线;最左边的曲线是在120°C获取的曲线,而在其他温度获取的曲线位于它们之间。可能很难观察到导通状态电流的温度依赖性。另一方面,如图25B的放大图中清楚示出地,除-20V的栅电压附近处以外,在所有温度下截止状态电流小于或等于 $1\times 10^{-12}\text{A}$ (其接近测量设备的分辨率),并且未观察到其温度依赖性。换句话说,即使在120°C的高温下,截止状态电流被保持为小于或等于 $1\times 10^{-12}\text{A}$,并且假设沟道宽度W为10000 μm ,可看到截止状态电流相当小。

[0563] 包括如上所述的经提纯的氧化物半导体(经提纯的OS)的薄膜晶体管示出截止状态电流对温度几乎没有依赖性。可以说,氧化物半导体在被提纯时未示出温度依赖性,因为导电类型变成极接近本征类型,并且费米能级位于禁带中间,如图19的带图所示。这还由氧

化物半导体具有大于或等于3eV的能隙并包括很少的热激励载流子的事实产生。另外,源区和漏区处于简并状态,这也是示出无温度依赖性的因素。薄膜晶体管主要用从经简并的源区注入氧化物半导体的载流子来操作,并且以上特性(截止状态电流对温度无依赖性)可通过载流子浓度对温度无依赖性来进行解释。

[0564] 在使用其截止状态电流极小的这种薄膜晶体管来制造显示设备的情况下,漏电流减小,从而保持显示数据的周期可延长。

[0565] [示例1]

[0566] 在示例1中,将描述在显示静止图像时在以上实施例中描述且实际制造的液晶显示设备的图像信号保持特性的评估结果。

[0567] 首先,关于像素部分中所包括的多个像素的上侧布局图,在图27中示出从后侧取得的元件(诸如在基板上形成的薄膜晶体管)的照片。

[0568] 从图27所示的像素的照片可看到,设置矩形像素,并且彼此呈直角地设置栅极线2701和信号线2702。还可看到,在与栅极线2701平行的位置处设置电容器线2703。在栅极线2701和电容器线2703、以及信号线2702彼此重叠的区域中,设置绝缘膜以减小寄生电容,并且该绝缘膜可被观察为图27中的凸起。该示例中所描述的液晶显示设备是反射液晶显示设备,并且观察到红色(R)滤色片2704R、绿色(G)滤色片2704G、以及蓝色(B)滤色片2704B。在图27中,在由栅极线2701控制的区域中,作为氧化物半导体的In-Ga-Zn-O基非单晶膜被设置为透光半导体层,并且形成薄膜晶体管。

[0569] 图28示出根据以上实施例在显示静止图像时图27所示的每一像素的辉度随时间改变的曲线图。

[0570] 从图28可看到,在图27的像素的上侧布局的情况下,图像信号保持周期约为1分钟长。因此,在显示静止图像时,可通过进行有规则地供应相同图像信号(在示图中为“刷新”)的操作来维持恒定辉度。因此,可急剧地缩短将电压施加到驱动电路部分中所包括的晶体管的时间长度。此外,驱动电路随时间的劣化可急剧地减缓,这产生有利的效果,诸如液晶显示设备的可靠性的改进。

[0571] [示例2]

[0572] 在示例2中,将描述在显示静止图像时图1所示的在以上实施例中描述且实际制造成具有与示例1不同的结构的液晶显示设备的图像信号保持特性的评估结果。

[0573] 首先,关于像素部分中所包括的多个像素的上侧布局图,在图29中示出从后侧取得的元件(诸如在基板上形成的薄膜晶体管)的照片。

[0574] 从图29所示的像素的照片可看到,设置矩形像素,并且彼此呈直角地设置栅极线2901和信号线2902。还可看到,在与栅极线2901平行的位置处设置电容器线2903。在栅极线2901和电容器线2903、以及信号线2902彼此重叠的区域中,设置绝缘膜以减小寄生电容,并且该绝缘膜可被观察为图29中的凸起。该示例中所描述的液晶显示设备是反射液晶显示设备,并且观察到与红色(R)滤色片重叠的反射电极2904R、与绿色(G)滤色片重叠的反射电极2904G、以及与蓝色(B)滤色片重叠的反射电极2904B。在图29中,在由栅极线2901控制的区域中,作为氧化物半导体的In-Ga-Zn-O基非单晶膜被设置为透光半导体层,并且形成薄膜晶体管。

[0575] 图30示出根据以上实施例在显示静止图像时图29所示的每一像素的辉度随时间

改变的曲线图。

[0576] 从图30可看到,在图29的像素的上侧布局的情况下,图像信号保持周期约为1分钟长。因此,在显示静止图像时,可通过进行有规则地供应相同图像信号(在示图中为“刷新”)的操作来维持恒定辉度。因此,可急剧地缩短将电压施加到驱动电路部分中所包括的晶体管的时间长度。此外,驱动电路随时间的劣化可急剧地减缓,这产生有利的效果,诸如液晶显示设备的可靠性的改进。

[0577] [示例3]

[0578] 在示例3中,将描述在显示静止图像时图1所示的在以上实施例中描述且实际制造成具有与示例1和2不同的结构的液晶显示设备的图像信号保持特性的评估结果。

[0579] 首先,关于像素部分中所包括的多个像素的上侧布局图,在图31中示出从后侧取得的元件(诸如在基板上形成的薄膜晶体管)的照片。

[0580] 从图31所示的像素的照片可看到,设置矩形像素,并且彼此呈直角地设置栅极线3101和信号线3102。还可看到,在与栅极线3101平行的位置处设置电容器线3103。在栅极线3101和电容器线3103、以及信号线3102彼此重叠的区域中,设置绝缘膜以减小寄生电容,并且该绝缘膜可被观察为图31中的凸起。该示例中所描述的液晶显示设备是使用聚合物分散液晶的液晶显示设备,并且观察到反射电极3104。在图31中,在由栅极线3101控制的区域中,作为氧化物半导体的In-Ga-Zn-O基非单晶膜被设置为透光半导体层,并且形成薄膜晶体管。

[0581] 图32示出根据以上实施例在显示静止图像时图31所示的每一像素的辉度随时间改变的曲线图。

[0582] 从图32可看到,在图31的像素的上侧布局的情况下,图像信号保持周期可长于示例1和2中的任一个的图像信号保持周期,因为聚合物分散液晶具有保持图像信号的性质。因此,在显示静止图像时,供应相同图像信号的操作的间隔可延长。因此,可急剧地缩短将电压施加到驱动电路部分中所包括的晶体管的时间长度。此外,驱动电路随时间的劣化可急剧地减缓,这产生有利的效果,诸如液晶显示设备的可靠性的改进。

[0583] [示例4]

[0584] 在示例4中,将描述在显示静止图像时图1所示的在以上实施例中描述且实际制造成具有与示例1至3不同的结构的液晶显示设备的图像信号保持特性的评估结果。具体地,在该示例中,将描述与示例1至3中的任一个中所描述的多个像素的上侧布局图不同的示例。在图33中示出从后侧取得的元件(诸如在基板上形成的薄膜晶体管)的照片。

[0585] 从图33所示的像素的照片可看到,设置矩形像素,并且彼此呈直角地设置栅极线3301和信号线3302。与示例1至3中的任一个所描述的像素的照片不同,描述其中省略电容器线的上侧布局图。该示例中所描述的液晶显示设备是透射液晶显示设备,并且观察到像素电极3304。在图33中,在由栅极线3301控制的区域中,作为氧化物半导体的In-Ga-Zn-O基非单晶膜被设置为透光半导体层,并且形成薄膜晶体管。

[0586] [示例5]

[0587] 在示例5中,将描述在图1中示出且在以上实施例中描述的液晶显示设备的操作方法的示例。将参考图34描述在显示静止图像和活动图像的操作、或重写施加到液晶元件的电压的操作(在下文中也称为刷新操作)期间在使用多个n沟道晶体管而制造的驱动电路中

向驱动电路部分的每一布线供应电位或停止供应电位的过程,给出该过程作为图2A至2C、以及图3中的示例。注意,图34示出在周期T1之前和之后用于向移位寄存器供应高电源电位(VDD)的布线、供应低电源电位(VSS)的布线、供应起动脉冲(SP)的布线、以及供应第一至第四时钟信号(CK1至CK4)的布线的电位的改变。

[0588] 本实施例的液晶显示设备可在不恒定操作驱动电路部分的情况下显示静止图像。因此,如图34所示,存在将诸如高电源电位(VDD)、第一至第四时钟信号(CK1至CK4)、以及起动脉冲之类的控制信号供应到移位寄存器的周期、以及不供应控制信号的周期。注意,图34所示的周期T1对应于供应控制信号的周期,换句话说,显示活动图像的周期、以及进行刷新操作的周期。图34所示的周期T2对应于不供应控制信号的周期,换句话说,显示静止图像的周期。

[0589] 在图34中,供应高电源电位(VDD)的周期不仅设置在周期T1中,而且设置在周期T2的一部分中。另外,在图34中,供应的第一至第四时钟信号(CK1至CK4)周期设置在开始供应高电源电位(VDD)和停止供应高电源电位(VDD)之间。

[0590] 此外,如图34所示,第一至第四时钟信号(CK1至CK4)可被设置成在周期T1开始之前一旦设置为高电位之后就开始以恒定频率振荡,并且在周期T1结束之后在设置为低电位之后停止振荡。

[0591] 如上所述,在该示例的液晶显示设备中,在周期T2中停止向移位寄存器供应控制信号,诸如高电源电位(VDD)、第一至第四时钟信号(CK1至CK4)、以及起动脉冲。然后,在停止供应控制信号的周期中,控制每一晶体管导通或截止,并且还停止从移位寄存器输出脉冲信号。因此,移位寄存器的功耗、以及由移位寄存器驱动的像素部分的功耗可降低。

[0592] 上述刷新操作必须有规则地进行,因为存在所显示的静止图像的质量可能劣化的可能性。在该示例的液晶显示设备中,采用包括氧化物半导体的上述晶体管作为用于控制施加到每一像素的液晶元件的电压的开关元件。因此,截止状态电流可急剧地减小,并且施加到每一像素的液晶元件的电压的改变可减小。换句话说,即使当停止移位寄存器的操作的周期因显示静止图像而较长时,也可抑制图像质量的劣化。例如,即使当周期是3分钟长时,也可维持所显示的静止图像的质量。例如,如果将每秒进行60次重写的液晶显示设备和在3分钟内进行一次刷新操作的液晶显示设备彼此比较时,功耗可减小到约1/10000。

[0593] 注意,将停止供应高电源电位(VDD)设置成等于低电源电位(VSS)的电位,如图34所示。另外,可将停止供应高电源电位(VDD)设置成浮动状态中的向其供应高电源电位的布线的电位。

[0594] 注意,当向其供应高电源电位(VDD)的布线的电位增大(这意味着在周期T1之前电位从低电源电位(VSS)增大到高电源电位(VDD))时,优选控制布线的电位逐渐地改变。如果布线的电位改变的梯度陡,则存在电位的改变可能变成噪声且故障脉冲可能从移位寄存器输出的可能性。在栅极线驱动电路中包括移位寄存器的情况下,故障脉冲用作用于导通晶体管的信号。由此,存在施加到液晶元件的电压可通过故障脉冲改变且静止图像的质量可改变的可能性。因此,优选如上所述地控制布线的电位改变。鉴于以上内容,图34示出信号上升到高电源电位(VDD)比下降缓慢的示例。具体而言,在本实施例的液晶显示设备中,当在像素部分中显示静止图像时,适当地进行停止向移位寄存器供应高电源电位(VDD)、以及重新向该移位寄存器供应该高电源电位。换句话说,在用于供应高电源电位(VDD)的布线的

电位改变作为噪声不利地影响像素部分的情况下,噪声直接导致显示图像的劣化。因此,控制本实施例的液晶显示设备以防止布线的电位改变(具体地,电位的增大)作为噪声进入像素部分是重要的。

[0595] 本申请基于2009年10月16日、2009年12月1日和2009年12月8日分别向日本专利局提交的日本专利申请序列号2009-238916、2009-273913、以及2009-278999,这些申请的全部内容通过引用结合于此。

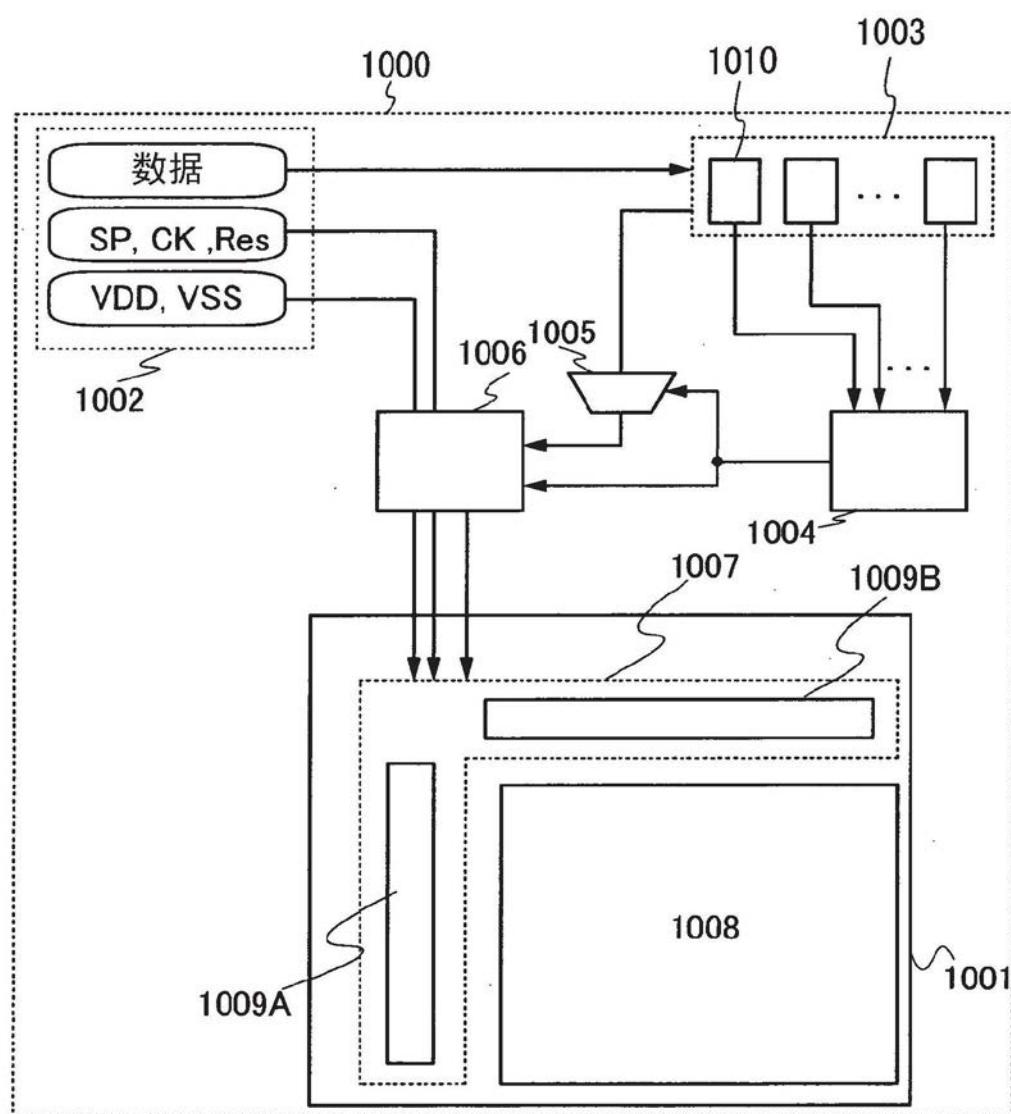


图1

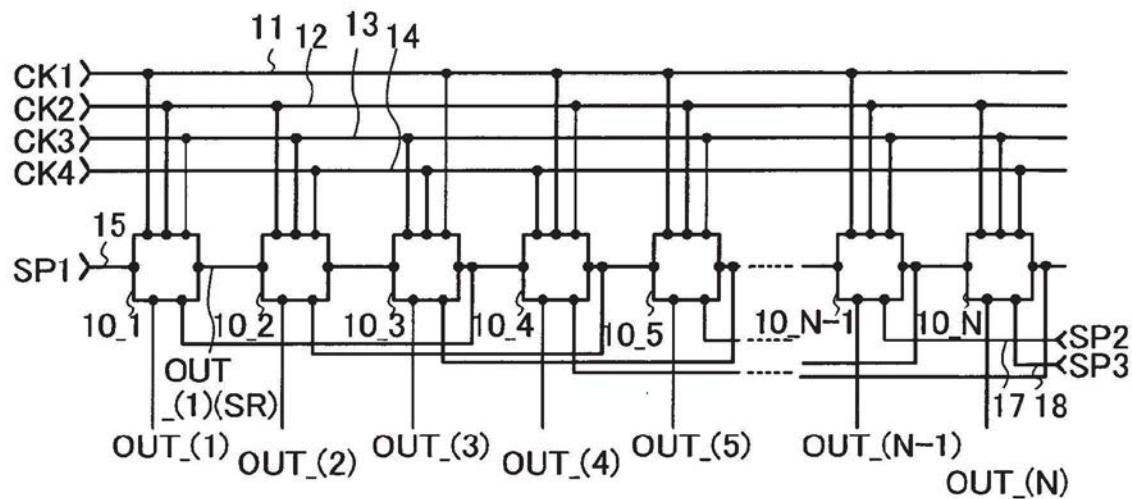


图2A

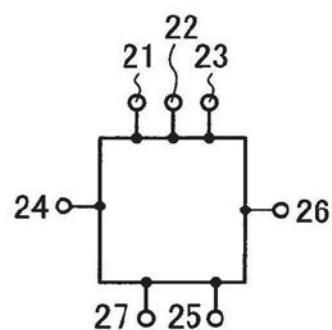


图2B

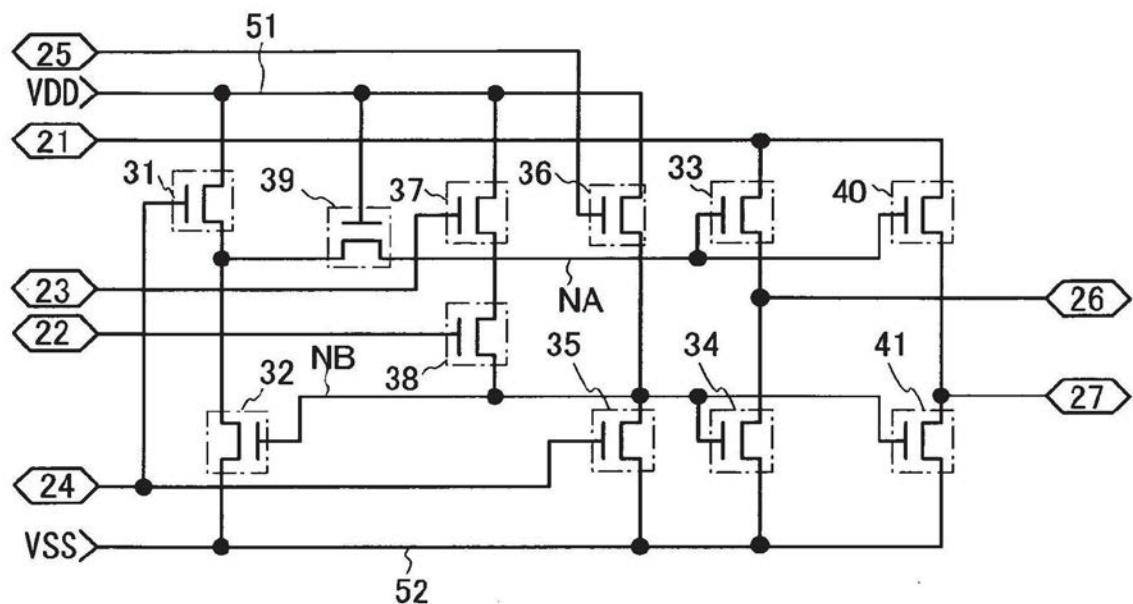


图2C

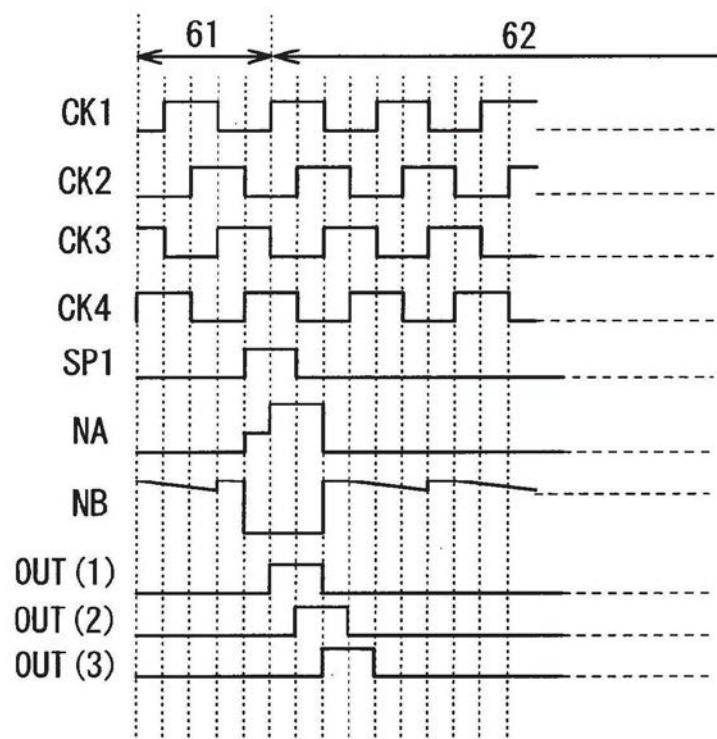


图3

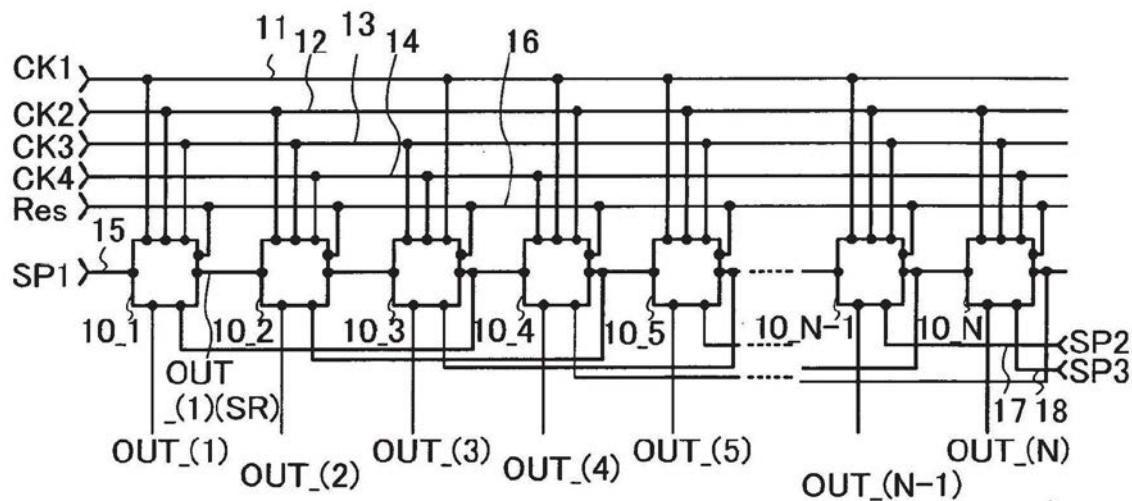


图4A

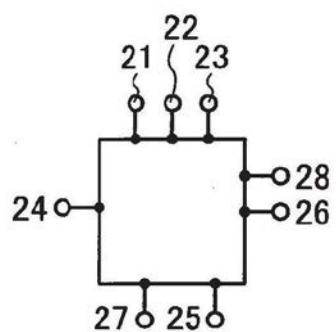


图4B

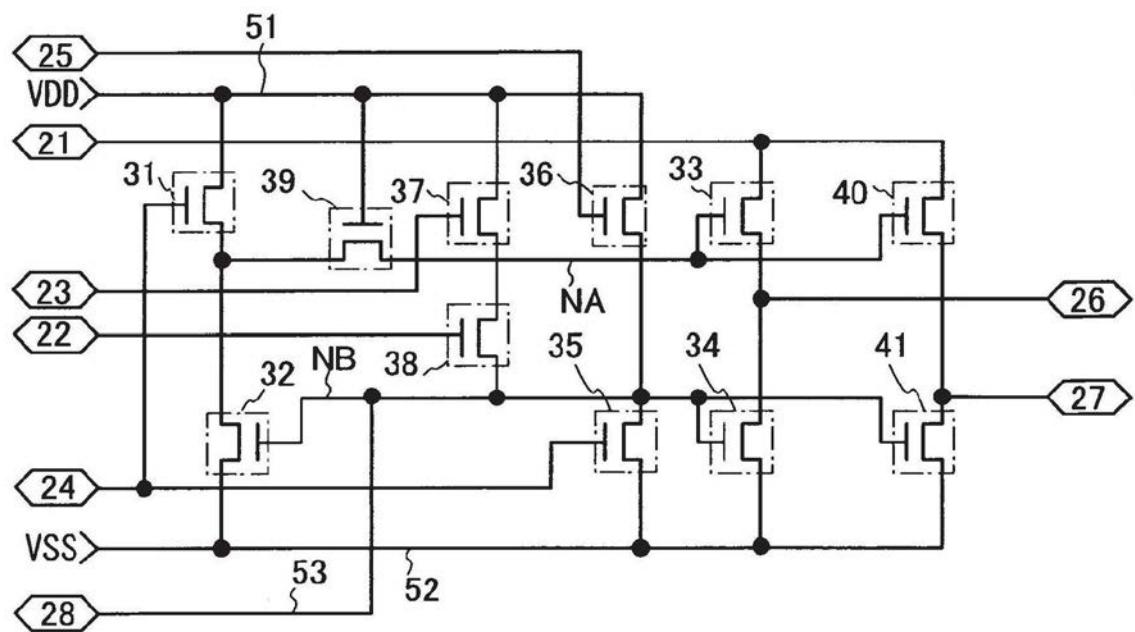


图4C

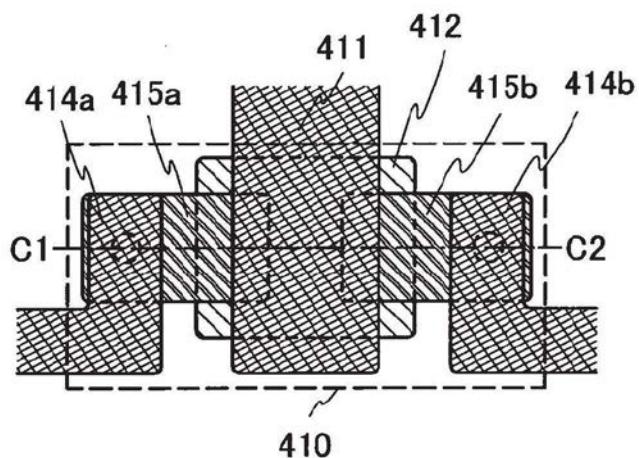


图5A

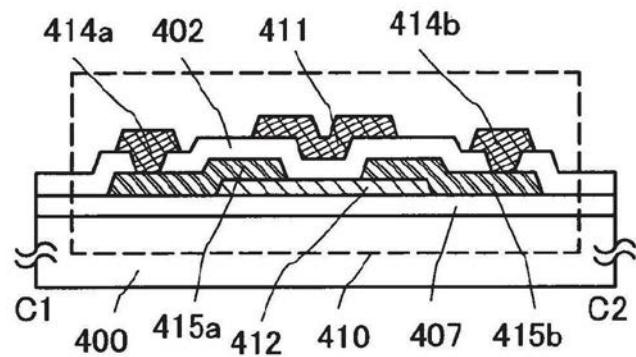


图5B

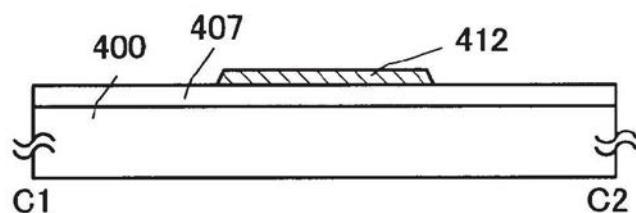


图6A

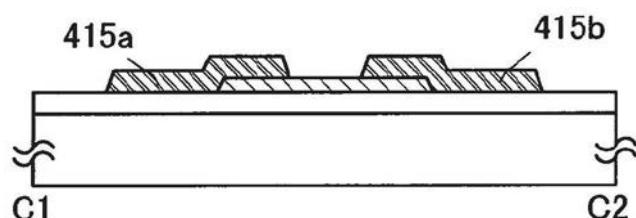


图6B

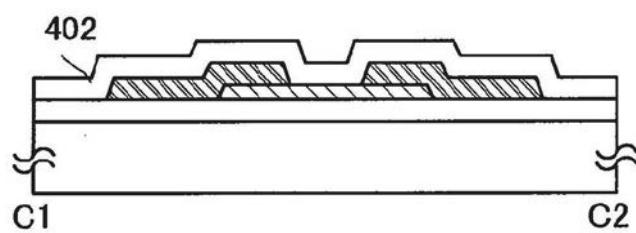


图6C

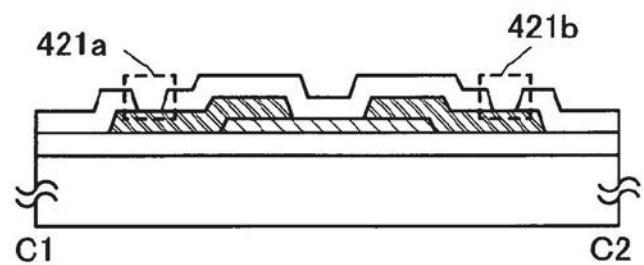


图6D

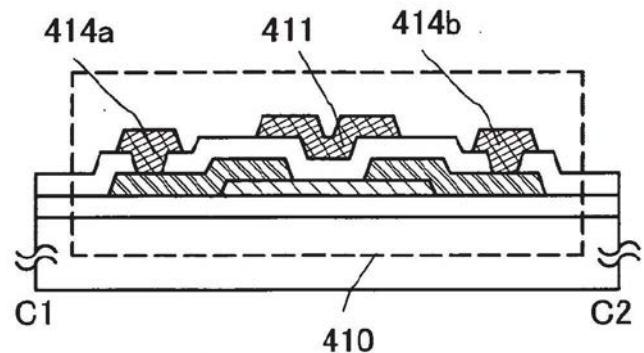


图6E

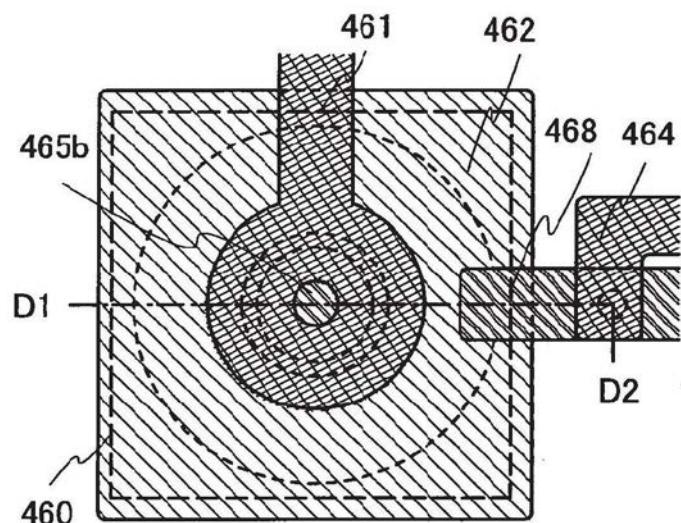


图7A

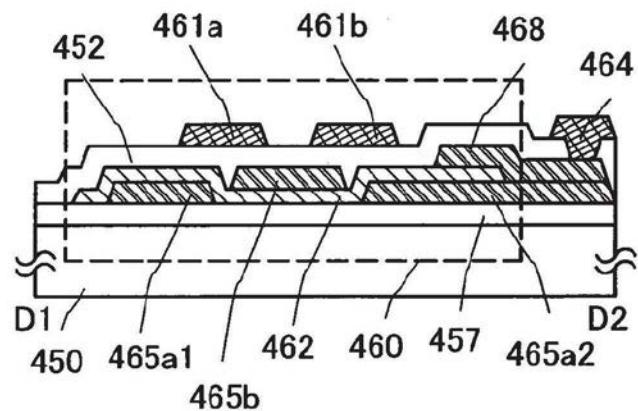


图7B

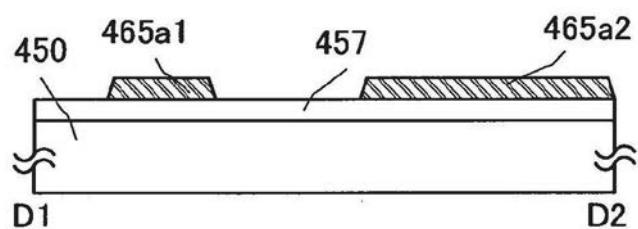


图8A

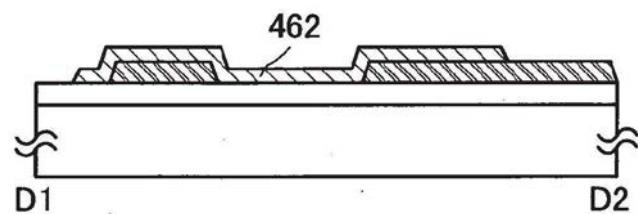


图8B

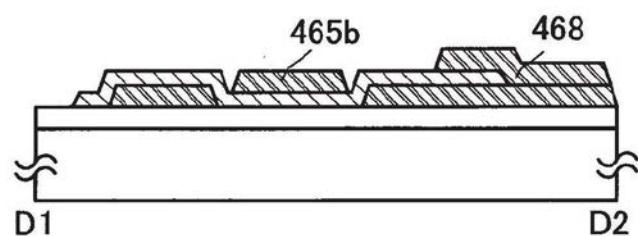


图8C

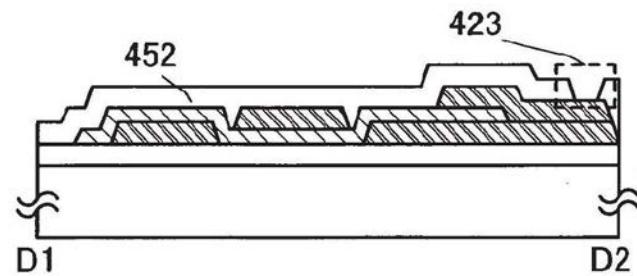


图8D

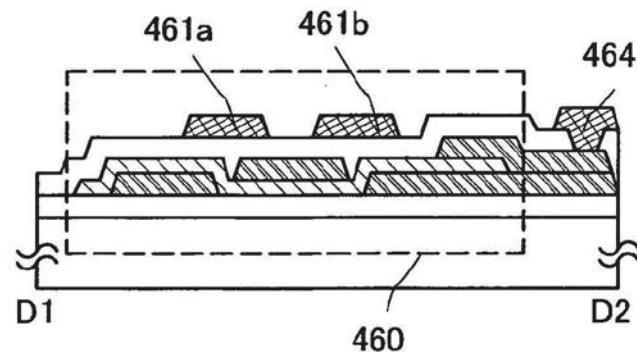


图8E

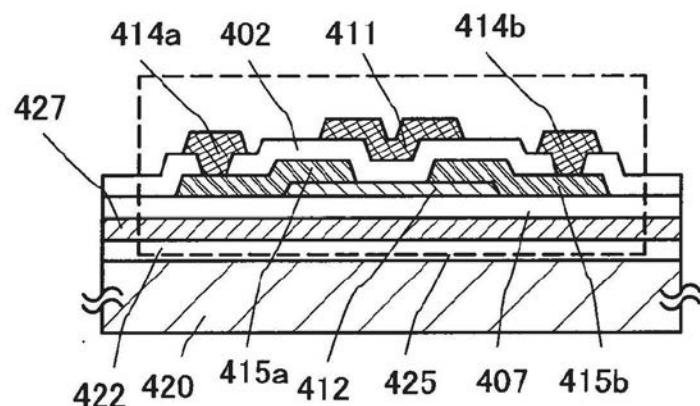


图9A

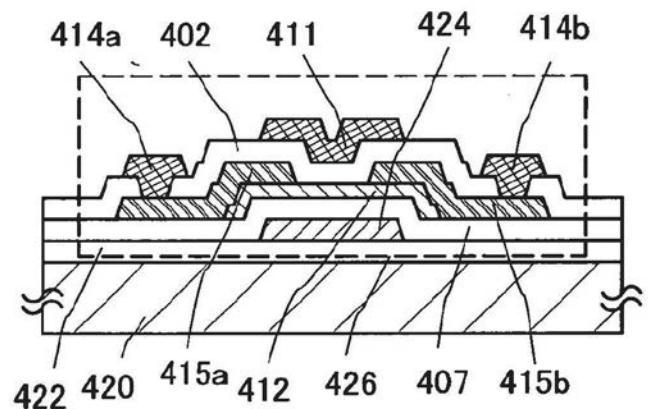


图9B

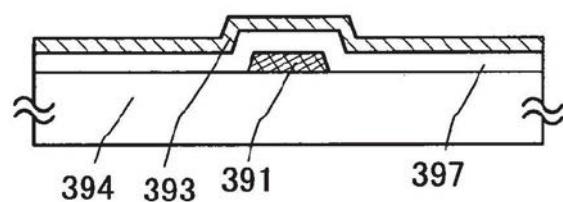


图10A

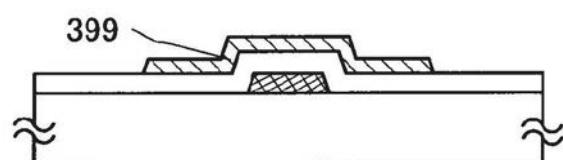


图10B

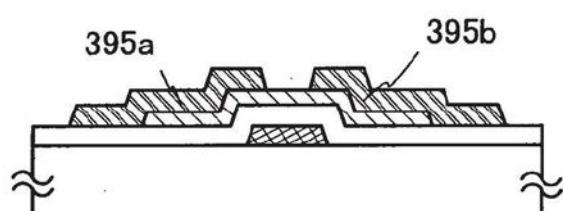


图10C

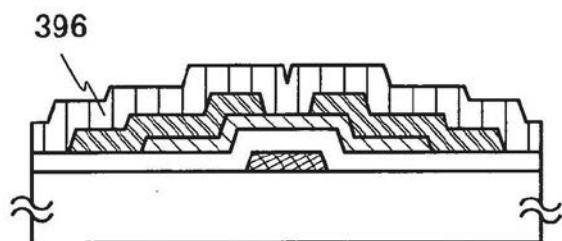


图10D

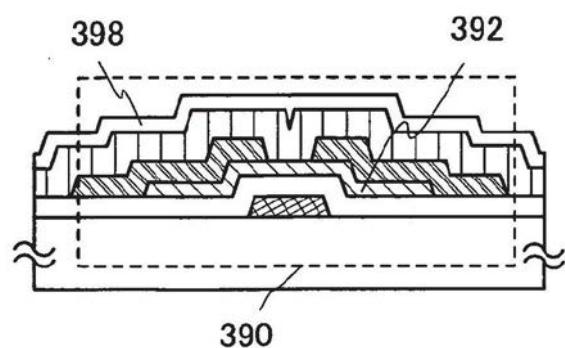


图10E

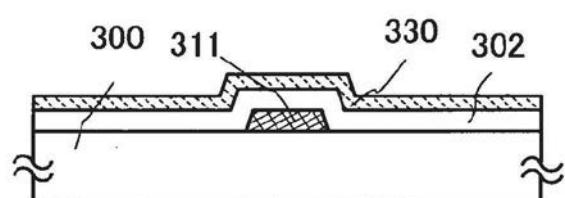


图11A

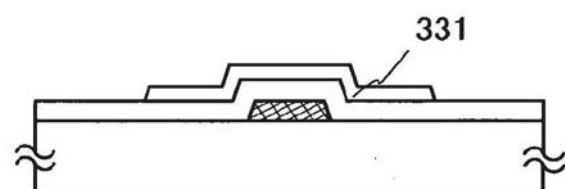


图11B

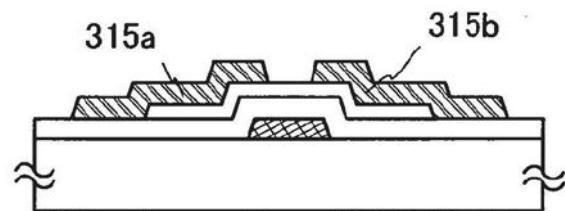


图11C

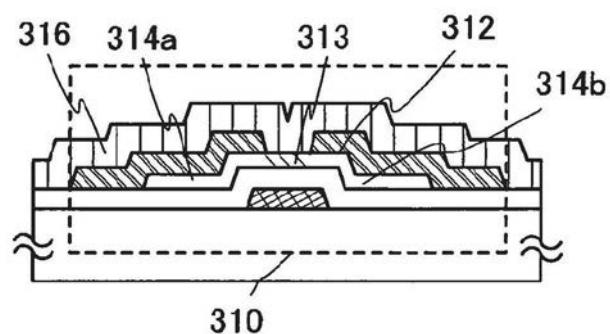


图11D

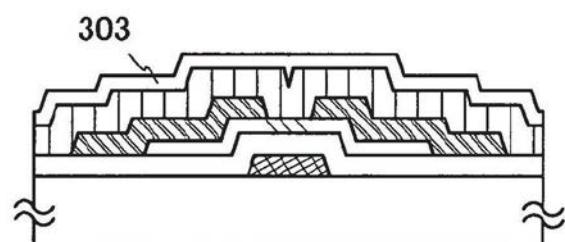


图11E

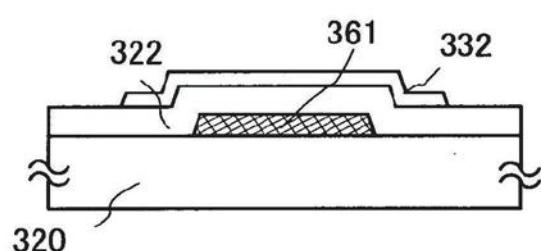


图12A

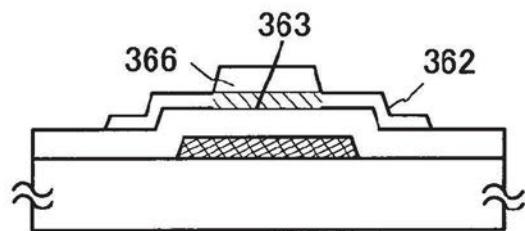


图12B

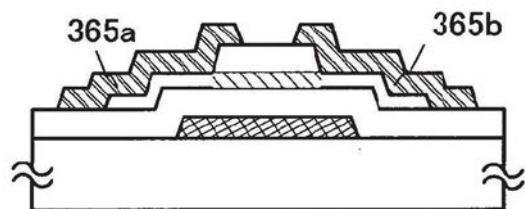


图12C

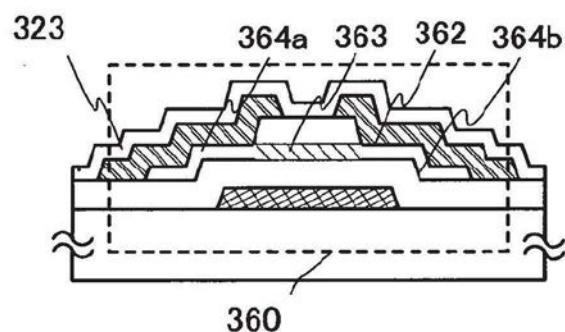


图12D

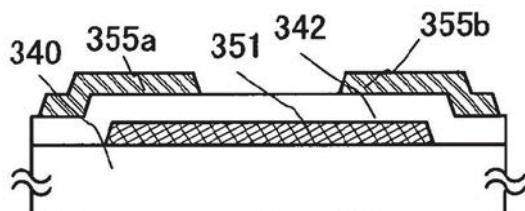


图13A

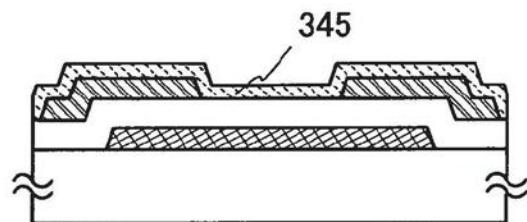


图13B

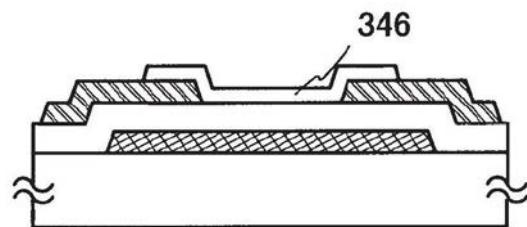


图13C

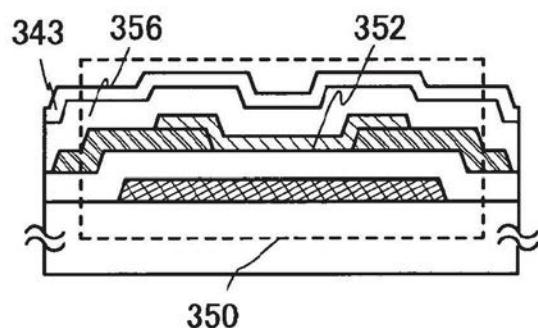


图13D

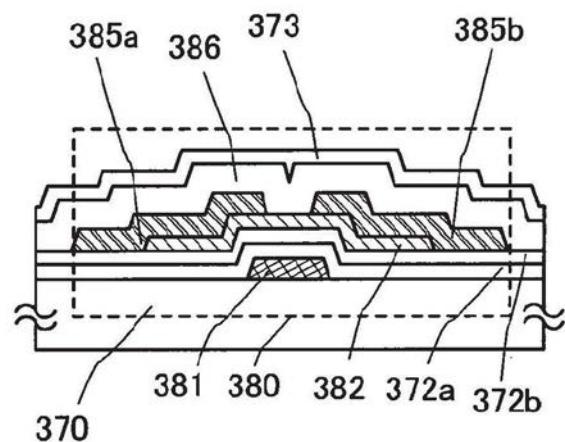


图14

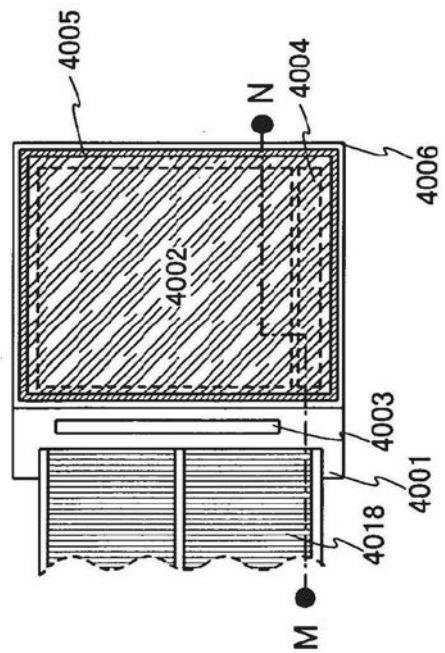


图15A

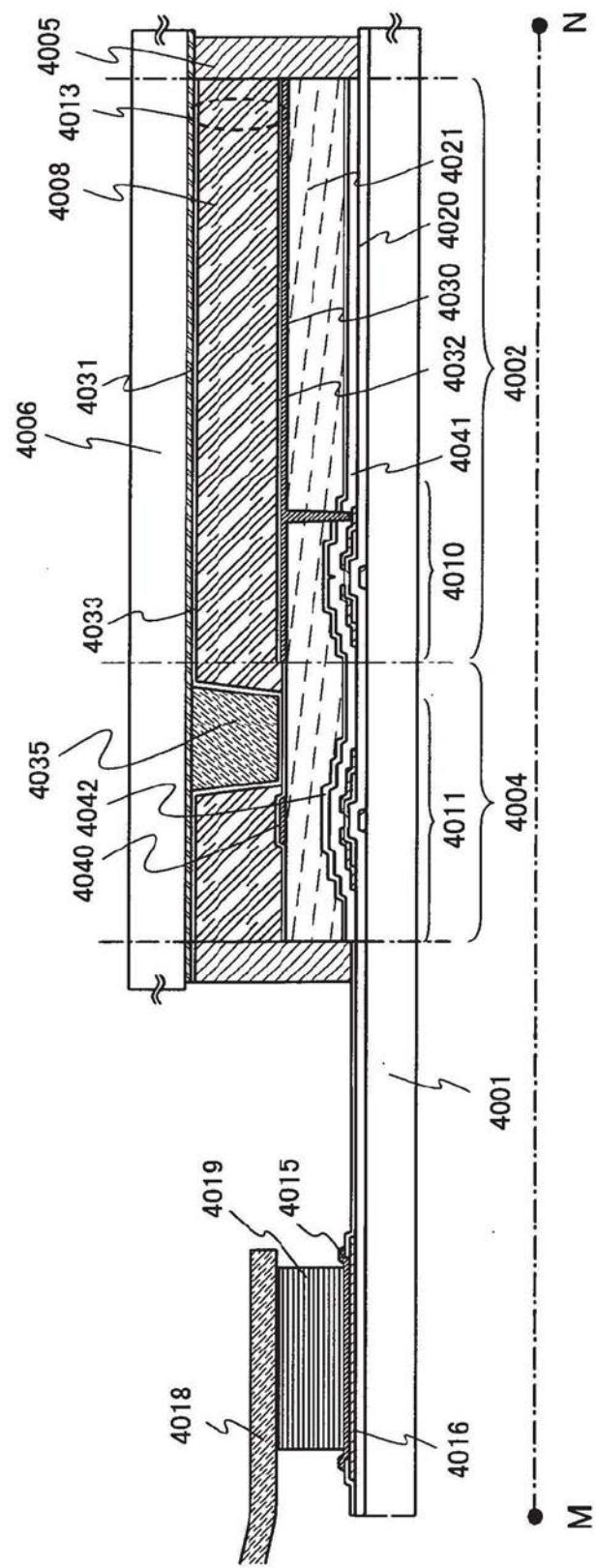


图15B

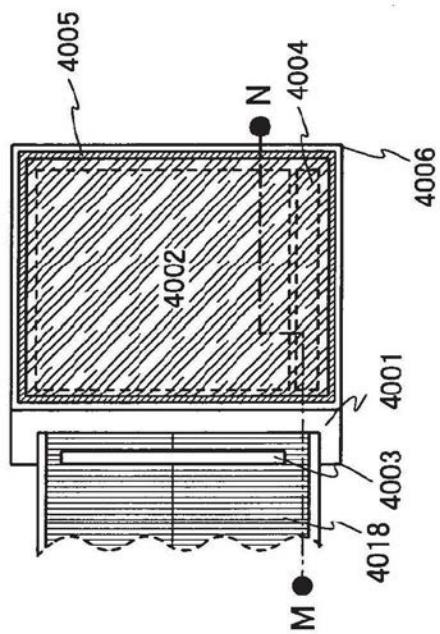


图15C

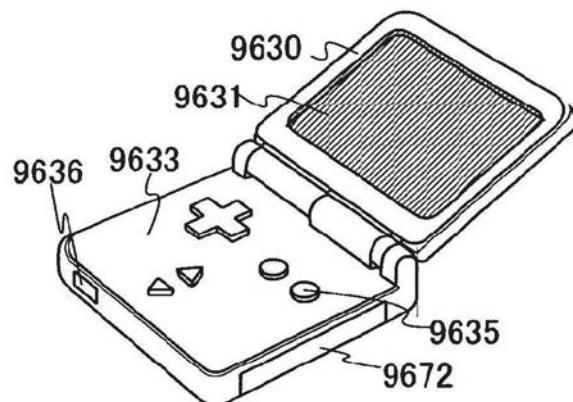


图16A

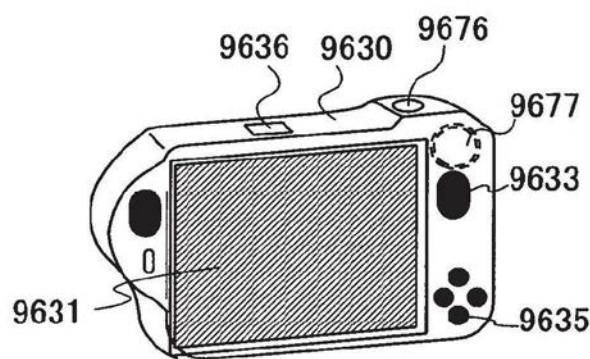


图16B

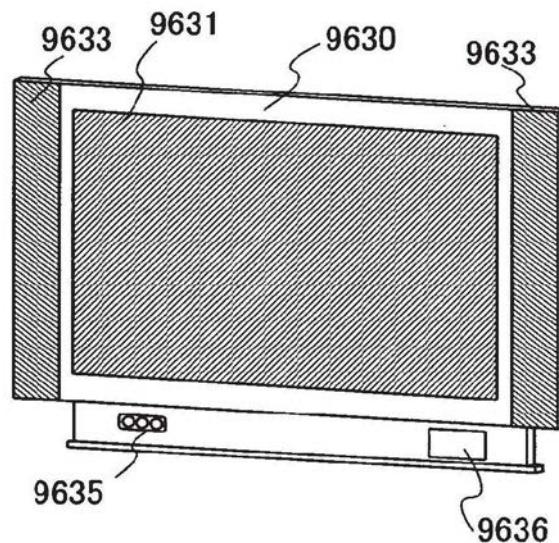


图16C

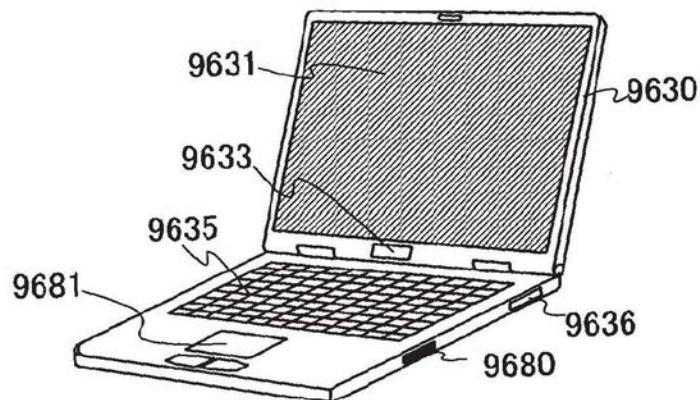


图17A

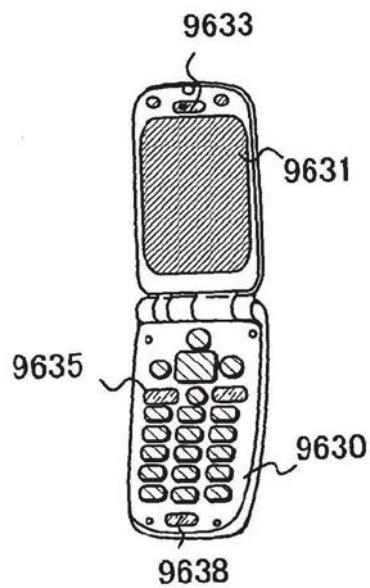


图17B

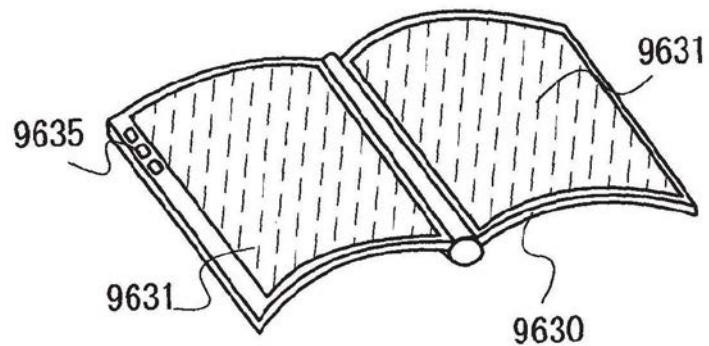


图17C

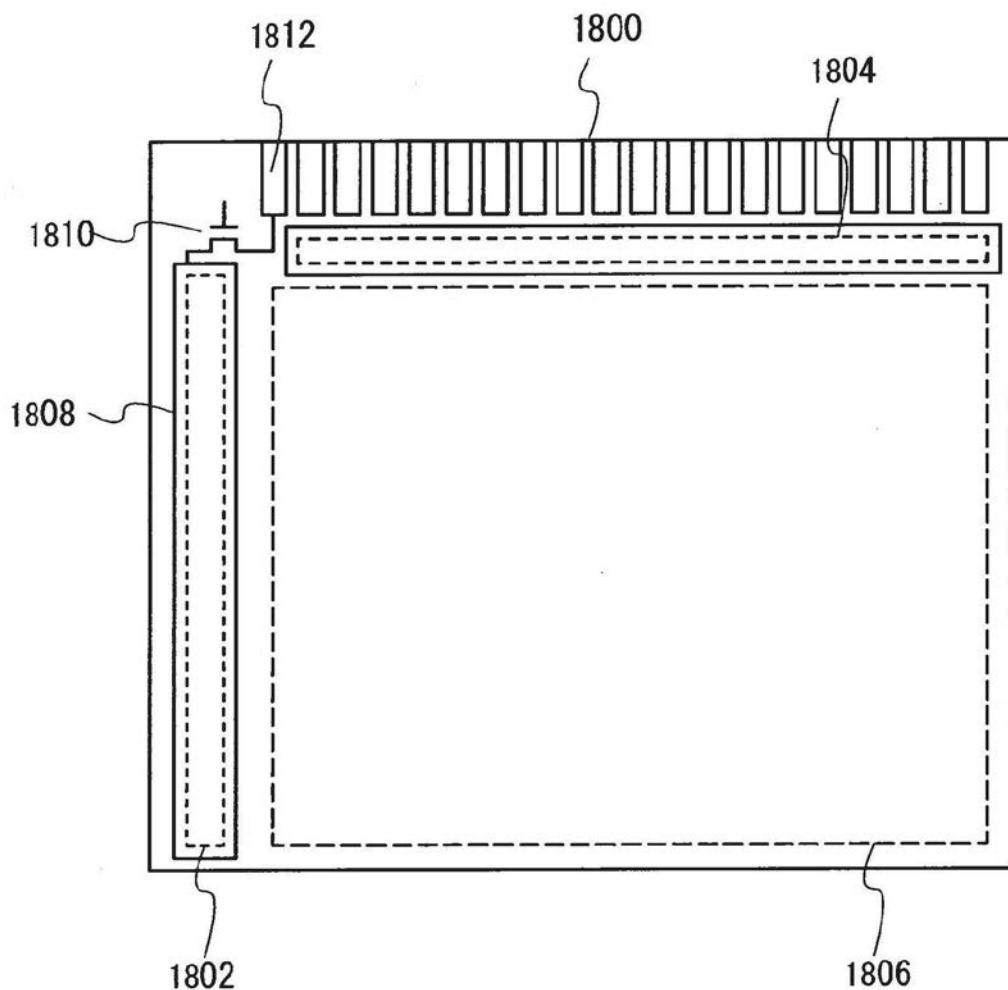


图18A

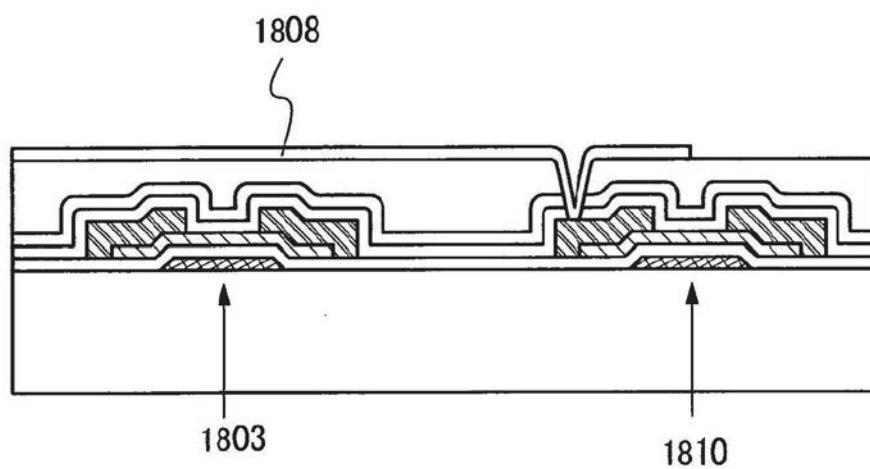


图18B

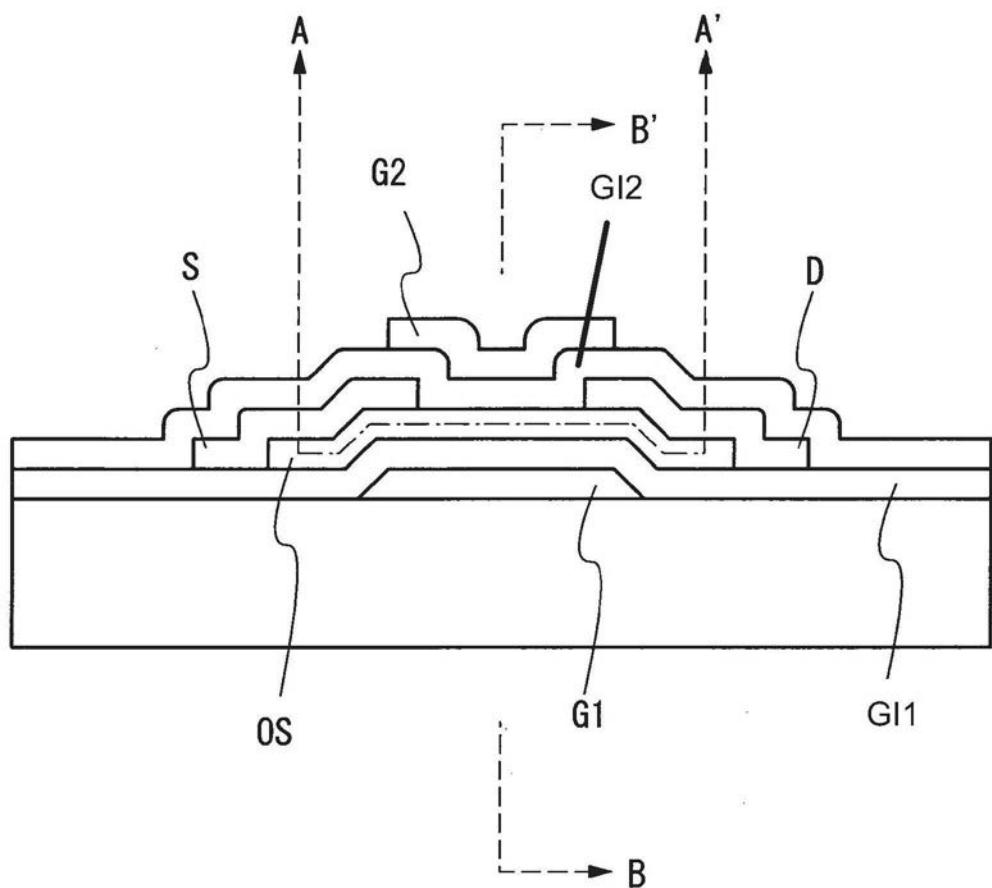


图19

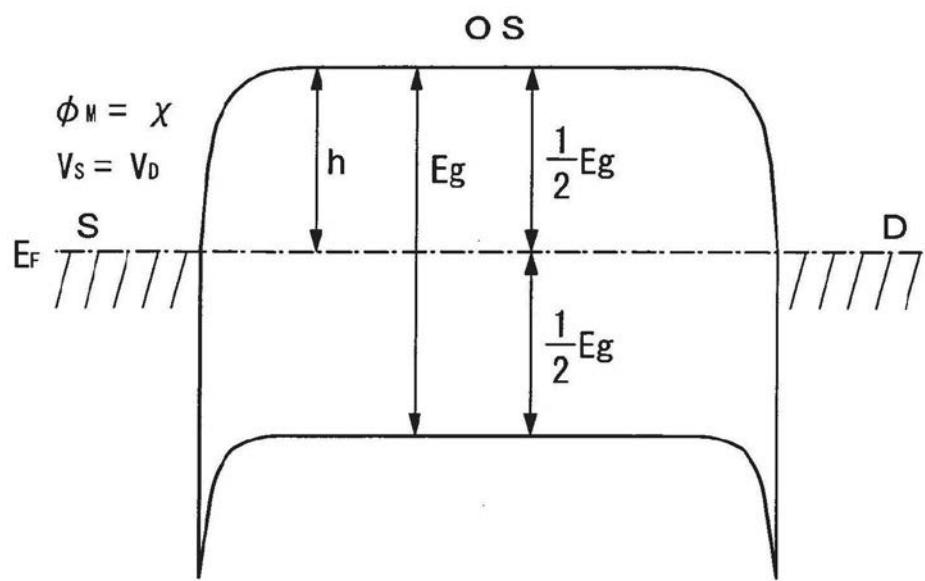


图20A

os

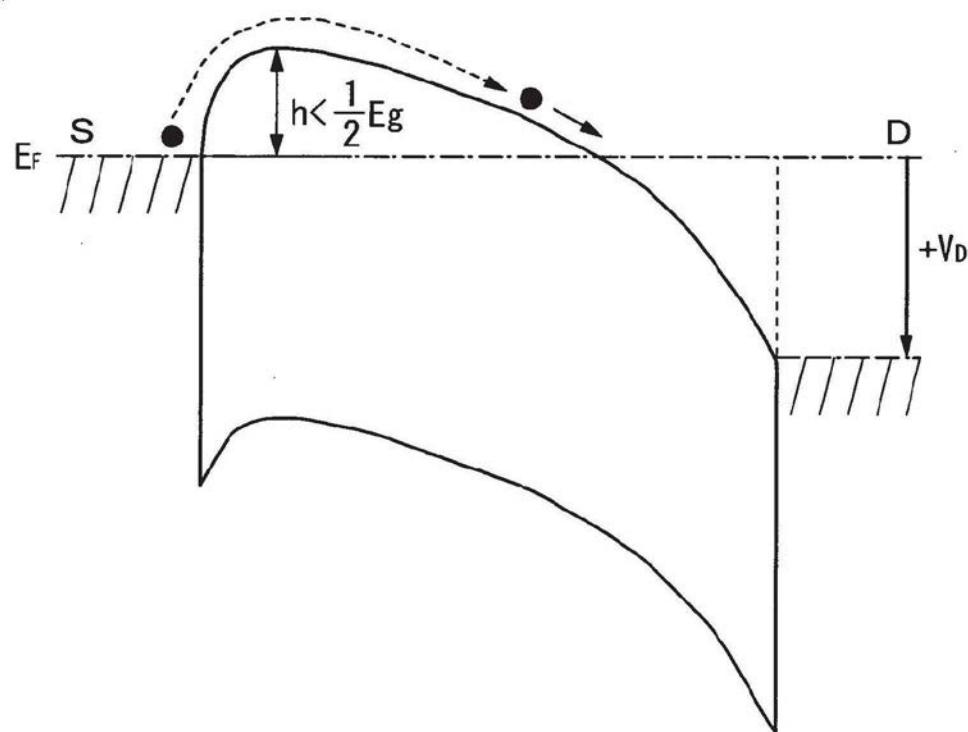


图20B

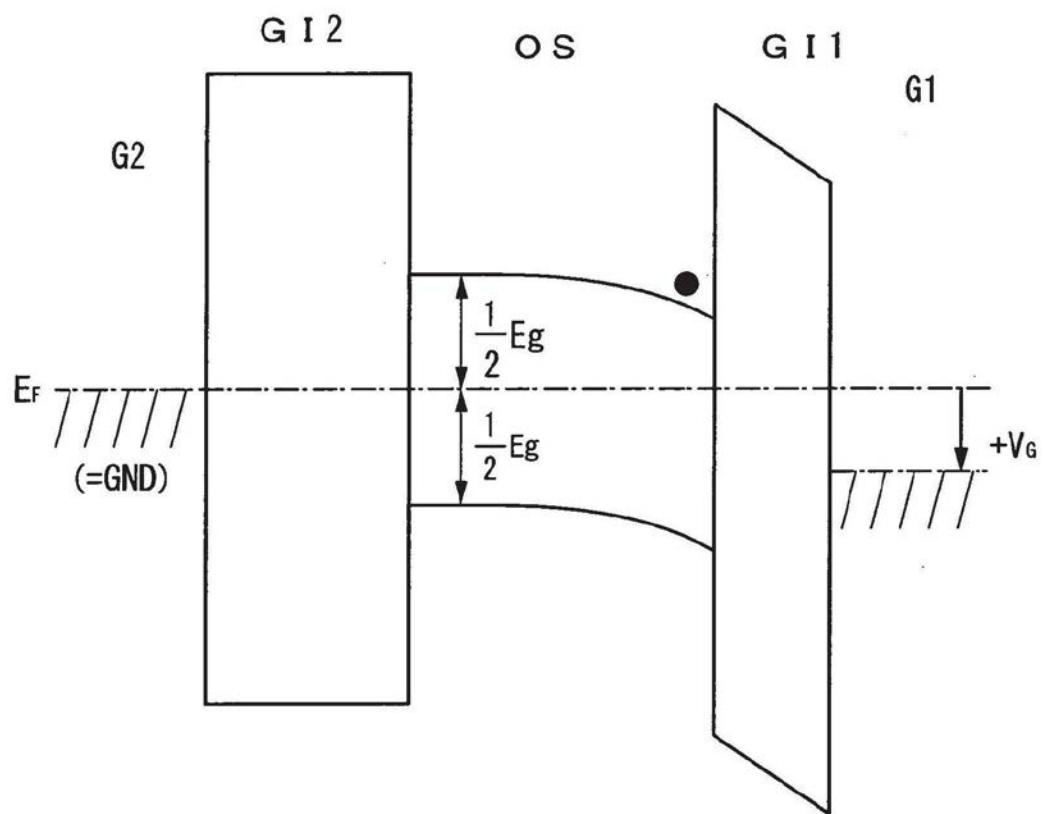


图21A

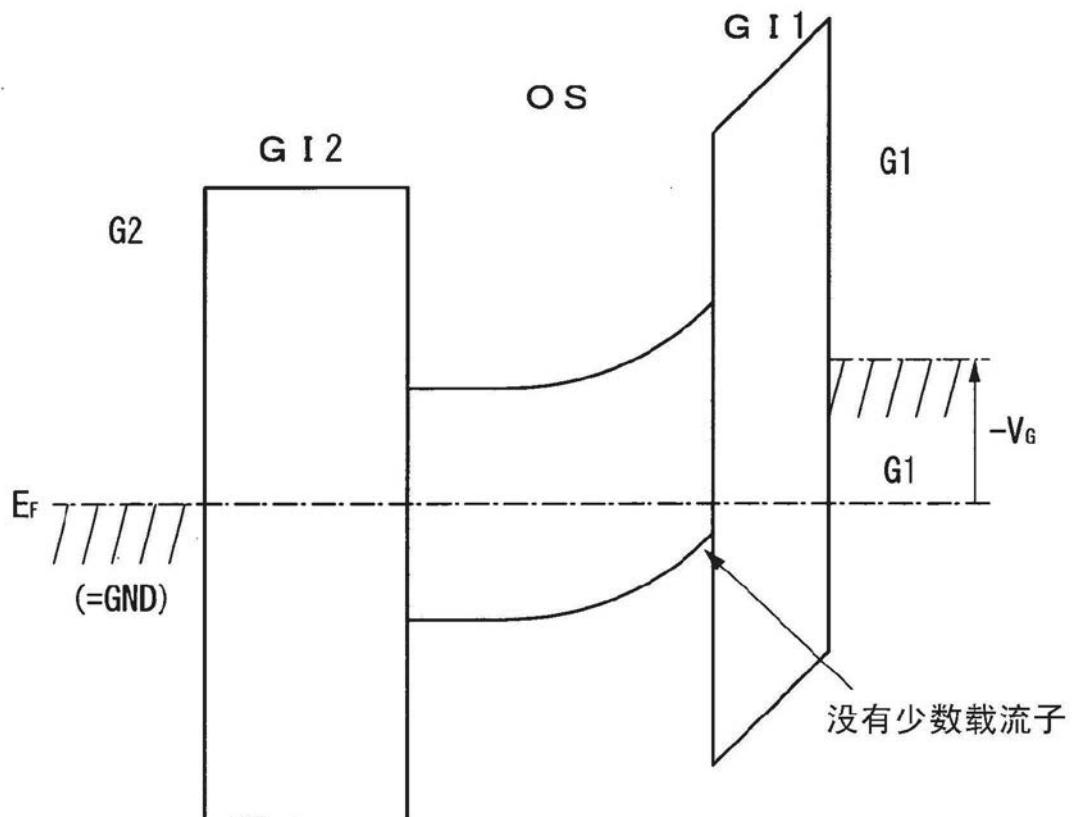


图21B

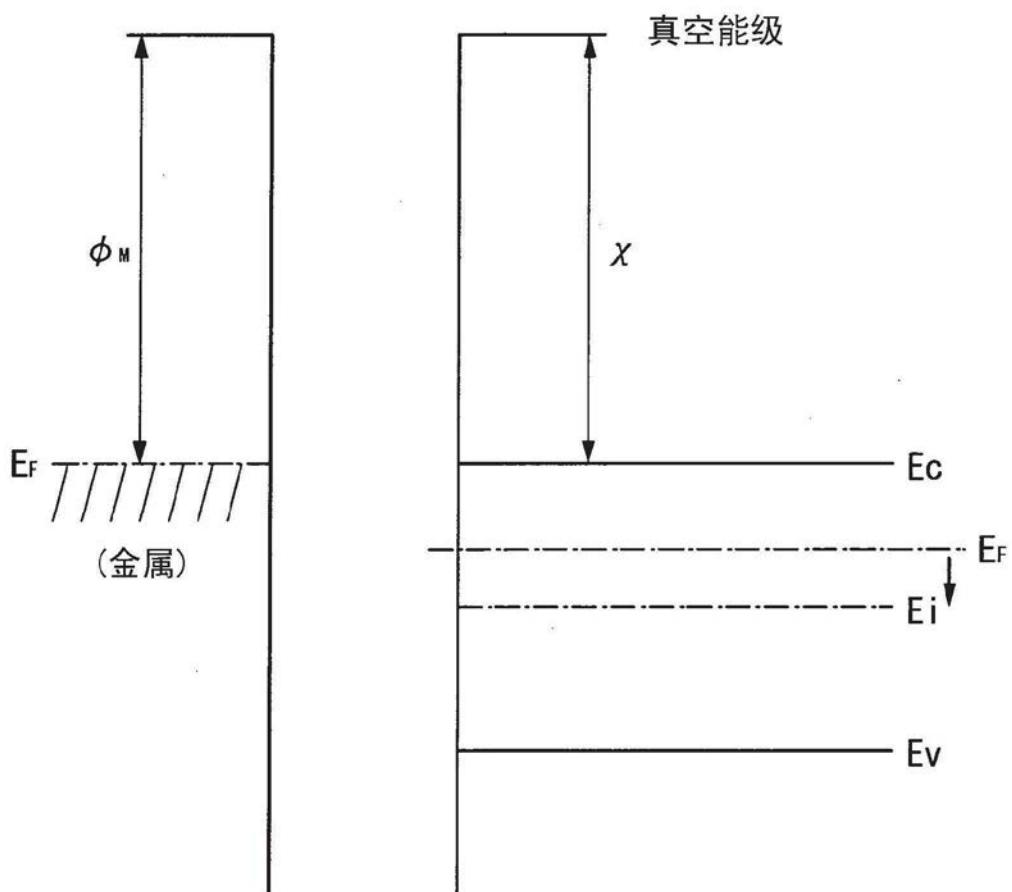


图22

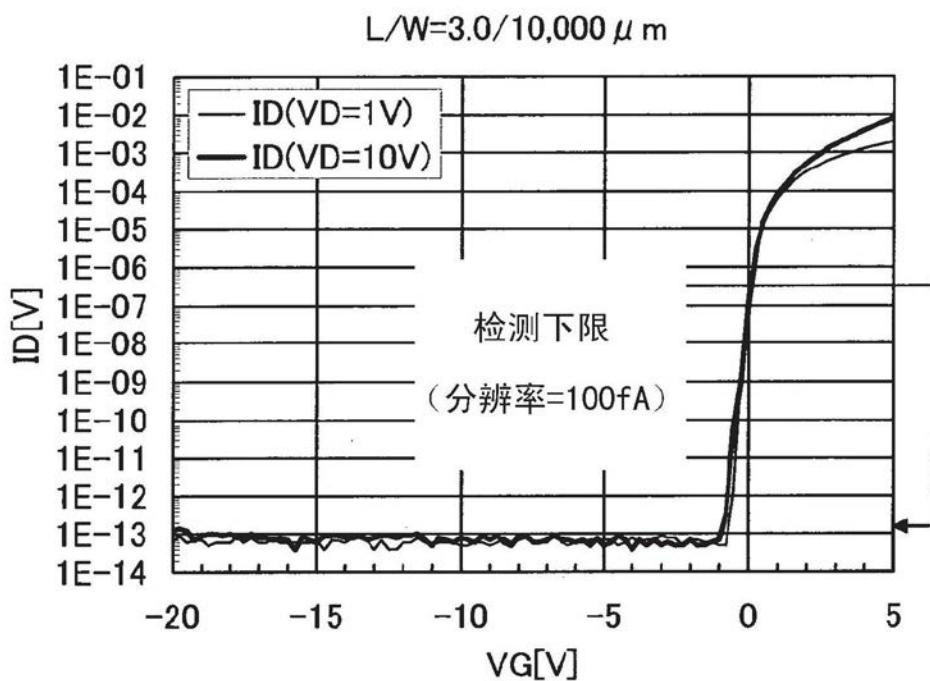


图23

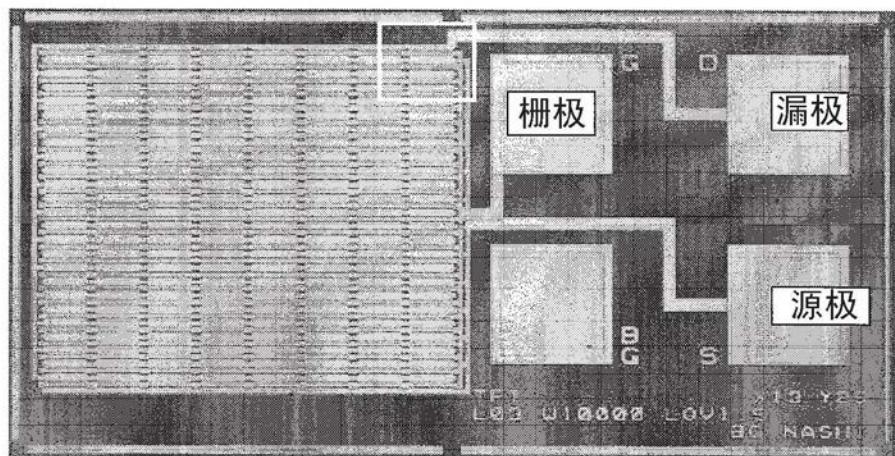


图24A

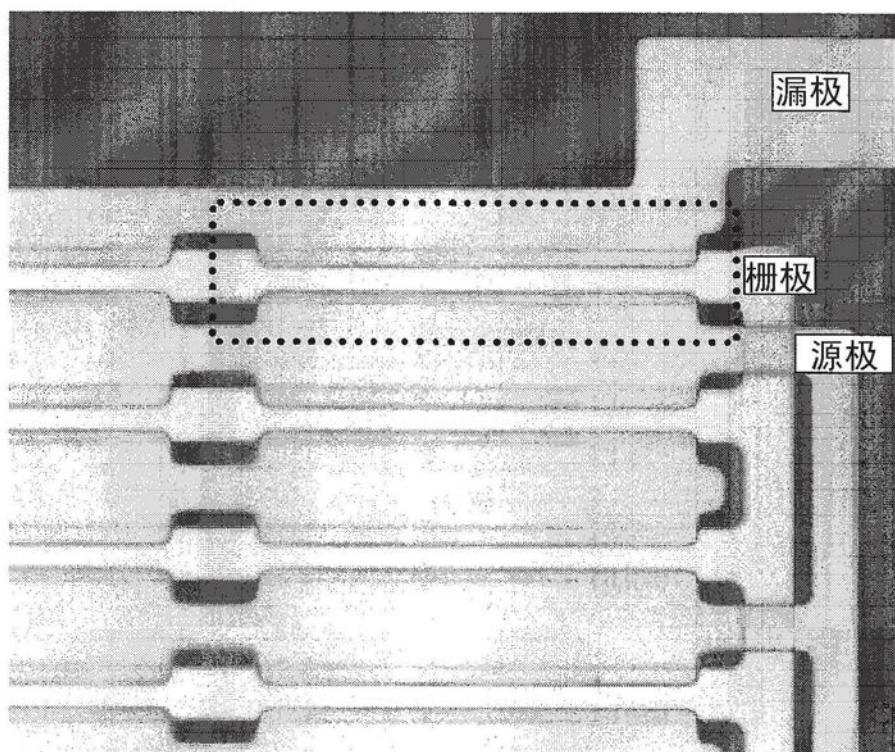


图24B

$L/W=3.0/10,000 \mu m$ ($V_d=6V$)

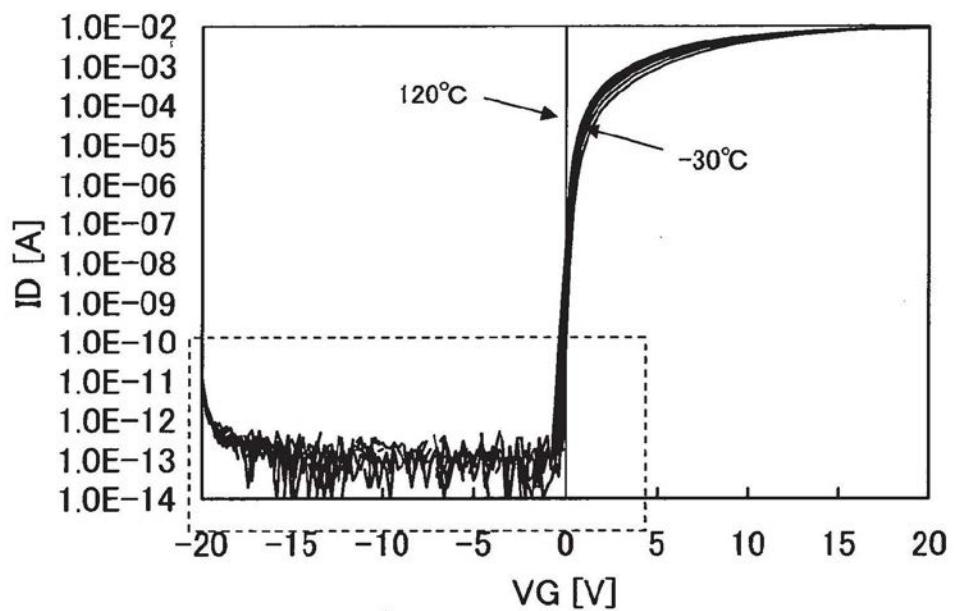


图25A

$L/W=3.0/10,000 \mu m$ ($V_d=6V$)

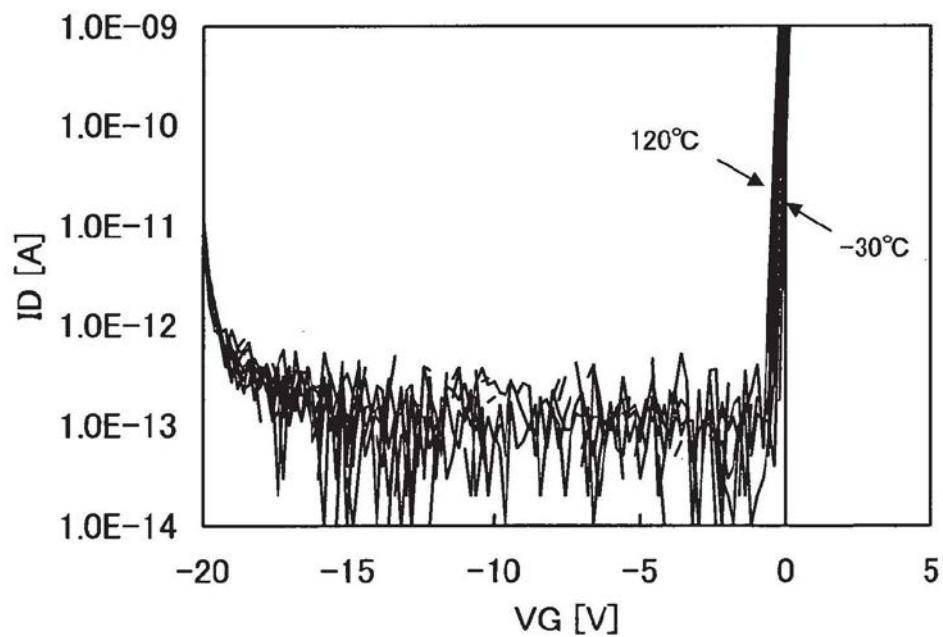


图25B

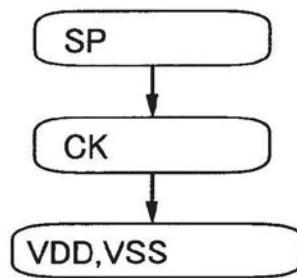


图26A

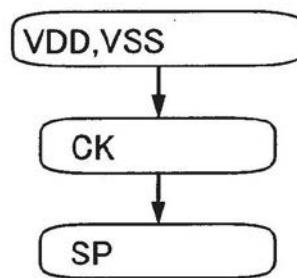


图26B

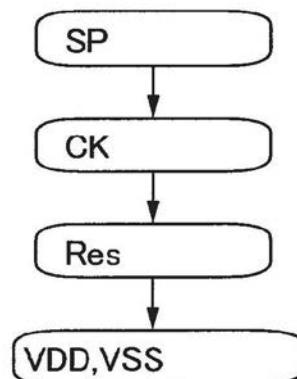


图26C

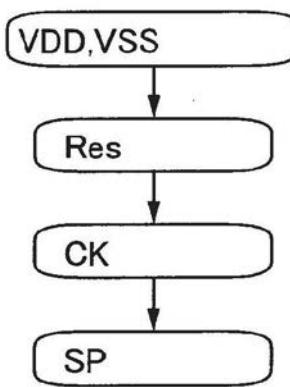


图26D

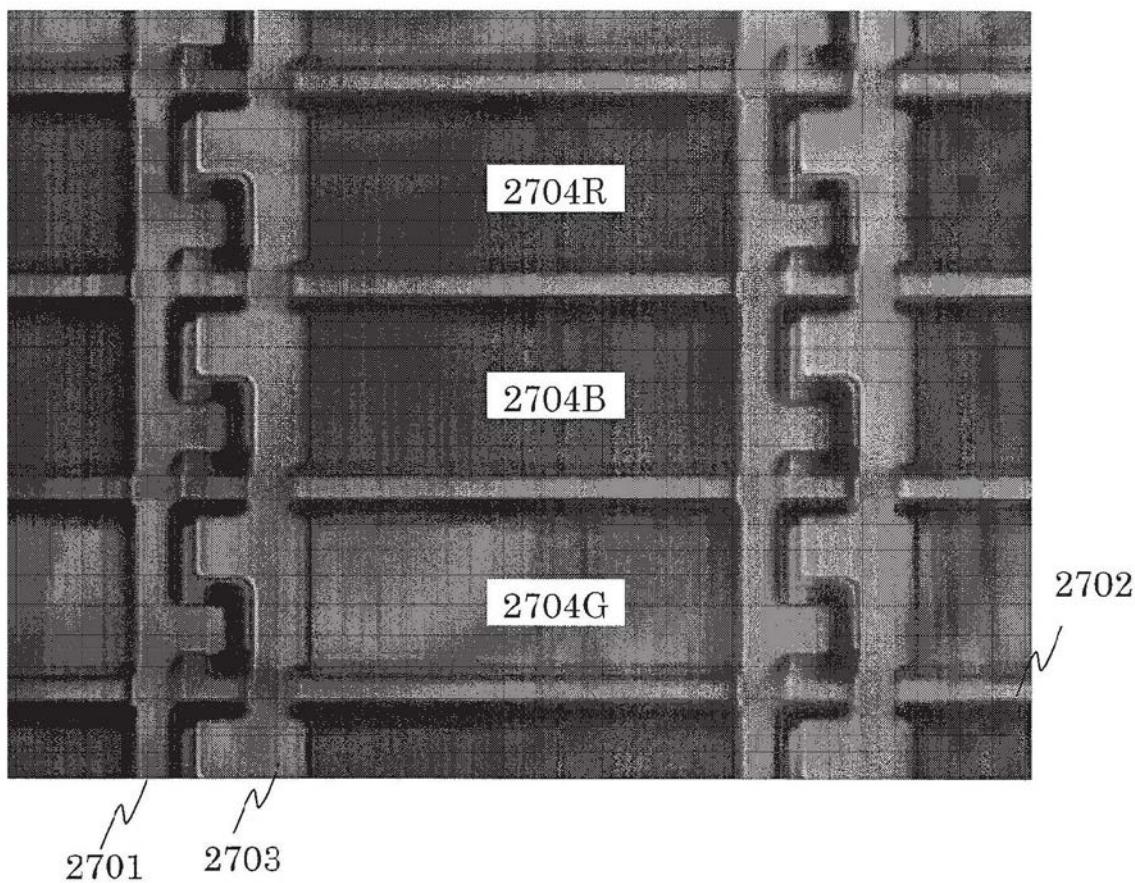


图27

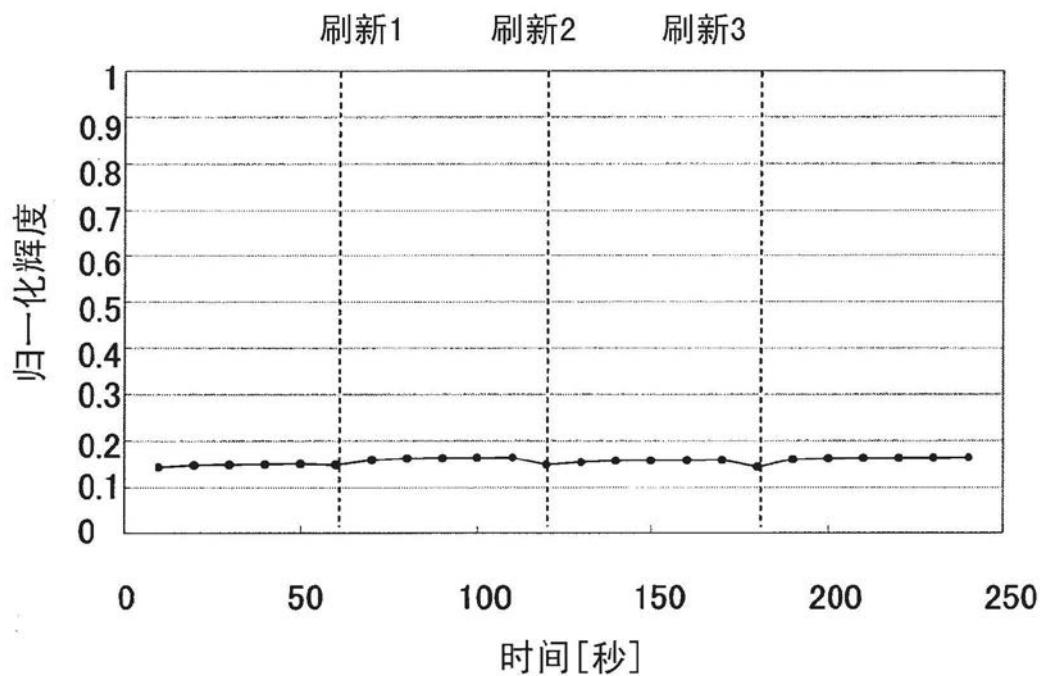


图28

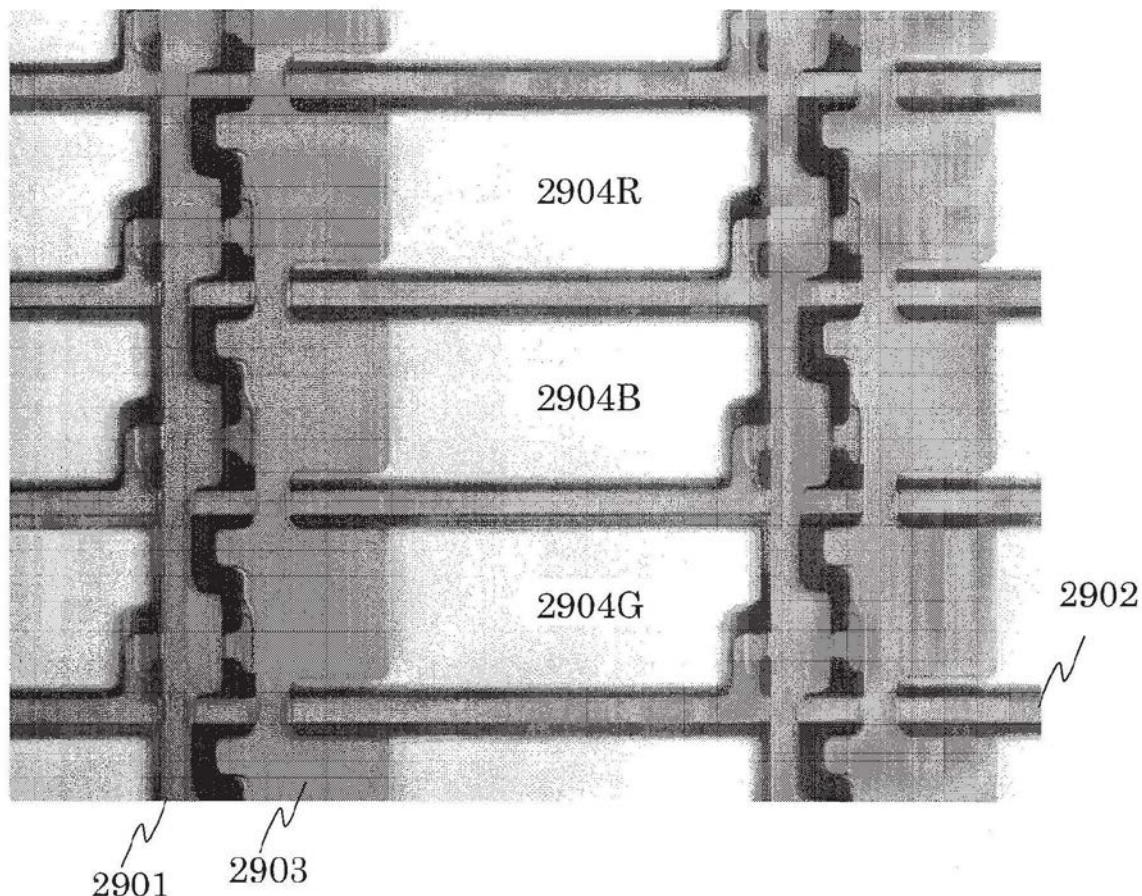


图29

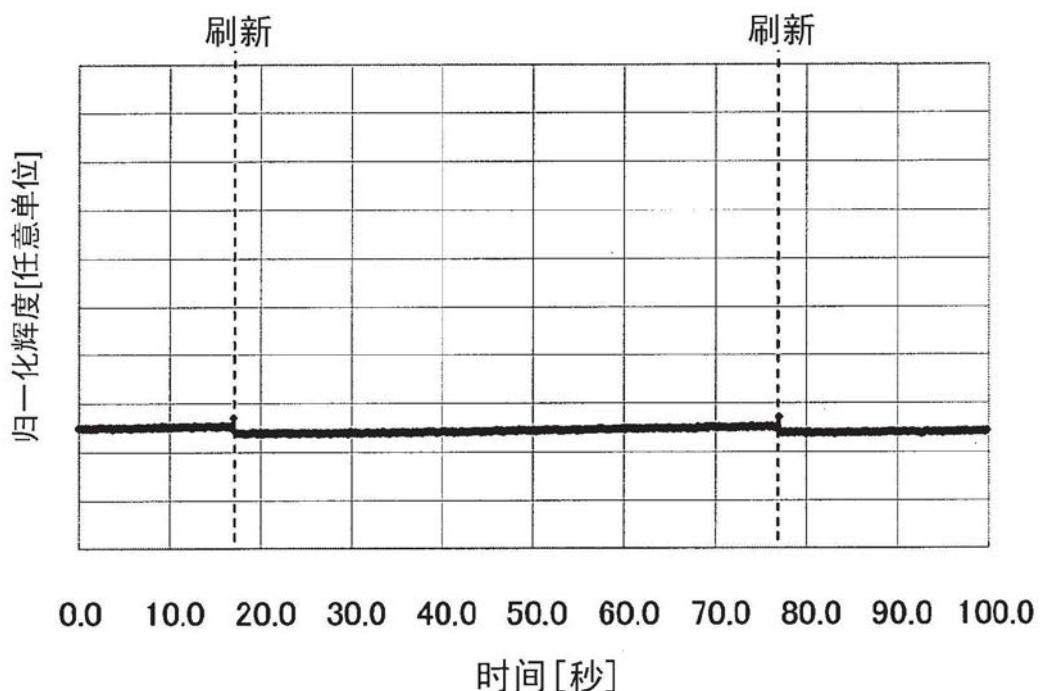


图30

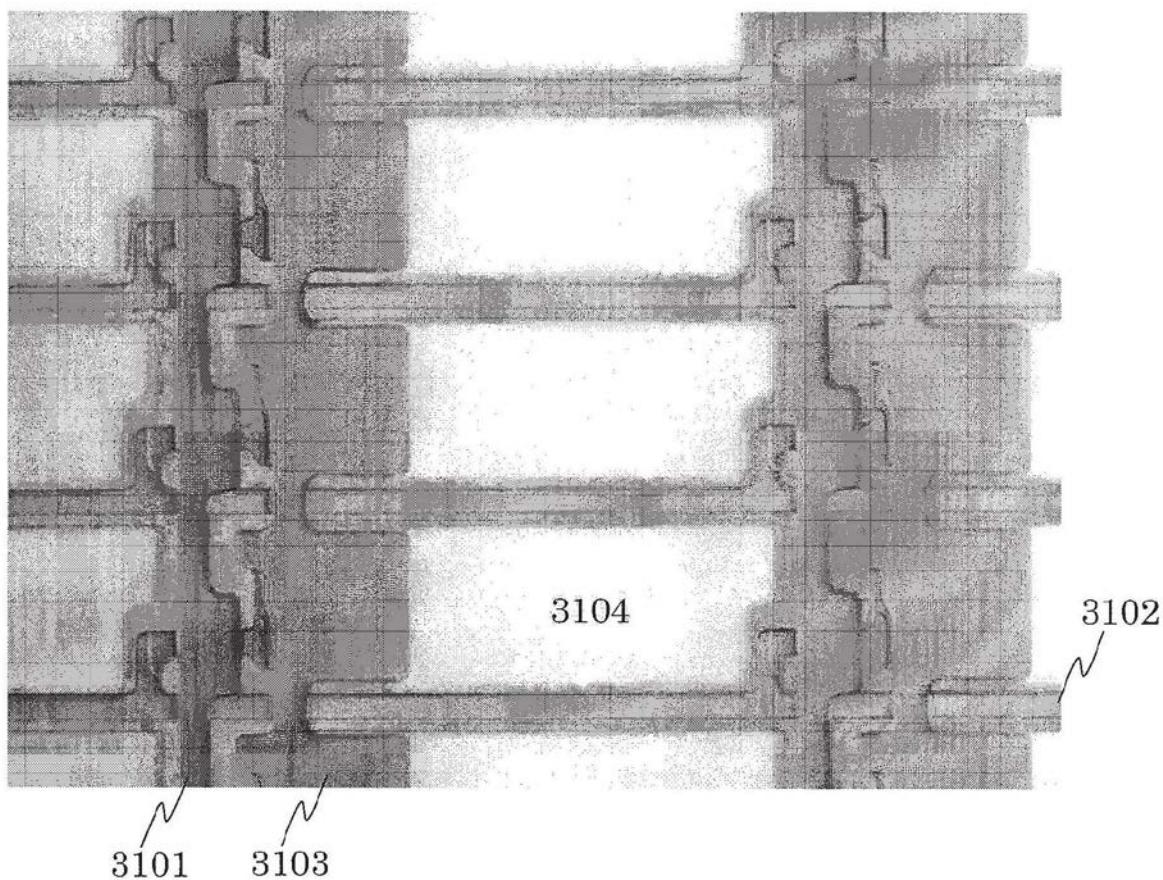


图31

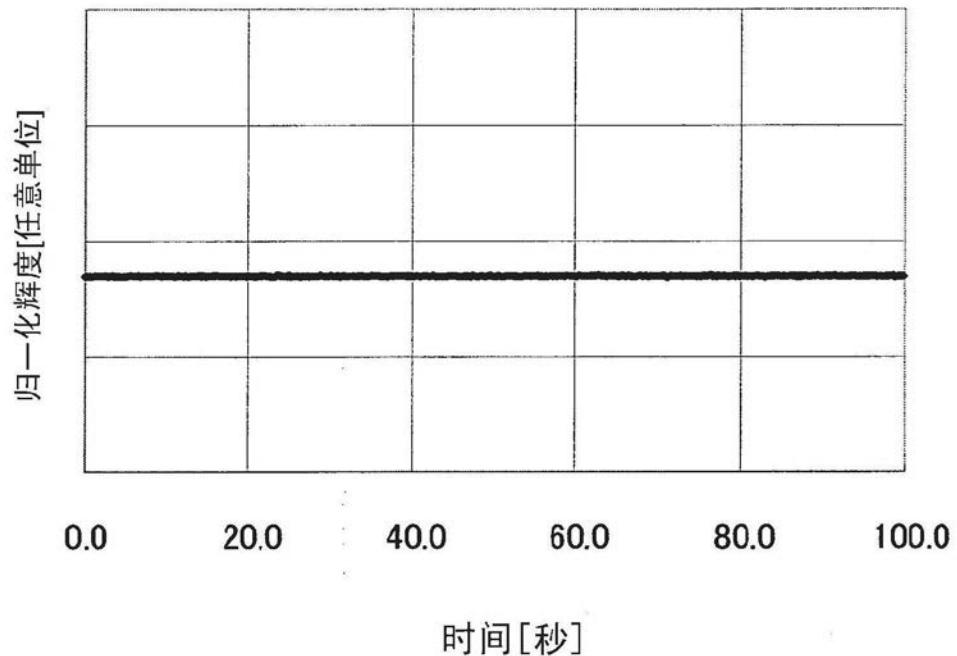


图32

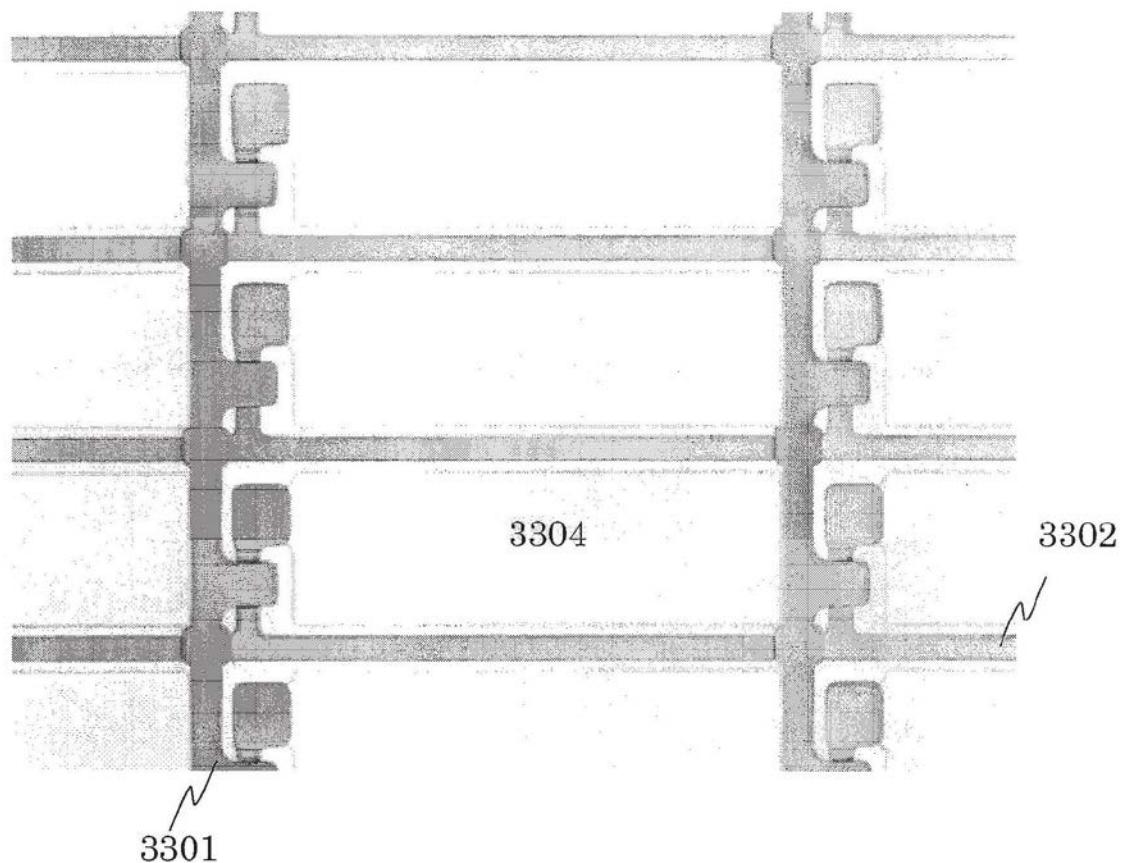


图33

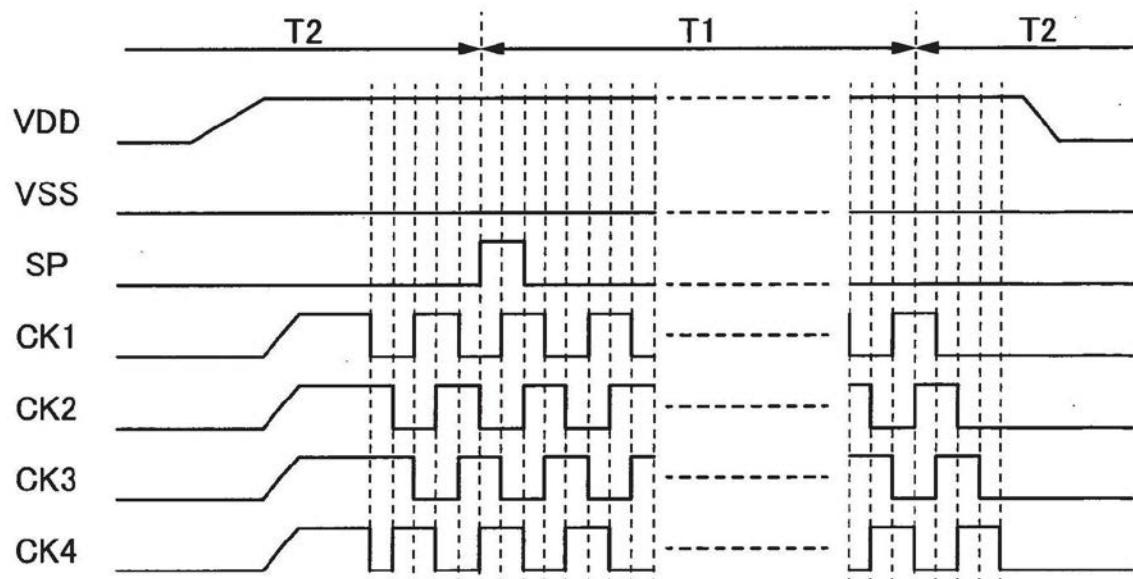


图34

专利名称(译)	显示设备		
公开(公告)号	CN110824800A	公开(公告)日	2020-02-21
申请号	CN201911225794.0	申请日	2010-09-28
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社半导体能源研究所		
当前申请(专利权)人(译)	株式会社半导体能源研究所		
[标]发明人	山崎舜平 小山润 三宅博之 津吹将志 野田耕生		
发明人	山崎舜平 小山润 三宅博之 津吹将志 野田耕生		
IPC分类号	G02F1/1368 G09G3/36 H01L27/12 H01L29/786 G09G5/18		
CPC分类号	G02F1/1368 G09G3/3648 G09G3/3674 G09G2320/103 G09G2330/021 G09G2330/022 H01L27/1225 H01L29/7869 G09G3/3611 G09G3/3677 G09G5/18 G09G2310/0286 G09G2330/027 H01L29/06		
优先权	2009238916 2009-10-16 JP 2009273913 2009-12-01 JP 2009278999 2009-12-08 JP		
外部链接	Espacenet Sipo		

摘要(译)

本发明涉及一种显示设备，包括：包括源极、漏极和沟道形成区的晶体管，所述沟道形成区包括氧化物半导体；电连接到所述晶体管的所述源极或所述漏极的像素电极；以及与所述像素电极相邻的液晶材料，其中，所述液晶材料在20°C测量的特定电阻率大于或等于 $1 \times 10^{12} \Omega \cdot \text{cm}$ 。

