



(12) 发明专利申请

(10) 申请公布号 CN 102356352 A

(43) 申请公布日 2012. 02. 15

(21) 申请号 200980158201. 1

代理人 权鲜枝

(22) 申请日 2009. 11. 05

(51) Int. Cl.

(30) 优先权数据

G02F 1/1368 (2006. 01)

2009-072239 2009. 03. 24 JP

G02F 1/1343 (2006. 01)

(85) PCT申请进入国家阶段日

2011. 09. 19

(86) PCT申请的申请数据

PCT/JP2009/005883 2009. 11. 05

(87) PCT申请的公布数据

W02010/109558 JA 2010. 09. 30

(71) 申请人 夏普株式会社

地址 日本大阪府

(72) 发明人 星野淳之

(74) 专利代理机构 北京市隆安律师事务所

11323

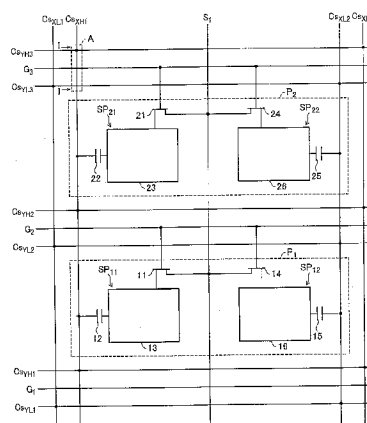
权利要求书 2 页 说明书 13 页 附图 8 页

(54) 发明名称

TFT 基板和使用该 TFT 基板的液晶显示装置

(57) 摘要

提供能精度良好地保持排列于 TFT 基板上的多个像素的像素电位的 TFT 基板。本发明的 TFT 基板具备：栅极总线 (G_2 、 G_3)；辅助电容总线 (CS_{YH3} 、 CS_{YL2})，其来源于与栅极总线 (G_2 、 G_3) 相同的配线层；辅助电容总线 (CS_{XH1})，其来源于与栅极总线 (G_2 、 G_3) 相同的配线层，形成第 1 子像素 (SP_{21}) 的辅助电容 (22)；以及辅助电容总线 (CS_{XL2})，其来源于与栅极总线 (G_2 、 G_3) 相同的配线层，形成第 2 子像素 (SP_{22}) 的辅助电容 (25)。辅助电容总线 (CS_{YH3}) 和辅助电容总线 (CS_{XH1})、以及辅助电容总线 (CS_{YL2}) 和辅助电容总线 (CS_{XL2}) 分别通过来源于与栅极总线 (G_2 、 G_3) 不同的配线层的连接配线部连接。



1. 一种 TFT 基板,其特征在于,是包括第 1 子像素和与该第 1 子像素相邻的第 2 子像素的多个像素排列成矩阵状的有源矩阵型的 TFT 基板,上述 TFT 基板具备:

第 1 栅极总线 and 第 2 栅极总线,其沿着上述第 1 子像素和上述第 2 子像素相邻的相邻方向延伸;

第 1 辅助电容总线和第 2 辅助电容总线,其来源于与上述第 1 栅极总线和第 2 栅极总线相同的配线层且沿着上述相邻方向延伸;

第 3 辅助电容总线,其来源于与上述第 1 栅极总线和第 2 栅极总线相同的配线层且与上述第 1 子像素靠近,在与上述第 1 子像素的子像素电极之间形成上述第 1 子像素的辅助电容;以及

第 4 辅助电容总线,其来源于与上述第 1 栅极总线和第 2 栅极总线相同的配线层且与上述第 2 子像素靠近,在与上述第 2 子像素的子像素电极之间形成上述第 2 子像素的辅助电容,

上述第 1 辅助电容总线和上述第 1 子像素以隔着上述第 1 栅极总线的方式配置,上述第 2 辅助电容总线和上述第 2 子像素以隔着上述第 2 栅极总线的方式配置,

上述第 1 辅助电容总线和上述第 2 辅助电容总线被施加彼此不同的电压,

上述 TFT 基板还具备:

第 1 连接配线部,其将上述第 1 辅助电容总线与上述第 3 辅助电容总线之间连接,来源于与上述第 1 栅极总线和第 2 栅极总线不同的配线层;以及

第 2 连接配线部,其将上述第 2 辅助电容总线与上述第 4 辅助电容总线之间连接,来源于与上述第 1 栅极总线和第 2 栅极总线不同的配线层。

2. 根据权利要求 1 所述的 TFT 基板,其特征在于,上述第 1 连接配线部来源于与上述第 1 子像素的子像素电极相同的配线层,上述第 2 连接配线部来源于与上述第 2 子像素的子像素电极相同的配线层。

3. 根据权利要求 1 或 2 所述的 TFT 基板,其特征在于,具有矩形形状的上述第 1 子像素具有沿着上述第 3 辅助电容总线的第 1 边和位于与该第 1 边相反的一侧的第 2 边,

上述第 3 辅助电容总线包含:第 1 分支线部分,其与上述第 1 子像素的第 1 边靠近;以及第 2 分支线部分,其与上述第 1 子像素的第 2 边靠近。

4. 根据权利要求 3 所述的 TFT 基板,其特征在于,上述第 1 子像素还具有配置于上述第 1 边与上述第 2 边之间的上述第 1 栅极总线侧的第 3 边,

上述第 3 辅助电容总线还包含与上述第 1 子像素的第 3 边靠近的第 3 分支线部分。

5. 根据权利要求 1~4 中的任一项所述的 TFT 基板,其特征在于,还具备与上述第 1 栅极总线和第 2 栅极总线交叉的源极总线,

上述第 1 子像素和上述第 2 子像素配置成隔着上述源极总线而相对。

6. 根据权利要求 5 所述的 TFT 基板,其特征在于,上述第 1 连接配线部来源于与上述第 1 子像素的子像素电极相同的配线层和与上述源极总线相同的配线层,上述第 2 连接配线部来源于与上述第 2 子像素的子像素电极相同的配线层和与上述源极总线相同的配线层。

7. 根据权利要求 1~4 中的任一项所述的 TFT 基板,其特征在于,还具备与上述第 1 栅极总线和第 2 栅极总线交叉的两条源极总线,

上述第 1 子像素和上述第 2 子像素配置于相邻的上述两条源极总线间且与相邻的上述

两条源极总线中的任一方连接。

8. 根据权利要求 1 ~ 7 中的任一项所述的 TFT 基板,其特征在于,上述多个像素的排列是条状排列。

9. 根据权利要求 1 ~ 7 中的任一项所述的 TFT 基板,其特征在于,上述多个像素的排列是三角形排列。

10. 一种液晶显示装置,其特征在于,具备:

权利要求 1 ~ 9 中的任一项所述的 TFT 基板;以及

控制电路,其用于控制图像显示处理,上述图像显示处理用于使用上述 TFT 基板显示图像。

TFT 基板和使用该 TFT 基板的液晶显示装置

技术领域

[0001] 本发明涉及使用薄膜晶体管的有源矩阵型的 TFT 基板和使用该 TFT 基板的液晶显示装置。

背景技术

[0002] 作为改善 γ 特性的视角依存性的液晶显示装置,有多像素驱动方式的液晶显示装置。在多像素驱动中,利用亮度不同的两个以上子像素构成一个像素,由此改善视野角特性即 γ 特性的视角依存性(例如,参照专利文献 1)。

[0003] 在图 9 中示出现有的多像素驱动方式的液晶显示装置具备的像素的构成例。如图 9 所示,一个像素 P_1 被分割为两个子像素 SP_1 、 SP_2 。子像素 SP_1 具有薄膜晶体管(下面称为“TFT”。)51、辅助电容 52 以及子像素电极 53。同样,子像素 SP_2 具有 TFT61、辅助电容 62 以及子像素电极 63。

[0004] TFT51 和 TFT61 各自的栅极电极连接到栅极总线 G_1 ,各自的源极电极连接到源极总线 S_1 。

[0005] 辅助电容 52 在子像素电极 53 与辅助电容总线 CS_1 之间形成。辅助电容 62 在子像素电极 63 与辅助电容总线 CS_2 之间形成。

[0006] 辅助电容总线 CS_1 和栅极总线 G_1 配置成隔着子像素 SP_1 彼此平行。辅助电容总线 CS_2 和栅极总线 G_1 配置成隔着子像素 SP_2 彼此平行。

[0007] 另外,像素 P_1 的辅助电容总线 CS_1 兼作用于形成隔着该辅助电容总线 CS_1 与像素 P_1 相邻的其它像素(省略图示)的子像素具有的辅助电容的辅助电容总线。同样,像素 P_1 的辅助电容总线 CS_2 兼作用于形成隔着该辅助电容总线 CS_2 与像素 P_1 相邻的其它像素(省略图示)的子像素具有的辅助电容的辅助电容总线。

[0008] 使用图 10,对多像素驱动方式的显示面板中的辅助电容总线 CS_1 、 CS_2 (下面总称 CS_1 、 CS_2 ,也有时称为“Cs”。)的驱动方法进行说明。

[0009] 如图 10 所示,在作为显示区域的有源区 AA 交替配置的辅助电容总线 Cs 连接到在与有源区 AA 相邻的区域所配置的 Cs 干配线 bb。Cs 干配线 bb 构成以多条为一组的 Cs 干配线组 BB1 和 Cs 干配线组 BB2。Cs 干配线组 BB1 设于与相对于有源区 AA 成为辅助电容总线 Cs 延伸的一个方向的规定侧的有源区 AA 的一端侧相邻的区域。另外,Cs 干配线组 BB2 设于与相对于有源区 AA 成为辅助电容总线 Cs 延伸的另一方向的规定侧的有源区 AA 的另一端侧相邻的区域。

[0010] 例如在仅设有 Cs 干配线组 BB1 的情况下,辅助电容总线 Cs 的一端连接到构成 Cs 干配线组 BB1 的 Cs 干配线 bb。另一方面,在设有 Cs 干配线组 BB1 和 Cs 干配线组 BB2 两者的情况下,辅助电容总线 Cs 的一端连接到构成 Cs 干配线组 BB1 的 Cs 干配线 bb,辅助电容总线 Cs 的另一端连接到构成 Cs 干配线组 BB2 的 Cs 干配线 bb。Cs 干配线 bb 在与辅助电容总线 Cs 延伸的方向正交的方向、即图 9 的源极总线 S_1 延伸的方向延伸。

[0011] 在图 10 中,设有包括 12 条 Cs 干配线 bb 的 Cs 干配线组 BB1 以及包括 12 条 Cs 干

配线 bb 的 Cs 干配线组 BB2。并且,各辅助电容总线 Cs 连接到各 Cs 干配线组 BB1 和 BB2 各自中的任一条 Cs 干配线 bb。连续配置的 12 条辅助电容总线 Cs 连接到各 Cs 干配线组 BB1、BB2 中的彼此不同的 Cs 干配线 bb。

[0012] 另一方面,在仅设有 Cs 干配线组 BB1 的情况下,连续配置的 12 条辅助电容总线 Cs 连接到 Cs 干配线组 BB1 中的彼此不同的 Cs 干配线 bb。

[0013] 在这样的多像素驱动方式中,将彼此不同的辅助电容电压 V_{cs} 施加到辅助电容总线 Cs_1 和辅助电容总线 Cs_2 各自,由此使构成相同像素 P_1 的子像素 SP_1 和 SP_2 各自的亮度不同,由此改善像素 P_1 整体的 γ 特性。

[0014] 上述的辅助电容电压 V_{cs} 通过 Cs 干配线 bb 提供到辅助电容总线 Cs_1 和辅助电容总线 Cs_2 。并且,对各 Cs 干配线组 BB1、BB2 的不同的 Cs 干配线 bb 施加不同的辅助电容电压 V_{cs} 。因此,对 Cs 干配线组 BB1、BB2 各自,从 Cs 驱动器(省略图示)提供 Cs 干配线 bb 的条数的量的不同的辅助电容电压 V_{cs} 。

[0015] 如图 10 所示,在有源区 AA 的两侧配置有 Cs 干配线组 BB1、BB2 的情况下,对连接到相同辅助电容总线 Cs 的、Cs 干配线组 BB1、BB2 各自的 Cs 干配线 bb 施加相同的辅助电容电压 V_{cs} 。

[0016] 这样,从有源区 AA 的两侧提供辅助电容电压 V_{cs} 。因此,即使是较大尺寸的液晶画面,也能抑制如下情况:对于辅助电容电压 V_{cs} 而言,由于配线延迟,辅助电容电压 V_{cs} 的波形在相同的辅助电容总线 Cs 中的有源区 AA 的不同场所间不同。

[0017] 以往,提出了在有源区 AA 内将这样的辅助电容总线 Cs 配置成网格状的构成(例如,参照专利文献 2~6)。

[0018] 例如,在专利文献 2 所公开的现有的液晶显示装置中,通过将相当于图 10 所示的辅助电容总线 Cs 的储存电容总线形成为网格状,从而能将从电源侧看到的储存电容总线的阻抗减到极小。因此,能减小储存电容总线的时间常数,所以在不降低显示质量的情况下实现液晶显示装置的大型化、高精细化。

[0019] 另外,在专利文献 3 所公开的现有的液晶显示元件中,也通过将相当于图 10 所示的辅助电容总线 Cs 的辅助电容配线单元形成为网格状,从而能降低辅助电容单元的电阻值。而且,即使在辅助电容配线单元发生断线的情况下,辅助电容配线整体也形成为网格状,所以能将断线的不良影响抑制成最小限度。

[0020] 现有技术文献

[0021] 专利文献

[0022] 专利文献 1:国际公开专利公报“第 2006/098449 号小册子(2006 年 9 月 21 日公开)”

[0023] 专利文献 2:日本公开专利公报“特开 2001-281690 号公报(2001 年 10 月 10 日公开)”

[0024] 专利文献 3:日本公开专利公报“特开平 9-160075 号公报(1997 年 6 月 20 日公开)”

[0025] 专利文献 4:日本公开专利公报“特开平 3-72321 号公报(1991 年 3 月 27 日公开)”

[0026] 专利文献 5:日本公开专利公报“特开昭 62-265688 号公报(1987 年 11 月 18 日公开)”

[0027] 专利文献 6 :日本公开专利公报“特开 2001-109018 号公报 (2001 年 4 月 20 日公开)”

发明内容

[0028] 发明要解决的问题

[0029] 但是,在 TV 用途的液晶显示装置中,从倍速驱动、大型和高精细化等的要求出发,要求用于保持像素电位的上述辅助电容总线 Cs 的低电阻化。

[0030] 尤其是在上述的现有的多像素驱动方式中,例如使用图 9 说明的那样,必须将彼此不同的辅助电容电压 Vcs 施加到辅助电容总线 Cs₁ 和辅助电容总线 Cs₂ 各自。其结果是,辅助电容总线 Cs₁ 和辅助电容总线 Cs₂ 两者需要低电阻化。

[0031] 但是,在要降低这样的辅助电容总线 Cs₁ 和辅助电容总线 Cs₂ 两者的电阻的情况下,必须将最少需要两组的辅助电容总线设成 2×n(n : 自然数) 倍的组。其结果是,图 10 所示的 Cs 干配线组 BB1、BB2 也需要低电阻化,因此,它们的配线宽度增大,导致 Cs 干配线组 BB1、BB2 所占的区域增大。

[0032] 因此,希望采用上述的专利文献 2 和 3 所公开的、将辅助电容总线 Cs 形成为网格状的构成有效。

[0033] 但是,在被施加彼此不同的辅助电容电压 Vcs 的辅助电容总线 Cs₁ 和辅助电容总线 Cs₂ 采用上述的专利文献 2 和 3 所公开的构成、将各自简单连接的情况下,连接它们的配线的路径变得非常复杂。

[0034] 因此,在图 9 所示的子像素电极 53 及子像素电极 63 与辅助电容总线 Cs₁ 及辅助电容总线 Cs₂ 之间形成多余的电容,其结果是有以下问题 :不能精度良好地保持各像素 P₁ 的像素电位。

[0035] 鉴于上述的问题,本发明的目的是提供能精度良好地保持排列于 TFT 基板上的多个像素的像素电位的 TFT 基板和使用该 TFT 基板的液晶显示装置。

[0036] 用于解决问题的方案

[0037] 为了达成上述目的,本发明中的 TFT 基板是包括第 1 子像素和与该第 1 子像素相邻的第 2 子像素的多个像素排列成矩阵状的有源矩阵型的 TFT 基板,上述 TFT 基板具备 :第 1 栅极总线和第 2 栅极总线,其沿着上述第 1 子像素和上述第 2 子像素相邻的相邻方向延伸 ;第 1 辅助电容总线和第 2 辅助电容总线,其来源于与上述第 1 栅极总线和第 2 栅极总线相同的配线层且沿着上述相邻方向延伸 ;第 3 辅助电容总线,其来源于与上述第 1 栅极总线和第 2 栅极总线相同的配线层且与上述第 1 子像素靠近,在与上述第 1 子像素的子像素电极之间形成上述第 1 子像素的辅助电容 ;以及第 4 辅助电容总线,其来源于与上述第 1 栅极总线和第 2 栅极总线相同的配线层且与上述第 2 子像素靠近,与上述第 2 子像素的子像素电极之间形成上述第 2 子像素的辅助电容,上述第 1 辅助电容总线和上述第 1 子像素以隔着上述第 1 栅极总线的方式配置,上述第 2 辅助电容总线和上述第 2 子像素以隔着上述第 2 栅极总线的方式配置,上述第 1 辅助电容总线和上述第 2 辅助电容总线被施加彼此不同的电压,上述 TFT 基板还具备 :第 1 连接配线部,其将上述第 1 辅助电容总线与上述第 3 辅助电容总线之间连接,来源于与上述第 1 栅极总线和第 2 栅极总线不同的配线层 ;以及第 2 连接配线部,其将上述第 2 辅助电容总线与上述第 4 辅助电容总线之间连接,来源于与上述

第 1 栅极总线和第 2 栅极总线不同的配线层。

[0038] 在上述 TFT 基板中,第 1 子像素在靠近自身的第 3 辅助电容总线之间形成辅助电容。并且,第 3 辅助电容总线通过来源于与第 1 栅极总线和第 2 栅极总线不同的配线层的第 1 连接配线部与第 1 辅助电容总线连接。

[0039] 另外,第 2 子像素与靠近自身的第 4 辅助电容总线之间形成辅助电容。并且,第 4 辅助电容总线通过来源于与第 1 栅极总线和第 2 栅极总线不同的配线层的第 2 连接配线部与第 2 辅助电容总线连接。

[0040] 因此,能在 TFT 基板上将第 1 辅助电容总线和第 3 辅助电容总线形成为网格状。另外,能在 TFT 基板上将第 2 辅助电容总线和第 4 辅助电容总线形成为网格状。

[0041] 因此,能使用第 1 辅助电容总线和第 3 辅助电容总线对 TFT 基板上的各像素均匀地提供相同的辅助电容电压,另外,能使用第 2 辅助电容总线和第 4 辅助电容总线对 TFT 基板上的各像素均匀地提供与施加于第 1 辅助电容总线的辅助电容电压不同的相同辅助电容电压。由此,能精度良好地保持使用两个不同电压的多图像驱动中的各像素的像素电位。

[0042] 本发明中的液晶显示装置具备:上述 TFT 基板;以及控制电路,其用于控制图像显示处理,上述图像显示处理用于使用上述 TFT 基板显示图像。

[0043] 在上述液晶显示装置中,第 1 子像素与靠近自身的第 2 辅助电容总线之间形成辅助电容。并且,第 2 辅助电容总线通过来源于与栅极总线不同的配线层的连接配线部与第 1 辅助电容总线连接。

[0044] 因此,能在 TFT 基板上将第 1 辅助电容总线和第 2 辅助电容总线形成为网格状。因此,能使用这些第 1 辅助电容总线和第 2 辅助电容总线对 TFT 基板上的各像素均匀地提供相同的辅助电容电压,所以能精度良好地保持各像素的像素电位。

[0045] 发明效果

[0046] 如上所述,本发明的 TFT 基板具备:第 1 栅极总线和第 2 栅极总线,其沿着上述第 1 子像素和上述第 2 子像素相邻的相邻方向延伸;第 1 辅助电容总线和第 2 辅助电容总线,其来源于与上述第 1 栅极总线和第 2 栅极总线相同的配线层且沿着上述相邻方向延伸;第 3 辅助电容总线,其来源于与上述第 1 栅极总线和第 2 栅极总线相同的配线层且与上述第 1 子像素靠近,在与上述第 1 子像素的子像素电极之间形成上述第 1 子像素的辅助电容;以及第 4 辅助电容总线,其来源于与上述第 1 栅极总线和第 2 栅极总线相同的配线层且与上述第 2 子像素靠近,在与上述第 2 子像素的子像素电极之间形成上述第 2 子像素的辅助电容,上述第 1 辅助电容总线和上述第 1 子像素以隔着上述第 1 栅极总线的方式配置,上述第 2 辅助电容总线和上述第 2 子像素以隔着上述第 2 栅极总线的方式配置,上述第 1 辅助电容总线和上述第 2 辅助电容总线被施加彼此不同的电压,上述 TFT 基板还具备:第 1 连接配线部,其将上述第 1 辅助电容总线和上述第 3 辅助电容总线之间连接,来源于与上述第 1 栅极总线和第 2 栅极总线不同的配线层;以及第 2 连接配线部,其将上述第 2 辅助电容总线与上述第 4 辅助电容总线之间连接,来源于与上述第 1 栅极总线和第 2 栅极总线不同的配线层。

[0047] 因此,起到如下效果:能精度良好地保持排列于 TFT 基板上的多个像素的像素电位。

附图说明

[0048] 图 1 是示出配置于本发明的实施方式 1 中的液晶显示装置的有源区上的多个像素的配置构成的电路图。

[0049] 图 2 是从 I-I 方向观看图 1 的 A 部的截面图。

[0050] 图 3 是示出本发明的实施方式 1 中的液晶显示装置的构成的框图。

[0051] 图 4 是示出配置于本发明的实施方式 2 中的液晶显示装置的有源区上的多个像素的配置构成的电路图。

[0052] 图 5 是示出配置于本发明的实施方式 3 中的液晶显示装置的有源区上的多个像素的配置构成的电路图。

[0053] 图 6 是示出配置于本发明的实施方式 4 中的液晶显示装置的有源区上的多个像素的配置构成的电路图。

[0054] 图 7 是用于说明图 6 的子像素电极形状的变形例的说明图。

[0055] 图 8 是示出配置于本发明的实施方式 5 中的液晶显示装置的有源区上的多个像素的配置构成的电路图。

[0056] 图 9 是示出现有的多像素驱动方式的液晶显示装置具备的像素的构成例的图。

[0057] 图 10 是示出辅助电容总线和 Cs 干配线的配置的平面图。

具体实施方式

[0058] 下面参照附图说明本发明的实施方式。在下面的附图的记载中,对相同或者类似的部分标注相同或者类似的附图标记。

[0059] (实施方式 1)

[0060] 图 3 是示出本发明的实施方式 1 中的液晶显示装置 1 的构成的框图。如图 3 所示,本实施方式中的液晶显示装置 1 具备有源矩阵型的显示部 (TFT 基板) 2、源极驱动器 3、栅极驱动器 (GD) 4、显示控制电路 5 以及 Cs 控制电路 6 和 7。

[0061] 此外,这些构成要件可以安装于一个面板上,而且也可以是如下构成:源极驱动器 3、栅极驱动器 4、显示控制电路 5 以及 Cs 控制电路 6 和 7 的一部分或者全部搭载于柔性印刷基板等外部基板,连接到具备显示部 2 的面板。总之,显示部 2、源极驱动器 3、栅极驱动器 4、显示控制电路 5 以及 Cs 控制电路 6 和 7 能任意地配置。

[0062] 显示部 2 具有:有源区 AA,其是多个像素配置成矩阵状的区域;多条栅极总线;多条源极总线;多条辅助电容总线;以及两个 Cs 干配线组 BB_1 、 BB_2 。

[0063] 此外,在图 3 中,为了附图容易观看,仅记载有配置于有源区 AA 上的多个像素所包含的后述像素 P_2 、多条栅极线所包含的 G_3 、多条源极总线所包含的 S_1 以及多条辅助电容总线所包含的辅助电容总线 CS_{YH3} 、 CS_{YL3} 、 CS_{XH1} 、 CS_{XL2} 各自。

[0064] 像素 P_2 包括子像素 SP_{21} 和子像素 SP_{22} 。并且,子像素 SP_{21} 和子像素 SP_{22} 所包含的各 TFT (省略图示) 的栅极电极连接到栅极总线 G_3 ,各自的源极电极连接到源极总线 S_1 。并且,栅极总线和源极总线配置成彼此交叉。

[0065] Cs 干配线组 BB_1 设于与有源区 AA 相邻的区域中的与辅助电容总线延伸的方向中的一侧相邻的区域。另外,Cs 干配线组 BB_2 设于与有源区 AA 相邻的区域中的与辅助电容总线延伸的方向中的另一侧相邻的区域。并且,辅助电容总线连接到 Cs 干配线组 BB_1 和 Cs 干配线组 BB_2 各自。

[0066] 显示控制电路 5 控制源极驱动器 3、栅极驱动器 4、Cs 控制电路 6 以及 Cs 控制电路 7。例如,显示控制电路 5 从调谐器等的外部的信号源接受表示应显示的图像的的数字视频信号 Dv、与该数字视频信号 Dv 对应的水平同步信号 HSY 和垂直同步信号 VSY 以及用于控制显示动作的控制信号 Dc。并且,显示控制电路 5 使用接受的这些信号 Dv、HSY、VSY、Dc 生成用于使该数字视频信号 Dv 表示的图像显示于显示部 2 的多个信号并输出。具体地,显示控制电路 5 生成数据起始脉冲信号 SSP、数据时钟信号 SCK、锁存选通信号 LS、表示应显示的图像的的数字图像信号 DA(与视频信号 Dv 对应的信号)、栅极起始脉冲信号 GSP、栅极时钟信号 GCK 以及栅极驱动器输出控制信号(扫描信号输出控制信号)GOE 作为该多个信号。

[0067] 更详细地,显示控制电路 5 将视频信号 Dv 在内部存储器中根据需要进行定时调整等后作为数字图像信号 DA 输出,生成数据时钟信号 SCK 作为包括与该数字图像信号 DA 表示的图像的各像素对应的脉冲的信号。

[0068] 并且,显示控制电路 5 基于水平同步信号 HSY 生成数据起始脉冲信号 SSP 作为在每 1 水平扫描期间以规定期间成为高电平(H 电平)的信号,基于垂直同步信号 VSY 生成栅极起始脉冲信号 GSP 作为在每 1 帧期间(1 垂直扫描期间)以规定期间成为 H 电平的信号。

[0069] 并且,显示控制电路 5 基于水平同步信号 HSY 生成栅极时钟信号 GCK,基于水平同步信号 HSY 和控制信号 Dc 生成锁存选通信号 LS 和栅极驱动器输出控制信号 GOE。

[0070] 如上所述,在显示控制电路 5 所生成的信号中,数字图像信号 DA、锁存选通信号 LS、控制信号电位(数据信号电位)的极性的信号 POL、数据起始脉冲信号 SSP 以及数据时钟信号 SCK 被输入到源极驱动器 3,栅极起始脉冲信号 GSP、栅极时钟信号 GCK 以及栅极驱动器输出控制信号 GOE 被输入到栅极驱动器 4。

[0071] 源极驱动器 3 基于数字图像信号 DA、数据时钟信号 SCK、锁存选通信号 LS、数据起始脉冲信号 SSP 以及极性反转信号 POL 在每 1 水平扫描期间依次生成数字信号,将这些数据信号输出到源极总线。这些数据信号是与数字图像信号 DA 表示的图像的连接到各扫描信号线的各像素的像素值相当的模拟电位。

[0072] 栅极驱动器 4 基于栅极起始脉冲信号 GSP、栅极时钟信号 GCK 以及栅极驱动器输出控制信号 GOE 生成扫描信号,将这些输出到栅极总线,由此栅极总线选择性地被驱动。

[0073] 如上所述,利用源极驱动器 3 和栅极驱动器 4 驱动显示部 2 的源极总线和栅极总线,由此,通过连接到所选择的栅极总线的 TFT,将信号电位从源极总线写入到子像素电极。

[0074] 由此,对各像素具备的子像素的液晶层施加与数字图像信号 DA 相应的电压,利用该施加电压,控制来自背光源的光的透射量,使像素显示数字视频信号 Dv 表示的图像。

[0075] Cs 控制电路 6 和 7 是基于从显示控制电路 5 输出的栅极起始脉冲信号 GSP、栅极时钟信号 GCK 对用于控制辅助电容总线的电位的辅助电容电压 Vcs 的相位和周期等进行控制的电路。Cs 控制电路 6 将辅助电容电压 Vcs 输出到 Cs 干配线组 BB₁,Cs 控制电路 7 将辅助电容电压 Vcs 输出到 Cs 干配线组 BB₂。

[0076] 接着,对本发明的实施方式 1 中的像素的配置构成进行说明。图 1 是示出配置于图 3 所示的液晶显示装置 1 的有源区 AA 上的多个像素的配置构成的电路图。

[0077] 如图 1 所示,在本实施方式中的液晶显示装置 1 的有源区 AA 中配置有像素 P₁ 和像素 P₂。像素 P₁ 包括子像素 SP₁₁(第 1 子像素)和子像素 SP₁₂(第 2 子像素),像素 P₂ 包括子像素 SP₂₁(第 1 子像素)和子像素 SP₂₂(第 2 子像素)。

[0078] 首先,对像素 P_1 进行说明。

[0079] 子像素 SP_{11} 具有 TFT(薄膜晶体管)11、辅助电容 12 以及子像素电极 13。同样,子像素 SP_{12} 具有 TFT14、辅助电容 15 以及子像素电极 16。

[0080] 子像素 SP_{11} 的 TFT11 的栅极电极连接到栅极总线 G_2 (第 2 栅极总线),其源极电极连接到源极总线 S_1 。同样,子像素 SP_{12} 的 TFT14 的栅极电极连接到栅极总线 G_2 ,其源极电极连接到源极总线 S_1 。

[0081] 子像素 SP_{11} 的辅助电容 12 在子像素电极 13 与辅助电容总线 Cs_{XH1} (第 3 辅助电容总线)之间形成。子像素 SP_{12} 的辅助电容 15 在子像素电极 16 与辅助电容总线 Cs_{XL2} (第 4 辅助电容总线)之间形成。

[0082] 并且,子像素 SP_{11} 和子像素 SP_{12} 均以被夹在辅助电容总线 Cs_{XH1} 与辅助电容总线 Cs_{XL2} 之间的方式相邻。而且,子像素 SP_{11} 与辅助电容总线 Cs_{XH1} 靠近地配置,另一方面,子像素 SP_{12} 与辅助电容总线 Cs_{XL2} 靠近地配置。

[0083] 接着,对像素 P_2 进行说明。

[0084] 子像素 SP_{21} 具有 TFT21、辅助电容 22 以及子像素电极 23。同样,子像素 SP_{22} 具有 TFT24、辅助电容 25 以及子像素电极 26。

[0085] 子像素 SP_{21} 的 TFT21 的栅极电极连接到栅极总线 G_3 (第 1 栅极总线),其源极电极连接到源极总线 S_1 。同样,子像素 SP_{22} 的 TFT24 的栅极电极连接到栅极总线 G_3 ,其源极电极连接到源极总线 S_1 。

[0086] 子像素 SP_{21} 的辅助电容 22 在子像素电极 23 与辅助电容总线 Cs_{XH1} 之间形成。子像素 SP_{22} 的辅助电容 25 在子像素电极 26 与辅助电容总线 Cs_{XL2} 之间形成。

[0087] 并且,子像素 SP_{21} 和子像素 SP_{22} 均以被夹在辅助电容总线 Cs_{XH1} 与辅助电容总线 Cs_{XL2} 之间的方式相邻。而且,子像素 SP_{11} 与辅助电容总线 Cs_{XH1} 靠近地配置,另一方面,子像素 SP_{12} 与辅助电容总线 Cs_{XL2} 靠近地配置。

[0088] 辅助电容总线 Cs_{XH1} 和 Cs_{XL2} 、与辅助电容总线 Cs_{XH1} 靠近的辅助电容总线 Cs_{XL1} 、以及辅助电容总线 Cs_{XL2} 靠近的辅助电容总线 Cs_{XH2} 配置成与源极总线 S_1 平行。

[0089] 另一方面,辅助电容总线 Cs_{YH1} 、 Cs_{YH2} 、 Cs_{YH3} (第 1 辅助电容总线)和辅助电容总线 Cs_{YL1} 、 Cs_{YL2} 、 Cs_{YL3} (第 2 辅助电容总线)配置成与栅极总线 G_1 、 G_2 以及 G_3 平行。栅极总线 G_1 、 G_2 以及 G_3 配置成彼此平行。

[0090] 而且,栅极总线 G_1 、 G_2 以及 G_3 沿着子像素 SP_{11} 和子像素 SP_{12} 相邻的方向、以及子像素 SP_{21} 和子像素 SP_{22} 相邻的方向延伸。同样,辅助电容总线 Cs_{YH1} 、 Cs_{YH2} 、 Cs_{YH3} 、 Cs_{YL1} 、 Cs_{YL2} 、 Cs_{YL3} 也沿着子像素 SP_{11} 和子像素 SP_{12} 相邻的方向、以及子像素 SP_{21} 和子像素 SP_{22} 相邻的方向延伸。

[0091] 并且,这些辅助电容总线 Cs_{YL1} 、 Cs_{YH1} 、 Cs_{YL2} 、 Cs_{YH2} 、 Cs_{YL3} 以及 Cs_{YH3} 各自的两端连接到图 3 所示的两个 Cs 干配线组 BB_1 、 BB_2 各自的 Cs 干配线 bb 。

[0092] 并且,辅助电容总线 Cs_{XL1} 与辅助电容总线 Cs_{YL1} 、 Cs_{YL2} 以及 Cs_{YL3} 各自连接。辅助电容总线 Cs_{XH1} 与辅助电容总线 Cs_{YH1} 、 Cs_{YH2} 以及 Cs_{YH3} 各自连接。辅助电容总线 Cs_{XL2} 与辅助电容总线 Cs_{YL1} 、 Cs_{YL2} 以及 Cs_{YL3} 各自连接。辅助电容总线 Cs_{XH2} 与辅助电容总线 Cs_{YH1} 、 Cs_{YH2} 以及 Cs_{YH3} 各自连接。

[0093] 这样,这些辅助电容总线连接,由此对辅助电容总线 Cs_{XL1} 、 Cs_{XL2} 、 Cs_{YL1} 、 Cs_{YL2} 以及

Cs_{YL3} 各自施加相同的辅助电容电压 Vcs 。另外,对辅助电容总线 Cs_{XH1} 、 Cs_{XH2} 、 Cs_{YH1} 、 Cs_{YH2} 以及 Cs_{YH3} 各自也施加相同的辅助电容电压 Vcs 。即,这些辅助电容总线构成为:在有源区 AA 上配置成网格状。

[0094] 接着,对为了进行这样的辅助电容总线的配置构成而需要的辅助电容总线的连接结构进行说明。图 2 是从 I-I 方向观看图 1 的 A 部的截面图。下面使用图 1 和图 2 进行说明。

[0095] 在图 1 中,一般辅助电容总线 Cs_{XL1} 、 Cs_{XL2} 、 Cs_{YL1} 、 Cs_{YL2} 、 Cs_{YL3} 、 Cs_{XH1} 、 Cs_{XH2} 、 Cs_{YH1} 、 Cs_{YH2} 以及 Cs_{YH3} 和栅极总线 G_1 、 G_2 以及 G_3 来源于相同的配线层。

[0096] 因此,例如在图 1 的 A 部,在辅助电容总线 Cs_{YH3} 与 Cs_{XH1} 之间存在与两者来源于相同的配线层的栅极总线 G_3 ,所以不能如以往那样简单地连接。

[0097] 因此,在本实施方式中,在图 1 的 A 部,使用与栅极总线 G_3 、辅助电容总线 Cs_{XH1} 和 Cs_{YH3} 不同的配线层实现辅助电容总线 Cs_{XH1} 与 Cs_{YH3} 之间的连接。

[0098] 即,在图 1 的 A 部,如图 2 所示,在基板 101 上配置有辅助电容总线 Cs_{YL3} 、 Cs_{XH1} 、 Cs_{YH3} 和栅极总线 G_3 。并且,在这些辅助电容总线 Cs_{YL3} 、 Cs_{XH1} 、 Cs_{YH3} 和栅极总线 G_3 的上部配置有层间绝缘膜 102 和保护膜 103。

[0099] 在辅助电容总线 Cs_{XH1} 上的层间绝缘膜 102 和保护膜 103 中设有开口部。同样,在辅助电容总线 Cs_{YH3} 上的层间绝缘膜 102 和保护膜 103 中也设有开口部。

[0100] 并且,能将辅助电容总线 Cs_{XH1} 和 Cs_{YH3} 不同的配线层(连接配线部)104 通过这些开口部电连接到辅助电容总线 Cs_{XH1} 和 Cs_{YH3} 两者。

[0101] 这样,尽管栅极总线 G_3 配置于辅助电容总线 Cs_{XH1} 与 Cs_{YH3} 之间,也能使辅助电容总线 Cs_{XH1} 与 Cs_{YH3} 之间以越过栅极总线 G_3 的方式进行连接。

[0102] 此外,在上述中,以图 1 的 A 部的辅助电容总线 Cs_{XH1} 与 Cs_{YH3} 之间的连接结构为例进行了说明,但是这样的连接结构在图 1 中的其它部分也同样能实现。即,也同样能实现:以越过栅极总线 G_1 的方式连接的辅助电容总线 Cs_{YL1} 与 Cs_{XL1} 之间的连接结构、以越过栅极总线 G_2 的方式连接的辅助电容总线 Cs_{YL2} 与 Cs_{XL1} 之间的连接结构、以越过栅极总线 G_3 的方式连接的辅助电容总线 Cs_{YL3} 与 Cs_{XL1} 之间的连接结构、以越过栅极总线 G_1 的方式连接的辅助电容总线 Cs_{YH1} 与 Cs_{XH1} 之间的连接结构、以越过栅极总线 G_2 的方式连接的辅助电容总线 Cs_{YH2} 与 Cs_{XH1} 之间的连接结构、以越过栅极总线 G_1 的方式连接的辅助电容总线 Cs_{YL1} 与 Cs_{XL2} 之间的连接结构、以越过栅极总线 G_2 的方式连接的辅助电容总线 Cs_{YL2} 与 Cs_{XL2} 之间的连接结构、以越过栅极总线 G_3 的方式连接的辅助电容总线 Cs_{YL3} 与 Cs_{XL2} 之间的连接结构、以越过栅极总线 G_1 的方式连接的辅助电容总线 Cs_{YH1} 与 Cs_{XH2} 之间的连接结构、以越过栅极总线 G_2 的方式连接的辅助电容总线 Cs_{YH2} 与 Cs_{XH2} 之间的连接结构、以及以越过栅极总线 G_3 的方式连接的辅助电容总线 Cs_{YH3} 与 Cs_{XH2} 之间的连接结构。

[0103] 如上所述,在本发明的实施方式 1 中的液晶显示装置 1 中,配置成在栅极总线间使两条辅助电容总线彼此相对,使一方辅助电容总线与一方栅极总线靠近地配置,使另一方辅助电容总线与另一方栅极总线靠近地配置。

[0104] 两条辅助电容总线各自与沿着各自对应的子像素的边缘配置的辅助电容总线连接。

[0105] 并且,沿着子像素的边缘配置的辅助电容总线与越过相对的栅极配线的在前的相

同电位的辅助电容总线连接。

[0106] 因此,能将彼此不同的两个电位的辅助电容总线配置成网格状。而且,将构成一个像素的两个子像素的各子像素电极设成由隔着源极总线对称的 TFT 驱动的两个子像素电极,由此防止形成无用电容。

[0107] 在此,在本实施方式中的液晶显示装置 1 中,在与栅极配线垂直的方向连接与栅极总线平行、由与该栅极总线相同的配线层(栅极层)形成的辅助电容总线和相邻的相同电位的辅助电容总线。

[0108] 这样的连接结构是通过作为在层间绝缘膜和保护膜中开设的开口部的接触孔并使用层间绝缘膜和保护膜上的配线层而进行的。

[0109] 因此,根据本实施方式中的液晶显示装置 1,设成隔着源极总线分割像素电极的子像素结构、即由相同的 TFT(包含在实质上相同的定时被驱动的两个以上的 TFT)驱动的结构,且能使各个子像素电极在不同电位的辅助电容总线之间形成电容。因此,根据本实施方式中的液晶显示装置 1,能进行使像素电极的电位略微不同的电容分割方式的视野角控制。

[0110] 另外,因为形成一个像素区域内的均匀的辅助电容总线的电阻分布、以及使用该辅助电容总线形成像素-辅助电容总线间的电容,所以不必像以往所需的那样,除了按不同电位将辅助电容总线分割成多个组以外,还要将相同电位内的辅助电容总线分割成多个组。

[0111] 其结果是,在像素区域外部,能将以往所需的分割组数的 Cs 干配线组 BB1、BB2 设成最少 2 个或者 0 个,能削减像素区域外部的空间。

[0112] (实施方式 2)

[0113] 接着,对本发明的实施方式 2 进行说明。

[0114] 图 4 是示出配置于本发明的实施方式 2 中的液晶显示装置的有源区上的多个像素的配置构成的电路图。

[0115] 在上述实施方式 1 中,与各子像素电极 13、16、23、26 靠近地配置的辅助电容总线 Cs_{XH1} (第 1 分支线部分)、 Cs_{XL2} (第 1 分支线部分)均仅与各子像素电极 13、16、23、26 的一边靠近。

[0116] 与此相对,在本发明的实施方式 2 中的液晶显示装置中,辅助电容总线与具有矩形形状的各子像素电极的两侧、即两个边(第 1 边、第 2 边)靠近地配置。由此,各子像素电极的辅助电容增大,能实现子像素的电位的稳定化。

[0117] 如图 4 所示,在本实施方式中的液晶显示装置中,新增加了两条辅助电容总线 $Cs_{XH1}B_1$ (第 2 分支线部分)和 $Cs_{XL2}B_1$ (第 2 分支线部分)。

[0118] 因此,相对于上述实施方式 1,在子像素电极 23 与辅助电容总线 $Cs_{XH1}B_1$ 之间新形成有子像素 SP_{21} 的辅助电容 27。

[0119] 另外,相对于上述实施方式 1,在子像素电极 26 与辅助电容总线 $Cs_{XL2}B_1$ 之间形成有子像素 SP_{22} 的辅助电容 28。

[0120] (实施方式 3)

[0121] 接着,对本发明的实施方式 3 进行说明。

[0122] 图 5 是示出配置于本发明的实施方式 3 中的液晶显示装置的有源区上的多个像素的配置构成的电路图。

[0123] 在本发明的实施方式 3 中的液晶显示装置中,辅助电容总线以包围具有矩形形状的各子像素电极的方式与各子像素电极的三个边(第 1 边、第 2 边、第 3 边)靠近地配置。由此,各子像素电极的辅助电容更加增大,能使子像素的电位更加稳定化。

[0124] 如图 5 所示,在本实施方式中的液晶显示装置中,新增加了两条辅助电容总线 $C_{s_{XH1}B_2}$ (第 3 分支线部分)和 $C_{s_{XL2}B_2}$ (第 3 分支线部分)。

[0125] 因此,相对于上述实施方式 2,在子像素电极 23 与辅助电容总线 $C_{s_{XH1}B_2}$ 之间新形成有子像素 SP_{21} 的辅助电容 29。

[0126] 另外,相对于上述实施方式 2,在子像素电极 26 与辅助电容总线 $C_{s_{XL2}B_2}$ 之间新形成有子像素 SP_{22} 的辅助电容 30。

[0127] (实施方式 4)

[0128] 接着,对本发明的实施方式 4 进行说明。

[0129] 图 6 是配置于本发明的实施方式 4 中的液晶显示装置的有源区上的多个像素的配置构成的电路图。

[0130] 在上述实施方式 1 ~ 3 中,构成各像素的两个子像素的各子像素电极是隔着相同的源极总线而相对配置的。

[0131] 与此相对,在本发明的实施方式 4 中的液晶显示装置中,构成各像素的两个子像素的各子像素电极配置成被两条源极总线夹着。

[0132] 如图 6 所示,像素 P_2 包括子像素 SP_{21} 和子像素 SP_{22} 。并且,子像素 SP_{21} 具有 TFT21a、辅助电容 22a、以及子像素电极 23a。同样,子像素 SP_{22} 具有 TFT24a、辅助电容 25a、以及子像素电极 26a。

[0133] 子像素 SP_{21} 的 TFT21a 的栅极电极连接到栅极总线 G_3 ,其源极电极连接到源极总线 S_1 。同样,子像素 SP_{22} 的 TFT24a 的栅极电极连接到栅极总线 G_3 ,其源极电极连接到源极总线 S_1 。

[0134] 子像素 SP_{21} 的辅助电容 22a 在子像素电极 23a 与辅助电容总线 $C_{s_{XH1}}$ 之间形成。子像素 SP_{22} 的辅助电容 25a 在子像素电极 26a 与辅助电容总线 $C_{s_{XL2}}$ 之间形成。

[0135] 并且,子像素 SP_{21} 与辅助电容总线 $C_{s_{XH1}}$ 靠近地配置。子像素 SP_{22} 与辅助电容总线 $C_{s_{XL2}}$ 靠近地配置。

[0136] 在本实施方式中,由支配性占有长边的各边(左右)的两个子像素 SP_{21} 和 SP_{22} 对像素 P_2 具有的一个矩形的像素区域进行分离。各子像素 SP_{21} 和 SP_{22} 连接到由相同的栅极总线 G_3 和源极总线 S_1 驱动的两个 TFT21a 和 24a。此外,这两个 TFT21a 和 24a 的尺寸可以不同。

[0137] 两条辅助电容总线 $C_{s_{XH1}}$ 和辅助电容总线 $C_{s_{XL2}}$ 分别与一方子像素 SP_{21} 和 SP_{22} 之间形成辅助电容。

[0138] 此外,图 6 的子像素电极 23a 和子像素电极 26a 可以用例如具有图 7 所示的形状的子像素电极 23b 和子像素电极 26b 置换。

[0139] (实施方式 5)

[0140] 接着,对本发明的实施方式 5 进行说明。

[0141] 图 8 是示出配置于本发明的实施方式 5 中的液晶显示装置的有源区上的多个像素的配置构成的电路图。

[0142] 如图 8 所示,在本实施方式中的液晶显示装置中,为了形成各子像素的辅助电容而配置有辅助电容总线 Cs_{XH11} 、 Cs_{XH12} 、 Cs_{XL11} 、 Cs_{XH21} 、 Cs_{XL21} 、 Cs_{XL22} 、 Cs_{XH31} 、 Cs_{XH32} 、 Cs_{XL31} 、 Cs_{XH41} 、 Cs_{XL41} 、 Cs_{XL42} 。

[0143] 上述实施方式 1 ~ 4 中的液晶显示装置采用使用于个人电脑等的显示器的条状排列。

[0144] 与此相对,本实施方式中的液晶显示装置采用使用于视频显示的三角形排列。

[0145] 三角形排列是按栅极总线(扫描线)使像素各错开 1/2 间距的排列。并且,像素和辅助电容总线等的配置除了错开上述间距以外,基本上与条状排列相同。

[0146] 一般在三角形排列中,因为源极总线沿着像素电极的边缘延伸、伸长,所以具有配线长度相对于条状排列变长的缺点。

[0147] 但是,在本实施方式中,因为设为隔着源极总线具有两个子像素的结构,所以具有不必使数据配线弯折就能形成有效布局的优点。

[0148] 另外,三角形排列一般与条状排列相比能得到较大的开口率,非常有利于视频显示。

[0149] 此外,在上述实施方式 1 ~ 5 中,也能按照如下方式进行辅助电容总线的连接。

[0150] 即,在位于 TFT 基板上的辅助电容总线的一部分(例如、顶端部)设置接触孔,设置具有导电性的柱间隔物(PS),由此与相对基板之间取得导通。

[0151] 此时,

[0152] (1) 在相对基板的透明电极中设置切口,使得上述连接部分独立。

[0153] (2) 在相对基板的透明电极上设置增加的绝缘膜后形成用于取得辅助电容总线间的导通的配线,以取得用于上述连接的柱间隔物间的导通。

[0154] 本发明并不限于上述的各实施方式,能在权利要求所示的范围内进行各种变更,适当组合在不同实施方式中分别公开的技术方案而得到的实施方式也包含于本发明的技术范围内。

[0155] 本发明中的 TFT 基板是包括第 1 子像素和与该第 1 子像素相邻的第 2 子像素的多个像素排列成矩阵状的有源矩阵型的 TFT 基板,上述 TFT 基板具备:第 1 栅极总线和第 2 栅极总线,其沿着上述第 1 子像素和上述第 2 子像素相邻的相邻方向延伸;第 1 辅助电容总线和第 2 辅助电容总线,来源于与上述第 1 栅极总线和第 2 栅极总线相同的配线层且沿着上述相邻方向延伸;第 3 辅助电容总线,其来源于与上述第 1 栅极总线和第 2 栅极总线相同的配线层且与上述第 1 子像素靠近,与上述第 1 子像素的子像素电极之间形成上述第 1 子像素的辅助电容;以及第 4 辅助电容总线,其来源于与上述第 1 栅极总线和第 2 栅极总线相同的配线层且与上述第 2 子像素靠近,在与上述第 2 子像素的子像素电极之间形成上述第 2 子像素的辅助电容,上述第 1 辅助电容总线和上述第 1 子像素以隔着上述第 1 栅极总线的方式配置,上述第 2 辅助电容总线和上述第 2 子像素以隔着上述第 2 栅极总线的方式配置,上述第 1 辅助电容总线和上述第 2 辅助电容总线被施加彼此不同的电压,上述 TFT 基板还具备:第 1 连接配线部,其将上述第 1 辅助电容总线与上述第 3 辅助电容总线之间连接,来源于与上述第 1 栅极总线和第 2 栅极总线不同的配线层;以及第 2 连接配线部,其将上述第 2 辅助电容总线与上述第 4 辅助电容总线之间连接,来源于与上述第 1 栅极总线和第 2 栅极总线不同的配线层。

[0156] 在上述 TFT 基板中,第 1 子像素在与靠近自身的第 3 辅助电容总线之间形成辅助电容。并且,第 3 辅助电容总线通过来源于与第 1 栅极总线和第 2 栅极总线不同的配线层的第 1 连接配线部与第 1 辅助电容总线连接。

[0157] 另外,第 2 子像素在与靠近自身的第 4 辅助电容总线之间形成辅助电容。并且,第 4 辅助电容总线通过来源于与第 1 栅极总线和第 2 栅极总线不同的配线层的第 2 连接配线部与第 2 辅助电容总线连接。

[0158] 因此,能在 TFT 基板上将第 1 辅助电容总线和第 3 辅助电容总线形成为网格状。另外,能在 TFT 基板上将第 2 辅助电容总线和第 4 辅助电容总线形成为网格状。

[0159] 因此,能使用第 1 辅助电容总线和第 3 辅助电容总线对 TFT 基板上的各像素均匀地提供相同的辅助电容电压,另外,能使用第 2 辅助电容总线和第 4 辅助电容总线,对 TFT 基板上的各像素均匀地提供与施加于第 1 辅助电容总线的辅助电容电压不同的相同辅助电容电压。由此,能精度良好地保持使用两个不同电压的多图像驱动中的各像素的像素电位。

[0160] 优选上述第 1 连接配线部来源于与上述第 1 子像素的子像素电极相同的配线层,上述第 2 连接配线部来源于与上述第 2 子像素的子像素电极相同的配线层。

[0161] 在该情况下,因为能简化构成 TFT 基板的配线结构,所以能减少 TFT 基板的制造成本。

[0162] 优选具有矩形形状的上述第 1 子像素具有沿着上述第 3 辅助电容总线的第 1 边和位于与该第 1 边相反的一侧的第 2 边,上述第 3 辅助电容总线包含与上述第 1 子像素的第 1 边靠近的第 1 分支线部分和与上述第 1 子像素的第 2 边靠近的第 2 分支线部分。

[0163] 在该情况下,因为能按各子像素形成使用第 1 分支线部分的辅助电容和使用第 2 分支线部分的辅助电容,所以能更加精度良好地保持包括这些子像素的各像素的像素电位。

[0164] 优选上述第 1 子像素还具有配置于上述第 1 边与上述第 2 边之间的上述第 1 栅极总线侧的第 3 边,上述第 3 辅助电容总线还包含与上述第 1 子像素的第 3 边靠近的第 3 分支线部分。

[0165] 在该情况下,因为能按各子像素形成三个辅助电容,即,使用第 1 分支线部分的辅助电容、使用第 2 分支线部分的辅助电容以及使用第 3 分支线部分的辅助电容,所以能更加精度良好地保持包括这些子像素的各像素的像素电位。

[0166] 优选还具备与上述第 1 栅极总线和第 2 栅极总线交叉的源极总线,上述第 1 子像素和上述第 2 子像素配置成隔着上述源极总线而相对。

[0167] 在该情况下,能将第 1 子像素和第 2 子像素配置成隔着源极总线而相对、即隔着源极总线呈大致点对称。另外,能将包括第 1 子像素和第 2 子像素的两个像素彼此配置成以隔着第 3 辅助电容总线或者第 4 辅助电容总线的方式相对。因此,能有效地排列多个像素,减少多个像素所占的面积。

[0168] 优选上述第 1 连接配线部来源于与上述第 1 子像素的子像素电极相同的配线层和与上述源极总线相同的配线层,上述第 2 连接配线部来源于与上述第 2 子像素的子像素电极相同的配线层和与上述源极总线相同的配线层。

[0169] 在该情况下,因为能简化构成 TFT 基板的配线结构,所以能减少 TFT 基板的制造成

本。

[0170] 优选还具备与上述第 1 栅极总线和第 2 栅极总线交叉的两条源极总线,上述第 1 子像素和上述第 2 子像素配置于相邻的上述两条源极总线间且与相邻的上述两条源极总线中的任一方连接。

[0171] 在该情况下,因为能简化构成 TFT 基板的配线结构,所以能减少 TFT 基板的制造成本。

[0172] 优选上述多个像素的排列是条状排列。

[0173] 在该情况下,能提高使用多个像素显示的字符的视觉识别性。

[0174] 优选上述多个像素的排列是三角形排列。

[0175] 在该情况下,能提高各像素的开口率(光透射率,有效利用率)。

[0176] 本发明中的液晶显示装置具备:上述 TFT 基板;以及控制电路,其用于控制图像显示处理,该图像显示处理用于使用上述 TFT 基板显示图像。

[0177] 在上述液晶显示装置中,第 1 子像素在与靠近自身的第 2 辅助电容总线之间形成辅助电容。并且,第 2 辅助电容总线通过来源于与栅极总线不同的配线层的连接配线部与第 1 辅助电容总线连接。

[0178] 因此,能在 TFT 基板上将第 1 辅助电容总线和第 2 辅助电容总线形成为网格状。因此,能使用这些第 1 辅助电容总线和第 2 辅助电容总线对 TFT 基板上的各像素均匀地提供相同的辅助电容电压,所以能精度良好地保持各像素的像素电位。

[0179] 工业上的可利用性

[0180] 本发明能应用于例如个人电脑的监视器、电视接收机等各种显示装置。

[0181] 附图标记说明

[0182] 1 液晶显示装置

[0183] 2 显示部(TFT 基板)

[0184] 3 源极驱动器

[0185] 4 栅极驱动器

[0186] 5 显示控制电路

[0187] 6、7Cs 控制电路

[0188] 11、14、21、21a、24、24a、51、61TFT(薄膜晶体管)

[0189] 12、15、22、22a、25、25a、27、28、29、30、52、62 辅助电容

[0190] 13、16、23、23a、23b、26、26a、26b、53、63 子像素电极

[0191] 101 基板

[0192] 102 层间绝缘膜

[0193] 103 保护膜

[0194] 104 配线层(第 1 连接配线部、第 2 连接配线部)

[0195] CS_{YH1} 、 CS_{YH2} 、 CS_{YH3} 辅助电容总线(第 1 辅助电容总线)

[0196] CS_{YL1} 、 CS_{YL2} 、 CS_{YL3} 辅助电容总线(第 2 辅助电容总线)

[0197] CS_{XH1} 、 CS_{XH2} 辅助电容总线(第 3 辅助电容总线)

[0198] CS_{XL1} 、 CS_{XL2} 辅助电容总线(第 4 辅助电容总线)

[0199] S_1 源极总线

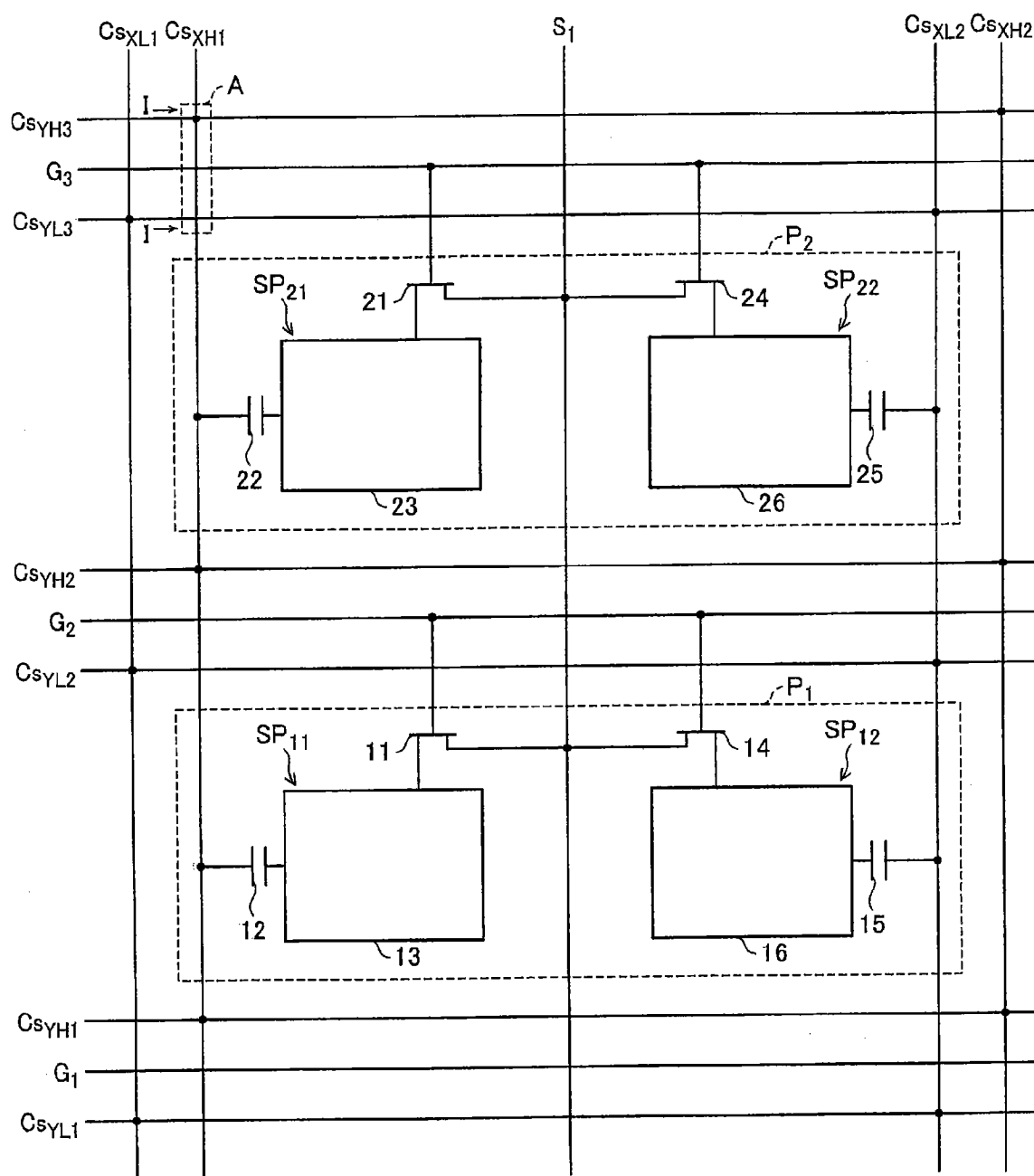


图 1

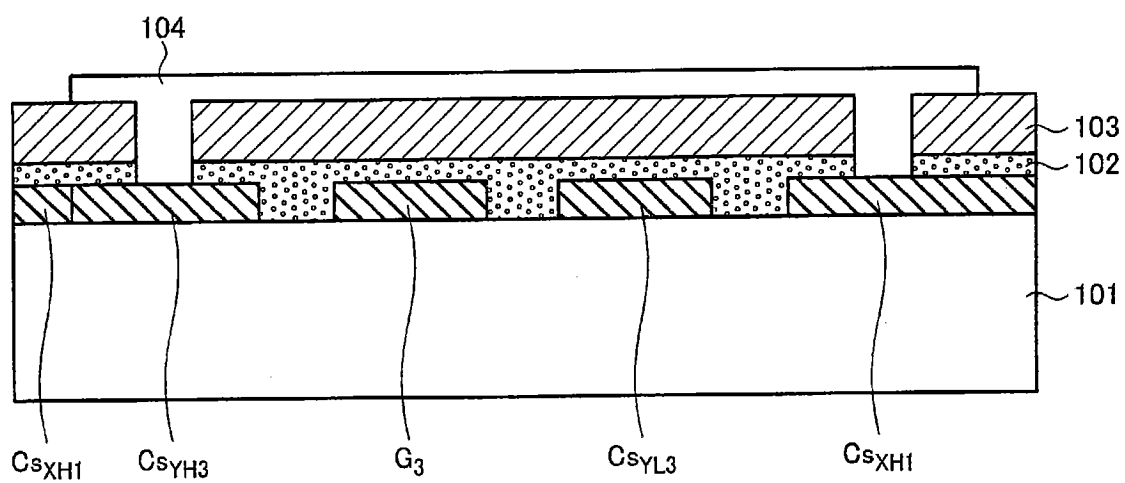


图 2

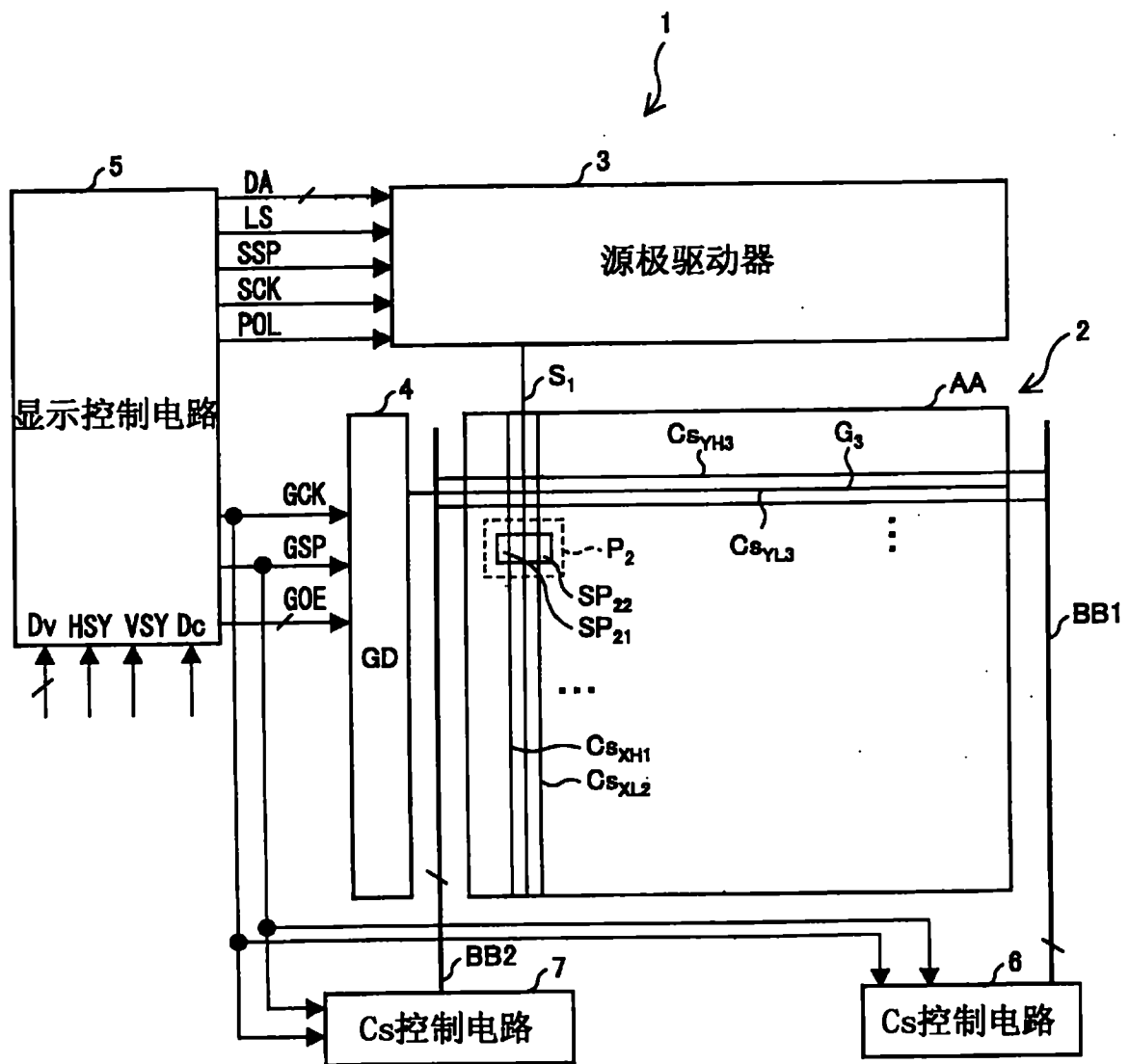


图 3

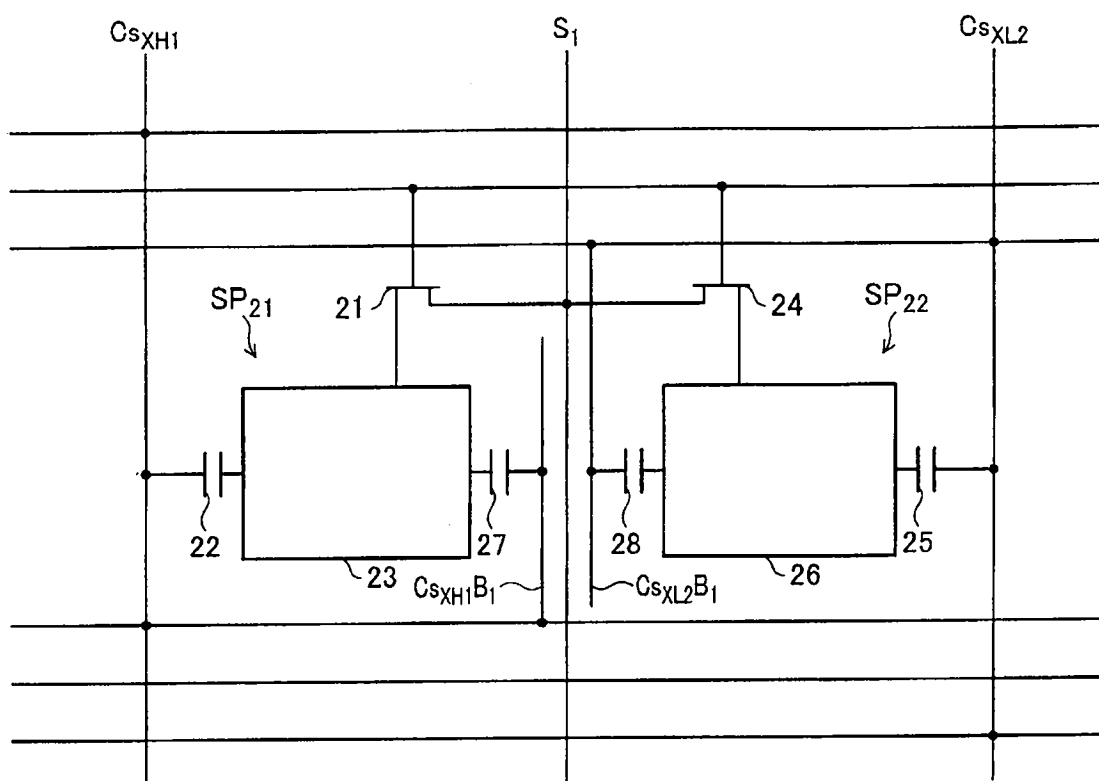


图 4

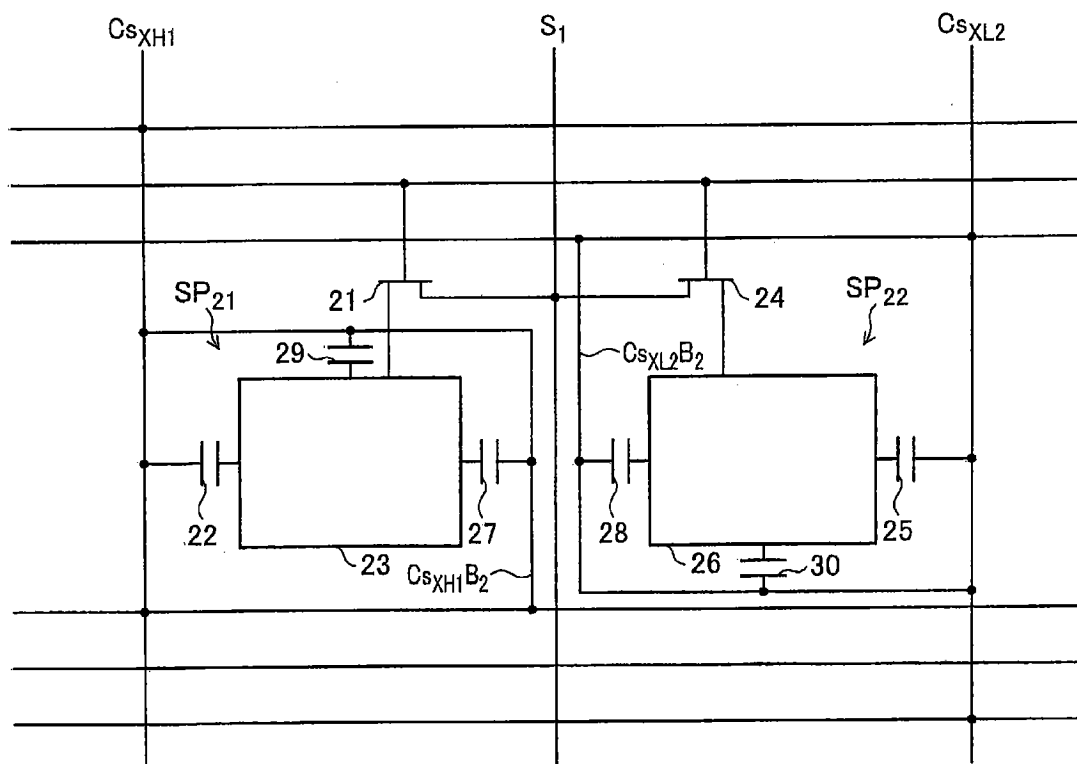


图 5

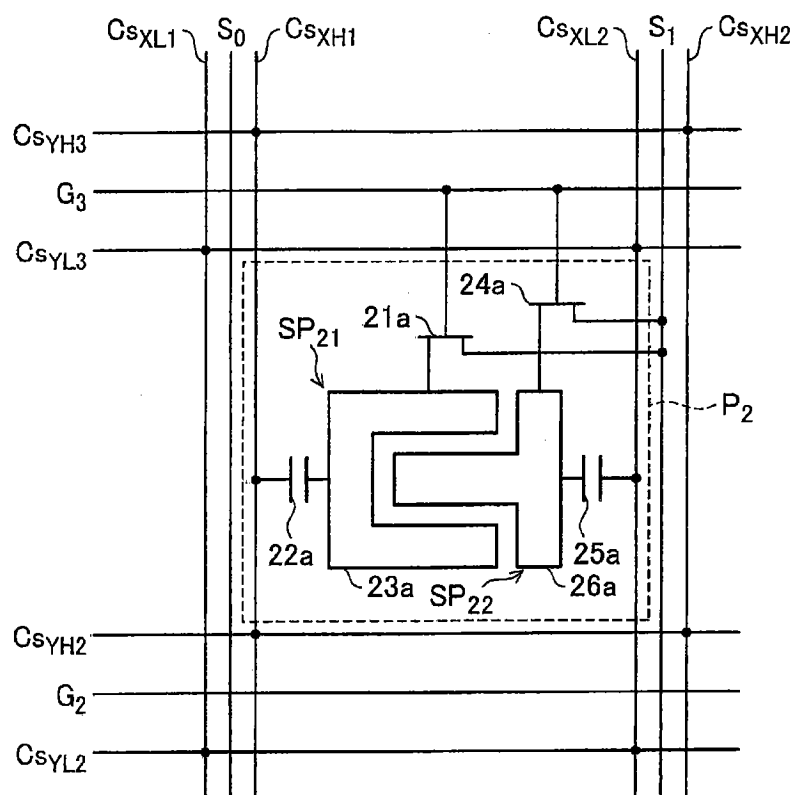


图 6

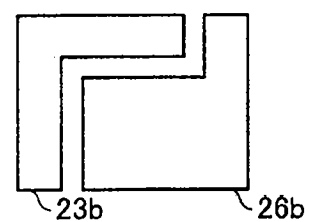


图 7

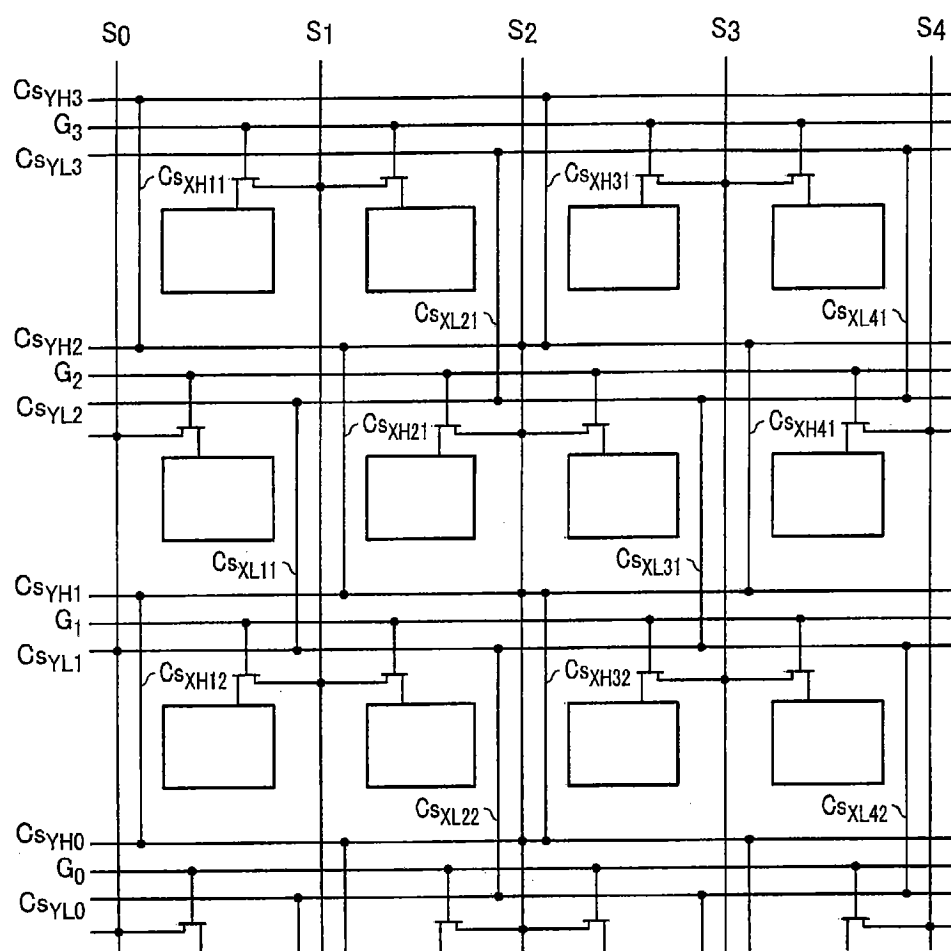


图 8

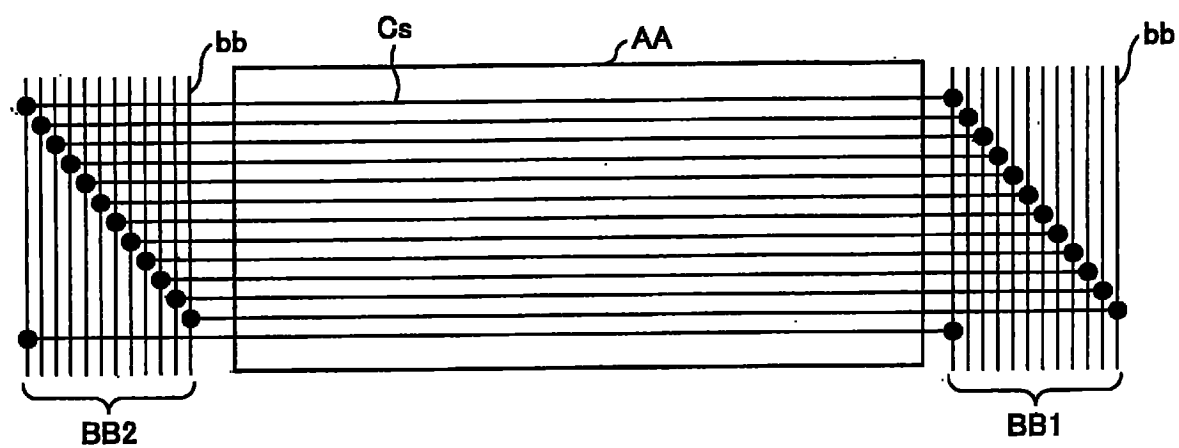


图 10

专利名称(译)	TFT基板和使用该TFT基板的液晶显示装置		
公开(公告)号	CN102356352A	公开(公告)日	2012-02-15
申请号	CN200980158201.1	申请日	2009-11-05
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	星野淳之		
发明人	星野淳之		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/136213 G02F1/134336 G02F1/13624 G02F2001/134345 G09G3/3655 G09G2300/0443 G09G2300/0447 G09G2320/028		
优先权	2009072239 2009-03-24 JP		
外部链接	Espacenet SIPO		

摘要(译)

提供能精度良好地保持排列于TFT基板上的多个像素的像素电位的TFT基板。本发明的TFT基板具备：栅极总线(G2、G3)；辅助电容总线(CsYH3、CsYL2)，其来源于与栅极总线(G2、G3)相同的配线层；辅助电容总线(CsXH1)，其来源于与栅极总线(G2、G3)相同的配线层，形成第1子像素(SP21)的辅助电容(22)；以及辅助电容总线(CsXL2)，其来源于与栅极总线(G2、G3)相同的配线层，形成第2子像素(SP22)的辅助电容(25)。辅助电容总线(CsYH3)和辅助电容总线(CsXH1)、以及辅助电容总线(CsYL2)和辅助电容总线(CsXL2)分别通过来源于与栅极总线(G2、G3)不同的配线层的连接配线部连接。

