

1. 一种具有像素电路的显示装置,所述像素电路包括:

像素电极;

电容元件,被配置为连接至液晶电容的所述像素电极,并保持反映灰阶的信号电位;以及

反相电路,被配置为反转从所述电容元件读出的保持电位的极性,

其中,

在从所述电容元件读出所述保持电位之后反转所述保持电位的极性并将反转电位再次写入所述电容元件的操作中,所述反相电路的输入电位被设定为所述反相电路的工作电源电压范围中的中间电位。

2. 根据权利要求 1 所述的显示装置,包括:

像素阵列单元和驱动器,

所述像素阵列单元被配置为通过设置像素而获得,每个像素包括:

第一开关元件,具有连接至信号线的一端,并且在将经由所述信号线施加的且反映灰阶的所述信号电位写入所述电容元件的第一操作模式中,被设定为接通状态,在从所述电容元件读出所述保持电位之后反转所述保持电位的极性并将所述反转电位再次写入所述电容元件的第二操作模式中,所述第一开关元件被设定为断开状态,

第二开关元件,具有连接至所述第一开关元件的另一端的一端,并具有连接至所述电容元件的一个电极和所述像素电极的另一端,在所述第二操作模式中的从所述电容元件读出所述保持电位的读取时段和将所述反转电位再次写入所述电容元件的重写时段中以及所述第一操作模式中,所述第二开关元件被设定为接通状态,

第三开关元件,具有连接至所述第一开关元件的另一端的一端,并在所述第一操作模式中被设定为断开状态,所述第三开关元件在所述第二操作模式中的所述读取时段中被设定为接通状态,并经由所述第二开关元件从所述电容元件读出所述保持电位,

反相电路,具有连接至所述第二开关元件的另一端的输入端,并在所述第二操作模式中的所述读取时段中,反转经由所述第二开关元件和所述第三开关元件从所述电容元件读出的所述保持电位的极性,以及

第四开关元件,具有连接至所述第一开关元件的另一端的一端,并具有连接至所述反相电路的输出端的另一端,所述第四开关元件在所述第一操作模式中被设定为断开状态,所述第四开关元件在所述第二操作模式中的所述重写时段中被设定为接通状态,并经由所述第二开关元件将通过所述反相电路的极性反转而获得的所述反转电位写入所述电容元件;以及

所述驱动器被配置为对于所述像素执行驱动,以在所述第二操作模式中的所述读取时段开始之前,将所述反相电路的所述输入电位设定为所述反相电路的所述工作电源电压范围中的所述中间电位。

3. 根据权利要求 2 所述的显示装置,其中,

在所述第二操作模式中的所述读取时段开始之前,所述驱动器将所述第一开关元件和所述第三开关元件设定为接通状态,并经由所述第一开关元件和所述第三开关元件将所述中间电位从所述信号线施加至所述反相电路的输入端。

4. 根据权利要求 2 所述的显示装置,其中,

在所述第二操作模式中的所述读取时段开始之前,所述驱动器将所述第三开关元件和所述第四开关元件设定为接通状态,并经由所述第三开关元件和所述第四开关元件将所述反相电路的输入端和输出端电连接。

5. 根据权利要求 1 所述的显示装置,其中,

所述反相电路由 CMOS 反相器形成,以及

以相对于所述电容元件的电容比为 1:10 的方式,基于所述 CMOS 反相器的 PchMOS 晶体管和 NchMOS 晶体管的沟道长度和沟道宽度来设定所述反相电路的输入电容。

6. 根据权利要求 1 所述的显示装置,其中,

为每个像素逐个设置所述反相电路。

7. 根据权利要求 1 所述的显示装置,其中,

为多个像素公共地设置所述反相电路。

8. 一种包括具有像素电路的显示装置的电子设备,所述像素电路包括:

像素电极;

电容元件,被配置为连接至所述像素电极,并保持反映灰阶的信号电位;以及

反相电路,被配置为反转从所述电容元件读出的保持电位的极性,

其中,

在从所述电容元件读出所述保持电位之后反转所述保持电位的极性并将反转电位再次写入所述电容元件的操作中,所述反相电路的输入电位被设定为所述反相电路的工作电源电压范围中的中间电位。

9. 一种具有像素电路的显示装置,所述像素电路包括:

像素电极;

电容元件,被配置为连接至所述像素电极,并保持反映灰阶的信号电位;以及

反相电路,被配置为反转从所述电容元件读出的保持电位的极性,

其中,

所述像素电路执行在从所述电容元件读出所述保持电位之后反转所述保持电位的极性并将反转电位再次写入所述电容元件的操作,并且执行驱动,以在所述操作后的一段时间将电源电位从信号线施加至所述反相电路的输入端。

10. 根据权利要求 9 所述的显示装置,包括:

像素阵列单元和驱动器,

所述像素阵列单元被配置为通过设置像素而获得,每个像素包括:

第一开关元件,具有连接至所述信号线的一端,并且在将经由所述信号线施加的且反映灰阶的所述信号电位写入所述电容元件的第一操作模式中,被设定为接通状态,在从所述电容元件读出所述保持电位之后反转所述保持电位的极性并将所述反转电位再次写入所述电容元件的第二操作模式中,所述第一开关元件被设定为断开状态,

第二开关元件,具有连接至所述第一开关元件的另一端的一端,并具有连接至所述电容元件的一个电极和所述像素电极的另一端,在所述第二操作模式中的从所述电容元件读出所述保持电位的读取时段和将所述反转电位再次写入所述电容元件的重写时段中以及所述第一操作模式中,所述第二开关元件被设定为接通状态,

第三开关元件,具有连接至所述第一开关元件的另一端的一端,并在所述第一操作模

式中被设定为断开状态,所述第三开关元件在所述第二操作模式中的所述读取时段中被设定为接通状态,并经由所述第二开关元件从所述电容元件读出所述保持电位,

反相电路,具有连接至所述第三开关元件的另一端的输入端,并在所述第二操作模式中的所述读取时段中,反转经由所述第二开关元件和所述第三开关元件从所述电容元件读出的所述保持电位的极性,以及

第四开关元件,具有连接至所述第一开关元件的另一端的一端,并具有连接至所述反相电路的输出端的另一端,所述第四开关元件在所述第一操作模式中被设定为断开状态,所述第四开关元件在所述第二操作模式中的所述重写时段中被设定为接通状态,并经由所述第二开关元件将通过所述反相电路的极性反转而获得的所述反转电位写入所述电容元件;以及

所述驱动器被配置为对于所述像素执行驱动,以在通过所述第四开关元件写入所述反转电位之后的一段时间,经由所述第一开关元件和所述第三开关元件将所述电源电位从所述信号线施加至所述反相电路的输入端。

11. 根据权利要求 9 所述的显示装置,其中,

所述反相电路由 CMOS 反相器形成。

12. 根据权利要求 10 所述的显示装置,其中,

所述第三开关元件由 MOS 晶体管形成,并且在从导通状态切换至非导通状态时归因于由于在所述第三开关元件的栅极和源极之间存在寄生电容而引起的耦合,而降低所述反相电路的输入电位。

13. 根据权利要求 9 所述的显示装置,其中,

为每个像素逐个设置所述反相电路。

14. 根据权利要求 9 所述的显示装置,其中,

为多个像素公共地设置所述反相电路。

15. 一种显示装置,包括:

像素阵列单元和驱动器,

所述像素阵列单元被配置为通过设置像素而获得,每个像素包括:

像素电极,

电容元件,具有连接至所述像素电极的一个电极,

第一开关元件,具有连接至信号线的一端,并且在将经由所述信号线施加的且反映灰阶的信号电位写入所述电容元件的第一操作模式中,被设定为接通状态,在从所述电容元件读出保持电位之后反转所述保持电位的极性并将反转电位再次写入所述电容元件的第二操作模式中,所述第一开关元件被设定为断开状态,

第二开关元件,具有连接至所述第一开关元件的另一端的一端,并具有连接至所述电容元件的一个电极和所述像素电极的另一端,在所述第二操作模式中的从所述电容元件读出所述保持电位的读取时段和将所述反转电位再次写入所述电容元件的重写时段中以及所述第一操作模式中,所述第二开关元件被设定为接通状态,

第三开关元件,具有连接至所述第一开关元件的另一端的一端,并在所述第一操作模式中被设定为断开状态,所述第三开关元件在所述第二操作模式中的所述读取时段中被设定为接通状态,并经由所述第二开关元件从所述电容元件读出所述保持电位,

反相电路,由 CMOS 反相器形成,并具有连接至所述第三开关元件的另一端的输入端,在所述第二操作模式中的所述读取时段中,所述反相电路反转经由所述第二开关元件和所述第三开关元件从所述电容元件读出的所述保持电位的极性,以及

第四开关元件,具有连接至所述第一开关元件的另一端的一端,并具有连接至所述反相电路的输出端的另一端,所述第四开关元件在所述第一操作模式中被设定为断开状态,所述第四开关元件在所述第二操作模式中的所述重写时段中被设定为接通状态,并经由所述第二开关元件将通过所述反相电路的极性反转而获得的所述反转电位写入所述电容元件;以及

所述驱动器被配置为对于所述像素执行驱动,以在通过所述第四开关元件写入所述反转电位之后的一段时间,从所述信号线经由所述第一开关元件和所述第三开关元件施加将所述 CMOS 反相器的一个 MOS 晶体管设定为非导通状态的电位。

16. 根据权利要求 15 所述的显示装置,其中,

如果 V_{DD} 是所述反相电路的正侧电源电位, V_{SS} 是所述反相电路的负侧电源电位, V_{thp} 是所述 CMOS 反相器所包括的 PchMOS 晶体管的阈值电压, 以及 V_{thn} 是所述 CMOS 反相器所包括的 NchMOS 晶体管的阈值电压, 则, 将所述一个 MOS 晶体管设定为非导通状态的所述电位等于或高于 $(V_{DD} - V_{thp})$, 或者将所述一个 MOS 晶体管设定为非导通状态的所述电位等于或低于 $(V_{SS} + V_{thn})$ 。

17. 一种包括具有像素电路的显示装置的电子设备,所述像素电路包括:

像素电极;

电容元件,被配置为连接至所述像素电极,并保持反映灰阶的信号电位;以及

反相电路,被配置为反转从所述电容元件读出的保持电位的极性,

其中,

所述像素电路执行在从所述电容元件读出所述保持电位之后反转所述保持电位的极性并再次将反转电位写入所述电容元件的操作,并执行驱动,以在所述操作后的一段时间将电源电位从信号线施加至所述反相电路的输入端。

显示装置、用于驱动显示装置的方法以及电子设备

技术领域

[0001] 本发明涉及显示装置、用于驱动显示装置的方法以及电子设备，特别地，涉及在像素中具有存储器以存储图像数据的显示装置、用于驱动该显示装置的方法以及具有该显示装置的电子设备。

背景技术

[0002] 显示装置中，有一些显示装置在像素中具有存储器以存储图像数据。在例如在像素中具有内置存储器的显示装置中，可以实现通过模拟显示模式进行的显示以及通过存储器显示模式进行的显示。模拟显示模式是指以模拟方式显示像素的灰阶的显示模式。存储器显示模式是指基于像素中的存储器中所存储的二进制信息（逻辑“1”/“0”）以数字方式显示像素的灰阶的显示模式。

[0003] 在存储器显示模式中，由于使用保持在存储器中的信息，因此无需以帧周期执行写入反映灰阶的信号电位的操作。因此，在存储器显示模式中，功耗比模拟显示模式的功耗低，在模拟显示模式中，需要以帧周期执行写入反映灰阶的信号电位的操作。

[0004] 作为能够通过模拟显示模式进行显示和通过存储器显示模式进行显示的现有技术的显示装置，已知有其中将静态随机存取存储器（SRAM）用作像素中的内置存储器的显示装置（参照例如第 2009-98234 号日本专利公开）。

[0005] 图 21 示出了根据使用 SRAM 作为像素中的存储器的现有技术实例的液晶显示装置的像素电路的一个实例。根据本现有技术实例的液晶显示装置中的像素 90 具有液晶电容 91、保持电容 92、SRAM 93 以及五个开关晶体管 94 至 98。在像素 90 中，反映灰阶的信号电位 V_{sig} 或不同于公共电位 V_{COM} 的电位 V_{XCS} 经由信号线 99 选择性地施加至像素 90。

[0006] 液晶电容 91 表示当液晶封闭在像素电极和与像素电极相对形成的对向电极之间时，在像素电极和对向电极之间产生的电容。公共电位 V_{COM} 施加至所有像素的液晶电容 91 共有的对向电极。液晶电容 91 的像素电极与保持电容 92 的一个电极公共电连接。保持电容 92 保持反映灰阶的信号电位 V_{sig} 。与公共电位 V_{COM} 几乎相同的 CS 电位 V_{CS} 施加至保持电容 92 的另一电极。

[0007] SRAM 93 由设置在正侧电源电位 V_{RAM} 和负侧电源电位 V_{SS} 之间的两个 CMOS 反相器组成。这两个 CMOS 反相器中一个的输入端与另一个的输出端公共连接。另一个的输入端与一个的输出端公共连接。

[0008] 在构成 SRAM 93 的两个 CMOS 反相器中，一个 CMOS 反相器由串联连接在电源电位 V_{RAM} 和电源电位 V_{SS} 之间、并且栅电极公共连接的 PchMOS 晶体管 931 和 NchMOS 晶体管 932 组成。另一 CMOS 反相器由串联连接在电源电位 V_{RAM} 和电源电位 V_{SS} 之间、并且栅电极公共连接的 PchMOS 晶体管 933 和 NchMOS 晶体管 934 组成。

[0009] 五个开关晶体管 94 至 98 例如由薄膜晶体管形成。由控制信号 C_{TL1} 控制开关晶体管 94 和 95 的导通 / 非导通状态。特别地，在将反映灰阶的信号电位 V_{sig} 写入保持电容 92 时，响应于变成激活（较高电位）状态的控制信号 C_{TL1} ，开关晶体管 94 和 95 变成导通状态。

[0010] 在模拟显示模式中写入反映灰阶的信号电位 V_{sig} 时, 或者在存储器显示模式中写入不同于公共电位 V_{com} 的电位 V_{xcs} 时, 开关晶体管 96 变成导通状态。在存储器显示模式中将 CS 电位 V_{cs} 写入保持电容 92 时, 开关晶体管 97 变成导通状态, 其中, CS 电位 V_{cs} 与施加至液晶电容 91 的对向电极的公共电位 V_{com} 几乎相同。

[0011] SRAM 93 的保持电位用于控制开关晶体管 96 和 97 的导通 / 非导通状态。在该电路实例中, 当开关晶体管 96 处于导通状态时, 开关晶体管 97 处于非导通状态, 并且当开关晶体管 96 处于非导通状态时, 开关晶体管 97 处于导通状态。

[0012] 在将控制电位写入 SRAM 93 时, 通过变成激活 (较高电位) 状态的控制信号 C_{TL2} 执行开关晶体管 98 的导通控制。特别地, 在模拟显示模式中将信号电位 V_{sig} 写入 SRAM 93 或在存储器显示模式中将电位 V_{xcs} 写入 SRAM 93 时, 响应于变成激活状态的控制信号 C_{TL2} , 开关晶体管 98 变成导通状态。

[0013] 尽管图 21 示出了基于一对一的对应关系为每个像素 90 设置 SRAM93 的像素电路实例, 但还可以采用为多个像素 90 共同设置 (共享) 一个 SRAM 93 的构造。

[0014] 如图 22 所示, 作为一个实例, 在用于彩色显示的液晶显示装置中, 还可以为例如红 (R)、绿 (G)、蓝 (B) 的子像素 90_R 、 90_G 和 90_B 共同设置一个 SRAM 93。尽管图 22 中示出了子像素 90_R 、 90_G 和 90_B 的保持电容 92_R 、 92_G 和 92_B , 但是为了简化图解, 省略了子像素 90_R 、 90_G 和 90_B 的各自的液晶电容 91 的图形表示。

[0015] 在采用子像素 90_R 、 90_G 和 90_B 共享一个 SRAM 93 的配置的情况下, 为每个子像素 90_R 、 90_G 和 90_B 设置开关晶体管 94 (94_R 、 94_G 和 94_B)。通过对应于各个颜色的控制信号 C_{TL1} (R)、 C_{TL1} (G) 和 C_{TL1} (B) 以时分方式控制这些开关晶体管 94_R 、 94_G 和 94_B 的导通 / 非导通状态。

发明内容

[0016] 如果采用上述将 SRAM 93 用作像素中的存储器的像素配置, 则由于 SRAM 93 的结构复杂, 并且 SRAM 93 占用像素 90 中的很大面积, 妨碍了像素 90 的微小型化。

[0017] 通常, 已知动态随机存取存储器 (DRAM) 的结构比 SRAM 的结构简单。然而, 在 DRAM 的情况下, 需要刷新存储器用于数据保留, 因此功耗比 SRAM 的功耗高。

[0018] 本发明的目的之一是提供一种显示装置、用于驱动该显示装置的方法以及电子设备, 其能够在使用保持信号电位的电容元件作为 DRAM 以简化像素结构的配置中, 实现诸如功耗降低和 DRAM 的操作余量 (operating margin) 改善的性能提高。

[0019] 根据本发明的实施方式, 提供了一种具有像素电路的显示装置, 像素电路包括:

[0020] 像素电极;

[0021] 电容元件, 被配置为连接至液晶电容的像素电极并保持反映灰阶的信号电位; 以及

[0022] 反相电路, 被配置为反转从电容元件读出的保持电位的极性,

[0023] 其中,

[0024] 在从电容元件读出保持电位之后反转保持电位的极性并将反转电位再次写入电容元件的操作中, 反相电路的输入电位被设定为反相电路的工作电源电压范围中的中间电位。

[0025] 根据更具体的配置例, 提供了一种通过设置像素而获得的液晶显示装置, 各像素

均包括：

[0026] 液晶电容，

[0027] 电容元件，具有连接至液晶电容的像素电极的一个电极，

[0028] 第一开关元件，具有连接至信号线的一端，并且在将经由信号线施加的并反映灰阶的信号电位写入电容元件的第一操作模式中被设定为接通 (ON) 状态，在从电容元件读出保持电位之后反转保持电位的极性并将反转电位再次写入电容元件的第二操作模式中，第一开关元件被设定为断开 (OFF) 状态，

[0029] 第二开关元件，具有连接至第一开关元件的另一端的一端，并具有连接至电容元件的一个电极和像素电极的另一端，在第一操作模式中以及第二操作模式的从电容元件读出保持电位的读取时段和将反转电位再次写入电容元件的重写时段中，第二开关元件被设定为接通状态，

[0030] 第三开关元件，具有连接至第一开关元件的另一端的一端，并在第一操作模式中被设定为断开状态，第三开关元件在第二操作模式的读取时段中被设定为接通状态，并经由第二开关元件从电容元件读出保持电位，

[0031] 反相电路，具有连接至第三开关元件的另一端的输入端，并在第二操作模式的读取时段中，反转经由第二开关元件和第三开关元件从电容元件读出的保持电位的极性，以及

[0032] 第四开关元件，具有连接至第一开关元件的另一端的一端，并具有连接至反相电路的输出端的另一端，第四开关元件在第一操作模式中被设定为断开状态，第四开关元件在第二操作模式的重写时段中被设定为接通状态，并经由第二开关元件将通过反相电路反转极性而获得的反转电位写入电容元件。

[0033] 该液晶显示装置采用这种配置，以对于像素，执行驱动，以在第二操作模式中的读取时段开始之前，将反相电路的输入电位设定为反相电路的工作电源电压范围中的中间电位。

[0034] 在具有上述配置的显示装置中，在第一操作模式中，第三开关元件和第四开关元件处于断开状态。因此，由于将第一开关元件和第二开关元件设定为接通状态，从而反映灰阶的信号电位（模拟电位或二进制电位）经由这些第一和第二开关元件从信号线写入电容元件。在第二操作模式中，执行在将电容元件的保持电位读出到反相电路的输入端并通过反相电路执行极性反转（逻辑反转）之后再次将反转电位写入电容元件的操作（重写操作）。

[0035] 在该第二操作模式中，在从电容元件读取保持电位的时段开始之前，执行将反相电路的工作电源电压范围中的中间电位施加至反相电路的输入端的操作。此外，在第一开关元件的断开状态下，第二开关元件和第三开关元件变成接通状态，而第四开关元件保持断开状态。此时，电容元件的保持电位经由第二开关元件和第三开关元件读出并施加至反相电路的输入端。

[0036] 反相电路的输入端具有电容（输入电容），使得输入电位可被保持。如果在从电容元件读取保持电位的时段开始之前，中间电位没有施加至反相电路的输入端，则在将电容元件的保持电位施加至反相电路的输入端时，在电容元件和反相电路的输入电容之间产生电容分布。具体地，如果所施加的保持电位和施加之前反相电路的输入电位之间的电位差

很大,则在将电容元件的保持电位施加至反相电路的输入端时,产生电容分布。由于该电容分布,反相电路的输入电位降低了取决于电容元件和反相电路的输入电容之间的电容比的电位。因此,反相电路的操作余量变小。

[0037] 相反,通过在从电容元件读取保持电位的时段开始之前将反相电路的输入电位设定为中间电位,相比于不将输入电位设定为中间电位时的情况,所施加的保持电位和施加前的反相电路的输入电位之间的电位差变小。由于该特征,在将电容元件的保持电位施加至反相电路的输入端时,由于电容分布而降低的反相电路的输入电位的降低量小于不施加中间电位时的降低量。

[0038] 当电容元件的保持电位施加至反相电路的输入端时,反相电路反转保持电位的极性。之后,第三开关元件变成断开状态并且第四开关元件变成接通状态。第四开关元件执行将反相电路的输出电位(即,保持电位的反转电位)经由第二开关元件再次写入电容元件的操作(重写操作)。

[0039] 所谓的刷新操作是由该第二操作模式中的一系列操作执行的,即,从电容元件读出保持电位的读取操作以及将通过反转保持电位的极性而获得的反转电位再次写入电容元件的重写操作。该刷新操作在像素由于第一开关元件的操作而从信号线隔离的状态下执行。因此,在刷新操作中,具有高负载电容的信号线既不充电也不放电。此外,在刷新操作中,由于反相电路的操作,电容元件中保持的电位的极性的反转操作以第二操作模式的重复周期重复进行。

[0040] 根据本发明的另一实施方式,提供了一种具有像素电路的显示装置,像素电路包括:

[0041] 像素电极,

[0042] 电容元件,被配置为连接至像素电极并保持反映灰阶的信号电位;以及

[0043] 反相电路,被配置为反转从电容元件读出的保持电位的极性,

[0044] 其中,

[0045] 像素电路执行在从电容元件读出保持电位之后反转保持电位的极性并将反转电位再次写入电容元件的操作,并执行驱动,以在该操作之后的一段时间(即,将反转电位写入像素之后的一段时间)将电源电位从信号线施加至反相电路的输入端。

[0046] 根据更具体的配置例,提供了一种通过设置像素而获得的液晶显示装置,各像素均包括:

[0047] 液晶电容,

[0048] 电容元件,具有连接至液晶电容的像素电极的一个电极,

[0049] 第一开关元件,具有连接至信号线的一端,并且在将经由信号线施加的并反映灰阶的信号电位写入电容元件的第一操作模式中,被设定为接通状态,在从电容元件读出保持电位之后反转保持电位的极性并将反转电位再次写入电容元件的第二操作模式中,第一开关元件被设定为断开状态,

[0050] 第二开关元件,具有连接至第一开关元件的另一端的一端,并具有连接至电容元件的一个电极和像素电极的另一端,在第一操作模式中以及第二操作模式的从电容元件读出保持电位的读取时段和将反转电位再次写入电容元件的重写时段中,第二开关元件被设定为接通状态,

[0051] 第三开关元件,具有连接至第一开关元件的另一端的一端,并在第一操作模式中被设定为断开状态,第三开关元件在第二操作模式的读取时段中被设定为接通状态,并经由第二开关元件从电容元件读出保持电位,

[0052] 反相电路,具有连接至第三开关元件的另一端的输入端,并且在第二操作模式的读取时段中,反转经由第二开关元件和第三开关元件从电容元件读出的保持电位的极性,以及

[0053] 第四开关元件,具有连接至第一开关元件的另一端的一端,并具有连接至反相电路的输出端的另一端,第四开关元件在第一操作模式中被设定为断开状态,第四开关元件在第二操作模式的重写时段中被设定为接通状态,并经由第二开关元件将通过反相电路反转极性而获得的反转电位写入电容元件。

[0054] 该液晶显示装置采用这种配置,以对于像素,执行驱动,以在通过第四开关元件写入反转电位之后的一段时间,经由第一开关元件和第三开关元件,将电源电位从信号线施加至反相电路的输入端。

[0055] 在具有上述配置的液晶显示装置中,在第一操作模式中,第三开关元件和第四开关元件处于断开状态。因此,由于将第一开关元件和第二开关元件设定为接通状态,从而反映灰阶的信号电位(模拟电位或二进制电位)经由这些第一和第二开关元件从信号线写入电容元件。在第二操作模式中,第一开关元件被设定为断开状态。在该状态下,第二开关元件和第三开关元件变成接通状态,而第四开关元件保持在断开状态。此时,电容元件的保持电位经由第二开关元件和第三开关元件读出并施加至反相电路的输入端。于是,反相电路反转电容元件的保持电位的极性。之后,第三开关元件变成断开状态并且第四开关元件变成接通状态。第四开关元件将反相电路的输出电位(即,保持电位的反转电位)经由第二开关元件写入电容元件(重写操作)。

[0056] 所谓的刷新操作是由该第二操作模式中的一系列操作执行的,即,从电容元件读出保持电位的读取操作以及将通过反转保持电位的极性而获得的反转电位再次写入电容元件的重写操作。该刷新操作在像素由于第一开关元件的操作而从信号线隔离的状态下执行。因此,在刷新操作中,具有高负载电容的信号线既不充电也不放电。此外,在刷新操作中,由于反相电路的操作,电容元件中保持的电位的极性的反转操作以第二操作模式的重复周期重复进行。

[0057] 在刷新操作之后的一段时间,具体地,在通过第四开关元件写入反转电位后的一段时间,第一开关元件和第三开关元件变成接通状态。此时,信号线的电位是电源电位,并且电源电位经由第一开关元件和第三开关元件施加至反相电路的输入端。从而,反相电路的输入电位被稳定至电源电位。如果反相电路的输入电位处于不稳定状态,则直通电流流经反相电路并且引起功耗增加。相反,将反相电路的输入电位稳定至电源电位,避免了直通电流流经反相电路。

[0058] 根据本发明的实施方式,在将用于保持像素中的信号电位的电容元件用作 DRAM 以简化像素结构的配置中,在刷新操作中具有高负载电容的信号线无需充电和放电,因此可以抑制刷新操作所伴随的功耗。

[0059] 此外,在本发明的第一实施方式中,在从电容元件读取保持电位之前,将反相电路的输入电位设定至中间电位,从而可以抑制由于电容分布引起的电位降低。因此,相比于不

将输入电位设定至中间电位的情况,可以改善(扩大)反相电路以及因此 DRAM 的操作余量。

[0060] 在本发明的第二实施方式中,通过在刷新操作之后将反相电路的输入电位稳定至电源电位,可以避免直通电流流经反相电路。因此,可以进一步抑制功耗。

附图说明

[0061] 图 1 是示出应用本发明的实施方式的有源矩阵液晶显示装置的配置轮廓的系统配置图;

[0062] 图 2 是示出液晶显示面板(液晶显示装置)的截面结构的一个实例的截面图;

[0063] 图 3 是示出根据本发明一个实施方式的像素的电路配置例的电路图;

[0064] 图 4 是根据像素配置例 1 的像素电路的电路图;

[0065] 图 5A 至图 5C 是用于解释根据像素配置例 1 的像素电路的模拟显示模式的操作的定时波形图;

[0066] 图 6 是示出在模拟显示模式从信号线写入反映灰阶的信号电位时像素状态的电路图;

[0067] 图 7A 至图 7D 是用于解释根据像素配置例 1 的像素电路的存储器显示模式的刷新操作的操作的定时波形图;

[0068] 图 8 是示出根据像素配置例 2 的像素电路的电路图;

[0069] 图 9A 至图 9F 是用于解释根据像素配置例 2 的像素电路的模拟显示模式的操作的定时波形图;

[0070] 图 10A 至图 10H 是用于解释根据像素配置例 2 的像素电路的存储器显示模式的刷新操作的操作的定时波形图;

[0071] 图 11A 至图 11H 是用于解释根据操作实例 1 的用于将中间电位施加至反相电路的输入端的驱动方法的操作的定时波形图;

[0072] 图 12A 至图 12H 是根据操作实例 2 的用于将中间电位施加至反相电路的输入端的驱动方法的操作的定时波形图;

[0073] 图 13A 和图 13B 是操作实例 1 的情况下反相电路的解释图;

[0074] 图 14A 和图 14B 是操作实例 2 的情况下反相电路的解释图;

[0075] 图 15 是钳位电路用作像素配置例 2 中的反相电路作为实例的像素电路的电路图;

[0076] 图 16 是示出应用本发明的实施方式的电视机的外观的斜视图;

[0077] 图 17A 和图 17B 是示出应用本发明的实施方式的数码相机的外观的斜视图:图 17A 是正面斜视图,图 17B 是背面斜视图;

[0078] 图 18 是示出应用本发明的实施方式的笔记本个人电脑的外观的斜视图;

[0079] 图 19 是示出应用本发明的实施方式的视频摄像机的外观的斜视图;

[0080] 图 20A 至 20G 是示出应用本发明的实施方式的手机的外观图:图 20A 是打开状态的正视图,图 20B 是打开状态的侧视图,图 20C 是关闭状态的正视图,图 20D 是左侧视图,图 20E 是右侧视图,图 20F 是顶视图,以及图 20G 是底视图;

[0081] 图 21 是示出根据其中将 SRAM 用作像素中的存储器的相关技术实例的液晶显示装

置的像素电路的一个实例的电路图；以及

[0082] 图 22 是示出根据其中为子像素 R、G 和 B 共同设置一个 SRAM 的相关技术实例的液晶显示装置的像素电路的一个实例的电路图。

具体实施方式

[0083] 以下将使用附图详细描述用于执行本发明（在下文中，称为实施方式）的模式。以下是描述的顺序。

[0084] 1. 应用本发明的实施方式的液晶显示装置

[0085] 1-1. 系统配置

[0086] 1-2. 面板截面结构

[0087] 2. 根据实施方式的液晶显示装置的描述

[0088] 2-1. 像素配置例 1（为每个像素设置反相电路的实例）

[0089] 2-2. 像素配置例 2（三个子像素共享一个反相电路的实例）

[0090] 2-3. 操作实例 1（将中间电位施加至反相电路的输入端的实例）

[0091] 2-4. 操作实例 2（反相电路的输入端和输出端电连接的实例）

[0092] 3. 变形例

[0093] 4. 应用例（电子设备）

[0094] <1. 应用本发明实施方式的液晶显示装置>

[0095] [1-1. 系统配置]

[0096] 图 1 是示出应用本发明的实施方式的有源矩阵液晶显示装置的配置轮廓的系统配置图。用该配置作为示例的液晶显示装置具有面板结构，在该面板结构中，两个基板（未示出）（其中至少一个是透明的）以预定间隔彼此相对设置，并且液晶封装在这两个基板之间。

[0097] 根据本应用例的液晶显示装置 10 具有：包括液晶电容的多个像素 20、通过以矩阵方式二维地排列像素 20 而获得的像素阵列单元 30、以及设置在像素阵列单元 30 外围的驱动单元。该驱动单元由信号线驱动器 40、控制线驱动器 50、驱动定时发生器 60 等组成。例如，驱动单元集成在与像素阵列单元 30 相同的基板（液晶显示面板 10A）上，并驱动像素阵列单元 30 中的各个像素 20。

[0098] 如果液晶显示装置 10 能够彩色显示，则一个像素由多个子像素组成，且每个子像素相当于像素 20。具体地，在用于彩色显示的液晶显示装置中，一个像素由三个子像素组成，即，红（R）光的子像素、绿（G）光的子像素、以及蓝（B）光的子像素。

[0099] 然而，一个像素的配置不限于 RGB 三原色的子像素的组合，还可以通过将一个或多个颜色的子像素添加到三原色的子像素来配置一个像素。具体地，例如，还可以通过添加用于亮度增强的白光子像素来配置一个像素，或者通过添加至少一个互补色光的子像素来配置一个像素以扩大色彩再现范围。

[0100] 根据本应用例的液晶显示装置 10 在像素 20 中具有内置存储器，并具有能够通过模拟显示模式进行显示和通过存储器显示模式进行显示的配置。并且如上所述，模拟显示模式是指以模拟方式显示像素的灰阶的显示模式。存储器显示模式是指基于像素的存储器中存储的二进制信息（逻辑“1”/“0”）以数字方式显示像素的灰阶的显示模式。

[0101] 在存储器显示模式中,由于使用存储器中保持的信息,因此无需以帧周期执行反映灰阶的信号电位的写入操作。因此,存储器显示模式具有比模拟显示模式功耗低的优势,在模拟显示模式中,需要以帧周期执行反映灰阶的信号电位的写入操作。

[0102] 在图 1 中,对于像素阵列单元 30 中 m 行和 n 列的像素排列,基于每个像素列沿列方向设置信号线 31_1 至 31_n (下文中,通常简称为“信号线 31”)。此外,基于每个像素行,沿行方向设置控制线 32_1 至 32_m (下文中,通常简称为“控制线 32”)。列方向称为像素列上的像素的排列方向(即,垂直方向),行方向称为像素行上的像素的排列方向(即,水平方向)。

[0103] 信号线 31_1 至 31_n 中的每条的一端连接至与列对应的信号线驱动器 40 的相应的一个输出端。信号线驱动器 40 进行操作,以向对应的信号线 31 输出反映任意灰阶的信号电位(模拟显示模式中的模拟电位 V_{sig} ,或存储器显示模式中的二进制电位 V_{XCS})。此外,例如,即使在存储器显示模式中,在改变像素 20 中保持的信号电位的逻辑电平的情形中,信号线驱动器 40 也进行操作,以向对应的信号线 31 输出反映必要灰阶的信号电位。

[0104] 在图 1 中,控制线 32_1 至 32_m 中的每条都作为一条线示出。然而,每行的控制线的数量不限于一条。实际上,控制线 32_1 至 32_m 中的每条都由多条线组成。控制线 32_1 至 32_m 中的每条的一端都连接至与行对应的控制线驱动器 50 的相应的一个输出端。例如,在模拟显示模式中,控制线驱动器 50 控制向像素 20 写入从信号线驱动器 40 输出到信号线 31_1 至 31_n 的且反映灰阶的信号电位的操作。

[0105] 在根据本应用例的液晶显示装置 10 中,DRAM 用作像素 20 中的内置存储器。已知 DRAM 的结构比 SRAM 简单。然而,在 DRAM 的情况下,需要刷新存储器用于数据保持。因此,控制线驱动器 50 对像素 20 中保持的信号电位的写入操作和刷新操作执行控制(其细节将在后面描述)。

[0106] 驱动定时发生器(定时发生器(TG))60 向信号线驱动器 40 和控制线驱动器 50 提供各种驱动脉冲(定时信号)用于驱动驱动器 40 和 50。

[0107] [1-2. 面板截面结构]

[0108] 图 2 是示出液晶显示面板(液晶显示装置)的截面结构的一个实例的截面图。如图 2 所示,液晶显示面板 10_A 具有以预定间隔彼此相对设置的两个玻璃基板 11 和 12、以及封装在玻璃基板 11 和 12 之间的液晶层 13。

[0109] 偏光器 14 设置在一个玻璃基板 11 的外表面上,配向膜 15 设置在其内表面上。类似地,同样对于另一玻璃基板 12,偏光器 16 设置在外表面上,配向膜 17 设置在内表面上。配向膜 15 和 17 是用于使得液晶层 13 的液晶分子组沿特定方向配向的膜。一般地,将聚酰亚胺膜用作配向膜 15 和 17。

[0110] 在另一玻璃基板 12 上,通过透明导电膜形成像素电极 18 和对向电极 19。在该结构实例中,像素电极 18 具有例如被处理成梳齿形的五个电极分支 18_A ,并且这些电极分支 18_A 的两端均通过连接部分(未示出)连接。对向电极 19 相比于电极分支 18_A 更靠近下侧(更靠近玻璃基板 12)形成,这样以覆盖像素阵列单元 30 的整个区域。

[0111] 由于对向电极 19 和具有梳齿形的像素电极 18 的电极结构,在电极分支 18_A 和对向电极 19 之间产生如图 2 中的虚线所示的抛物线式电场。这可以使电场也影响到像素电极 18 的上表面侧的区域。因此,液晶层 13 的液晶分子组可以在遍及像素阵列单元 13 的整个区域上被定向到期望的配向方向。

[0112] <2. 根据实施方式的液晶显示装置的描述>

[0113] 在具有上述配置的有源矩阵液晶显示装置 10 中,本实施方式是包括内置存储器并能够通过模拟显示模式进行显示和通过存储器显示模式进行显示的像素 20 的具体配置。图 3 示出了根据本实施方式的像素 20 的电路配置例。

[0114] 如图 3 所示,根据本实施方式的像素 20 具有液晶电容 21、电容元件 22、反相电路 23、以及第一至第四开关元件 24 至 27,并且电容元件 22 用作 DRAM。一般地,已知 DRAM 的结构比 SRAM 简单。因此,使用 DRAM 作为内置存储器能够简化像素结构,因此在像素 20 的微小型化方面比使用 SRAM 的情况有优势。

[0115] 液晶电容 21 表示基于每个像素在像素电极(相当于图 2 中的像素电极 18)和与像素电极相对形成的对向电极(相当于图 2 中的对向电极 19)之间产生的电容。将公共电位 V_{COM} 施加至所有像素共同的液晶电容 21 的对向电极。液晶电容 21 的像素电极与电容元件 22 的一个电极公共电连接。

[0116] 电容元件 22 保持反映灰阶的且通过随后描述的写入操作从信号线 31 (31_1 至 31_n) 写入的信号电位(模拟电位 V_{sig} 或二进制电位 V_{XCS})。在下文中,电容元件 22 将被称为保持电容 22。用作由保持电容 22 保持的信号电位的基础的电位(下文中,称为“CS 电位”) V_{CS} 施加至保持电容 22 的另一电极。CS 电位 V_{CS} 被设定为与公共电位 V_{COM} 几乎相同的电位。在存储器显示模式中,保持电容 22 用作 DRAM。

[0117] 第一开关元件 24 的一端连接至信号线 31,并且第一开关元件 24 在第一操作模式中处于接通(闭合)状态,在第一操作模式中,经由该信号线 31 施加的反映灰阶的信号电位 (V_{sig}/V_{XCS}) 被写入保持电容 22。即,第一开关元件 24 在第一操作模式中被设定至接通状态,从而在像素 20 中写入(捕获)信号电位 (V_{sig}/V_{XCS})。

[0118] 第一开关元件 24 在第二操作模式中在断开(打开)状态,在第二操作模式中,读出保持电容 22 中保持的电位(下文中,称为“保持电位”),然后保持电位的极性被反相电路 23 反转,并且反转电位被再次写入保持电容 22。通过控制信号 $GATE_1$ 控制第一开关元件 24 的开/关状态。

[0119] 第二开关元件 25 的一端连接至第一开关元件 24 的另一端,并且第二开关元件 25 的另一端连接至保持电容 22 的一个电极和液晶电容 21 的像素电极。第二开关元件 25 在第一操作模式中以及在第二操作模式的从保持电容 22 读取保持电位的时段以及将反转电位重写入保持电容 22 的时段中处于接通(闭合)状态。第二开关元件 25 在其他时段中处于断开(打开)状态。通过控制信号 $GATE_2$ 控制第二开关元件 25 的开/关状态。

[0120] 第三开关元件 26 的一端连接至第一开关元件 24 的另一端(第二开关元件 25 的一端),并且第三开关元件 26 在第一操作模式中处于断开(打开)状态。此外,第三开关元件 26 在第二操作模式的读取时段中被设定为接通(闭合)状态,从而经由第二开关元件 25 从保持电容 22 读出保持电位,并将保持电位施加至反相电路 23 的输入端。通过控制信号 SR_1 控制第三开关元件 26 的开/关状态。

[0121] 反相电路 23 的输入端连接至第三开关元件 26 的另一端。在第二操作模式的读取时段中,反相电路 23 反转经由第二和第三开关元件 25 和 26 从保持电容 22 读出的保持电位的极性(即,反转逻辑)。

[0122] 第四开关元件 27 的一端连接至第一开关元件 24 的另一端(第二开关元件 25 的

一端),并且第四开关元件 27 的另一端连接至反相电路 23 的输出端。在第一操作模式中,第四开关元件 27 处于断开(打开)状态。此外,第四开关元件 27 在第二操作模式的重写时段中被设定为接通(闭合)状态,从而将通过反相电路 23 反转极性而获得的反转电位经由第二开关元件 25 写入保持电容 22(重写)。通过控制信号 SR_2 控制第四开关元件 27 的开/关状态。

[0123] 用于控制开关元件 24 至 27 的开/关状态的控制信号 $GATE_1$ 、 $GATE_2$ 、 SR_1 和 SR_2 在图 1 的驱动定时发生器 60 的定时控制下适当地从控制线驱动器 50 输出。

[0124] 在根据具有上述配置的本实施方式的液晶显示装置 10 中,在第一操作模式中,第三开关元件 26 和第四开关元件 27 处于断开状态。因此,由于将第一开关元件 24 和第二开关元件 25 设定为接通状态,因此反映灰阶的信号电位(模拟电位 V_{sig} 或二进制电位 V_{XCS})经由第一和第二开关元件 24 和 25 从信号线 31 写入保持电容 22。即,第一操作模式是用于执行将反映灰阶的信号电位(V_{sig}/V_{XCS})从信号线 31 写入保持电容 22 的操作模式。

[0125] 在第二操作模式中,第一开关元件 24 处于断开状态。在该状态下,第二开关元件 25 和第三开关元件 26 被设定为接通状态,而第四开关元件 27 保持在断开状态。此时,保持电容 22 的保持电位经由第二开关元件 25 和第三开关元件 26 被读出并被施加至反相电路 23 的输入端。

[0126] 反相电路 23 反转保持电容 22 的保持电位的极性,并输出反转电位。之后,第三开关元件 26 进入断开状态,并且第四开关元件 27 进入接通状态。第四开关元件 27 经由第二开关元件 25 将反相电路 23 的反转电位写入保持电容 22(重写操作)。即,第二操作模式是用于执行读出保持电容 22 的保持电位并通过反相电路 23 执行极性反转(逻辑反转)以将反转电位再次写入保持电容 22 的操作的操作模式。

[0127] 所谓的刷新操作是由该第二操作模式的一系列操作执行的,即,从保持电容 22 读出保持电位的读取操作以及将通过反转该保持电位的极性而获得的反转电位再次写入保持电容 22 的重写操作。由于第一开关元件 24 的操作,该刷新操作在像素 20 与信号线 31 隔离的状态下执行。因此,在刷新操作中,具有高负载电容的信号线 31 既不充电也不放电。

[0128] 即,根据上述像素配置,由于在刷新操作中具有高负载电容的信号线 31 无需充电和放电,因此可以抑制刷新操作所伴随的功耗。此外,在刷新操作中,由于反相电路 23 的操作,保持电容 22 中保持的电位的极性的反转操作以第二操作模式的重复周期(例如,一帧周期)重复进行。结果,在由以一帧周期施加至液晶的电压的极性反转电压驱动的液晶显示装置中,在存储器显示模式中,像素电极和对向电极之间的电位关系可以持续保持在适当的状态。

[0129] 如上所述,在使用保持反映灰阶的信号电位(V_{sig}/V_{XCS})的保持电容 22 作为 DRAM 并能够通过模拟显示模式进行显示以及通过存储器显示模式进行显示的液晶显示装置 10 中,本发明第一实施方式的主要特性是采用如下配置。

[0130] 具体地,在第二操作模式的从保持电容 22 读出保持电位的读取时段开始之前,对于像素 20,反相电路 23 的输入电位被设定为反相电路 23 的工作电源电压范围中的中间电位。反相电路 23 的工作电源电压范围是指作为反相电路 23 的工作电源电位的正侧电源电位 V_{DD} 和负侧电源电位 V_{SS} 之间的电压范围。

[0131] 反相电路 23 的工作电源电压范围的中间电位是通过 $(V_{DD}-V_{SS})/2$ 给出的电位。此

处使用的术语“中间电位”的概念包含与随后描述的用于操作例 2 的反相电路的工作点对应的电压以及与由 $(V_{DD}-V_{SS})/2$ 给出的电位完全相同的电位。另外,由于各种因素引起的例如大约 $\pm 0.3V$ 的轻微变化的存在当然也包含在“中间电位”的概念中。

[0132] 如果第三开关元件 26 变成断开状态,则反相电路 23 的输入端变成浮置状态。因此,反相电路 23 的输入电容应被设定为高至一定程度,以在一段时间保持输入电位,并抑制由于例如漏电流等引起的输入电位的降低。如果反相电路 23 的输入级由例如 CMOS 反相器形成,则输入电容由构成该 CMOS 反相器的 PchMOS 晶体管和 NchMOS 晶体管的沟道宽度 W 、沟道长度 L 、每单位面积的栅电容 C_{ox} 等决定。

[0133] 以使得相对于保持电容 22 的电容比大约为 1 : 10 的方式,基于 PchMOS 晶体管和 NchMOS 晶体管的沟道宽度 W 、沟道长度 L 、每单位面积的栅电容 C_{ox} 等来确定反相电路 23 的输入电容。反相电路 23 的输入电容对保持电容 22 的电容比包含由于诸如元件间的差异的各种因素引起的、产生不同于 1 : 10 的一些差别的轻微变化的存在,以及恰好 1 : 10。

[0134] 以下将考虑在从保持电容 22 读取保持电位的时段开始之前不将中间电位施加至反相电路 23 的输入端的情况。在该情况下,在将保持电容 22 的保持电位施加至反相电路 23 的输入端时,在保持电容 22 和反相电路 23 的输入电容之间产生电容分布。

[0135] 具体地,如果所施加的保持电位和施加前的反相电路 23 的输入电位之间的电位差很大,则在将保持电容 22 的保持电位施加至反相电路 23 的输入端时产生电容分布。由于该电容分布,反相电路 23 的输入电位被基于反相电路 23 的输入电容和保持电容 22 之间的电容比的电位降低。因此,反相电路 23 的操作余量变小。

[0136] 相反,如果在从保持电容 22 读取保持电位的时段开始之前,将反相电路 23 的输入电位设定为中间电位,则相比于输入电位没有被设定为中间电位的情况,所施加的保持电位和施加前的反相电路 23 的输入电位之间的电位差变小。由于该特征,在将保持电容 22 的保持电位施加至反相电路 23 的输入端时,可以将由于该电容分布而引起的反相电路 23 的输入电位降低的量抑制到比不施加中间电位时更小的值。结果,相比于不施加中间电位的情况,可以改善(扩大)反相电路 23 以及因此 DRAM 的操作余量。

[0137] 如上所述,在根据本实施方式的像素 20 中,在将保持电容 22 用作 DRAM 以简化像素结构的配置中,在刷新操作中,具有高负载电容的信号线 31 的充电和放电是不必要的。因此,可以抑制刷新操作所伴随的功耗。

[0138] 此外,在第二操作模式中,在从保持电容 22 读出保持电位之前,将反相电路 23 的工作电源电压范围中的中间电位施加至反相电路 23 的输入端。这可以抑制由于电容分布而引起的反相电路 23 的输入电位的降低。因此,相比于不给予中间电位的情况,可以改善反相电路的操作余量,并因此可以改善 DRAM 的操作余量。

[0139] 在本发明的第二实施方式中,采用了执行用于如下操作的驱动的配置。具体地,对于像素 20,在通过第四开关元件 27 写入反转电位后的一段时间,电源电位经由第一开关元件 24 和第三开关元件 26 从信号线 31 施加至反相电路 23 的输入端。该驱动由控制线驱动器 50 执行,控制线驱动器生成用于控制第一和第三开关元件 24 和 26 的开/关状态的控制信号 $GATE_1$ 和控制信号 SR_1 。即,控制线驱动器 50 用作执行上述驱动的驱动器。

[0140] 为了从信号线 31 施加电源电位,图 1 中的信号线驱动器 40 进行操作,以在除反映灰阶的信号电位(模拟电位 V_{sig} /二进制电位 V_{XCS})之外,还适当地将该电源电位输出到信号

线 31。

[0141] 这里使用的术语“电源电位”基本上是指正侧电源电位 V_{DD} 和负侧电源电位 V_{SS} 。当然,地电位也包含在负侧电源电位 V_{SS} 中。此外,“电源电位”的概念包含:使得由于提供该电位作为反相电路的输入而不发生随后描述的直通电流的流动的电位,以及与电源电位 V_{DD} 或电源电位 V_{SS} (地电位) 完全相同的电位。另外,由于各种因素引起的例如大约 $\pm 0.3V$ 的轻微变化的存在当然也包含在“电源电位”的概念中。

[0142] 此外,施加至液晶电容 21 的对向电极的公共电位 V_{COM} 和施加至保持电容 22 的另一电极的 CS 电位 V_{CS} 通常被设定为电源电位 V_{DD} 。因此,公共电位 V_{COM} 和 CS 电位 V_{CS} , 并且进一步地,其反转电位 XV_{COM} 和 XV_{CS} , 也包含在“电源电位”的概念中。

[0143] 顺便说一下,在反相电路 23 的反转操作之后,第三开关元件 26 处于断开状态,并且反相电路 23 的输入端处于浮置状态。因此,反相电路 23 的输入端处于不稳定状态。如果反相电路 23 的输入端处于不稳定状态,则输入电位可能越出反相电路 23 的输入级的阈值。结果,直通电流流经反相电路 23, 并因此引起功耗的增加。

[0144] 相反,在通过第四开关元件 27 写入反转电位后的一段时间,通过将电源电位经由第一和第三开关元件 24 和 26 从信号线 31 施加至反相电路 23 的输入端,反相电路 23 的输入电位被稳定至电源电位。这防止了输入电位越出反相电路 23 输入级的阈值的状态的发生。结果,避免了直通电流流经反相电路 23, 因此可以进一步抑制功耗。

[0145] 如果反相电路 23 的输入级由例如 PchMOS 晶体管形成,则优选地,将正侧电源电位 V_{DD} 、公共电位 V_{COM} 或 CS 电位 V_{CS} 施加至反相电路 23 的输入端作为电源电位。如果反相电路 23 的输入级由例如 NchMOS 晶体管形成,则优选地将负侧电源电位 V_{SS} 、公共电位 V_{COM} 的反转电位 XV_{COM} 或 CS 电位 V_{CS} 的反转电位 XV_{CS} 施加至反相电路 23 的输入级作为电源电位。在这两种情况下,输入级的 MOS 晶体管可以确定地被设定为非导通状态,因此可以防止直通电流流经反相电路 23。

[0146] 如果反相电路 23 的输入级由例如 CMOS 反相器形成,则可以施加正侧电源电位 V_{DD} 、 V_{COM} 或 V_{CS} 或者施加负侧电源电位 V_{SS} 、 XV_{COM} 或 XV_{CS} 作为电源电位。施加正侧电源电位 V_{DD} 、 V_{COM} 或 V_{CS} , CMOS 反相器的 PchMOS 晶体管可以确定地被设定为非导通状态。施加负侧电源电位 V_{SS} 、 XV_{COM} 或 XV_{CS} , CMOS 反相器的 NchMOS 晶体管可以确定地被设定为非导通状态。即,不管是施加正侧或负侧电源电位,都可以防止直通电流流经反相电路 23。

[0147] 此外,如果反相电路 23 的输入级由例如 CMOS 反相器形成,则即使没有施加电源电位,通过施加确定地将构成 CMOS 反相器的晶体管中的一个设定为非导通状态的电位,也可以实现预期目标。具体地,当反相电路 23 的正侧电源电位为 V_{DD} 且 PchMOS 晶体管的阈值电压为 V_{thp} 时,通过施加等于或高于 $(V_{DD}-V_{thp})$ 的电位,可以确定地将 PchMOS 晶体管设定为非导通状态。可选地,当负侧电源电位为 V_{SS} 且 NchMOS 晶体管的阈值电压为 V_{thn} 时,通过施加等于或低于 $(V_{SS}+V_{thn})$ 的电位,可以确定地将 NchMOS 晶体管设定为非导通状态。因此,通过将反相电路 23 的输入电位稳定至等于或高于 $(V_{DD}-V_{thp})$ 的电位或者等于或低于 $(V_{SS}+V_{thn})$ 的电位,可以防止直通电流流经反相电路 23。

[0148] 可以采用基于一对一的对应关系为每个像素 20 设置反相电路 23 的配置 (像素配置例 1)。可选地,还可以采用为多个像素 20 共同地设置 (共享) 一个反相电路 23 的配置 (像素配置例 2)。以下将具体描述像素配置例 1 和 2。

[0149] [2-1. 像素配置例 1]

[0150] 图 4 是示出根据像素配置例 1 的像素电路的电路图。在图 4 中,对于与图 3 中的部分等同的部分给予相同的符号。根据像素配置例 1 的像素电路是基于一对一的对应关系为每个像素 20 设置反相电路 23 的电路配置例。

[0151] (电路配置)

[0152] 在根据像素配置例 1 的像素电路中,例如,薄膜晶体管用作第一至第四开关元件 24 至 27。在下文中,第一至第四开关元件 24 至 27 将被称为第一至第四开关晶体管 24 至 27。在该实例中,NchMOS 晶体管用作第一至第四开关晶体管 24 至 27。然而,还可以使用 PchMOS 晶体管。

[0153] 通过施加至各个栅极的控制信号 $GATE_1$ 、 $GATE_2$ 、 SR_1 和 SR_2 来控制第一至第四开关晶体管 24 至 27 的导通 / 非导通状态。这些控制信号 $GATE_1$ 、 $GATE_2$ 、 SR_1 和 SR_2 在图 1 中的驱动定时发生器 60 的定时控制下,适当地从控制线驱动器 50 输出。

[0154] 第一开关晶体管 24 的一个主电极(漏极 / 源极)连接至信号线 31。当在控制信号 $GATE_1$ 的控制下从信号线 31 在像素 20 中写入(捕获)反映灰阶的信号电位 (V_{sig}/V_{XCS}) 时,第一开关晶体管 24 被设定为导通状态。

[0155] 第二开关晶体管 25 的一个主电极与液晶电容 21 的像素电极以及保持电容 22 的一个电极公共连接,并且另一主电极连接至第一开关晶体管 24 的另一主电极。当将反映灰阶的信号电位 (V_{sig}/V_{XCS}) 从信号线 31 写入保持电容 22 时,第二开关晶体管 25 在控制信号 $GATE_2$ 的控制下被设定为导通状态。

[0156] 第三开关晶体管 26 的一个主电极连接至第一开关晶体管 24 的另一主电极(第二开关晶体管 25 的另一主电极),并且第三开关晶体管 26 的另一主电极连接至反相电路 23 的输入端。当从信号线 31 在像素 20 中写入反映灰阶的信号电位 (V_{sig}/V_{XCS}) 时,第三开关晶体管 26 在控制信号 SR_1 的控制下被设定为非导通状态。

[0157] 此外,在控制信号 SR_1 的控制下,在存储器显示模式中的刷新操作的执行中,在紧挨着每帧的结束之前的一段时间中,第三开关晶体管 26 被设定为导通状态。当第三开关晶体管 26 处于导通状态时,用作 DRAM 的保持电容 22 的保持电位经由第二开关晶体管 25 和第三开关晶体管 26 读出到反相电路 23 的输入端。

[0158] 第四开关晶体管 27 的一个主电极连接至第一开关晶体管 24 的另一主电极(第二开关晶体管 25 的另一主电极),并且第四开关晶体管 27 的另一主电极连接至反相电路 23 的输出端。当从信号线 31 在像素 20 中写入反映灰阶的信号电位 (V_{sig}/V_{XCS}) 时,第四开关晶体管 27 在控制信号 SR_2 的控制下被设定为非导通状态。

[0159] 此外,在控制信号 SR_2 的控制下,在存储器显示模式中的刷新操作的执行中,在每帧开始之后紧接着的一段时间中,第四开关晶体管 27 被设定为导通状态。当第四开关晶体管 27 处于导通状态时,通过反相电路 23 的极性反转(逻辑反转)而获得的且反映灰阶的信号电位经由第四开关晶体管 27 和第二开关晶体管 25 被写入保持电容 22。

[0160] 反相电路 23 由例如 CMOS 反相器形成。具体地,反相电路 23 由串联连接在电源电位 V_{DD} 的电源线和电源电位 V_{SS} 的电源线之间的 NchMOS 晶体管 232 和 PchMOS 晶体管 231 组成。

[0161] PchMOS 晶体管 231 和 NchMOS 晶体管 232 的栅极公共连接,并用作反相电路 23 的

输入端。该输入端连接至第三开关晶体管 26 的另一主电极。PchMOS 晶体管 231 和 NchMOS 晶体管 232 的漏极公共连接,并用作反相电路 23 的输出端。该输出端连接至第四开关晶体管 27 的另一主电极。

[0162] (电路操作)

[0163] 以下将对每个显示模式分别描述根据具有上述配置的像素配置例 1 的像素电路的电路操作。

[0164] (1) 模拟显示模式

[0165] 图 5A 至图 5C 是用于解释根据像素配置例 1 的像素电路的模拟显示模式的操作的定时波形图。图 5A 至图 5C 分别示出了波形,图 5A 是信号线 31 的电位(即,反映灰阶的信号电位)的波形,图 5B 是控制信号 $GATE_1/GATE_2$ 的波形,以及图 5C 是控制信号 SR_1/SR_2 的波形。

[0166] 在本实例中,液晶电容 21 的像素电极和对向电极之间所施加的电压的极性以一个水平周期的周期(1H/每线)进行反转,即,执行线反转驱动。众所周知,在液晶显示装置中,关于公共电位 V_{COM} (以公共电位 V_{COM} 为中心)以一定周期反转施加至液晶的电压的极性的 AC 驱动被执行,以防止由于对液晶持续施加相同极性的 DC 电压而引起例如液晶电阻率(物质固有的电阻)的劣化。

[0167] 在本实例中,执行线反转驱动作为该 AC 驱动。为了实现该线反转驱动,如图 5A 所示,以 1H 周期反转反映灰阶的信号电位的极性,该反映灰阶的信号电位是信号线 31 的电位。在图 5A 的波形中,高侧电位为 V_{DD1} ,低侧电位为 V_{SS1} 。图 5A 示出了最大摆幅 $V_{DD1}-V_{SS1}$ 的情况的实例。实际上,根据灰阶,信号线 31 的电位位于 $V_{DD1}-V_{SS1}$ 范围内的任意电位水平。

[0168] 在示出了控制信号 $GATE_1/GATE_2$ 的波形的图 5B 中,高侧电位为 V_{DD2} 且低侧电位为 V_{SS2} 。在将反映灰阶的信号电位从信号线 31 写入保持电容 22 的写入时段中,控制信号 $GATE_1/GATE_2$ 处于高侧电位 V_{DD2} 。

[0169] 并且,在示出了控制信号 SR_1/SR_2 的波形的图 5C 中,高侧电位为 V_{DD2} 且低侧电位为 V_{SS2} 。在模拟显示模式中,控制信号 SR_1/SR_2 总是处于低侧电位 V_{SS2} 。

[0170] 图 6 示出了当在模拟显示模式中从信号线 31 写入反映灰阶的信号电位时像素 20 中的状态。为了便于理解,在图 6 中,通过使用开关符号来表示第一至第四开关晶体管 24 至 27。

[0171] 在反映灰阶的信号电位的写入时段中,第一和第二开关晶体管 24 和 25 都处于导通状态(开关闭合状态)。另一方面,第三和第四开关晶体管 26 和 27 在整个时段都处于非导通状态(开关打开状态),并将液晶电容 21 的像素电极和保持电容 22 完全从反相电路 23 电隔离。从而,如图 6 中的点划线所示,反映灰阶的信号电位经由第一开关晶体管 24 和第二开关晶体管 25 写入保持电容 22。

[0172] (2) 存储器显示模式

[0173] 在存储器显示模式中,执行将反映灰阶的信号电位从信号线 31 写入保持电容 22 的写入操作和刷新保持电容 22 的保持电位的刷新操作。例如,在改变显示内容的情况下执行写入操作。将反映灰阶的信号电位从信号线 31 写入保持电容 22 的操作与模拟显示模式中相同,因此省略了其描述。

[0174] 图 7A 至图 7D 是用于解释根据像素配置例 1 的像素电路的存储器显示模式中的刷

新操作的定时波形图,并基于每帧(1F)示出了驱动操作的关系。图7A至图7D分别示出了波形,图7A是控制信号 $GATE_2$ 的波形,图7B是控制信号 SR_1/SR_2 的波形,图7C是CS电位 V_{CS} 的波形,以及图7D是写入保持电容22的信号电位PIX的波形。

[0175] 从图7A至图7D的定时波形图中显而易见,在控制信号 $GATE_2$ 和控制信号 SR_1/SR_2 中,高侧电位以一帧周期以脉冲方式发生(出现)。CS电位 V_{CS} 以一帧周期交替切换到高侧电位和低侧电位。写入保持电容22的信号电位PIX的极性以一帧周期被反转,以实现AC驱动。

[0176] 在存储器显示模式中,控制信号 $GATE_1$ 总是处于低侧电位。因此,第一开关晶体管24处于非导通状态(开关打开状态),并将像素20从信号线31电隔离。

[0177] [2-2. 像素配置例2]

[0178] 图8是示出根据像素配置例2的像素电路的电路图。在图8中,对于与图4等等的部分给以相同的符号。根据像素配置例2的像素电路是用于彩色显示的像素,并且一个像素例如由R、G和B的三个子像素 20_R 、 20_G 和 20_B 组成。此外,三个子像素 20_R 、 20_G 和 20_B 共享一个反相电路23。

[0179] (电路配置)

[0180] 同样,在根据像素配置例2的像素电路中,与根据像素配置例1的像素电路类似,例如,使用薄膜晶体管作为用作第一至第四开关元件的第一至第四开关晶体管24至27。

[0181] 对应于红色(R)的子像素 20_R 除了液晶电容 21_R 和保持电容 22_R ,还具有第二开关晶体管 25_R 。第二开关晶体管 25_R 的一个主电极与液晶电容 21_R 的像素电极和保持电容 22_R 的一个电极公共连接,并且第二开关晶体管 25_R 的另一主电极连接至第一开关晶体管24的另一主电极。当将反映灰阶的信号电位(V_{sig}/V_{XCS})写入保持电容 22_R 时,第二开关晶体管 25_R 在对应于红色的控制信号 $GATE_{2R}$ 的控制下被设定为导通状态。

[0182] 类似地,对应于绿色(G)的子像素 20_G 除了液晶电容 21_G 和保持电容 22_G ,还具有第二开关晶体管 25_G 。第二开关晶体管 25_G 的一个主电极与液晶电容 21_G 的像素电极和保持电容 22_G 的一个电极公共连接,并且第二开关晶体管 25_G 的另一主电极连接至第一开关晶体管24的另一主电极。当将反映灰阶的信号电位(V_{sig}/V_{XCS})写入保持电容 22_G 时,第二开关晶体管 25_G 在对应于绿色的控制信号 $GATE_{2G}$ 的控制下被设定为导通状态。

[0183] 类似地,对应于蓝色(B)的子像素 20_B 除了液晶电容 21_B 和保持电容 22_B ,还具有第二开关晶体管 25_B 。第二开关晶体管 25_B 的一个主电极与液晶电容 21_B 的像素电极和保持电容 22_B 的一个电极公共连接,并且第二开关晶体管 25_B 的另一主电极连接至第一开关晶体管24的另一主电极。当将反映灰阶的信号电位(V_{sig}/V_{XCS})写入保持电容 22_B 时,第二开关晶体管 25_B 在对应于蓝色的控制信号 $GATE_{2B}$ 的控制下被设定为导通状态。

[0184] 对于这些子像素 20_R 、 20_G 和 20_B ,公共地设置反相电路23、第一开关晶体管24、以及第三和第四开关晶体管26和27。反相电路23的电路配置、第一、第三和第四开关元件24、26和27之间的连接关系、以及这些部件的功能,基本上与像素配置例1相同。

[0185] 具体地,第一开关晶体管24的一个主电极(漏极/源极)连接至信号线31。当从信号线31在像素20中写入(捕获)反映灰阶的信号电位(V_{sig}/V_{XCS})时,第一开关晶体管24在控制信号 $GATE_1$ 的控制下被设定为导通状态。

[0186] 第三开关晶体管26的一个主电极连接至第一开关晶体管24的另一主电极(第二

开关晶体管 25_R 、 25_G 和 25_B 的另一主电极), 并且第三开关晶体管 26 的另一主电极连接至反相电路 23 的输入端。当从信号线 31 在像素 20 中写入反映灰阶的信号电位 (V_{sig}/V_{XCS}) 时, 第三开关晶体管 26 在控制信号 SR_1 的控制下被设定为非导通状态。

[0187] 此外, 在控制信号 SR_1 的控制下, 在存储器显示模式中的刷新操作的执行中, 在紧挨着每帧的结束之前的一段时间, 第三开关晶体管 26 被设定为导通状态。当第三开关晶体管 26 处于导通状态时, 每个都用作 DRAM 的保持电容 22_R 、 22_G 和 22_B 的保持电位经由第二开关晶体管 25_R 、 25_G 和 25_B 以及第三开关晶体管 26 读出到反相电路 23 的输入端。

[0188] 第四开关晶体管 27 的一个主电极连接至第一开关晶体管 24 的另一主电极 (第二开关晶体管 25_R 、 25_G 和 25_B 的另一主电极), 并且第四开关晶体管 27 的另一主电极连接至反相电路 23 的输出端。当从信号线 31 在像素 20 中写入反映灰阶的信号电位 (V_{sig}/V_{XCS}) 时, 第四开关晶体管 27 在控制信号 SR_2 的控制下被设定为非导通状态。

[0189] 此外, 在控制信号 SR_2 的控制下, 在存储器显示模式中的刷新操作的执行中, 每帧的开始之后紧接着的一段时间, 第四开关晶体管 27 被设定为导通状态。当第四开关晶体管 27 处于导通状态时, 通过反相电路 23 的极性反转 (逻辑反转) 而获得的且反映灰阶的信号电位经由第四开关晶体管 27 和第二开关晶体管 25_R 、 25_G 和 25_B 写入保持电容 22_R 、 22_G 和 22_B 。

[0190] 反相电路 23 例如由 CMOS 反相器形成。具体地, 反相电路 23 由串联连接在电源电位 V_{DD} 的电源线和电源电位 V_{SS} 的电源线之间的 PchMOS 晶体管 231 和 NchMOS 晶体管 232 组成。

[0191] PchMOS 晶体管 231 和 NchMOS 晶体管 232 的栅极公共连接, 并用作反相电路 23 的输入端。该输入端连接至第三开关晶体管 26 的另一主电极。PchMOS 晶体管 231 和 NchMOS 晶体管 232 的漏极公共连接, 并用作反相电路 23 的输出端。该输出端连接至第四开关晶体管 27 的另一主电极。

[0192] (电路操作)

[0193] 以下将对每个显示模式分别描述根据具有上述配置 (即, 子像素 20_R 、 20_G 和 20_B) 的像素配置例 2 的像素电路的电路操作。

[0194] (1) 模拟显示模式

[0195] 图 9A 至图 9F 是用于解释根据像素配置例 2 的像素电路的模拟显示模式的操作的定时波形图。图 9A 至图 9F 分别示出了波形, 图 9A 是信号线 31 的电位的波形, 图 9B 是控制信号 $GATE_1$ 的波形, 图 9C 是对应于红色的控制信号 $GATE_{2R}$ 的波形, 图 9D 是对应于绿色的控制信号 $GATE_{2G}$ 的波形, 图 9E 是对应于蓝色的控制信号 $GATE_{2B}$ 的波形, 图 9F 是控制信号 SR_1/SR_2 的波形。

[0196] 在本实例中, 液晶电容 21_R 、 21_G 和 21_B 的像素电极和对向电极之间所施加的电压的极性以一个水平周期的周期 (1H/ 每行) 进行反转, 即, 执行线反转驱动 (AC 驱动)。为了实现该线反转驱动, 如图 9A 所示, 以 1H 周期反转反映灰阶的信号电位的极性, 该信号电位是信号线 31 的电位。

[0197] 在图 9A 中示出的反映灰阶的信号电位的波形中, 高侧电位为 V_{DD1} 并且低侧电位为 V_{SS1} 。图 9A 示出了最大摆幅 $V_{DD1}-V_{SS1}$ 的情况的实例。实际上, 根据灰阶, 信号线 31 的电位处于 $V_{DD1}-V_{SS1}$ 范围内的任意电位水平。

[0198] 在示出了控制信号 $GATE_1$ 的波形的图 9B 中, 高侧电位为 V_{DD2} 且低侧电位为 V_{SS2} 。在将反映灰阶的信号电位从信号线 31 写入保持电容 22_R 、 22_G 和 22_B 的写入时段中, 控制信号 $GATE_1$ 处于高侧电位 V_{DD2} 。

[0199] 同样, 在示出了控制信号 $GATE_{2R}$ 、 $GATE_{2G}$ 和 $GATE_{2B}$ 的各个波形的图 9C、图 9D 和图 9E 中, 高侧电位为 V_{DD2} 且低侧电位为 V_{SS2} 。在将反映灰阶的信号电位从信号线 31 写入保持电容 22_R 、 22_G 和 22_B 的写入时段中, 即, 在控制信号 $GATE_1$ 处于高侧电位 V_{DD2} 的时段中, 控制信号 $GATE_{2R}$ 、 $GATE_{2G}$ 和 $GATE_{2B}$ 以例如 $R \rightarrow G \rightarrow B$ 的顺序切换到高侧电位 V_{DD2} 。

[0200] 控制信号 $GATE_{2R}$ 、 $GATE_{2G}$ 和 $GATE_{2B}$ 处于高侧电位 V_{DD2} 的时段被设定为彼此不重叠。在控制信号 $GATE_{2R}$ 、 $GATE_{2G}$ 和 $GATE_{2B}$ 处于高侧电位 V_{DD2} 的每个时段中, 与相应的一个颜色对应的并反映灰阶的信号电位 V_{sig} 从图 1 中的信号线驱动器 40 输出到信号线 31。

[0201] 如示出了控制信号 SR_1/SR_2 的图 9F 所示, 高侧电位为 V_{DD2} 并且低侧电位为 V_{SS2} 。在模拟显示模式中, 控制信号 SR_1/SR_2 总是处于低侧电位 V_{SS2} 。

[0202] (2) 存储器显示模式

[0203] 在存储器显示模式中, 执行将反映灰阶的信号电位从信号线 31 写入保持电容 22_R 、 22_G 和 22_B 的写入操作和刷新保持电容 22_R 、 22_G 和 22_B 的保持电位的刷新操作。例如, 在改变显示内容的情况下执行写入操作。将反映灰阶的信号电位从信号线 31 写入保持电容 22_R 、 22_G 和 22_B 的操作与模拟显示模式中相同, 因此省略了其描述。

[0204] 图 10A 至图 10H 是用于解释根据像素配置例 2 的像素电路的存储器显示模式中的刷新操作的定时波形图, 并基于每帧 (1F) 示出了驱动操作的关系。图 10A 至图 10E 分别示出了波形, 图 10A 是控制信号 $GATE_{2R}$ 的波形, 图 10B 是控制信号 $GATE_{2G}$ 的波形, 图 10C 是控制信号 $GATE_{2B}$ 的波形, 图 10D 是控制信号 SR_1/SR_2 的波形, 图 10E 是 CS 电位 V_{CS} 的波形。此外, 图 10F 至图 10H 分别示出了波形, 图 10F 是写入保持电容 22_R 的信号电位 PIX_R 的波形, 图 10G 是写入保持电容 22_G 的信号电位 PIX_G 的波形, 以及图 10H 是写入保持电容 22_B 的信号电位 PIX_B 的波形。

[0205] 从图 10A 至图 10H 的定时波形图中显而易见, 在控制信号 $GATE_{2R}$ 、 $GATE_{2G}$ 和 $GATE_{2B}$ 中, 高侧电位以三帧周期以脉冲方式发生 (出现)。在控制信号 SR_1/SR_2 中, 高侧电位以一帧周期以脉冲方式发生 (出现)。CS 电位 V_{CS} 以一帧周期交替切换到高侧电位和低侧电位。

[0206] 在图 10F、图 10G 和图 10H 中, 虚线示出的波形是 CS 电位 V_{CS} 的波形, 并且实线示出的波形是反映灰阶的信号电位 PIX_R 、 PIX_G 和 PIX_B 的波形。随着 CS 电位 V_{CS} 以一帧周期改变, 反映灰阶的信号电位 PIX_R 、 PIX_G 和 PIX_B 也以一帧周期改变。然而, CS 电位 V_{CS} 和信号电位 PIX_R 、 PIX_G 和 PIX_B 之间的电位关系以三帧周期改变。

[0207] 即, 以三帧周期执行各个颜色的保持电容 22_R 、 22_G 和 22_B 的保持电位 PIX_R 、 PIX_G 和 PIX_B 的极性反转操作和刷新操作。当然, 子像素 20_R 、 20_G 和 20_B 中的电位关系从先前极性反转操作和刷新操作保持到当前极性反转操作和刷新操作。因此, 在本实例的情况下, 尽管刷新率是三帧周期, 但保持电容 22_R 、 22_G 和 22_B 应该是能够保持反映灰阶的信号电位 PIX_R 、 PIX_G 和 PIX_B 的电容。

[0208] 在存储器显示模式中, 控制信号 $GATE_1$ 总是处于低侧电位。因此, 第一开关晶体管 24 处于非导通状态 (开关打开状态), 并使每个子像素 20_R 、 20_G 和 20_B 从信号线 31 电隔离。

[0209] 以下将描述在第二操作模式中, 在从保持电容 22 读出保持电位的读取时段开始

之前,将反相电路 23 的工作电源电压范围中的中间电位施加至反相电路 23 的输入端的具体操作实例。

[0210] [2-3. 操作实例 1]

[0211] 图 11A 至图 11H 是定时波形图,用于解释根据操作实例 1 的用于将中间电位施加至反相电路 23 的输入端的驱动方法的操作,具体地,用于解释关于某扫描线的存储器显示模式中的操作。

[0212] 以下将通过将上述像素配置例 2 的像素电路中对应于绿色的子像素 20G 的情况作为实例进行描述。然而,同样对其他颜色的子像素 20_R和 20_B以及像素配置例 1 的像素电路执行与子像素 20_G类似的操作。

[0213] 在图 11A 至图 11E 中,以放大的方式示出了在图 10A 至图 10H 的帧边界部分附近的信号线 31 的电位的波形(图 11A)、控制信号 GATE₁的波形(图 11B)、对应于 G 的控制信号 GATE_{2G}的波形(图 11C)、控制信号 SR₁的波形(图 11D)、以及控制信号 SR₂的波形(图 11E)。此外,在图 11F 至图 11H 中,以放大的方式示出了保持在保持电容 22_G中的电位 PIX_G(保持电位)的波形、反相电路 23 的输入电位 INV_{in}的波形及其输出电位 INV_{out}的波形。

[0214] 在图 11A 至图 11H 中,当前帧表示为帧 N 并且下一帧表示为帧 N+1。在本实例中,例如,1H 被用作控制信号 GATE₁、GATE_{2G}、SR₁和 SR₂的脉冲宽度的单位。

[0215] 在从紧挨着当前帧 N 的结束之前(本实例中,2H 之前)的定时到下一帧 N+1 的开始之后紧接着(在本实例中,2H 之后)的定时的一段时间(在本实例中,4H 时段)内,将用于控制第二开关晶体管 25_G的导通/非导通状态的控制信号 GATE_{2G}设定为高侧电位 V_{DD2}。由于将控制信号 GATE_{2G}设定为高侧电位 V_{DD2}并且将第二开关晶体管 25G 设定为导通状态,第二操作模式开始。

[0216] 以下将描述的在第二操作模式开始之前所执行的操作是操作实例 1 的特征点。具体地,在第二操作模式的读取时段开始之前(在本实例中,2H 之前),仅在一段时间(在本实例中,1H 周期)将控制信号 GATE₁和控制信号 SR₁设定为高侧电位 V_{DD2}。此时,反相电路 23 的工作电源电压范围中的中间电位 V_{mid}从图 1 中的信号线驱动器 40 输出到信号线 31。

[0217] 因此,响应于控制信号 GATE₁和控制信号 SR₁,第一和第三开关晶体管 24 和 26 变成导通状态。从而,中间电位 V_{mid}经由第一和第三开关晶体管 24 和 26 写入反相电路 23 的输入端。因此,反相电路 23 的输入电位 INV_{in}成为中间电位 V_{mid}。在反相电路 23 的输入电位 INV_{in}以这种方式被设定为中间电位 V_{mid}之后,控制信号 GATE_{2G}被设定为高侧电位 V_{DD2},并且第二开关晶体管 25_G变成导通状态,从而第二操作模式开始。

[0218] 除了中间电位 V_{mid}的写入时段以外,还仅在紧挨着每帧的结束之前(本实例中,2H 之前)的一段时间(在本实例中,1H 周期),将用于控制第三开关晶体管 26 的导通/非导通状态的控制信号 SR₁设定为高侧电位 V_{DD2}。仅在每帧的开始之后(本实例中,1H 之后)紧接着的一段时间(在本实例中,2H 周期),将用于控制第四开关晶体管 27 的导通/非导通状态的控制信号 SR₂设定为高侧电位 V_{DD2}。

[0219] 在控制信号 GATE_{2G}被设定为高侧电位 V_{DD2}并且第二开关晶体管 25_G变成导通状态的帧边界部分附近,首先,控制信号 SR₁被设定为高侧电位 V_{DD2},从而第三开关晶体管 26 变成导通状态。由于该操作,保持电容 22_G的保持电位 PIX_G经由第二和第三开关晶体管 25_G和 26 读出,并施加至反相电路 23 的输入端。

[0220] 以下将考虑在从保持电容 22_c 读取保持电位 PIX_c 的时段开始之前, 不将中间电位 V_{mid} 施加至反相电路 23 的输入端的情况。在该情况下, 在将保持电容 22_c 的保持电位 PIX_c 施加至反相电路 23 的输入端时, 在保持电容 22_c 和反相电路 23 的输入电容之间产生电容分布。

[0221] 具体地, 当在反相电路 23 的输入电位 INV_{in} 例如处于低侧电位 V_{SS1} 的状态下写入等于高侧电位 V_{DD1} 的保持电位 PIX_c 时, 由于该写入的定时处的电位差很大, 因此在保持电容 22_c 和反相电路 23 的输入电容之间产生电容分布。由于该电容分布, 如图 11G 中的虚线所示, 反相电路 23 的输入电位 INV_{in} 降低了电位 ΔV_1 , 电位 ΔV_1 取决于该电位差以及保持电容 22_c 和反相电路 23 的输入电容之间的电容比。因此, 反相电路 23 的操作余量变小。

[0222] 相反, 在根据操作实例 1 的驱动方法中, 如上所述, 在从保持电容 22_c 读取保持电位 PIX_c 的时段开始之前, 中间电位 V_{mid} 施加至反相电路 23 的输入端。由于该特征, 相比于不施加中间电位 V_{mid} 时的情形, 施加至反相电路 23 的输入端的保持电位 PIX_c 和施加前的输入电位 INV_{in} 之间的电位差变小。

[0223] 因此, 在将保持电容 22_c 的保持电位 PIX_c 施加至反相电路 23 的输入端时, 可以使由于电容分布引起的反相电路 23 的输入电位 INV_{in} 的降低量 ΔV_2 小于不施加中间电位 V_{mid} 时的降低量 ΔV_1 。结果, 当将中间电位 V_{mid} 施加至输入端时, 相比于不将中间电位 V_{mid} 施加至反相电路 23 的输入端的情况, 可以改善 (扩大) 反相电路 23 以及因此 DRAM 的操作余量。

[0224] 反相电路 23 反转从保持电容 22_c 读出的保持电位 PIX_c 的极性 (逻辑)。通过反相电路 23 的该操作, 输入电位 $INV_{in} (= V_{DD1} - \Delta V_2)$ 通过极性反转成为等于低侧电位 V_{SS1} 的输出电位 INV_{out} 。在反相电路 23 的输入和输出电位 INV_{in} 和 INV_{out} 中, 高侧电位 V_{DD1} 相当于图 8 中的正侧电源电位 V_{DD} , 并且低侧电位 V_{SS1} 相当于负侧电源电位 V_{SS} 。

[0225] 在第三开关晶体管 26 的栅极和源极之间存在寄生电容。因此, 在控制信号 SR_1 从高侧电位 V_{DD2} 到低侧电位 V_{SS2} 转变的定时, 归因于寄生电容引起的耦合, 反相电路 23 的输入电位 INV_{in} 从电位 $(V_{DD1} - \Delta V_2)$ 轻微下降 (降低)。

[0226] 在下一帧 $N+1$ 开始之后, 控制信号 SR_2 被设定为高侧电位 V_{DD2} , 从而第四开关电容器 27 变成导通状态。由于该操作, 通过反相电路 23 的极性反转 (逻辑反转) 而获得的信号电位 (即, 反相电路 23 的输出电位 INV_{out}) 经由第四和第二开晶体管 27 和 25_c 写入保持电容 22_c 。结果, 保持电容 22_c 的保持电位 PIX_c 的极性被反转。通过该一系列操作, 执行了保持电容 22_c 的保持电位 PIX_c 的极性反转操作和刷新操作。

[0227] 在刷新操作中, 具有高负载电容的信号线 31 既不充电也不放电。换句话说, 由于第一至第四开关晶体管 24 至 27 以及反相电路 23 的操作, 可以在不对具有高负载电容的信号线 31 进行充电和放电的情况下执行保持电容 22_c 的保持电位 PIX_c 的刷新操作。

[0228] 在存储器显示模式期间, 以三帧周期重复地执行保持电容 22_c 的保持电位 PIX_c 的上述极性反转操作和刷新操作。虽然以上将子像素 20_c 的情况作为实例进行了描述, 但是上述操作是基于每帧顺次为对应于红色显示的子像素 20_r 、对应于绿色显示的子像素 20_g 、对应于蓝色显示的子像素 20_b 执行的。子像素的次序可以是任意次序。

[0229] 如上所述, 在根据操作实例 1 的驱动方法中, 通过在从保持电容 22_c 读取保持电位 PIX_c 的时段开始之前将中间电位 V_{mid} 施加至反相电路 23 的输入端, 可以实现以下操作和效

果。具体地,相比于不施加中间电位 V_{mid} 时的情况,施加至反相电路 23 的输入端的保持电位 PIX_G 和施加之前的输入电位 INV_{in} (即,中间电位 V_{mid}) 之间的电位差变小。

[0230] 由于该特征,在将保持电容 22_G 的保持电位 PIX_G 施加至反相电路 23 的输入端时,可以使得由于电容分布而引起的反相电路 23 的输入电位 INV_{in} 的降低量 ΔV_2 比不施加中间电位 V_{mid} 时小。因此,相比于不将中间电位 V_{mid} 施加至反相电路 23 的输入端的情况,可以改善(扩大)反相电路 23 以及因此 DRAM 的操作余量。

[0231] 从上述关于操作的描述显而易见,在操作实例 1 中,图 1 中示出的生成控制信号 $GATE_1$ 和控制信号 SR_1 以驱动第一和第三开关晶体管 24 和 26 的控制线驱动器 50,用作执行驱动以将中间电位 V_{mid} 施加至反相电路 23 的输入端的驱动器。

[0232] 顺便说一下,在反相电路 23 的极性反转操作之后,第三开关晶体管 26 处于非导通状态,因此反相电路 23 的输入端处于浮置状态。在该浮置状态下,已经由于电容耦合而降低至电位 $V_{DD1} (= V_{DD}) - \Delta V$ 的反相电路 23 的输入电位 INV_{in} 处于不稳定状态,并可能由于例如漏电流而降低。

[0233] 如果输入电位 INV_{in} 越出反相电路 23 所包括的 PchMOS 晶体管 231 的阈值电压 V_{thp} , 即,变得低于 $V_{DD1} (= V_{DD}) - V_{thp}$, 则 PchMOS 晶体管 231 变成导通状态。此时, NchMOS 晶体管 232 处于导通状态,因此直通电流经由 MOS 晶体管 231 和 232 流经反相电路 23。直通电流流经反相电路 23 引起单个像素 20 的功耗以及因此整个液晶显示装置 10 的功耗的增加。

[0234] 因此,在根据操作实例 1 的像素 20 中,在通过第四开关元件 27 写入反转电位后的一段时间,反相电路 23 的输入电位 INV_{in} 被稳定至电源电位,以防止直通电流流经反相电路 23。具体地,在从控制信号 SR_2 从高侧电位 V_{DD2} 转换到低侧电位 V_{SS2} 的定时经过了一段时间(在本实例中,1H)之后,控制信号 $GATE_1$ 和 SR_1 仅在一段时间(在本实例中,1H)从低侧电位 V_{SS2} 切换到高侧电位 V_{DD2} 。

[0235] 此时,电源电位,例如,相当于低侧电位 V_{SS1} 的地(GND) 电位,而不是反映灰阶的信号电位,从图 1 所示的信号线驱动器 40 输出到信号线 31。由于响应于控制信号 $GATE_1$ 和 SR_1 将第一和第三开关晶体管 24 和 26 设定为导通状态,因此地(GND) 电位经由这些开关晶体管 24 和 26 从信号线 31 写入反相电路 23 的输入端。

[0236] 这提供了反相电路 23 的输入电位 INV_{in} 在极性反转操作之后被稳定至电源电位(具体地,地(GND) 电位) 的状态。在输入电位 INV_{in} 被稳定至地电位的状态下,虽然 PchMOS 晶体管 231 处于导通状态,但 NchMOS 晶体管 232 确定地被设定为非导通状态。因此,直通电流不流经反相电路 23。这可以抑制单个像素 20 的功耗以及因此整个液晶显示装置 10 的功耗。

[0237] 具体地,通过使用负侧(低侧) 电源电位 V_{SS1} , 即,本实例中的地(GND) 电位作为电源电位以稳定反相电路 23 的输入电位 INV_{in} , 可以实现特定操作和效果。具体地,在控制信号 SR_1 从高侧电位 V_{DD2} 转换到低侧电位 V_{SS2} 的定时,归因于由于第三开关晶体管 26 的栅极和源极之间存在的寄生电容引起的耦合,反相电路 23 的输入电位 INV_{in} 从地电位进一步下降电位 ΔV 。

[0238] 因此, NchMOS 晶体管 232 可以更确定地被设定为非导通状态,因此可以更确定地避免直通电流流经反相电路 23。具体地,即使输入电位 INV_{in} 由于直到下一帧的稳定操作之前的一帧周期中的一些漏电流的流动而增大,由于该电位从(地电位 - ΔV) 增大,因此相

比于电位从地电位增大的情况,可以更确定地保持 NchMOS 晶体管 232 的非导通状态。

[0239] 可以将正侧电源电位 V_{DD1} 而不是负侧电源电位 V_{SS1} 从信号线 31 写入反相电路 23 的输入端作为电源电位,以稳定反相电路 23 的输入电位 INV_{in} 。通过将反相电路 23 的输入电位 INV_{in} 稳定至正侧电源电位 V_{DD1} ,虽然 NchMOS 晶体管 232 处于导通状态,但是 PchMOS 晶体管 231 可以确定地被设定为非导通状态。因此,直通电流不流经反相电路 23。

[0240] 顺便说一下,在根据操作实例 1 的像素 20 中,由于采用将保持电容 22 用作 DRAM 的配置,因此从信号线 31 到保持电容 22 的写入路径基于由第一和第二开关晶体管 24 和 25 组成的双晶体管结构。根据该双晶体管结构,即使在超过规定值的漏电流流经一个开关晶体管 24/25 时,另一个开关晶体管 25/24 也可以防止超过规定值的漏电流的流动。因此,可以获得使得漏电流小于规定值的液晶显示面板 10A。

[0241] 为了将反相电路 23 的输入电位 INV_{in} 稳定至电源电位,通常会考虑总是将第一开关晶体管 24 设定为导通状态以将电源电位从信号线 31 施加至反相电路 23 的输入端的技术。然而,在利用保持电容 22 作为 DRAM 的像素 20 采用双晶体管结构的情况下,鉴于上述漏电流,总是将第一开关晶体管 24 设定为导通状态并不是优选的。因此,在根据操作实例 1 的采用双晶体管结构的像素 20 中,有效的是使用上述仅在一帧周期中的一段时间将第一开关晶体管 24 设定为导通状态以将电源电位从信号线 31 施加至反相电路 23 的输入端的技术。

[0242] [2-4. 操作实例 2]

[0243] 图 12A 至图 12H 是定时波形图,用于解释根据操作实例 2 的用于将中间电位施加至反相电路 23 的输入端的驱动方法的操作,具体地,用于解释关于某扫描线的存储器显示模式中的操作。

[0244] 以下将通过将上述像素配置例 2 的像素电路中对应于绿色的子像素 20_G 的情况作为实例进行描述。然而,同样对其他颜色的子像素 20_R 和 20_B 以及像素配置例 1 的像素电路执行与子像素 20_G 类似的操作。

[0245] 在图 12A 至图 12E 中,以放大的方式示出了在图 10A 至图 10H 的帧边界部分附近的信号线 31 的电位的波形(图 12A)、控制信号 $GATE_1$ 的波形(图 12B)、对应于 G 的控制信号 $GATE_{2G}$ 的波形(图 12C)、控制信号 SR_1 的波形(图 12D)、以及控制信号 SR_2 的波形(图 12E)。此外,在图 12F 至图 12H 中,以放大的方式示出了保持在保持电容 22_G 中的电位 PIX_G (保持电位)的波形、反相电路 23 的输入电位 INV_{in} 的波形及其输出电位 INV_{out} 的波形。

[0246] 在图 12A 至图 12H 中,当前帧表示为帧 N 并且下一帧表示为帧 N+1。在本实例中,例如,1H 被用作控制信号 $GATE_1$ 、 $GATE_{2G}$ 、 SR_1 和 SR_2 的脉冲宽度的单位。

[0247] 与操作实例 1 类似,由于将控制信号 $GATE_{2G}$ 设定为高侧电位 V_{DD2} 并将第二开关晶体管 25_G 设定为导通状态,第二操作模式开始。以下将描述的并且在第二操作模式开始之前所执行的操作是操作实例 2 的特征点。具体地,在第二操作模式的读取时段开始之前(在本实例中,2H 之前),控制信号 SR_1 和 SR_2 都被设定为高侧电位 V_{DD2} 。

[0248] 在本实例中,控制信号 SR_1 在 3H 周期上被设定为高侧电位 V_{DD2} 。在该 3H 周期的第三 H 周期中,高侧电位 V_{DD2} 的周期与控制信号 $GATE_{2G}$ 的周期重叠。控制信号 SR_2 仅在 1H 周期被设定为高侧电位 V_{DD2} 。

[0249] 以下操作也是可能的。具体地,控制信号 SR_1 同样仅在 1H 周期被设定为高侧电位

V_{DD2} 。之后,与操作实例 1 类似,当控制信号 $GATE_{2G}$ 被设定为高侧电位 V_{DD2} 时,控制信号 SR_1 再次被设定为高侧电位 V_{DD2} 。然而,鉴于抑制功耗,将控制信号 SR_1 在 3H 周期上连续设定为高侧电位 V_{DD2} 是优选的,这是因为第三开关晶体管 26 的开关操作的次数少。

[0250] 在第二操作模式的读取时段开始之前,控制信号 SR_1 和 SR_2 都被设定为高侧电位 V_{DD2} ,从而第三和第四开关晶体管 26 和 27 都变成导通状态。因此,反相电路 23 的输入和输出端经由第三和第四开关晶体管 26 和 27 电连接(短路)。

[0251] 因为反相电路 23 的特性,由于输入端和输出端之间的短路,反相电路 23 的输入电位 INV_{in} 成为其工作电源电压范围中的中间电位 V_{mid} 。在反相电路 23 的输入电位 INV_{in} 以这种方式被设定为中间电位 V_{mid} 之后,控制信号 $GATE_{2G}$ 被设定为高侧电位 V_{DD2} ,并且第二开关晶体管 25_G 变成导通状态,从而第二操作模式开始。

[0252] 在控制信号 $GATE_{2G}$ 被设定为高侧电位 V_{DD2} 并且第二开关晶体管 25_G 变成导通状态的帧边界部分附近,控制信号 SR_1 被连续地设定为高侧电位 V_{DD2} ,从而第三开关晶体管 26 处于导通状态。因此,保持电容 22_G 的保持电位 PIX_G 经由第二和第三开关晶体管 25_G 和 26 读出,并被施加至反相电路 23 的输入端。

[0253] 在从保持电容 22_G 读取保持电位 PIX_G 的时段开始之前,反相电路 23 的输入电位 INV_{in} 被设定为中间电位 V_{mid} 。由于该特征,相比于输入电位 INV_{in} 没有被设定为中间电位 V_{mid} 的情形,施加至反相电路 23 的输入端的保持电位 PIX_G 和施加前的输入电位 INV_{in} (即,中间电位 V_{mid}) 之间的电位差变小。

[0254] 因此,在将保持电容 22_G 的保持电位 PIX_G 施加至反相电路 23 的输入端时,可以使得由于电容分布而引起的反相电路 23 的输入电位 INV_{in} 的降低量 ΔV_2 小于输入电位 INV_{in} 不被设定为中间电位 V_{mid} 时的降低量 ΔV_1 。结果,当输入电位 INV_{in} 被设定为中间电位 V_{mid} 时,相比于反相电路 23 的输入电位 INV_{in} 不被设定为中间电位 V_{mid} 的情况,可以改善(扩大)反相电路 23 以及因此 DRAM 的操作余量。

[0255] 在下一帧 N+1 开始之后,控制信号 SR_2 被设定为高侧电位 V_{DD2} ,从而第四开关电容器 27 变成导通状态。由于该操作,通过反相电路 23 的极性反转(逻辑反转)而获得的信号电位(即,反相电路 23 的输出电位 INV_{out})经由第四和第二开关晶体管 27 和 25_G 写入保持电容 22_G。结果,保持电容 22_G 的保持电位 PIX_G 的极性被反转。通过该一系列操作,执行了保持电容 22_G 的保持电位 PIX_G 的极性反转操作和刷新操作。

[0256] 在刷新操作中,具有高负载电容的信号线 31 既不充电也不放电。换句话说,由于第一至第四开关晶体管 24 至 27 以及反相电路 23 的操作,可以在不对具有高负载电容的信号线 31 进行充电和放电的情况下执行保持电容 22_G 的保持电位 PIX_G 的刷新操作。

[0257] 在存储器显示模式时期,以三帧周期重复地执行保持电容 22_G 的保持电位 PIX_G 的上述极性反转操作和刷新操作。虽然以上将子像素 20_G 的情况作为实例进行了描述,但是上述操作是基于每帧顺次为对应于红色显示的子像素 20_R、对应于绿色显示的子像素 20_G、对应于蓝色显示的子像素 20_B 执行的。子像素的次序可以是任意次序。

[0258] 如上所述,在根据操作实例 2 的驱动方法中,通过在从保持电容 22_G 读取保持电位 PIX_G 的时段开始之前将反相电路 23 的输入电位 INV_{in} 设定为中间电位 V_{mid} ,可以实现与操作实例 1 相同的操作和效果。具体地,相比于输入电位 INV_{in} 不被设定为中间电位 V_{mid} 的情况,通过将反相电路 23 的输入电位 INV_{in} 设定为中间电位 V_{mid} ,可以抑制由于电容分布而引

起的输入电位 INV_{in} 的降低。因此,可以改善 DRAM 的操作余量。

[0259] 从上述关于操作描述中显而易见,在操作实例 2 中,图 1 中示出的生成控制信号 SR_1 和 SR_2 以驱动第三和第四开关晶体管 26 和 27 的控制线驱动器 50,用作执行驱动以将中间电位 V_{mid} 施加至反相电路 23 的输入端的驱动器。

[0260] 因为采用了通过反相电路的输入和输出端之间的短路将反相电路 23 的输入电位 INV_{in} 设定为中间电位 V_{mid} 的配置,因此除了上述操作和效果,操作实例 2 还能实现操作实例 1 中没有实现的操作和效果。具体地,可以确定地执行反转操作而不受构成反相电路 23 的晶体管的特性差异(变化)的影响。这一点将在后面具体描述。

[0261] 首先,操作实例 1 中,固定电位(即,中间电位 V_{mid})被输入(施加)至反相电路 23 的输入端,反相电路 23 的输入-输出特性如图 13A 所示。在图 13A 中,实线(a)示出了典型输入-输出特性,并且点划线(b)和(c)示出了反相电路 23 的晶体管特性存在差异时的输入-输出特性。点线圈所包围的点表示反相电路 23 的工作点。

[0262] 在操作实例 1 中,固定电位被输入至反相电路 23 的输入端,当输入电位 INV_{in} 在固定电位(中间电位 V_{mid})被输入之后轻微地朝高侧偏移时,在某些情况下,由于晶体管的特性差异的影响,输出电位 INV_{out} 不足以变成低侧电位。这在图 13B 中示出。

[0263] 在操作实例 2 中,反相电路 23 的输入和输出端短路,反相电路 23 的输入-输出特性如图 14A 所示。在图 14A 中,实线(a)示出了典型输入-输出特性,并且点划线(b)和(c)示出了反相电路 23 的晶体管特性存在差异时的输入-输出特性。点线圈包围的点表示反相电路 23 的工作点。

[0264] 在反相电路 23 的输入和输出端短路的操作实例 2 中,当输入电位 INV_{in} 在输入电位 INV_{in} 被设定为中间电位 V_{mid} 之后轻微地朝高侧偏移时,即使存在晶体管的特性差异,输出电位 INV_{out} 也足以变成低侧电位。这在图 14B 中示出。

[0265] 从以上描述中显而易见,在反相电路 23 的输入和输出端短路的操作实例 2 中,相比于固定电位被输入至反相电路 23 的输入端的操作实例 1,可以更确定地执行反相操作而不受反相电路 23 的晶体管的特性差异的影响。

[0266] 此外,与操作实例 1 类似,在反相电路 23 的极性反转操作之后,第三开关晶体管 26 处于非导通状态,并且反相电路 23 的输入端处于浮置状态。因此,反相电路 23 的输入电位 INV_{in} 处于不稳定状态。如果输入电位 INV_{in} 越出反相电路 23 所包括的 PchMOS 晶体管 231 的阈值电压 V_{thp} ,即,变得低于 $V_{DD1} (= V_{DD}) - V_{thp}$,则直通电流流经反相电路 23,因此引起功耗的增加。

[0267] 因此,与操作实例 1 类似,同样在根据操作实例 2 的子像素 20_R 、 20_G 和 20_B 中,为了防止直通电流流经反相电路 23,在通过第四开关元件 27 写入反转电位之后的一段时间,反相电路 23 的输入电位 INV_{in} 被稳定至电源电位。具体地,例如,在从控制信号 SR_2 从高侧电位 V_{DD2} 转换至低侧电位 V_{SS2} 的定时经过了一段时间(在该实例中,1H)之后,控制信号 $GATE_1$ 和 SR_1 仅在一段时间(在该实例中,1H)内从低侧电位 V_{SS2} 切换至高侧电位 V_{DD2} 。

[0268] 此时,电源电位(例如,相当于低侧电位 V_{SS1} 的地(GND)电位),而不是反映灰阶的信号电位,从图 1 所示的信号线驱动器 40 输出到信号线 31。由于响应于控制信号 $GATE_1$ 和 SR_1 将第一和第三开关晶体管 24 和 26 设定为导通状态,因此地(GND)电位经由这些开关晶体管 24 和 26 从信号线 31 写入反相电路 23 的输入端。

[0269] 这提供了反相电路 23 的输入电位 INV_{in} 在极性反转操作之后被设定至电源电位（具体地，地（GND）电位）的状态。在输入电位 INV_{in} 被稳定至地电位的状态下，虽然 PchMOS 晶体管 231 处于导通状态，但 NchMOS 晶体管 232 确定地被设定为非导通状态。因此，直通电流不流经反相电路 23。这可以抑制单个像素 20 的功耗以及因此整个液晶显示装置 10 的功耗。

[0270] 具体地，通过使用负侧（低侧）电源电位 V_{SS1} ，即，本实例中的地（GND）电位作为电源电位以稳定反相电路 23 的输入电位 INV_{in} ，可以实现特定操作和效果。具体地，在控制信号 SR_1 从高侧电位 V_{DD2} 转换至低侧电位 V_{SS2} 的定时，归因于由于第三开关晶体管 26 的栅极和源极之间存在的寄生电容引起的耦合，反相电路 23 的输入电位 INV_{in} 从地电位进一步下降电位 ΔV 。

[0271] 因此，NchMOS 晶体管 232 可以更确定地被设定为非导通状态，因此可以更确定地避免直通电流流经反相电路 23。具体地，即使输入电位 INV_{in} 由于直到下一帧的稳定操作之前的一帧周期中的一些漏电流的流动而增大，由于该电位从（地电位 - ΔV ）增大，因此相比于电位从地电位增大的情况，可以更确定地保持 NchMOS 晶体管 232 的非导通状态。

[0272] 可以将正侧电源电位 V_{DD1} 而不是负侧电源电位 V_{SS1} 从信号线 31 写入反相电路 23 的输入端作为电源电位，以稳定反相电路 23 的输入电位 INV_{in} 。通过将反相电路 23 的输入电位 INV_{in} 稳定至正侧电源电位 V_{DD1} ，虽然 NchMOS 晶体管 232 处于导通状态，但是 PchMOS 晶体管 231 可以确定地被设定为非导通状态。因此，直通电流不流经反相电路 23。

[0273] <3. 变形例>

[0274] 关于上述实施方式，已经描述了基于一对一的对应关系为每个像素 20 设置反相电路 23 的实例（像素配置例 1）和为三个子像素 20_R 、 20_G 和 20_B 共同设置一个反相电路 23 的实例（像素配置例 2）。然而，它们仅仅是一个示例。例如，还可以采用四个或更多像素（子像素）共享一个反相电路 23 的配置。

[0275] 具体地，在用于彩色显示的液晶显示装置中，还可以采用例如一个反相电路 23 由每个都由 R、G 和 B 子像素组成的两个单位像素共享（即，由六个子像素共享）的配置。随着共享一个反相电路 23 的像素（子像素）数量的增加，构成液晶显示面板 10_A 的电路元件的数量可以减少，相应地，可以提高液晶显示面板 10_A 的生产率。

[0276] 可以使用如图 15 所示的钳位电路作为“反相电路”。图 15 是将钳位电路用作像素配置例 2 中的反相电路作为变形例的像素电路的电路图。在图 15 中，对于与图 8 中的部分等同的部分给以相同的符号。

[0277] 在根据本变形例的像素电路中，极性反转单元 24_B 具有钳位电路 244、第三开关元件 242 以及第四开关元件 243。同样在本变形例中，例如，使用薄膜晶体管作为用作开关元件的开关晶体管 231、232_R、232_G、232_B、242 和 243。虽然 NchMOS 晶体管用作开关晶体管 231、232_R、232_G、232_B、242 和 243，但是也可以使用 PchMOS 晶体管。

[0278] （电路配置）

[0279] 在图 15 中，选择器部 23 的电路配置与像素配置例 2 相同。具体地，第一开关晶体管 231 的一个主电极（漏极 / 源极）连接至信号线 31。当从信号线 31 在像素 20 中写入（捕获）反映灰阶的信号电位（ V_{sig}/V_{XCS} ）时，第一开关晶体管 231 在控制信号 $GATE_1$ 的控制下被设定为导通状态。

[0280] 第二开关晶体管 232_R的一个主电极与液晶电容 21_R的像素电极和保持电容 22_R的一个电极公共连接,并且第二开关晶体管 232_R的另一主电极连接至第一开关晶体管 231 的另一主电极。当将反映灰阶的信号电位 (V_{sig}/V_{XCS}) 写入保持电容 22_R时,第二开关晶体管 232_R在对应于红色的控制信号 GATE_{2R}的控制下被设定为导通状态。

[0281] 第二开关晶体管 232_G的一个主电极与液晶电容 21_G的像素电极和保持电容 22_G的一个电极公共连接,并且第二开关晶体管 232_G的另一主电极连接至第一开关晶体管 231 的另一主电极。当将反映灰阶的信号电位 (V_{sig}/V_{XCS}) 写入保持电容 22_G时,第二开关晶体管 232_G在对应于绿色的控制信号 GATE_{2G}的控制下被设定为导通状态。

[0282] 第二开关晶体管 232_B的一个主电极与液晶电容 21_B的像素电极和保持电容 22_B的一个电极公共连接,并且第二开关晶体管 232_B的另一主电极连接至第一开关晶体管 231 的另一主电极。当将反映灰阶的信号电位 (V_{sig}/V_{XCS}) 写入保持电容 22_B时,第二开关晶体管 232_B在对应于蓝色的控制信号 GATE_{2B}的控制下被设定为导通状态。

[0283] 在极性反转单元 24_B中,钳位电路 244 由两个 CMOS 反相器组成。具体地,一个 CMOS 反相器由串联连接在电源电位 V_{DD} 的电源线和电源电位 V_{SS} 的电源线之间的 PchMOS 晶体管 Q_{p11} 和 NchMOS 晶体管 Q_{n11} 组成。类似地,另一 CMOS 反相器由串联连接在电源电位 V_{DD} 的电源线和电源电位 V_{SS} 的电源线之间的 PchMOS 晶体管 Q_{p12} 和 NchMOS 晶体管 Q_{n12} 组成。

[0284] PchMOS 晶体管 Q_{p11} 和 NchMOS 晶体管 Q_{n11} 的栅极公共连接,并用作钳位电路 244 的输入端。该输入端连接至第三开关晶体管 242 的另一主电极。PchMOS 晶体管 Q_{p12} 和 NchMOS 晶体管 Q_{n12} 的栅极公共连接,并用作钳位电路 244 的输出端。该输出端连接至第四开关晶体管 243 的另一主电极。

[0285] PchMOS 晶体管 Q_{p11} 和 NchMOS 晶体管 Q_{n11} 的栅极经由控制晶体管 Q_{n13} 连接至 PchMOS 晶体管 Q_{p12} 和 NchMOS 晶体管 Q_{n12} 的漏极。PchMOS 晶体管 Q_{p12} 和 NchMOS 晶体管 Q_{n12} 的栅极直接连接至 PchMOS 晶体管 Q_{p11} 和 NchMOS 晶体管 Q_{n11} 的漏极。

[0286] 在存储器显示模式中,在执行刷新操作时,在控制信号 SR_3 的控制下,控制晶体管 Q_{n13} 选择性地将钳位电路 244 设定为激活状态。具体地,当控制晶体管 Q_{n13} 处于导通状态时,由两个 CMOS 反相器组成的钳位电路 244 被设定为激活状态。由于将钳位电路 244 设定为激活状态,因此保持电容 22_R、22_G和 22_B的保持电位的极性反转操作和刷新操作被执行。当控制晶体管 Q_{n13} 处于非导通状态时,两个 CMOS 反相器均作为独立的放大器电路进行操作。

[0287] 第三开关元件 242 的一个主电极连接至第一开关元件 231 的另一主电极,并且第三开关元件 242 的另一主电极连接至钳位电路 244 的输入端(即,MOS 晶体管 Q_{p11} 和 Q_{n11} 的栅极)。当从信号线 31 在像素 20 中写入信号电位 (V_{sig}/V_{XCS}) 时,第三开关晶体管 242 在控制信号 SR_1 的控制下被设定为非导通状态。

[0288] <4. 应用例>

[0289] 根据本发明实施方式的上述液晶显示装置可以应用于所有领域的电子设备件中包括的显示装置,并显示输入到电子设备的视频信号或在电子设备中生成的视频信号以作为图像或视频。作为一个实例,液晶显示装置可以应用于例如图 16 至图 20A 至图 20G 中示出的各种电子设备件中的显示装置,具体地,电视机、数码相机、笔记本个人电脑、视频摄像机以及诸如手机的便携式终端装置。

[0290] 使用根据本发明实施方式的液晶显示装置作为所有领域中的电子设备件的显示

装置,可以有助于提高各种电子设备的显示装置分辨率,以及减小电子设备的功耗。具体地,从实施方式的以上描述中显而易见,在根据本发明实施方式的液晶显示装置中,像素中的保持电容用作 DRAM,从而相比于使用 SRAM 的情况,可以简化像素结构。因此,可以实现像素微小化。另外,可以抑制液晶显示装置的功耗。为此,使用根据本发明实施方式的液晶显示装置,可以有助于提高各种电子设备的显示装置的分辨率,以及减小电子设备的功耗。

[0291] 根据本发明实施方式的液晶显示装置还包括具有基于密封配置的模块形状的装置。这种装置的实例包括通过设置围绕像素阵列单元的封装部以及通过使用该封装部分作为粘接剂结合例如由透明玻璃形成的对向单元而形成的显示模块。在该透明对向部中,例如,可以设置滤色器、保护膜和阻光膜。在显示模块中,例如,可以设置用于在外部和像素阵列单元之间输入和输出信号等的电路部分和柔性印刷电路 (FPC)。

[0292] 以下将描述应用本发明实施方式的电子设备的具体实例。

[0293] 图 16 是示出应用本发明的实施方式的电视机的外观的斜视图。根据本应用例的电视机包括由前面板 102、滤色玻璃 103 等组成的视频显示屏幕单元 101,并通过使用根据本发明实施方式的显示装置作为视频显示屏幕单元 101 而制成。

[0294] 图 17A 和图 17B 是示出应用本发明的实施方式的数码相机的外观的斜视图:图 17A 是正面斜视图,图 17B 是背面斜视图。根据本应用例的数码相机包括用于闪光的发光器 111、显示单元 112、菜单开关 113、快门按钮 114 等,并通过使用根据本发明实施方式的显示装置作为显示单元 112 而制成。

[0295] 图 18 是示出应用本发明的实施方式的笔记本个人电脑的外观的斜视图。根据本应用例的个人笔记本电脑包括主体 121、在输入字符等时操作的键盘 122、显示图像的显示单元 123 等,并通过使用根据本发明实施方式的显示装置作为显示单元 123 而制成。

[0296] 图 19 是示出应用本发明的实施方式的视频摄像机的外观的斜视图。根据本应用例的视频摄像机包括主体部分 131、用于正面的对象拍摄的镜头 132、用于拍摄的开始 / 停止开关 133、显示单元 134 等,并通过使用根据本发明实施方式的显示装置作为显示单元 134 而制成。

[0297] 图 20A 至图 20G 是示出作为应用本发明的实施方式的便携式终端装置的一个实例的手机的外观图:图 20A 是打开状态的正视图,图 20B 是打开状态的侧视图,图 20C 是关闭状态的正视图,图 20D 是左侧视图,图 20E 是右侧视图,图 20F 是顶视图,以及图 20G 是底视图。根据本应用例的手机包括上壳体 141、下壳体 142、连接部分(在该实例中,铰链部分)143、显示器 144、副显示器 145、图像灯 (picture light) 146、相机 147 等。根据本应用例的手机通过使用根据本发明实施方式的显示装置作为显示器 144 和副显示器 145 而制成。

[0298] 本发明包含与分别在 2010 年 6 月 24 日在日本专利局提交的日本优先权专利申请 JP 2010-144151 和 JP 2010-144153 的公开相关的主题,其全部内容结合于此作为参考。

[0299] 本领域技术人员应理解,在所附权利要求或其等同物的范围内,根据设计需求和其他因素,可以进行各种修改、组合、子组合以及替换。

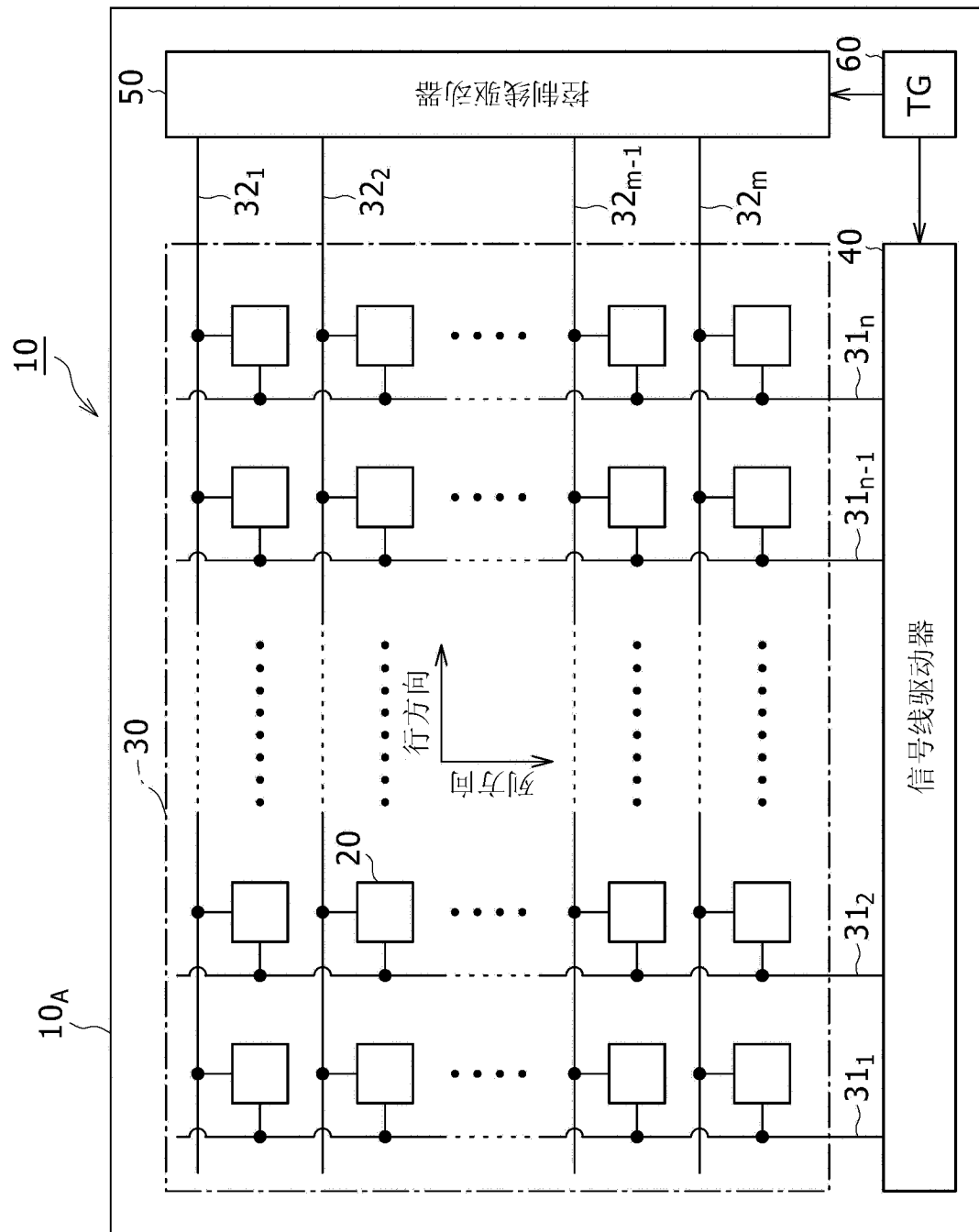


图 1

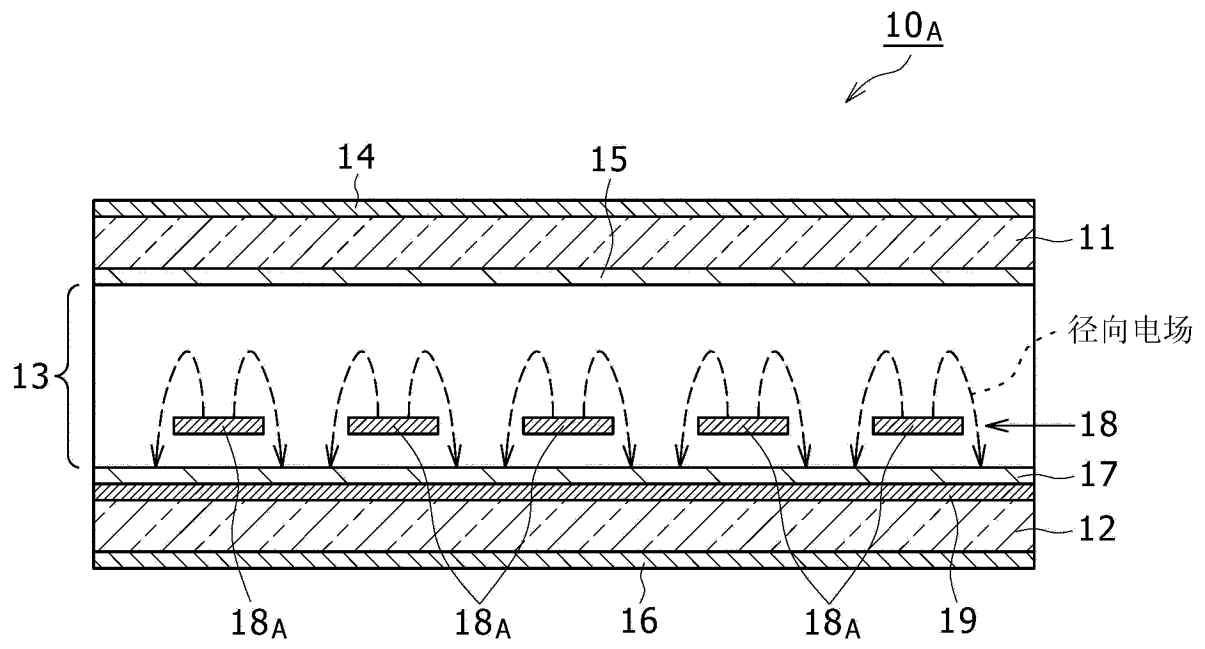


图 2

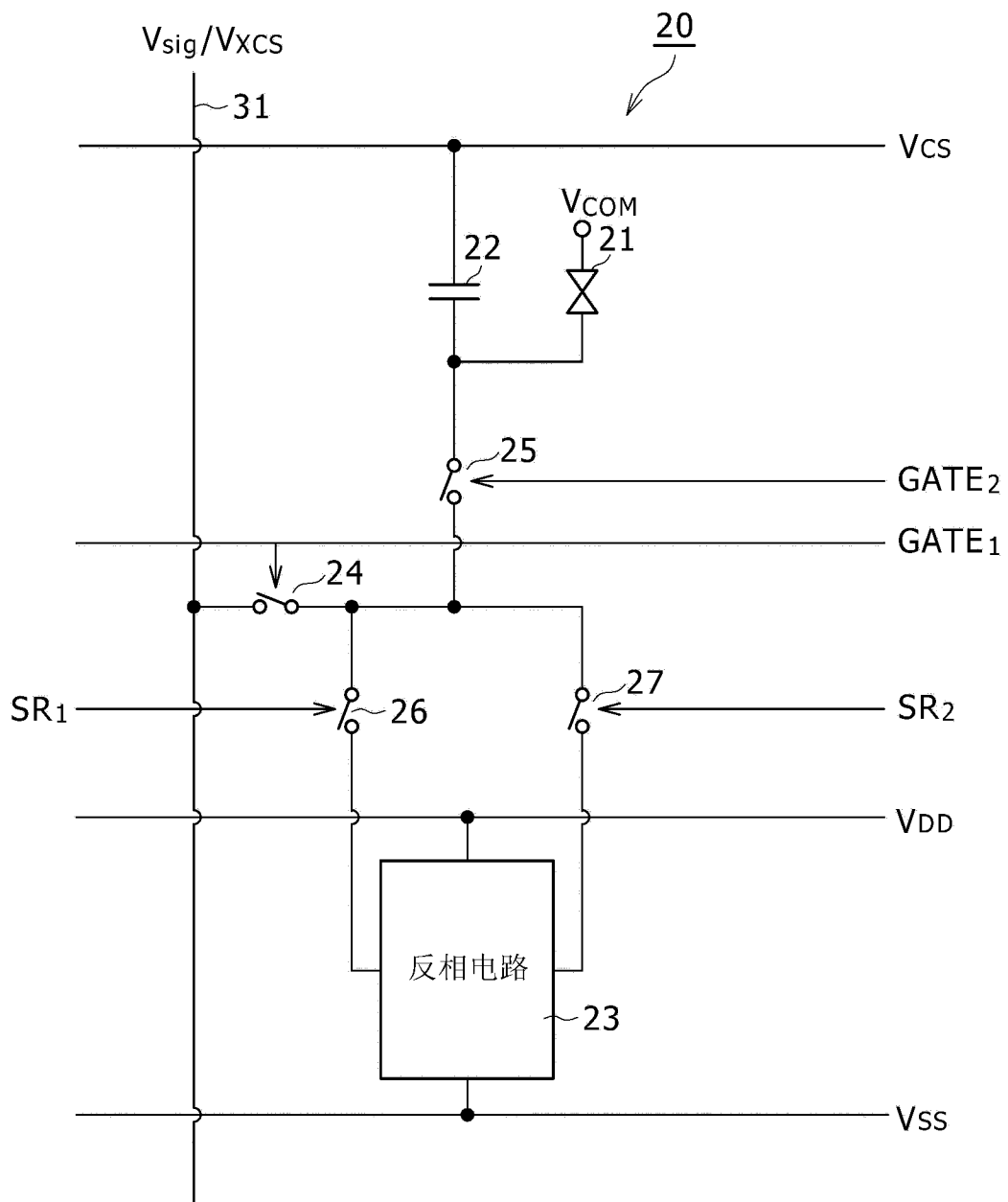


图 3

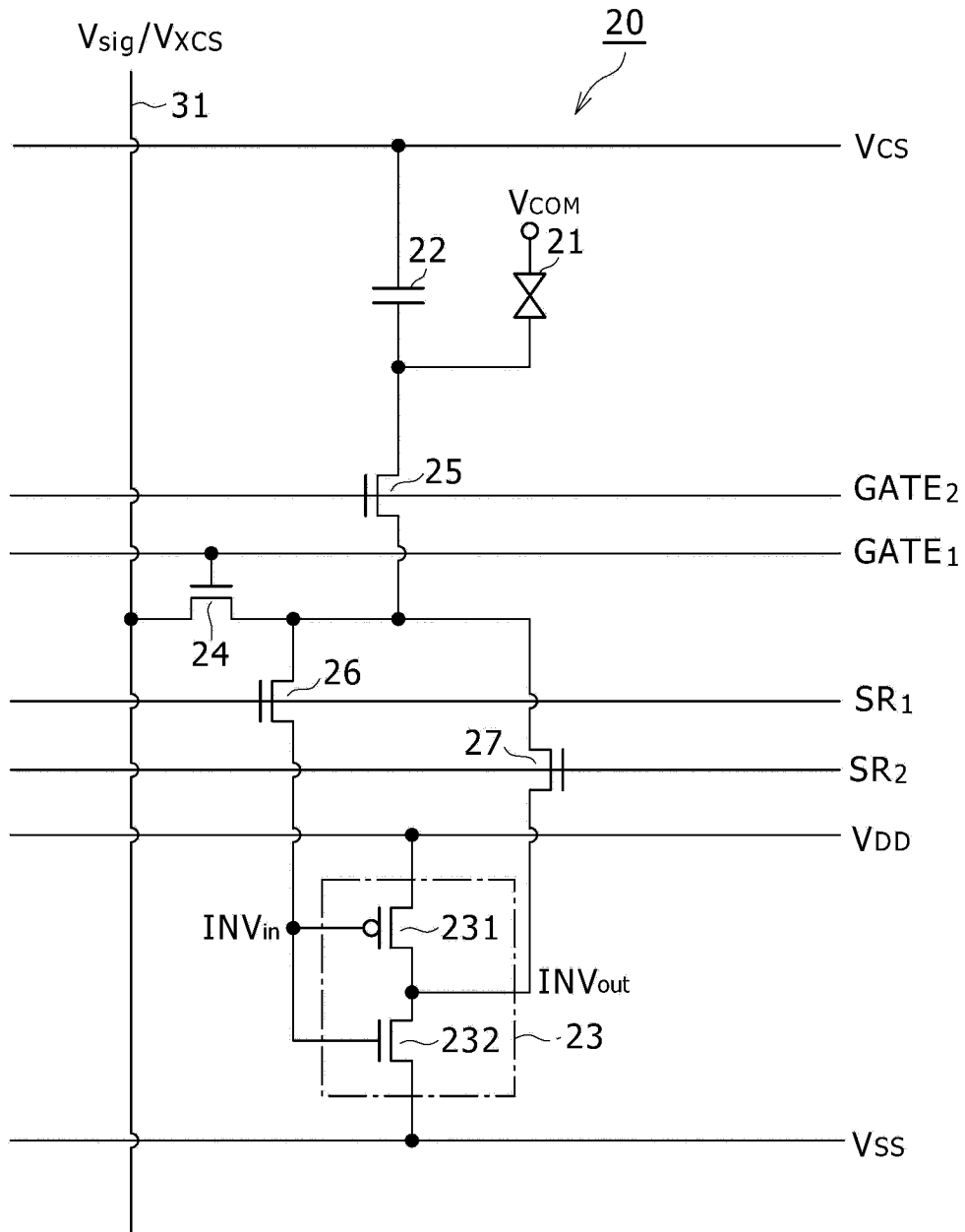


图 4

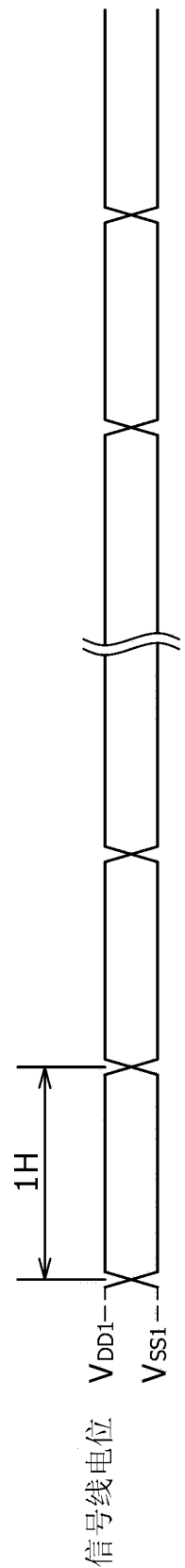


图 5A

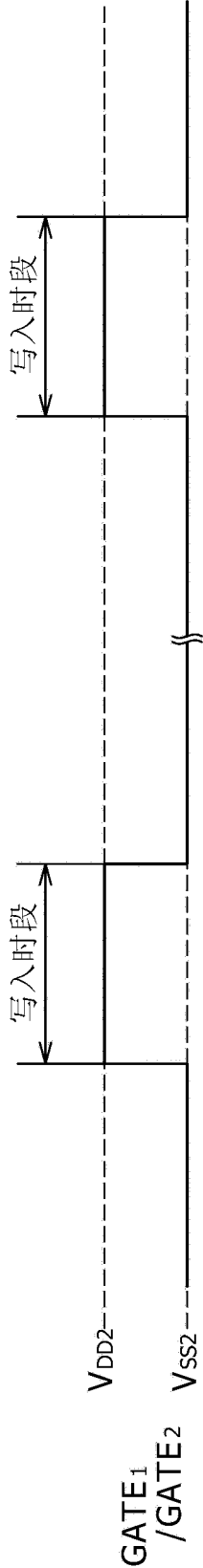


图 5B



图 5C

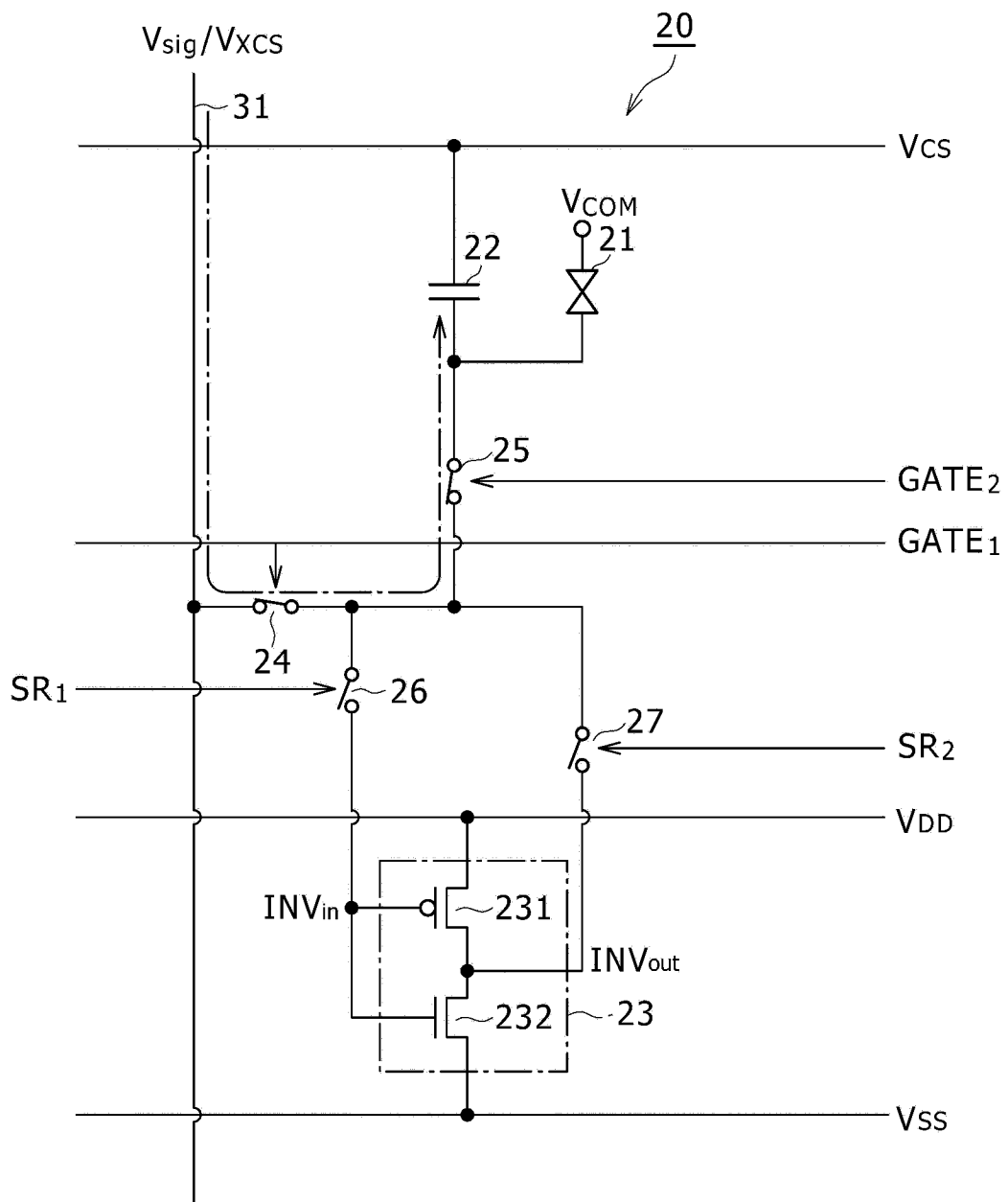
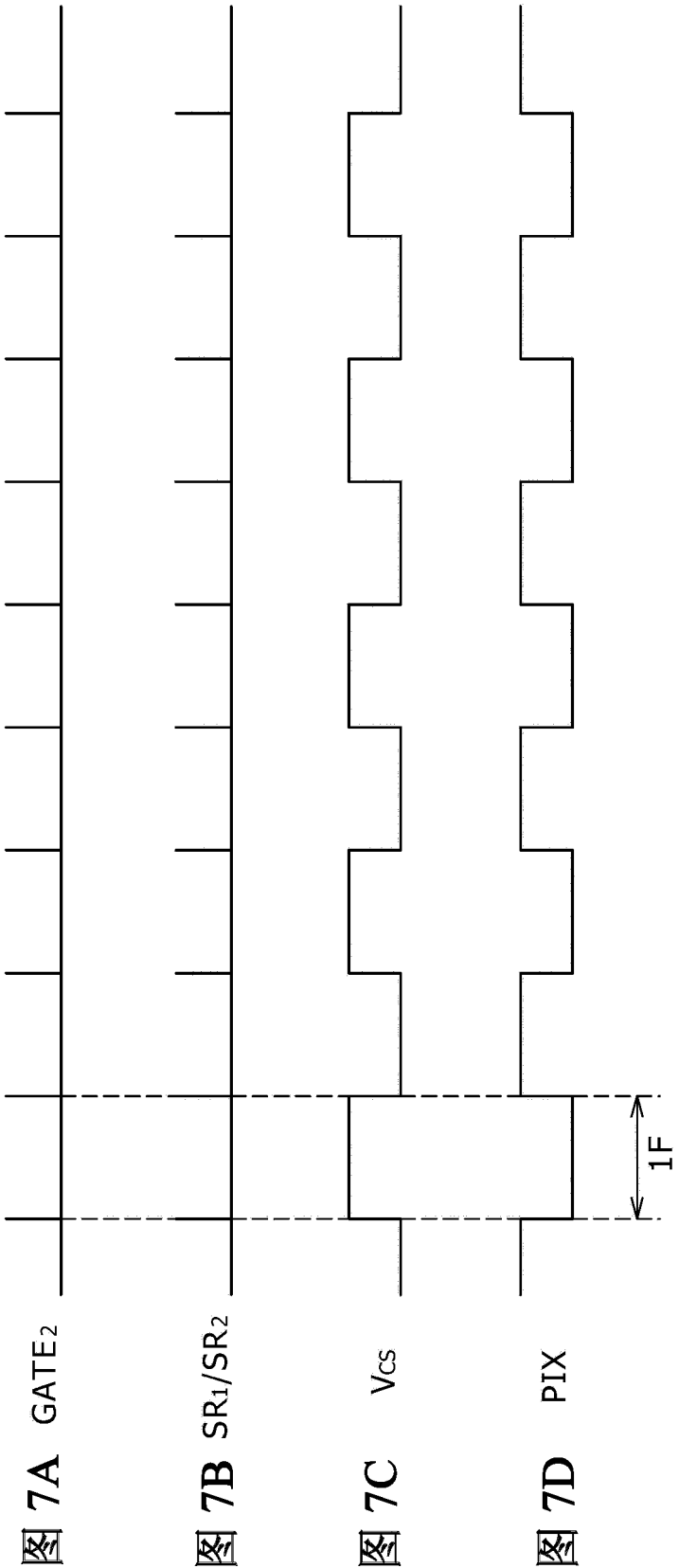
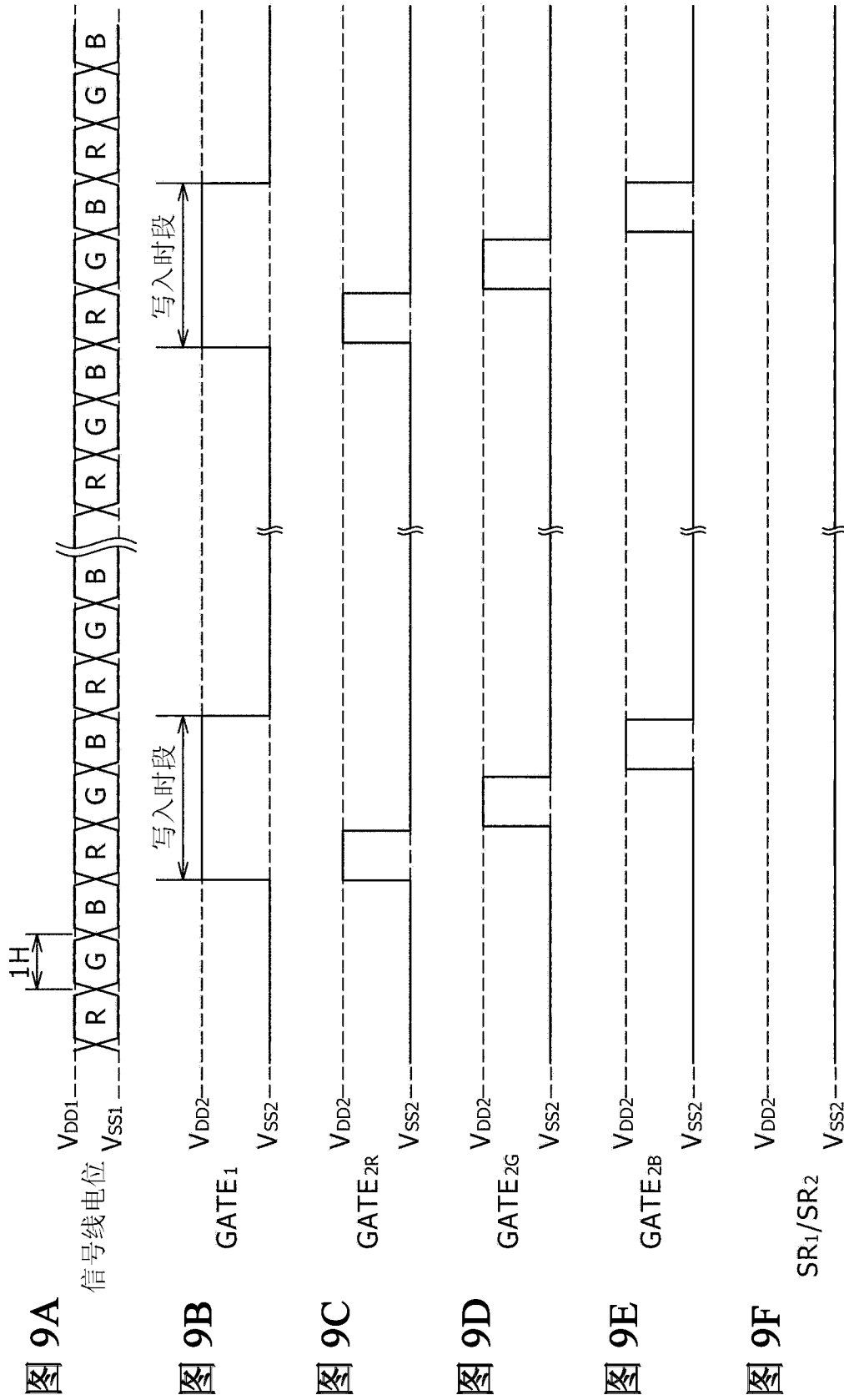


图 6





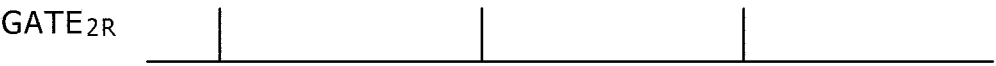


图 10A

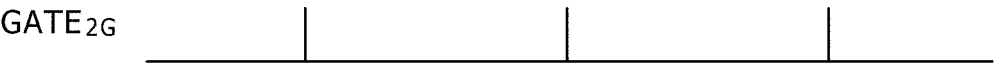


图 10B



图 10C



图 10D



图 10E

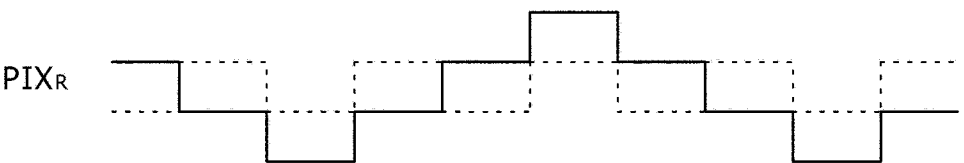


图 10F

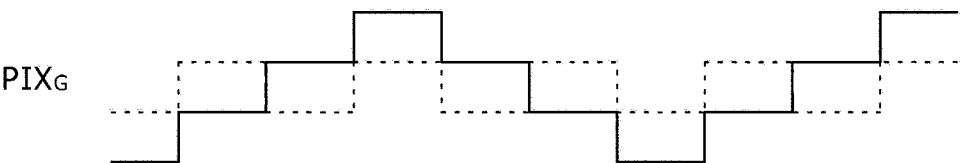


图 10G

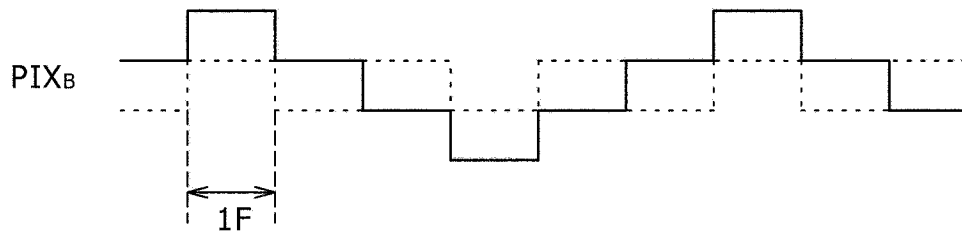
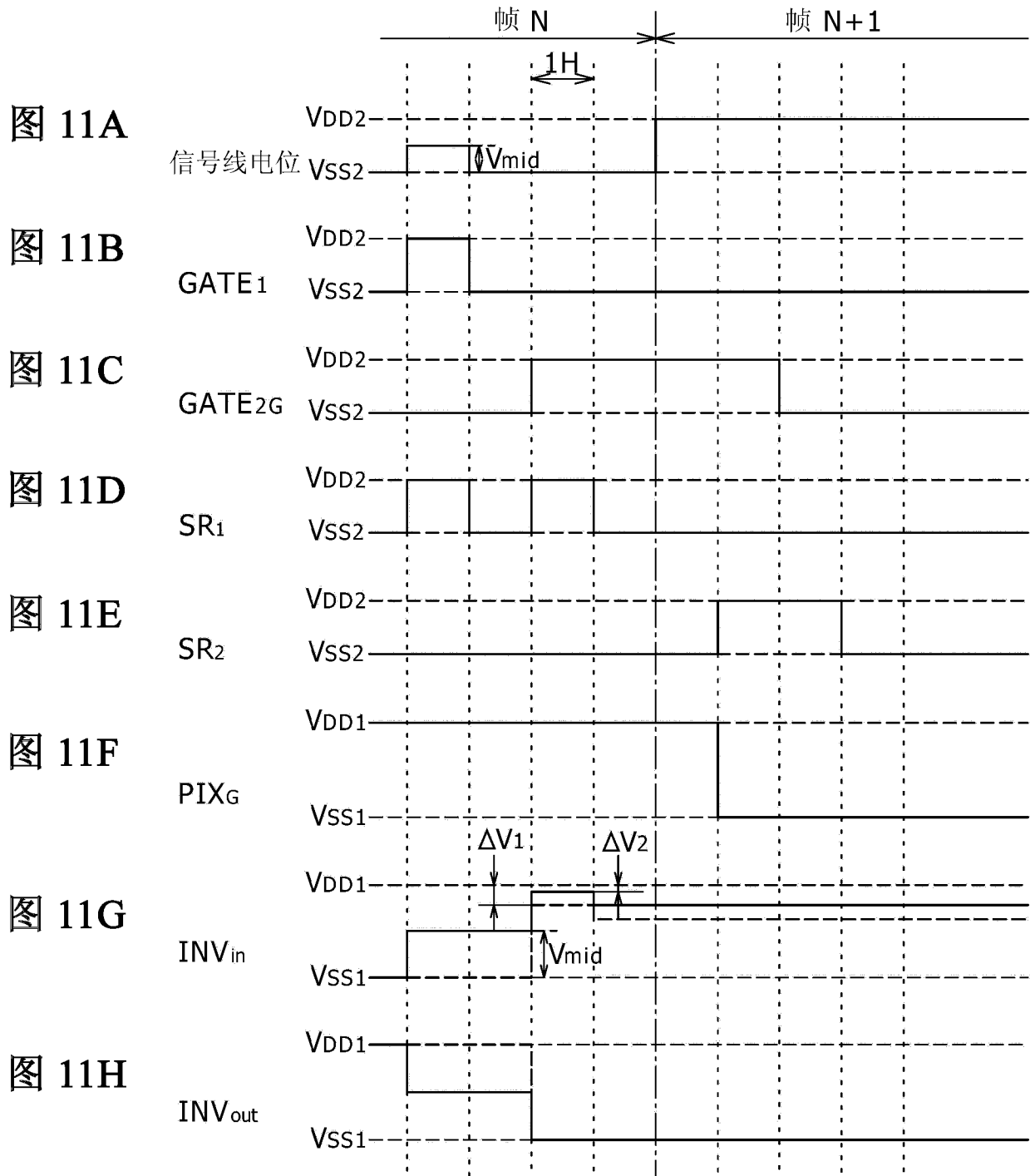
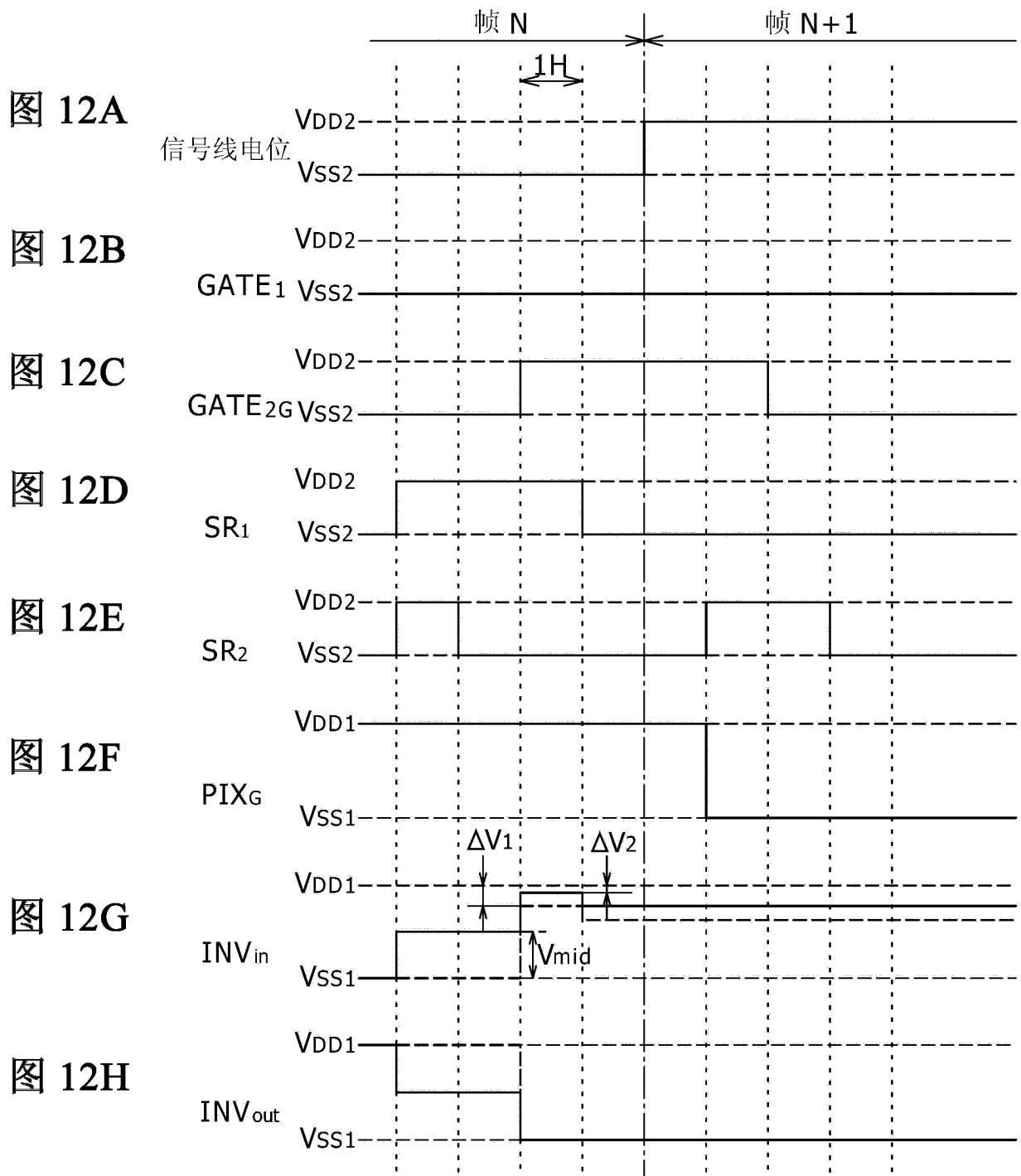


图 10H





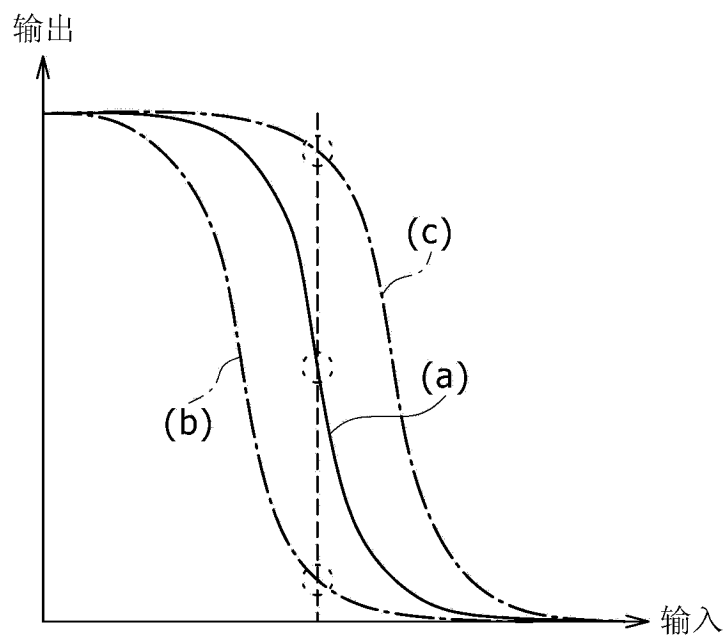


图 13A

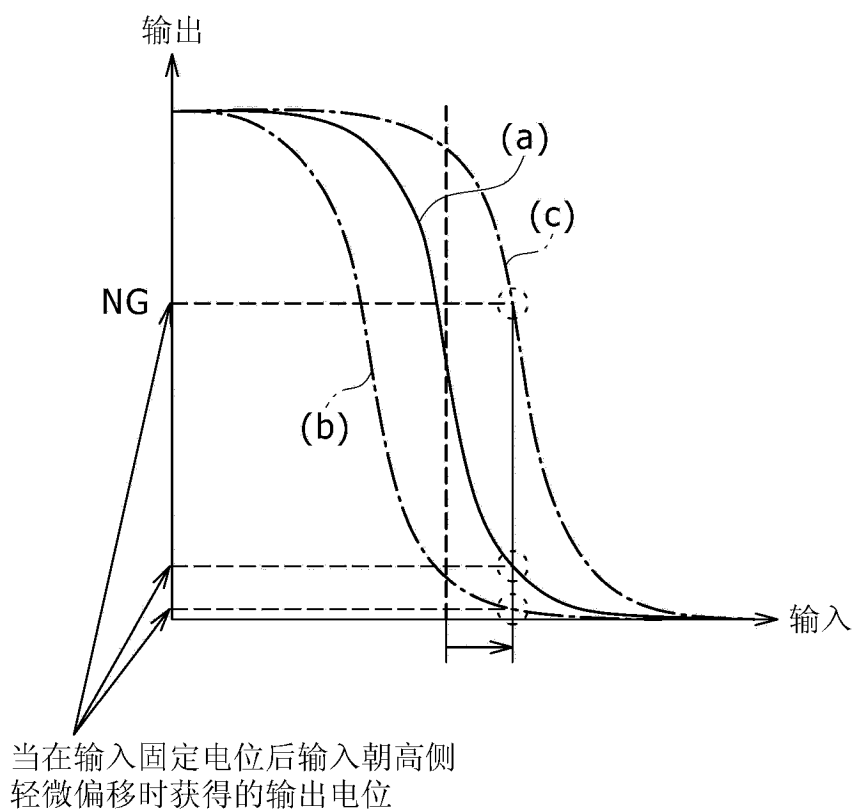


图 13B

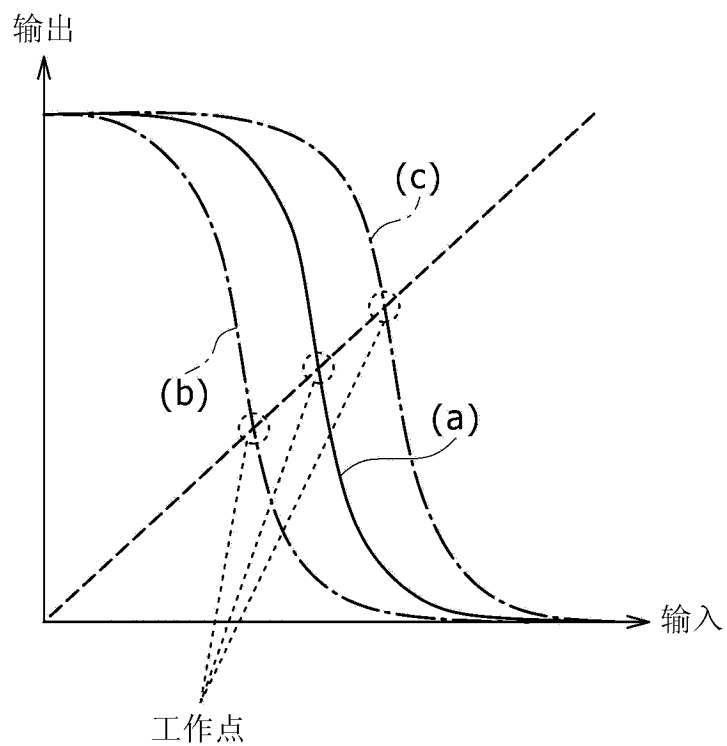


图 14A

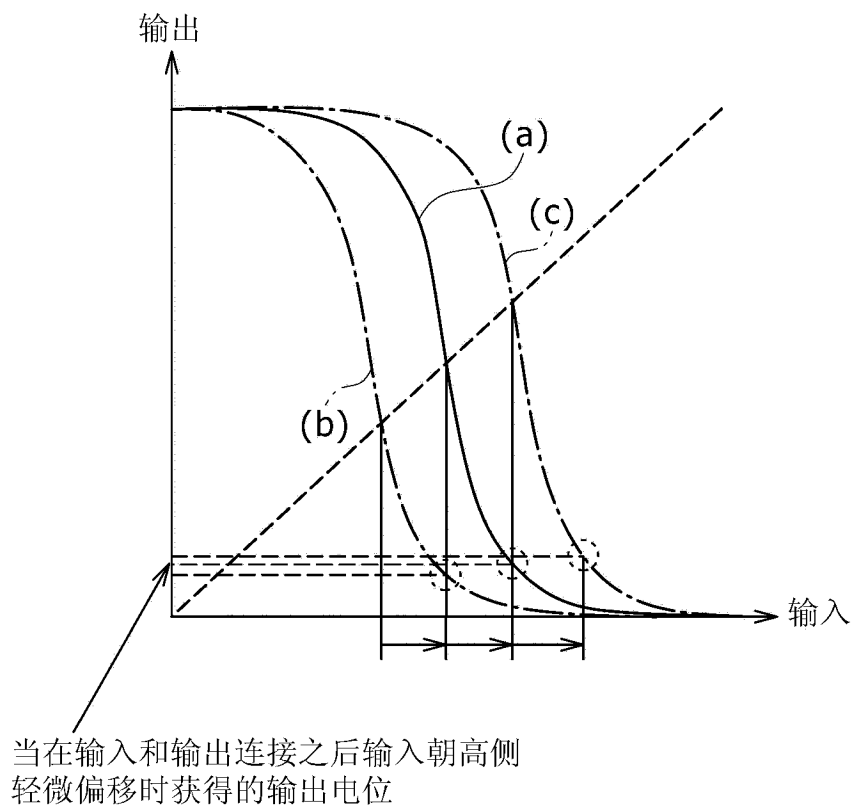


图 14B

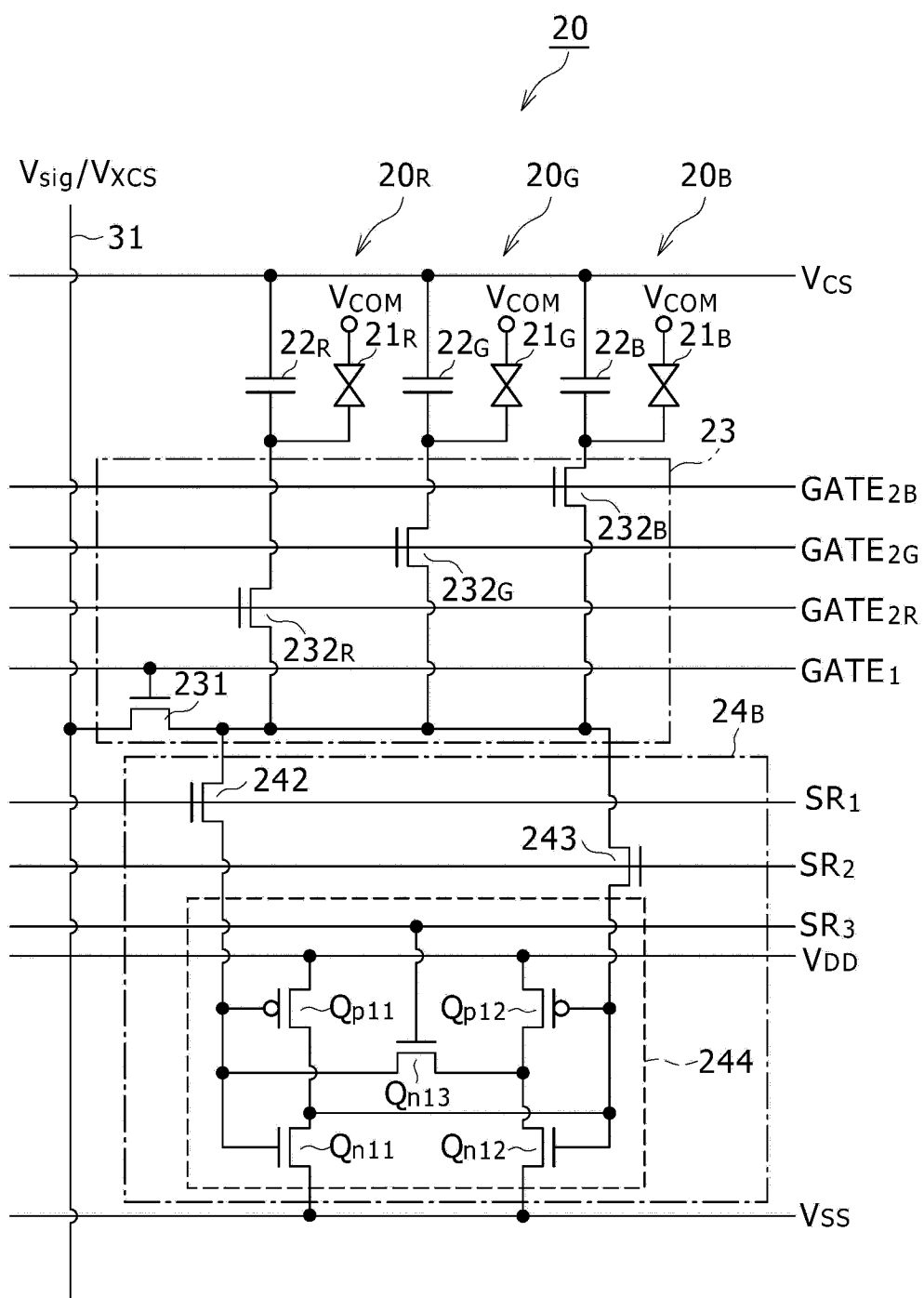


图 15

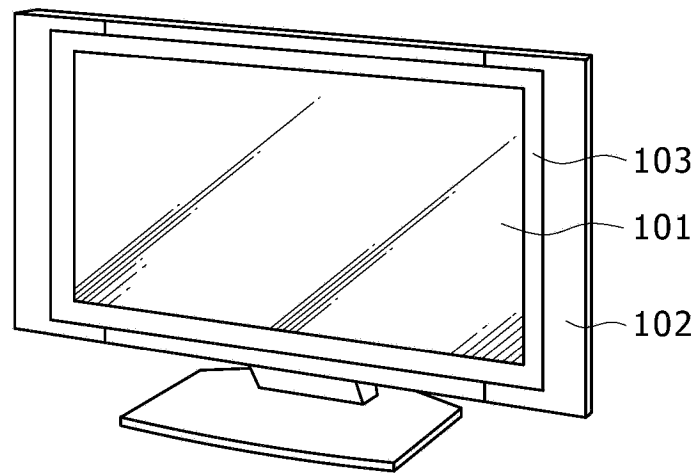


图 16

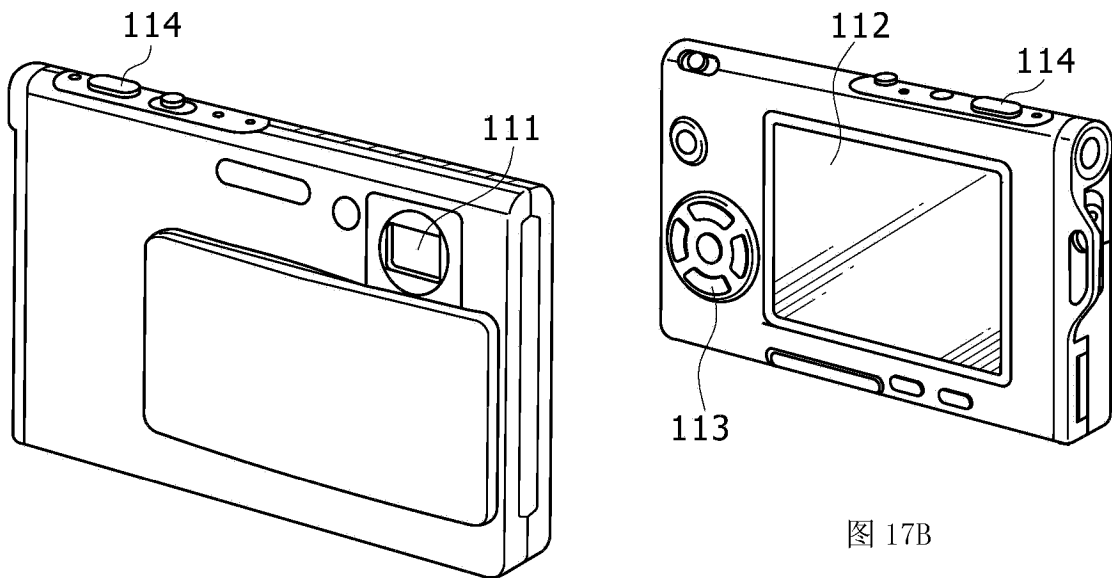


图 17A

图 17B

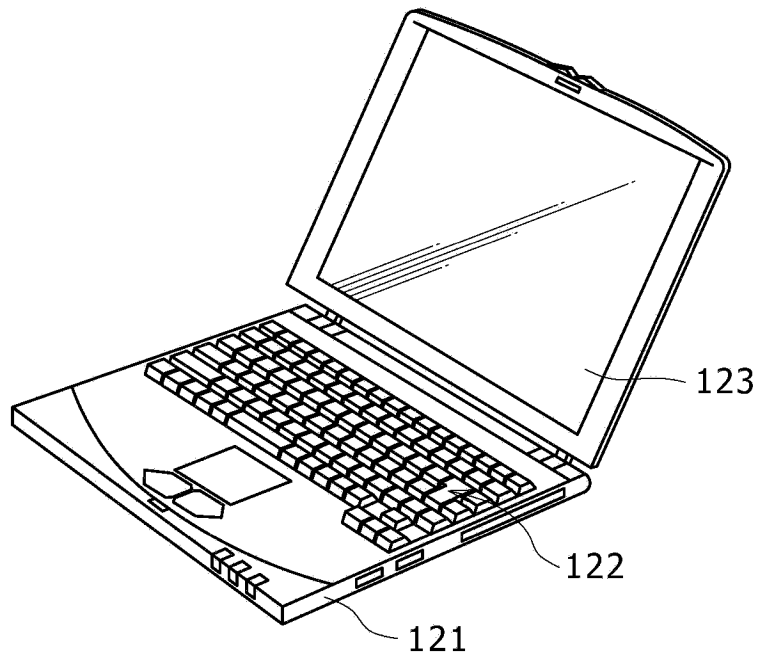


图 18

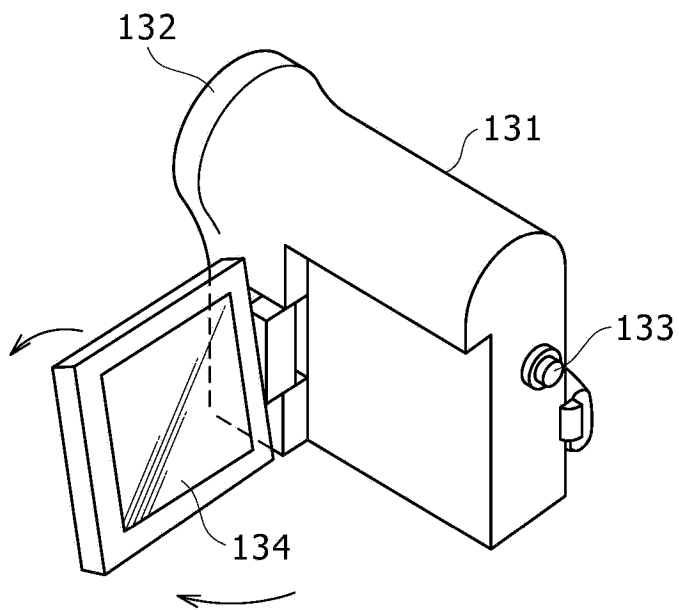


图 19

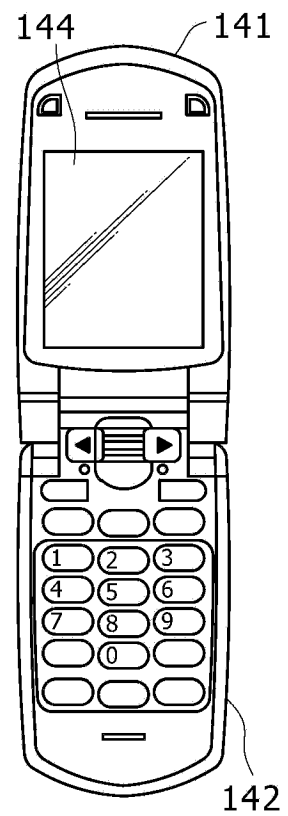


图 20A

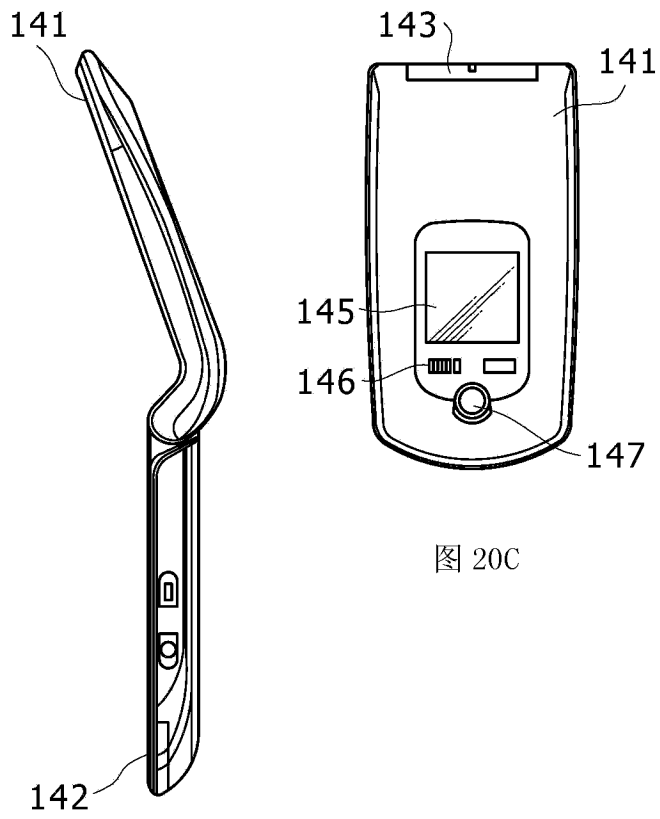


图 20B

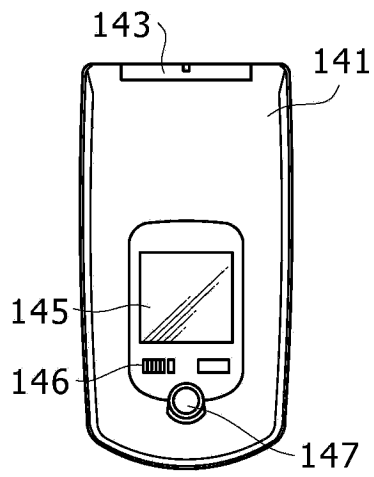


图 20C

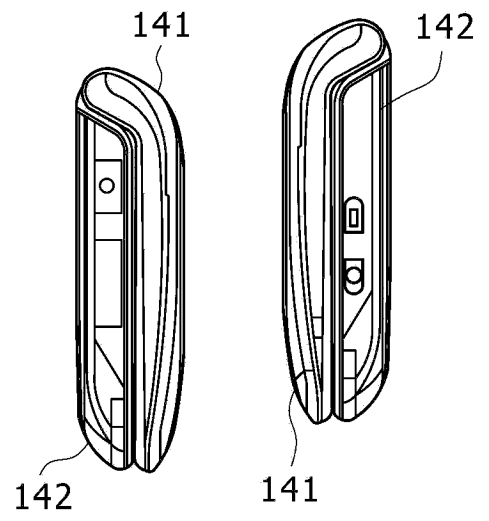


图 20D

图 20E

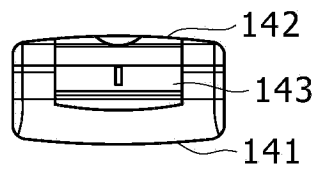


图 20F

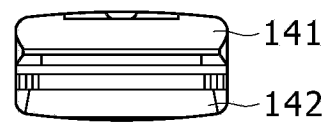


图 20G

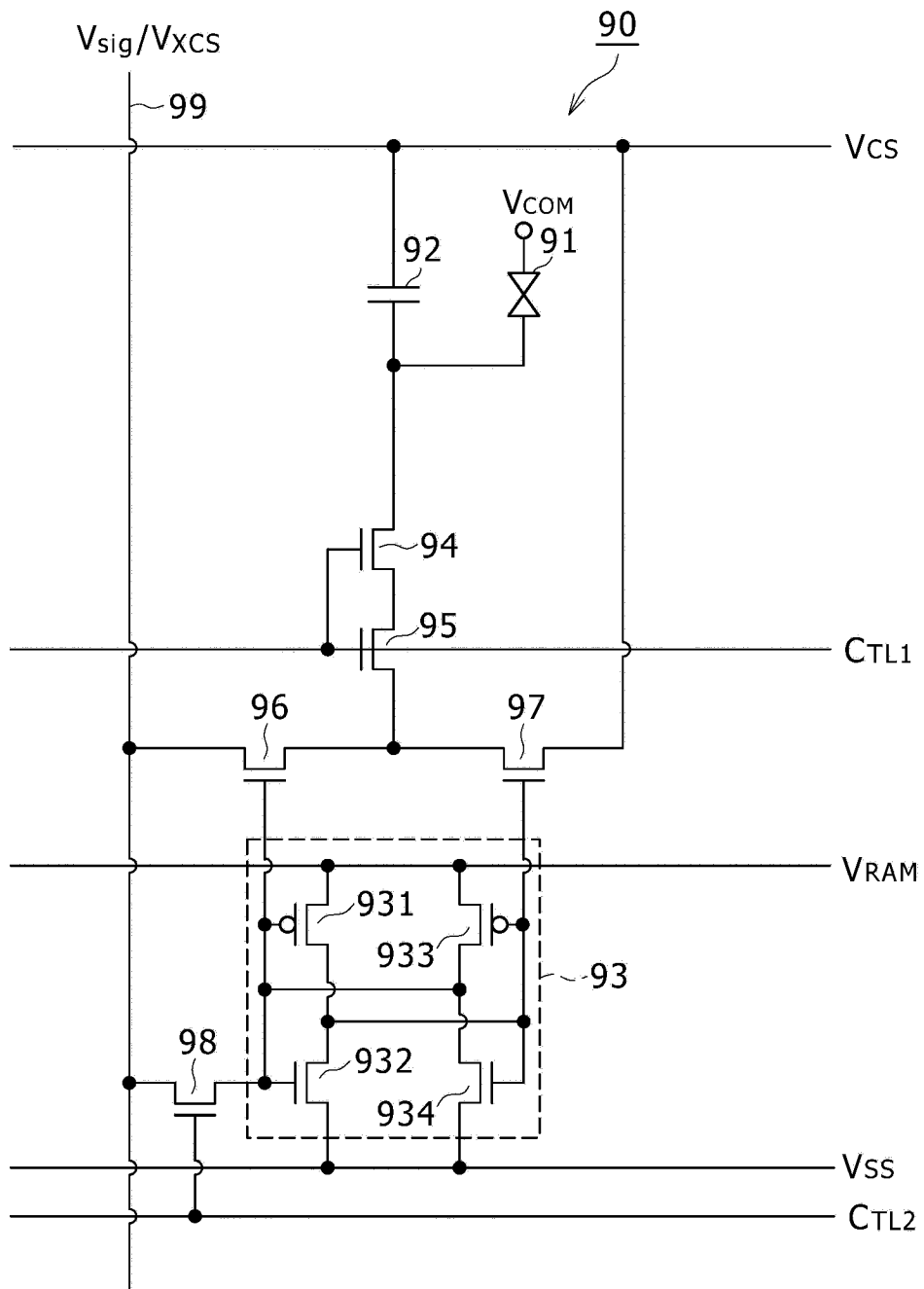


图 21

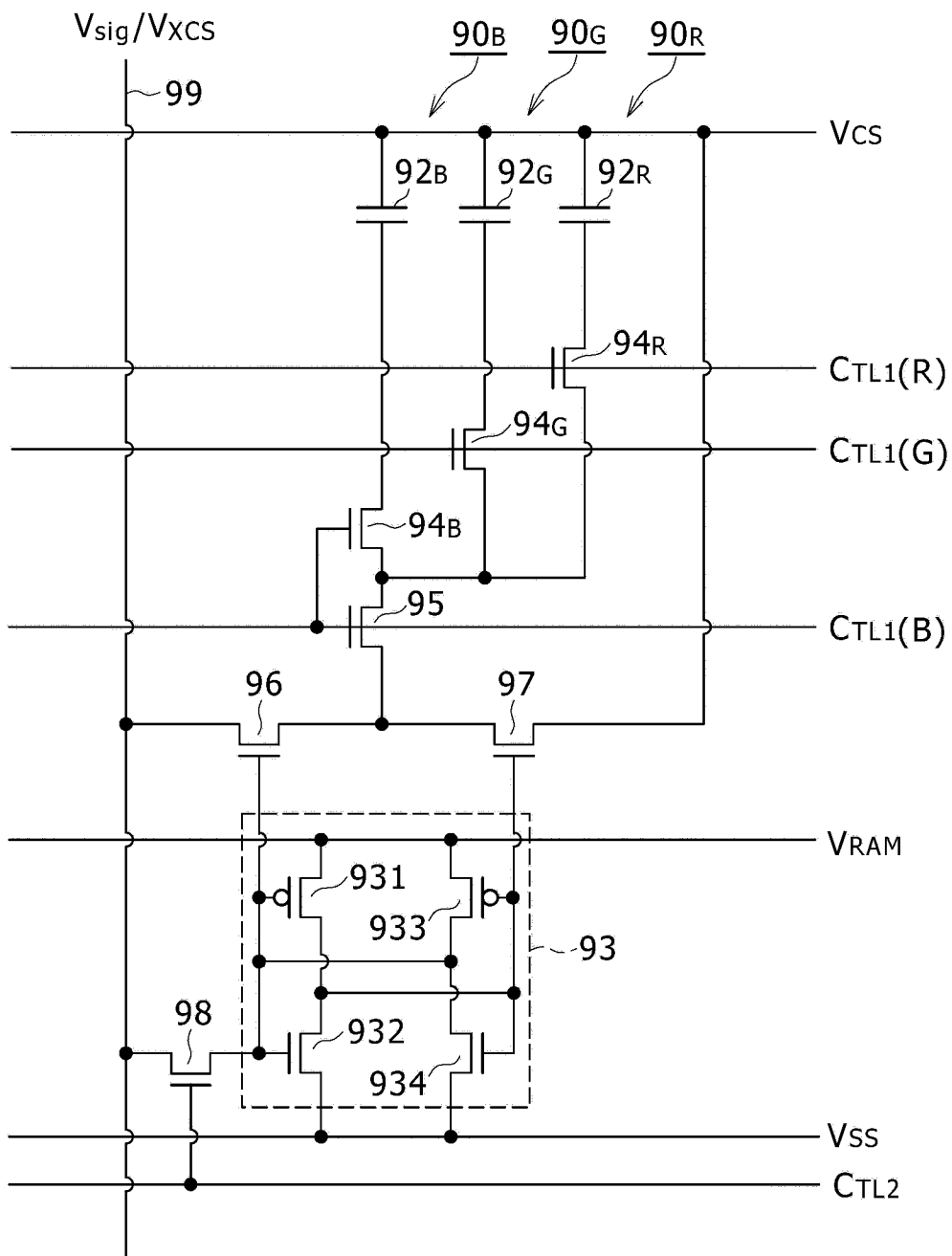


图 22

专利名称(译)	显示装置、用于驱动显示装置的方法以及电子设备		
公开(公告)号	CN102298915B	公开(公告)日	2015-05-27
申请号	CN201110164857.3	申请日	2011-06-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	株式会社日本显示器西		
[标]发明人	寺西康幸		
发明人	寺西康幸		
IPC分类号	G09G3/36 G02F1/1368 G02F1/133		
CPC分类号	G09G3/3659 G09G3/3614 G09G2300/0434 G09G2300/0804 G09G2300/0842		
代理人(译)	余刚		
优先权	2010144153 2010-06-24 JP 2010144151 2010-06-24 JP		
其他公开文献	CN102298915A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种具有像素电路的显示装置、用于驱动显示装置的方法以及电子设备，该像素电路包括：像素电极；电容元件，被配置为连接至液晶电容的像素电极并保持反映灰阶的信号电位；以及反相电路，被配置为反转从电容元件读出的保持电位的极性，其中，在从电容元件读出保持电位之后反转保持电位的极性并将反转电位再次写入电容元件的操作中，反相电路的输入电位被设定为工作电源电压范围中的中间电位。

