

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710305838.1

[51] Int. Cl.

G09G 3/36 (2006.01)

H03F 3/45 (2006.01)

H03K 19/0185 (2006.01)

H03K 17/687 (2006.01)

[43] 公开日 2009 年 7 月 1 日

[11] 公开号 CN 101471048A

[22] 申请日 2007.12.27

[21] 申请号 200710305838.1

[71] 申请人 比亚迪股份有限公司

地址 518119 广东省深圳龙岗区葵涌镇延安
路比亚迪工业园

[72] 发明人 冯 卫 杨 云 何志强 龚 夺

[74] 专利代理机构 深圳中一专利商标事务所

代理人 张全文

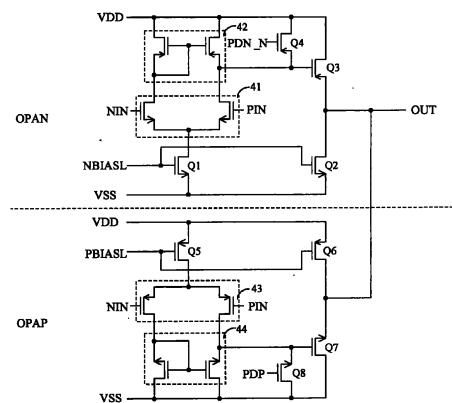
权利要求书 5 页 说明书 9 页 附图 5 页

[54] 发明名称

一种 TFT-LCD 驱动电路及液晶显示装置

[57] 摘要

本发明适用于液晶显示领域，提供了一种 TFT-LCD 驱动电路及液晶显示装置，所述驱动电路包括：栅极驱动器、灰阶电压产生电路、源极驱动器、时序产生电路和偏置电压产生电路；所述源极驱动器包括源极驱动锁存器、源极驱动缓存器和数/模转换器；所述源极驱动缓存器包括：运算放大电路，所述运算放大电路在所述时序产生电路产生的时序信号和所述偏置电压产生电路产生的偏置电压的控制下交替工作的两个差分放大器，用于以电压跟随的方式将所述数/模转换器电路输出的电压信号进行缓存。在本发明中，源驱动缓存器由两个差分放大器组成，管子尺寸要求较低，占用面积小，两个差分放大器交替工作，有效提高了输入电压的范围，功耗也较小。



1、一种 TFT-LCD 驱动电路，其特征在于，所述驱动电路包括：

控制 TFT 开启的栅极驱动器；

为显示点提供灰阶电压的灰阶电压产生电路；

根据所述灰阶电压产生电路产生的电压对显示点进行充电的源极驱动器；

产生多路时序信号的时序产生电路；以及

产生多路偏置电压的偏置电压产生电路；

所述源极驱动器包括：

存储显示数据的源极驱动锁存器；

源极驱动缓存器；以及

根据所述源极驱动锁存器的显示数据将所述灰阶电压产生电路产生的电压输出至所述源极驱动缓存器的数/模转换器；

所述源极驱动缓存器包括运算放大电路，所述运算放大电路包括第一差分放大器和第二差分放大器，所述第一差分放大器和第二差分放大器在所述时序产生电路产生的时序信号和所述偏置电压产生电路产生的偏置电压的控制下交替工作，用于以电压跟随的方式将所述数/模转换器电路输出的电压信号缓存输出，对显示点进行充电。

2、如权利要求 1 所述的 TFT-LCD 驱动电路，其特征在于，所述源极驱动缓存器进一步包括：

CMOS 传输门，其与所述运算放大电路并联，用于在所述运算放大电路关断时，在所述时序产生电路产生的时序信号的控制下使所述数/模转换器电路输出的电压信号对所述运算放大电路的输出电压进行修调。

3、如权利要求 1 所述的 TFT-LCD 驱动电路，其特征在于，所述第一差分放大器包括：

第一差分电路，其由两个 N 沟道 MOS 管组成，所述两个 N 沟道 MOS 管的栅极分别与所述数/模转换器电路的输出端和所述运算放大电路的输出端连

接;

第一镜像电流源,其连接在所述差分电路的漏极与 TFT-LCD 驱动电路的电源端口之间;

第一开关管,其连接在所述差分电路的源极与 TFT-LCD 驱动电路的零电位之间,由所述偏置电压产生电路产生的偏置电压信号控制导通;

第二开关管,其连接在所述运算放大电路的输出端与 TFT-LCD 驱动电路的零电位之间,由所述偏置电压产生电路产生的偏置电压信号控制导通;

第三开关管,其连接在所述运算放大电路的输出端与 TFT-LCD 驱动电路的电源端口之间,其栅极与所述第一镜像电流源的输出相连接;以及

第四开关管,其连接在所述第三开关管的栅极与 TFT-LCD 驱动电路的电源端口之间,由所述时序产生电路产生的时序信号控制导通。

4、如权利要求 1 所述的 TFT-LCD 驱动电路,其特征在于,所述第二差分放大器包括:

第二差分电路,其由两个 P 沟道 MOS 管组成,所述两个 P 沟道 MOS 管的栅极分别与所述数/模转换器电路的输出端和所述运算放大电路的输出端连接;

第二镜像电流源,其连接在所述差分电路的漏极与 TFT-LCD 驱动电路的零电位之间;

第五开关管,其连接在所述差分电路的源极与 TFT-LCD 驱动电路的电源端口之间,由所述偏置电压产生电路产生的偏置电压信号控制导通;

第六开关管,其连接在所述运算放大电路的输出端与 TFT-LCD 驱动电路的电源端口之间,由所述偏置电压产生电路产生的偏置电压信号控制导通;

第七开关管,其连接在所述运算放大电路的输出端与 TFT-LCD 驱动电路的零电位之间,其栅极与所述第二镜像电流源的输出相连接;以及

第八开关管,其连接在所述第七开关管的栅极与 TFT-LCD 驱动电路的零电位之间,由所述时序产生电路产生的时序信号控制导通。

5、如权利要求 1 至 4 中任意一项所述的 TFT-LCD 驱动电路,其特征在于,

所述运算放大电路工作在亚阈值区，所述偏置电压产生电路产生的偏置电压信号的电压值略高于所述运算放大电路的阈值电压。

6、一种液晶显示装置，包括 TFT 面板和 TFT-LCD 驱动电路，其特征在于，所述 TFT-LCD 驱动电路包括：

控制 TFT 开启的栅极驱动器；

为显示点提供灰阶电压的灰阶电压产生电路；

根据所述灰阶电压产生电路产生的电压对显示点进行充电的源极驱动器；

产生多路时序信号的时序产生电路；以及

产生多路偏置电压的偏置电压产生电路；

所述源极驱动器包括：

存储显示数据的源极驱动锁存器；

源极驱动缓存器；以及

根据所述源极驱动锁存器的显示数据将所述灰阶电压产生电路产生的电压输出至所述源极驱动缓存器的数/模转换器；

所述源极驱动缓存器包括运算放大电路，所述运算放大电路包括第一差分放大器和第二差分放大器，所述第一差分放大器和第二差分放大器在所述时序产生电路产生的时序信号和所述偏置电压产生电路产生的偏置电压的控制下交替工作，用于以电压跟随的方式将所述数/模转换器电路输出的电压信号缓存输出，对显示点进行充电。

7、如权利要求 6 所述的液晶显示装置，其特征在于，所述源极驱动缓存器进一步包括：

CMOS 传输门，其与所述运算放大电路并联，用于在所述运算放大电路关断时，在所述时序产生电路产生的时序信号的控制下使所述数/模转换器电路输出的电压信号对所述运算放大电路的输出电压进行修调。

8、如权利要求 6 所述的液晶显示装置，其特征在于，所述第一差分放大器包括：

第一差分电路，其由两个 N 沟道 MOS 管组成，所述两个 N 沟道 MOS 管的栅极分别与所述数/模转换器电路的输出端和所述运算放大电路的输出端连接；

第一镜像电流源，其连接在所述差分电路的漏极与 TFT-LCD 驱动电路的电源端口之间；

第一开关管，其连接在所述差分电路的源极与 TFT-LCD 驱动电路的零电位之间，由所述偏置电压产生电路产生的偏置电压信号控制导通；

第二开关管，其连接在所述运算放大电路的输出端与 TFT-LCD 驱动电路的零电位之间，由所述偏置电压产生电路产生的偏置电压信号控制导通；

第三开关管，其连接在所述运算放大电路的输出端与 TFT-LCD 驱动电路的电源端口之间，其栅极与所述第一镜像电流源的输出相连接；以及

第四开关管，其连接在所述第三开关管的栅极与 TFT-LCD 驱动电路的电源端口之间，由所述时序产生电路产生的时序信号控制导通。

9、如权利要求 6 所述的液晶显示装置，其特征在于，所述第二差分放大器包括：

第二差分电路，其由两个 P 沟道 MOS 管组成，所述两个 P 沟道 MOS 管的栅极分别与所述数/模转换器电路的输出端和所述运算放大电路的输出端连接；

第二镜像电流源，其连接在所述差分电路的漏极与 TFT-LCD 驱动电路的零电位之间；

第五开关管，其连接在所述差分电路的源极与 TFT-LCD 驱动电路的电源端口之间，由所述偏置电压产生电路产生的偏置电压信号控制导通；

第六开关管，其连接在所述运算放大电路的输出端与 TFT-LCD 驱动电路的电源端口之间，由所述偏置电压产生电路产生的偏置电压信号控制导通；

第七开关管，其连接在所述运算放大电路的输出端与 TFT-LCD 驱动电路的零电位之间，其栅极与所述第二镜像电流源的输出相连接；以及

第八开关管，其连接在所述第七开关管的栅极与 TFT-LCD 驱动电路的零

电位之间，由所述时序产生电路产生的时序信号控制导通。

10、如权利要求 6 至 9 中任意一项所述的液晶显示装置，其特征在于，所述运算放大电路工作在亚阈值区，所述偏置电压产生电路产生的偏置电压信号的电压值略高于所述运算放大电路的阈值电压。

一种 TFT-LCD 驱动电路及液晶显示装置

技术领域

本发明属于液晶显示领域，尤其涉及一种 TFT-LCD 驱动电路及液晶显示装置。

背景技术

目前，薄膜晶体管液晶显示器（Thin Film Transistor-Liquid Crystal Display, TFT-LCD）已经呈现出了向着高集成度、高分辨率、多灰度等方向发展的趋势，相应地，TFT-LCD 驱动电路的功耗和面积变得越来越大，成本也越来越高。在传统的 TFT-LCD 驱动电路中，源极驱动器中的源极驱动缓存器占用芯片的面积较大而且功耗也较高，因此，如何减小源极驱动缓存器在驱动电路中的占用面积和降低源极驱动缓存器的功耗，便成为了设计人员必须考虑的问题。

发明内容

本发明实施例的目的在于提供一种 TFT-LCD 驱动电路，旨在解决传统的 TFT-LCD 驱动电路中，源极驱动缓存器占用芯片的面积较大而且功耗也较高的问题。

本发明实施例是这样实现的，一种 TFT-LCD 驱动电路，所述驱动电路包括：

控制 TFT 开启的栅极驱动器；

为显示点提供灰阶电压的灰阶电压产生电路；

根据所述灰阶电压产生电路产生的电压对显示点进行充电的源极驱动器；

产生多路时序信号的时序产生电路；以及

产生多路偏置电压的偏置电压产生电路；

所述源极驱动器包括:

存储显示数据的源极驱动锁存器;

源极驱动缓存器; 以及

根据所述源极驱动锁存器的显示数据将所述灰阶电压产生电路产生的电压输出至所述源极驱动缓存器的数/模转换器;

所述源极驱动缓存器包括运算放大电路, 所述运算放大电路包括第一差分放大器和第二差分放大器, 所述第一差分放大器和第二差分放大器在所述时序产生电路产生的时序信号和所述偏置电压产生电路产生的偏置电压的控制下交替工作, 用于以电压跟随的方式将所述数/模转换器电路输出的电压信号缓存输出, 对显示点进行充电。

本发明实施例的另一目的在于提供一种液晶显示装置, 包括 TFT 面板和 TFT-LCD 驱动电路, 所述 TFT-LCD 驱动电路包括:

控制 TFT 开启的栅极驱动器;

为显示点提供灰阶电压的灰阶电压产生电路;

根据所述灰阶电压产生电路产生的电压对显示点进行充电的源极驱动器;

产生多路时序信号的时序产生电路; 以及

产生多路偏置电压的偏置电压产生电路;

所述源极驱动器包括:

存储显示数据的源极驱动锁存器;

源极驱动缓存器; 以及

根据所述源极驱动锁存器的显示数据将所述灰阶电压产生电路产生的电压输出至所述源极驱动缓存器的数/模转换器;

所述源极驱动缓存器包括运算放大电路, 所述运算放大电路包括第一差分放大器和第二差分放大器, 所述第一差分放大器和第二差分放大器在所述时序产生电路产生的时序信号和所述偏置电压产生电路产生的偏置电压的控制下交替工作, 用于以电压跟随的方式将所述数/模转换器电路输出

的电压信号缓存输出，对显示点进行充电。

本发明实施例中，源驱动缓存器由两个差分放大器组成，管子尺寸要求较低，结构简单，占用面积小，而且两个差分放大器通过时序控制交替工作，有效提高了输入电压的范围，功耗相对也较小。

附图说明

图 1 是典型的 TFT 面板的等效电路图；

图 2 是本发明实施例提供的 TFT-LCD 驱动电路的结构原理图；

图 3 是图 2 中的源极驱动缓存器中运算放大电路 OPA 的输入信号及输出信号的关系示意图；

图 4 是本发明实施例提供的运算放大电路 OPA 的具体电路结构图；

图 5 是本发明优选实施例提供的源极驱动缓存器中 CMOS 传输门的具体结构图；

图 6 是本发明优选实施例提供的 TFT-LCD 驱动电路中的偏置电压 PBIASL 和 NBIASL 的控制电路图；

图 7 是本发明优选实施例提供的 TFT-LCD 驱动电路中的偏置电压 PBIASL 和 NBIASL 的波形图；

图 8 是本发明优选实施例提供的时序信号 SWITCH 和 SWITCH_N 的波形及其他时序信号的波形图；

图 9 是本发明优选实施例提供的源极驱动缓存器在各时序信号作用下对灰阶电压产生电路产生的电压进行缓存后输出的波形图。

具体实施方式

为了使本发明的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。

本发明实施例中，TFT-LCD 驱动电路中的源极驱动缓存器由两个简单的差分放大器和一个 CMOS 传输门组成，在显示当前行时，两个差分放大器根据控制信号的时序交替导通，再通过 COMS 传输门对输出电压进行修调，将当前行内各像素点充电至各自所需的电压，直至完成当前行的扫描。

图 1 为典型的 TFT 面板的等效电路图，其中显示点组成了一个 $n \times m$ 的矩阵，即有 $G1 - Gn$ 共 n 行、 $S1 - Sm$ 共 m 列个显示点，每个显示点相当于一个小型的扭曲向列相液晶显示器（Twisted Nematic LCD，TN LCD），包括一个 TFT、由上下两片导电玻璃形成的平行板电容（图中未示出）以及储存电容，其中平行板电容与储存电容并联。若彩色滤光膜为三基色，则一个基本的显示像素单元需要三个这样的显示点，分别对应红（Red）、绿（Green）、蓝（Blue）三原色，具体显示时由栅极驱动器送出驱动脉冲，将当前行内的所有的 TFT 打开，再由源极驱动器同时将这一行的显示点充电到各自所需的电压，当前行充电完毕后，栅极驱动器便将这一行的 TFT 关闭，并打开下一行的 TFT，继续对下一行进行充放电。

图 2 示出了本发明实施例提供的 TFT-LCD 驱动电路的结构原理，为了便于描述，其中仅示出了与本发明实施例相关的部分。TFT-LCD 驱动电路包括栅极驱动器、源极驱动器、灰阶电压产生电路以及时序产生电路（未示出）、偏置电源产生电路（未示出）。

如图 2 所示，当前行内共有 $N1 - Nm$ 个 TFT，每个 TFT 的栅极均由栅极驱动器送出的驱动脉冲控制开启或关断，且 m 个 TFT 的源极相应地连接在源驱动器的输出， m 个 TFT 的漏极相应地连接有储存电容器 $Cs1 - Csm$ 。当扫描当前行时，栅极驱动器送出的驱动脉冲控制当前行内的所有 TFT 处于打开状态，此时，存储在源极驱动锁存器中的显示数据经过数/模转换器（Digital/Analog Converter，DAC）译码后，选择灰阶电压产生电路产生为显示点提供的灰阶电压，该电压再经过源极驱动缓存器以及传输门 $T1 - Tm$ 中对应的传输门，对各显示点的显示电极进行充电，实现对液晶显示面板的驱动，如图 2 所示，虚线

框内共有 m 个源极驱动缓存器，对应当前扫描行内的 m 个显示点，每个源极驱动缓存器均包括一个运算放大电路 OPA。

图 3 示出了图 2 中的源极驱动缓存器中运算放大电路 OPA 的输入信号及输出信号的关系，其中，运算放大电路 OPA 接收数/模转换器电路中的相应电压信号 PIN，并在时序信号 PDP、PDP_N、PDN、PDN_N 和偏置电压信号 PBIASL、NBIASL 的作用下，将电压信号 PIN 缓存后再经过图 2 所示的 T1 - Tm 中相应地传输门，对相应地显示电极进行充电。运算放大电路 OPA 的输出端 OUT 还与反馈端 NIN 短接，将输出电压全部反馈至运算放大电路 OPA 的反馈端 NIN，整个运算放大电路 OPA 相当于一个电压跟随器。其中，各时序信号由 TFT-LCD 驱动电路中的时序产生电路产生。

图 4 为本发明实施例提供的运算放大电路 OPA 的具体电路结构，主要包括第一差分放大器 OPAN 和第二差分放大器 OPAP，两个差分放大器在时序信号控制下交替工作。由两个 N 沟道 MOS 管组成的第一差分电路 41 为第一差分放大器 OPAN 的输入级，两个 MOS 管的栅极分别与数/模转换器电路中的电压输出端 PIN 和源极驱动缓存器的输出端 OUT 连接，两个 MOS 管的源极连在一起构成源极耦合对，且源极通过第一开关管 Q1 接驱动电路的零电位 VSS，由第一开关管 Q1 偏置，第一差分电路 41 的漏极通过第一镜像电流源 42 与驱动电路的电源端口 VDD 连接，采用第一镜像电流源 42 作为负载主要用于提高输出阻抗得到较高的增益。第一差分放大器 OPAN 的输出级为简单的共源结构，以提高输出波形的范围，由第二开关管 Q2 和第三开关管 Q3 串联组成，且串联处作为运算放大电路 OPA 的输出端 OUT；第二开关管 Q2 的栅极与第一开关管 Q1 的栅极串联，由偏置电压信号 NBIASL 控制导通；第三开关管 Q3 的栅极与第一镜像电流源 42 的源极相连接，同时还通过第四开关管 Q4 与驱动电路的电源端口 VDD 连接，第四开关管 Q4 的栅极由时序信号 PDN_N 控制导通，主要作用是控制运放 OPAN 的工作状态。

相应地，第二差分放大器 OPAP 的输入级为由两个 P 沟道 MOS 管组成的

第二差分电路 43，两个 MOS 管的栅极同样分别与数/模转换器电路中的电压输出端 PIN 和源极驱动缓存器的输出端 OUT 连接，两个 MOS 管的源极通过第五开关管 Q5 后接驱动电路的电源端口 VDD，由第五开关管 Q5 偏置，第二差分电路 43 的漏极通过第二镜像电流源 44 与驱动电路的零电位 VSS 连接，采用第二镜像电流源 44 作为负载同样用于提高输出阻抗得到较高的增益。第二差分放大器 OPAP 的输出级由第六开关管 Q6 和第七开关管 Q7 串联组成，且串联处同样作为运算放大电路 OPA 的输出端 OUT；第六开关管 Q6 的栅极与第五开关管 Q5 的栅极串联，由偏置电压信号 PBIASL 控制导通；第七开关管 Q7 的栅极与第二镜像电流源 44 的源极相连接，同时还通过第八开关管 Q8 与驱动电路的零电位 VSS 连接，第八开关管 Q8 的栅极由时序信号 PDP 控制导通，主要作用是控制运放 OPAP 的工作状态。

图 4 所示的运算放大电路中的两个差分放大器在时序信号控制下交替工作，由于第一差分放大器 OPAN 对电压的上拉作用明显，而第二差分放大器 OPAP 对电压的下拉作用明显，即在扫描一行时间内，真正意义上只有一个运放有贡献，这也使得所述缓存器的输出波形与实际输入波形之间有一定的差异，因此，作为本发明的一个优选实施例，在缓存器中运算放大电路的两端并联一个 COMS 传输门，用于对缓存器的输出波形进行修调，该 COMS 传输门的具体结构如图 5 所示，P 沟道 MOS 管 T51 的源极与 N 沟道 MOS 管 T52 的漏极相连接后作为 CMOS 传输门的输入端，P 沟道 MOS 管 T51 的漏极与 N 沟道 MOS 管 T52 的源极相连接后作为 CMOS 传输门的输出端，由于 MOS 管的漏极与源极可以互易使用，具体实现时还可以选用其他的连接方式，如两个 MOS 管的漏极-漏极连接，源极-源极连接等，P 沟道 MOS 管 T51 与 N 沟道 MOS 管 T52 分别由一对互补的时序信号 SWITCH 和 SWITCH_N 控制导通。CMOS 传输门的输入端与运算放大电路 OPA 的输入端 PIN 连接，输出端与运算放大电路 OPA 的输出端 OUT 连接。

图 6、图 7 分别为本发明优选实施例提供的 TFT-LCD 驱动电路中的偏置电

压 PBIASL 和 NBIASL 的控制电路图和波形图, 其中, 偏置电压信号 PBIASL、NBIASL 的产生电路作为全局的电路模块为 TFT-LCD 驱动电路中的所有源极驱动缓存器提供偏置电压, 而 PBIAS 和 NBIAS 为本发明优选实施例提供的 TFT-LCD 驱动电路中的其他电路模块提供的偏置电压。

参照图 6 和图 7, 在栅极扫描一行周期的 t_1 和 t_3 期间内, PDP 为高电平, 则 PDP_N 为低电平, 此时开关管 T62 打开, 开关管 T61 关断, PBIASL 被上拉为系统高电平 VDD; 在 t_2 期间内 PDP 为低电平, 则 PDP_N 为高电平, 此时开关管 T61 打开, 开关管 T62 关断, PBIAS 直接输出给 PBIASL。同理, 在 t_1 期间内 PDN 为低电平, 则 PDN_N 为高电平, 此时开关管 T63 打开, 开关管 T64 关断, NBIAS 直接输出给 NBIASL; 在 t_2 和 t_3 期间内高电平, 则 PDN_N 为低电平, 此时开关管 T64 打开, 开关管 T63 关断, NBIASL 被下拉为系统低电平 VSS。偏置电压信号 PBIASL、NBIASL 的具体波形参照图 7, 时序信号 SWITCH 和 SWITCH_N 的波形及其他时序信号的波形则如图 8 所示。

下面结合图 2 至图 8 对本发明实施例提供的源极驱动缓存器在扫描一行的时间即 $t_1+t_2+t_3$ 时间内的工作原理予以描述。存储在源极驱动锁存器中的显示数据经过 DAC 译码后, 选择灰阶电压产生电路产生的相应电压, 在 t_1 期间内, 偏置电压信号 NBIASL 控制第一开关管 Q1 和第二开关管 Q2 导通, 且第一差分电路 41 与第一镜像电流源 42 均开始正常工作, 由于 PDN_N 为高电平, 第四开关管 Q4 截止, 第一差分放大器 OPAN 正常工作, 将灰阶电压产生电路产生的电压缓存后输出, 同时由于偏置电压信号 PBIASL 为高电平, 第五开关管 Q5 截止, 且由于 PDP 为高电平第八开关管 Q8 导通, 将第七开关管 Q7 的栅极电压拉至低电平 VSS, 第二差分放大器 OPAP 关断, 即在 t_1 期间内, 只有第一差分放大器 OPAN 正常工作; 而在 t_2 期间内, 只有第二差分放大器 OPAP 正常工作, 具体控制原理与上述 t_1 期间的相反, 不再赘述; 由于整个运算放大电路 OPA 相当于一个电压跟随器, 在 t_1 和 t_2 期间工作时这种电压跟随的方式保证了输出 OUT 与输入 PIN 相等。应当理解, 具体实现时还可以通过相应的时序

控制在 t1 期间内只有第二差分放大器 OPAP 正常工作，而在 t2 期间内只有第一差分放大器 OPAN 正常工作，这种工作方式对灰阶电压的缓存原理同上，不再赘述。

在 t3 期间内，偏置电压信号 NBIASL 和 PBIASL 均不能使第一开关管 Q1 和第五开关管 Q5 导通，第一差分放大器 OPAN 和第二差分放大器 OPAP 均关断，此时，时序信号 SWITCH 和 SWITCH_N 控制 CMOS 传输门导通，这样源极驱动缓存器的输入和输出就被短接到一起，来自数/模转换器的电压将修调源极驱动缓存器的输出，使其达到或接近理想值。

图 9 示出了本发明优选实施例提供的源极驱动缓存器在各时序信号作用下对数/模转换器电路产生的电压进行缓存后输出的波形图，其中，N1 为栅极驱动器送出的驱动脉冲波形，T1 为图 2 中的传输门的控制波形，PIN 为数/模转换器电路的输出波形，OUT 为源极驱动缓存器的输出波形。

本发明实施例中，由于第一差分放大器 OPAN 对电压的上拉作用明显，即输入由低电平变为高电平时，该运放起主导作用；而第二差分放大器 OPAP 对电压的下拉作用明显，即输入由高电平变为低电平时，该运放起主导作用；所以在扫描一行时间内，真正意义上只有一个运放有贡献，这也使得所述缓存器的输出波形与实际输入波形之间有一定的差异，但经过灰阶电压的修调后这种差异最终不会影响液晶屏上的显示，这是因为最终存储在液晶面板存储电容 Cs 上的电压为 TFT 管关断之前，即 N1 由高电平变为低电平时高速缓存器的输出已达到或接近理想值。

本发明实施例中，为了降低运算放大电路的静态功耗，运算放大电路工作在亚阈值区，偏置电压信号 PBIAS 和 NBIAS 的电压值略高于运算放大电路的阈值电压。

本发明实施例中，为了扩展输入共模范围，混合使用了 NMOS 差分对（第一差分放大器）和 PMOS 差分对（第二差分放大器）的两级运放，通过时序控制，实现两个运放的分时工作，有效提高了输入电压的范围，而且由于源驱动

缓存器结构简单，管子尺寸要求较低，电路占用面积较小，一行时间内两个差分放大器分时工作，功耗相对也较小。

以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

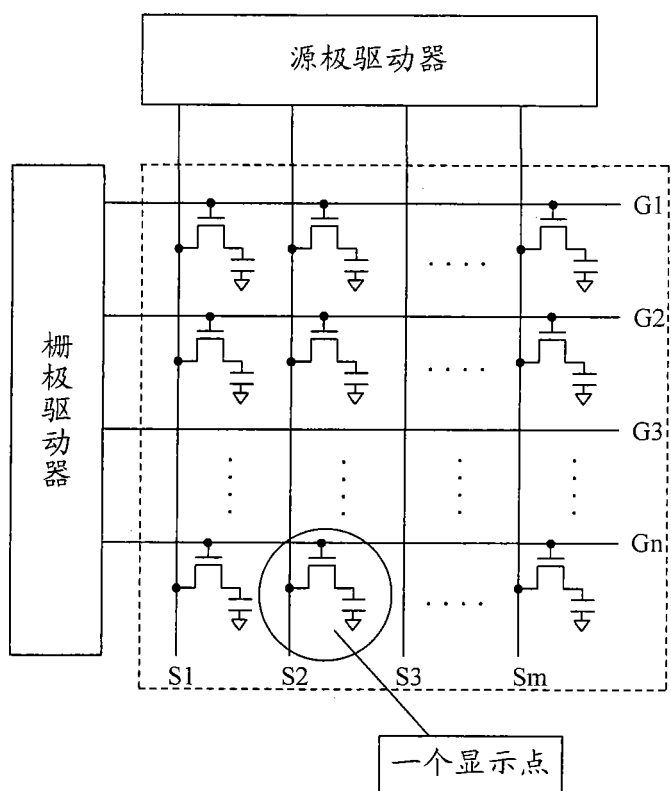


图 1

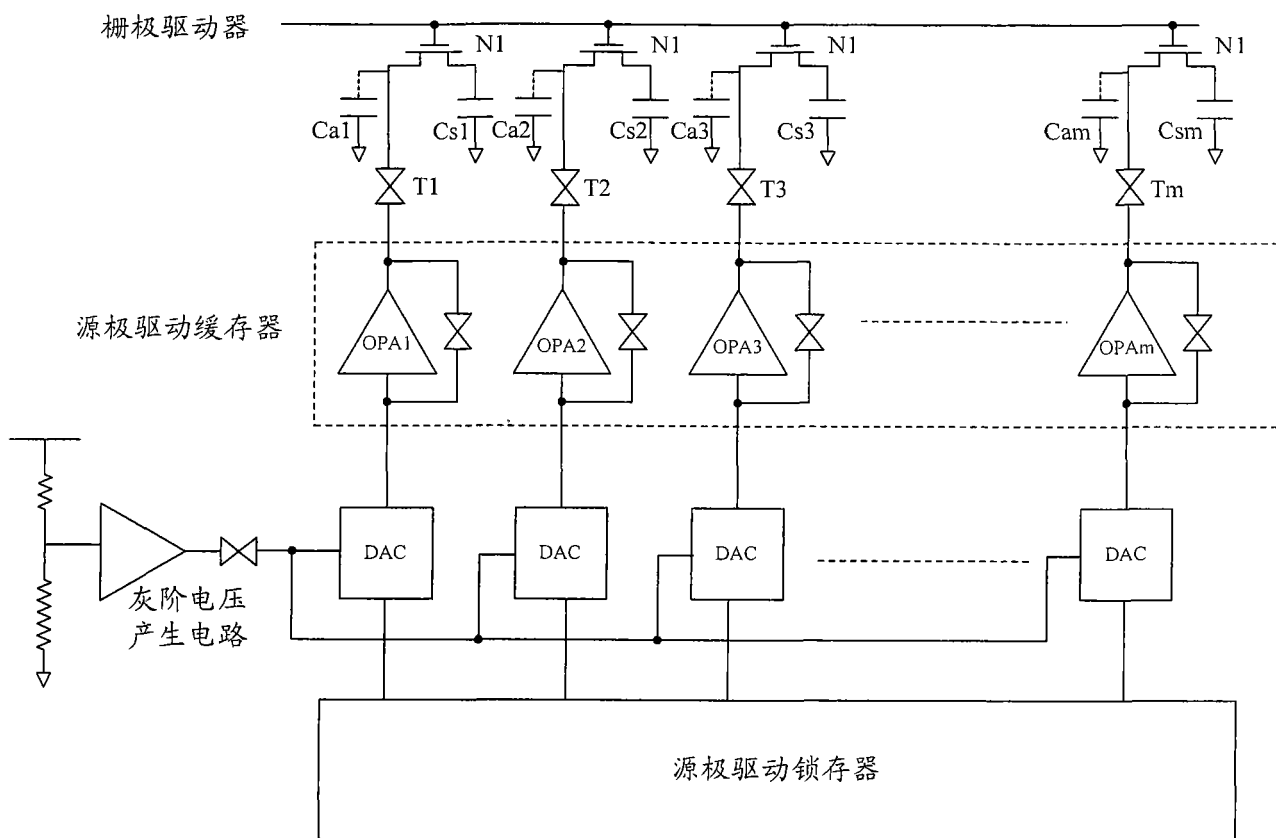


图 2

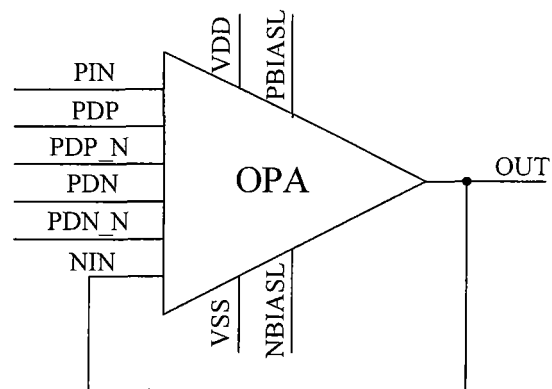


图 3

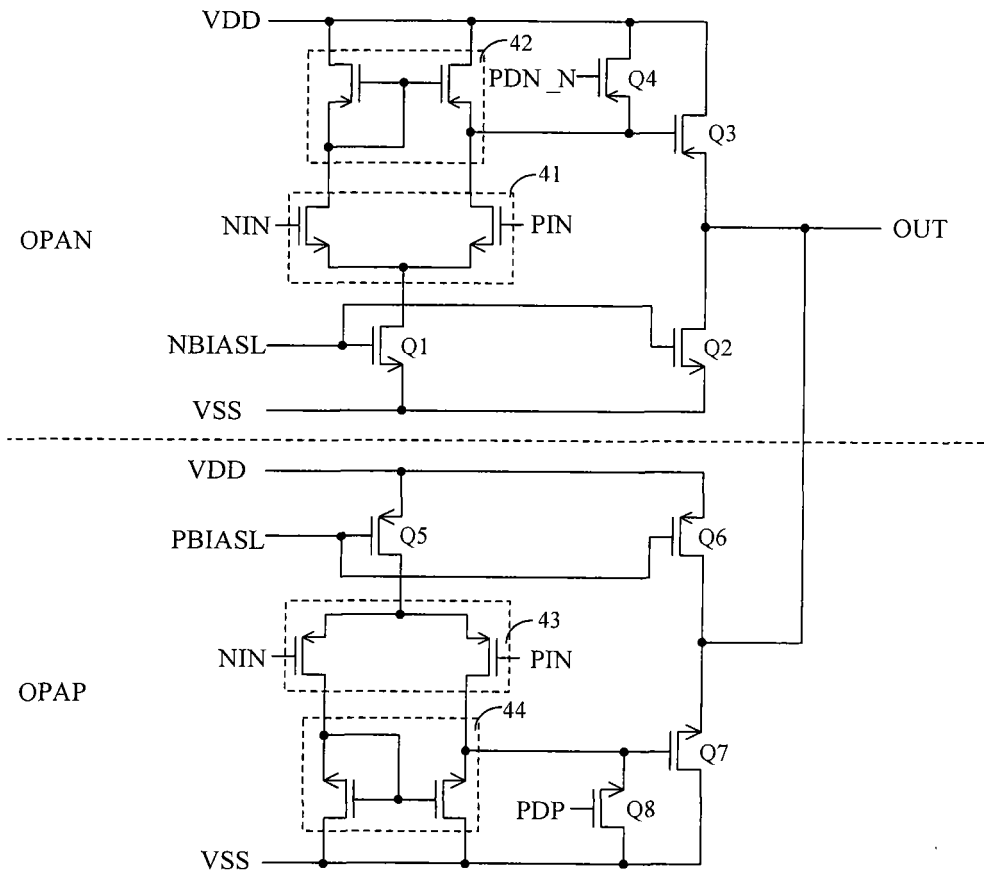


图 4

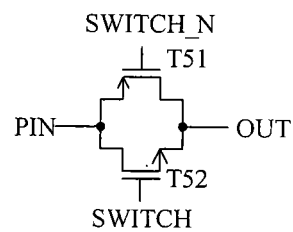


图 5

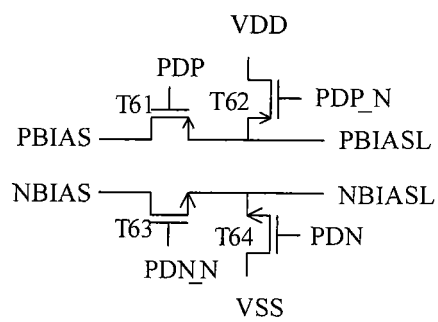


图 6

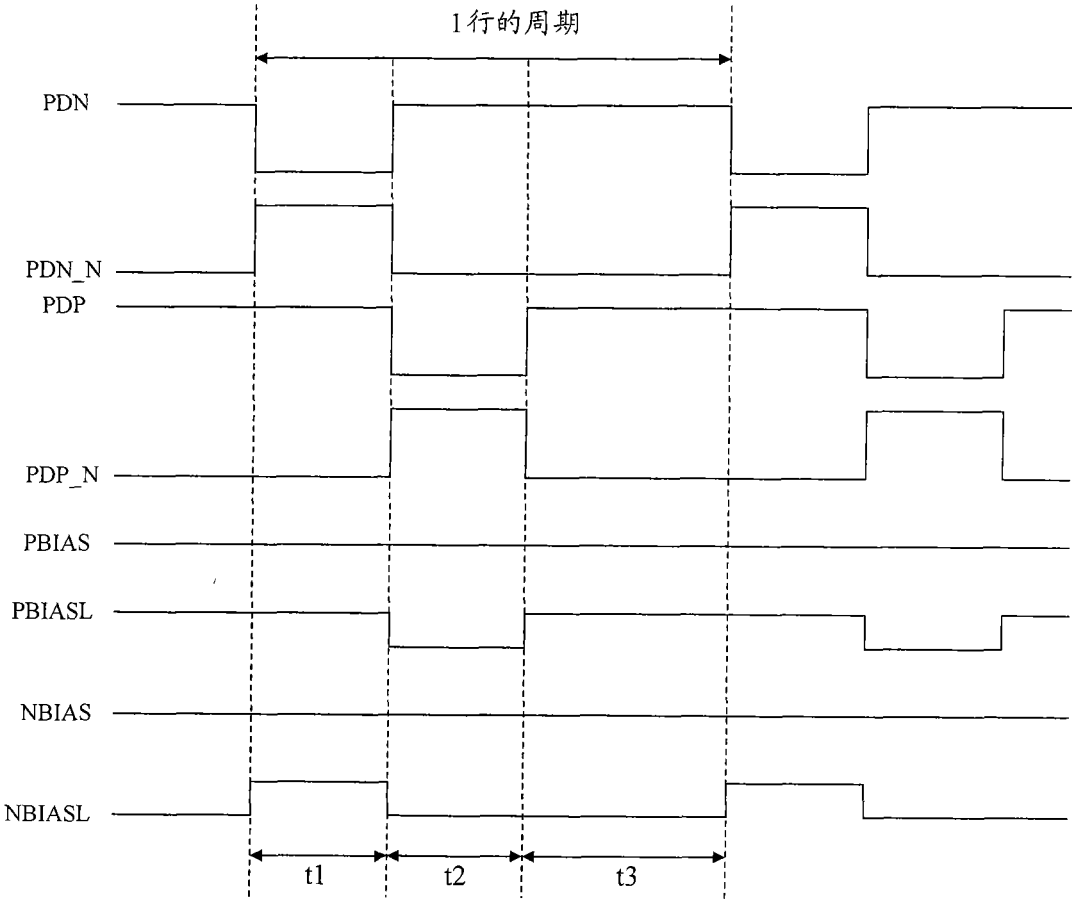


图 7

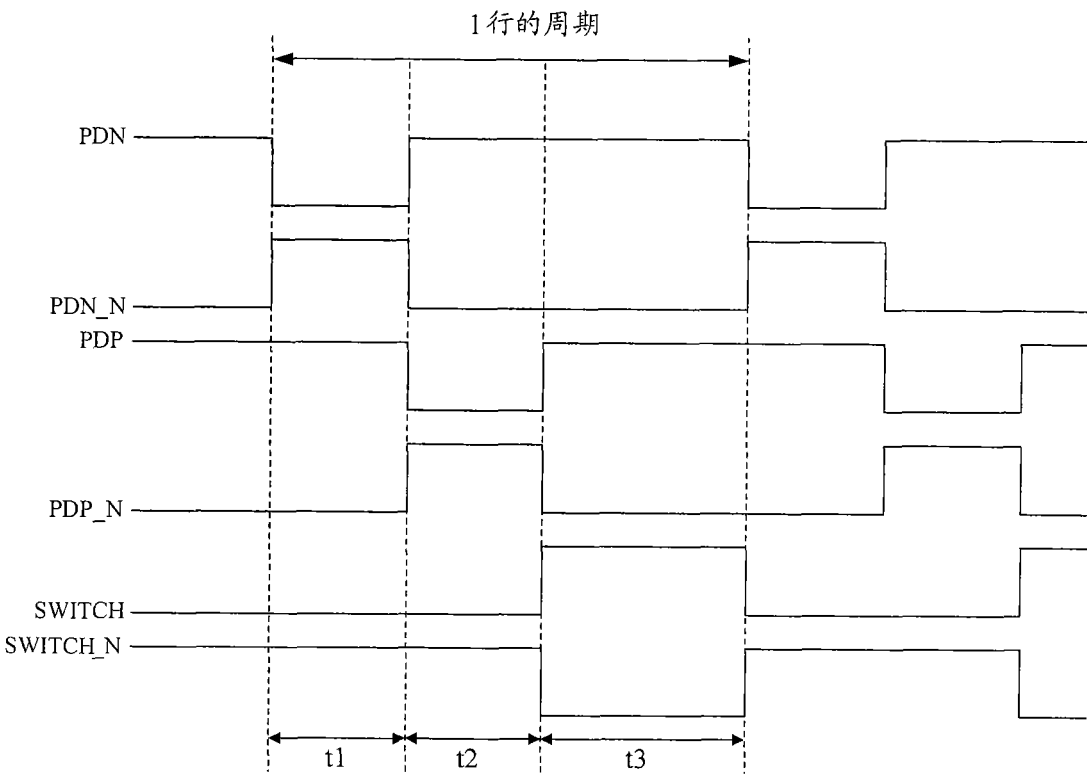


图 8

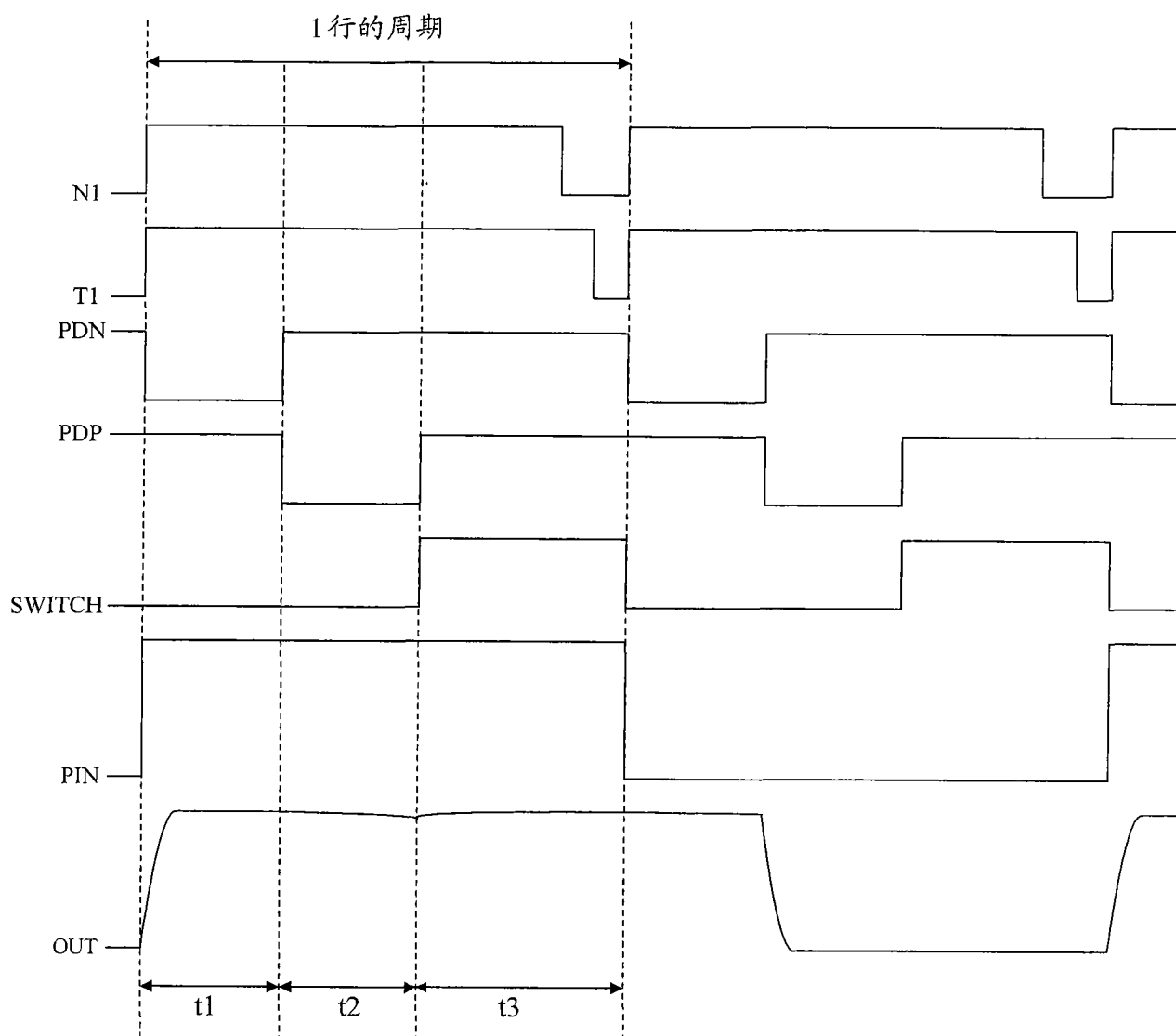


图 9

The figure shows two circuit blocks, OPAN and OPAP, connected to a common output line labeled OUT. The OPAN block (top) has inputs NBIASL, NIN, PIN, and PDN_N, and an output OPAN. It contains transistors Q1, Q2, Q3, Q4, and Q12. The OPAP block (bottom) has inputs PBIASL, NIN, PIN, and PDP, and an output OPAP. It contains transistors Q5, Q6, Q7, Q8, Q13, and Q14. Both blocks are powered by VDD and VSS. The output OUT is connected to the gates of Q3 and Q7.