

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G09G 3/36 (2006.01)



# [12] 发明专利说明书

专利号 ZL 02140715.0

[45] 授权公告日 2008 年 10 月 22 日

[11] 授权公告号 CN 100428318C

[22] 申请日 2002.7.15 [21] 申请号 02140715.0

[30] 优先权

[32] 2001. 7. 13 [33] JP [31] 214530/2001

[73] 专利权人 NEC 液晶技术株式会社

地址 日本神奈川县

[72] 发明人 古贺弘一 奥苑登 山口真智彦

[56] 参考文献

US2002024482A 2002. 2. 28

US6151016A 2000. 11. 21

CN1040806C 1998. 11. 18

审查员 尹海娥

[74] 专利代理机构 中原信达知识产权代理有限  
责任公司

代理人 穆德骏 关兆辉

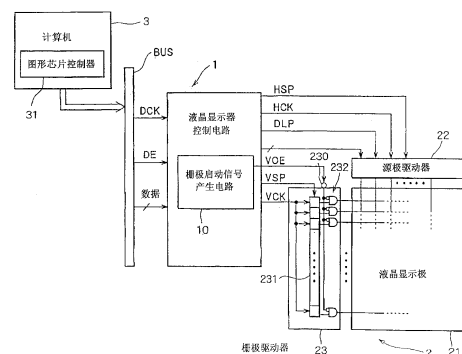
权利要求书 3 页 说明书 17 页 附图 10 页

[54] 发明名称

液晶显示器控制电路

[57] 摘要

液晶显示器控制电路从计算机接收与基于每行的显示数据同步的数据启动信号 DE，并由此控制液晶显示器。根据垂直时钟信号 VCK 与信号 DE 的上升沿同步地产生从栅极驱动器 23 输出的栅极驱动信号。为了避免像素电极充电周期中的变化，其中该变化由信号 DE 上升时间中的延迟和最后一行之后信号 VCK 中的延迟导致，在液晶显示器控制电路 1 中设置栅极启动信号产生电路 10，由此禁止由上述延迟导致的栅极驱动信号的脉冲的延长输出。这避免了由数据启动信号等中的变化导致的显示不均匀性。



1. 一种液晶显示控制电路，该电路接收点时钟信号、基于每行的显示数据和与显示数据同步的数据启动信号，并由此根据在数据启动信号的上升时间，并在数据启动信号帧之内的最后上升沿之后被延迟预定时间的时刻，产生与参考信号同步的垂直时钟信号，定义从栅驱动器输出的栅驱动信号的脉宽，

所述液晶显示控制电路包括：用于输出栅驱动器输出启动信号的栅启动信号产生电路，其中栅驱动器输出启动信号具有从垂直时钟信号开始的预定的时间宽度，由此控制并启动栅驱动器，以便只在栅驱动器输出启动信号的预定时间宽度内输出栅极驱动信号，并由此抑制影响显示的数据启动信号在上升时间中的变化。

2. 如权利要求 1 所述的液晶显示器控制电路，其特征在于，所述液晶显示控制电路向源驱动器输出：显示数据，水平起始脉冲信号，水平时钟信号和用于控制基于每行的显示数据之锁存的数据锁存信号，并向栅驱动器与参考信号同步地输出垂直起始脉冲信号。

3. 如权利要求 1 或 2 所述的液晶显示器控制电路，其特征在于栅驱动器输出启动信号的预定时间宽度设置为在数据启动信号的上升时间产生的参考信号的间隔的帧内最大且帧间最小值。

4. 如权利要求 3 所述的液晶显示器控制电路，包括：

水平计数器，该计数器通过在数据启动信号的上升时间产生的参考信号复位，并再对点时钟信号计数；

帧内最大值保留寄存器，用于连续比较水平计数器在每次复位之前的最大计数值，并由此保留较大的计数值；

帧间最小值保留寄存器，用于逐帧连续比较保留在帧内最大值保留寄存器中的计数值，并由此保留较小的计数值；以及

解码器，用于比较水平计数器中的计数值与帧内最大值保留寄存

器中的计数值，由此在数据启动信号帧之内的最后上升沿之后被延迟了预定时间的时刻产生参考信号，并且由此复位水平计数器；

其特征在于，所述的栅极启动信号产生电路，将通过垂直时钟信号复位而后对点时钟信号计数的计数器中的计数值与帧间最小值保留寄存器中的计数值进行比较，由此输出具有预定的时间宽度的栅极驱动器输出启动信号。

5. 如权利要求 1 或 2 所述的液晶显示器控制电路，其特征在于栅驱动器输出启动信号的预定时间宽度设置为一个固定值，该值不超过数据启动信号上升时间产生的参考信号间隔的帧内最大值。

6. 如权利要求 5 所述的液晶显示器控制电路，包括：

水平计数器，该计数器通过数据启动信号上升时间产生的参考信号复位，并再对点时钟信号计数；

帧内最大值保留寄存器，用于连续比较水平计数器在每次复位之前的最大计数值，并由此保留较大的计数值；以及

解码器，用于比较水平计数器中的计数值与帧内最大值保留寄存器中的计数值，由此在数据启动信号帧之内最后上升沿之后延迟了预定时间的时刻产生参考信号，并且由此复位水平计数器；

其特征在于，所述的栅极启动信号产生电路，将通过垂直时钟信号复位而后对点时钟信号计数的计数器中的计数值与对应于固定值的固定数进行比较，由此输出一个具有预定时间宽度的栅驱动器输出启动信号。

7. 如权利要求 1 或 2 所述的液晶显示器控制电路，其特征在于栅驱动器输出启动信号的预定时间宽度设置为在数据启动信号上升时间产生的参考信号间隔的帧内最小值。

8. 如权利要求 7 所述的液晶显示器控制电路，包括：

水平计数器，该计数器通过参考信号复位，并再对点时钟信号计

数；

帧内最大值保留寄存器，用于连续比较水平计数器在每次复位之前的最大计数值，并由此保留较大的计数值；

帧内最小值保留寄存器，用于连续比较水平计数器在每次复位之前的最大计数值，并由此保留较小的计数值；以及

解码器，用于将水平计数器中的计数值与保留在帧内最大值保留寄存器中的计数值进行比较，由此在数据启动信号帧之内最后上升沿之后延迟了预定时间的时刻产生参考信号，并且由此复位水平计数器；

其特征在于，所述的栅极启动信号产生电路，用于将通过垂直时钟信号复位然后对点时钟信号计数的计数器中的计数值和帧内最小值保留寄存器中的计数值进行比较，并由此输出具有预定时间宽度的栅驱动器输出启动信号。

9. 如权利要求 1 或 2 所述的液晶显示器控制电路，其特征在于栅驱动器输出启动信号的预定时间宽度设置为数据启动信号上升时间产生的参考信号间隔的帧内平均计数值或最频繁的计数值。

10. 如权利要求 9 所述的液晶显示器控制电路，包括：

水平计数器，该计数器通过数据启动信号上升时间产生的参考信号复位，并再对点时钟信号计数；

帧内最大值保留寄存器，用于连续比较水平计数器在每次复位之前的最大计数值，并由此保留较大的计数值；

计算装置，用于输出水平计数器中最大计数值的平均计数值或最频繁的计数值；

解码器，用于将水平计数器中的计数值和帧内最大值保留寄存器中的计数值进行比较，由此在数据启动信号帧之内最后上升沿之后延迟了预定时间的时刻产生参考信号，并且由此复位水平计数器；

其特征在于，所述的栅极启动信号产生电路，用于将通过垂直时钟信号复位而后对点时钟信号计数的计数器中的计数值与从计算装置输出的计数值进行比较，由此输出具有预定时间宽度的栅驱动器输出启动信号。

## 液晶显示器控制电路

### 发明背景

### 发明的技术领域

本发明涉及一种用于控制液晶显示器的显示的液晶显示器控制电路。

### 相关技术的描述

近年来，液晶显示器（LCD）被广泛地用作计算机、办公自动化设备以及移动终端的显示设备。下面将参考附图对计算机中现有的薄膜晶体管（TFT）液晶显示器做一个一般性的描述。

图 1 表示液晶显示器系统的一般结构，而图 2 表示该系统中不同点处的信号波形。

如图 1 所示，液晶显示器系统包括：用于输出数字显示数据（以下称作显示数据）以及时钟信号和控制信号的计算机 7；液晶显示器 6；和用于输入从计算机 7 接收到的信号并由此驱动和控制液晶显示器 6 的液晶显示器控制电路 5。

液晶显示器 6 包括：一个液晶显示板 61，该显示板中的基底上以矩阵形式地分布着用于显示的像素电极和用于对每个像素电极施加电压的 TFT 晶体管；一个分布在液晶显示板 61 上侧的源驱动器 62；和分布在显示板左侧的栅驱动器 63。由源驱动器 62 锁存的基于每个水平行的显示数据被 D/A 转换成灰度电压。灰度电压被根据每个水平行从上到下依次写入到液晶显示板 61 的像素电极。因此，对每个像素的电压施加到每个像素电极和公共电极之间。结果，每个电极对之间的液晶透射率响应于施加的电压得到控制，由此进行显示。

包括图形芯片控制器 71 的计算机 7 处理图像数据并由此通过一条总线将分成每行的显示数据 DATA、与显示数据 DATA 同步的单同步控制信号（以下称数据启动信号）DE、和点时钟信号 DCK 输出给液晶显示器。

液晶显示器控制电路 5 响应于三种信号（DATA, DE, DCK）对液晶显示器 6 产生各种信号，并由此控制源驱动器 62 和栅驱动器 63。因此，驱动器 62 和 63 驱动液晶显示板 61。

下面参考图 2 对液晶显示器控制电路中的信号处理以及液晶显示器的驱动方法作一般性的描述。

在图 2 中，显示数据 DATA 是被沿时间轴分成段的图像数据的显示用数据。点时钟信号 DCK 是一种具有与显示数据相同的数据速率的时钟信号。数据启动信号 DE 是一个同步控制信号。在此信号中，每行显示数据的数据周期表示为一个高电平的有效的显示数据周期，数据间歇表示为一个低电平的无效周期。另外，在帧的最后一行和下一帧的第一行之间的帧间歇在较长的时间里表示为低电平。这也就是在数据启动信号 DE 中，响应于从低到高的上升沿进行水平同步控制，同时响应于一个长的低电平周期进行垂直同步控制。这些信号如上所述地由计算机提供。

液晶显示器控制电路 5 输出：一个参考信号 HRST，该参考信号由响应于每行中数据启动信号 DE 的高电平的上升时间检测结果而产生的参考信号组成，或由一帧的最后一行之后的长的低电平周期中产生的下面将会描述的伪参考信号组成；一个水平起始脉冲信号 HSP，该信号在几个点时钟信号之后与 HRST 同步产生并由此控制水平扫描的开始；一个水平时钟信号 HCK；和一个垂直扫描的垂直起始脉冲信号 VSP，该信号响应于信号 DE 的长的低电平周期的检测结果而产生。

在参考信号 HRST 的每次出现中，测量与前面的参考信号 HRST 的时间距离，由此相继地更新和储存最大时间距离（最大值）。然后，当在一帧的 DE 信号的最后的高电平周期的尾缘之后最大值已消失后不出现下一个 DE 上升沿时，产生上述的伪参考信号 HRST。

通过参考信号 HRST 和伪参考信号 HRST 复位液晶显示控制电路 5，然后利用对信号 DCK 计数的计数器输出：在信号 DE 的尾缘之前不久产生的并由此用于垂直同步的垂直时钟信号（栅时钟信号）VCK；和在信号 DE 的尾缘之后不久产生的并由此用于锁存基于每个行的显示数据的数据锁存脉冲信号 DLP。

图 3 表示用于产生上述信号的液晶显示器控制电路的详细实例。该电路包括：上升沿检测电路 21；水平计数器 22；解码器 25；用于检测上述最大时间距离（最大值）的 TD（最大值）值判定电路；一个符合检测电路 27；和一个数据转换电路 30。水平计数器 22 通过经或电路 23 从上升沿检测电路 21 输出的参考信号 HRST 复位，然后对信号 DCK 计数，并由此连续输出计数值。TD 值（最大值）判定电路包括：用于在出现参考信号时锁存水平计数器的计数值的寄存器 26；用于保存最大时间距离数据的寄存器 28（具有零初始值）；和用于比较两个寄存器的输出并由此更新和保存较大的值在寄存器 28 中的较大值检测电路 29；由此更新和储存对应于最大时间距离直到该点的计数值（最大值）。当信号 DE 的长的低电平周期内水平计数器 22 中的计数值超过寄存器 28 中的寄存数据（TD 值）时，符合检测电路 27 将伪参考信号 HRST 输出到或电路 23。结果，或电路 23 输出一个由伪参考信号组成的信号 HRST。通过解码器 25 比较上述操作中从水平计数器 22 输出的计数值与预定的计数值，由此与信号 DE 的上升时间同步地输出上述信号 HSP、HCK、DLP 和 VCK 数据转换电路 30。与点时钟信号 DCK 同步地接受上述显示数据，该数据为由每个像素的三段 6 位数据组成的 18（6 位 \* 3）位串行数据。然后，数据转换电路 30 把显示数据转

换为并行数据，并与水平时钟信号 HCK 同步地输出该数据（见日本特定专利申请 Hei-10-301544）。

信号 DCK 是一个与输入到液晶显示器控制电路 5 的显示数据同步的外时钟信号，而信号 HCK 是一个与液晶显示器控制电路 5 输出的显示数据同步的内时钟信号。信号 HCK 根据信号 DCK 产生，其形式对应于由源驱动器的驱动器组的配置以及对源驱动器的输入形式决定的输出显示数据形式。垂直时钟信号 VCK 确定栅驱动器输出的栅极驱动信号的脉宽。

液晶显示板 61 的源驱动器 62 和栅驱动器 63 由上述信号控制。源驱动器 62 和栅驱动器 63 的操作如下。

利用水平起始脉冲信号 HSP 作为起始（水平同步）信号，源驱动器 62 在信号 DE 的高电平周期中根据水平时钟信号 HCK 连续读出 DATA。当读出一行的数据时，根据信号 DLP 将该数据锁存到内锁存电路中，并按照每行的像素数目，将该数据 D/A 转换成对应数目的灰度电压。向对应的 TFT 晶体管的源极线提供电压信号。重复此操作。

利用信号 VSP 作为起始信号（垂直同步信号），栅驱动器 63 连续地给栅极线输出栅驱动信号，该信号具有与垂直时钟信号 VCK 相同的脉冲间隔。因此，对于该行的 TFT 晶体管被连续驱动，由此该行的晶体管导通。重复此操作。

图 4 表示用于具体的栅极线和具体的源极线的驱动操作的信号。该图表示数据锁存脉冲信号 DLP，垂直时钟信号 VCK，对于栅极线的栅驱动信号（用于控制栅极导通周期的信号），和根据数据输出（灰度电压）对源极线的充电电压（以下简称数据输出）。源驱动器 62 在 DLP 脉冲间隔期间给源极输出灰度电压，栅驱动器 63 在 VCK 脉冲间隔期间驱动栅极线。提供给源极线的灰度电压充当对源极线和像素电

极充电的充电电压波形。对于象素电极的最终充电电压是在栅极导通周期的尾缘处的充电电压。此电压保持到下一帧，并由此决定液晶显示板每个象素的透射率。

如此，源驱动器 62 读取一行数据并由此作为灰度电压输出的周期是从读取一行数据之后的 DLP 脉冲到下一个 DLP 脉冲的周期。即，在叠加到下一行周期的周期中写入前一行数据。通过利用信号 DE 的上升沿作为基准并再对信号 DCK 计数来输出用于定义输出灰度电压的最后时间的信号 DLP 和用于定义栅极导通周期的尾缘的信号 VCK。因而，对于没有下一行的帧的最后一行的上升沿，伪参考信号 HRST 是必不可少的。

不用说，在利用数据启动信号 DE 对液晶显示器输出显示数据的显示数据供给设备（例如，计算机）中，把图像数据转变成基于对应于液晶显示板分辨率的显示数据的每一行的过程可导致在输出的显示数据的行数据间隔中的延迟，即，在数据启动信号 DE 的上升时间（等效于低电平周期的尾缘）中的延迟。另外，在数据启动信号的长的低电平周期中产生的用于垂直同步的伪信号 HRST(假信号 HRST)与其他前面的 HRST 脉冲间隔相比，可经受相对于信号 DE 的前一个上升沿（HRST）的延迟（见日本特定专利申请 Hei10-301544）。

如上所述，信号 HRST 的产生时间依赖于数据启动信号 DE 的上升时间以及伪参考信号 HRST 的产生时间中的延迟变化而改变。这导致信号 DLP 和 VCK 的产生时间中的延迟，并由此影响液晶显示板的显示。

图 5 表示影响液晶显示板的显示的机理。如图 5 中的虚线所示，当延长对信号 DE 的水平同步的低电平周期时，或当在垂直同步的长的低电平周期产生的伪参考信号 HRST 中出现延迟时，信号 DLP 和 VCK 也延迟。如图 5 中的虚线所示，信号 DLP 和 VCK 中的延迟延长了用

灰度电压充电的时间，并因此延长了 TFT 晶体管的导通周期。这导致对每个象素电极的最终充电电压的变化。这影响液晶显示板的透射率，并由此导致显示质量的下降，如显示不均匀。

#### 发明概述

本发明的目的在于提供一种液晶显示器的控制电路以及一种能够抑制由数据启动信号等的变化所导致的显示不均匀性出现的液晶显示器。

本发明的一个方面是一种液晶显示控制电路，该电路接收点时钟信号（DCK）、基于每行的显示数据(DATA)、和与显示数据同步的数据启动信号（DE），并由此根据在数据启动信号的上升时间，并在数据启动信号帧之内最后的上升沿之后延迟预定时间的时刻，产生的与参考信号(HRST)同步的垂直时钟信号（VCK）定义从栅驱动器输出的栅驱动信号的脉宽。

根据本发明的这个液晶显示控制电路包括用于输出栅驱动器输出启动信号（例如图 7 中的 VOE）的栅启动信号产生电路（例如图 6 中的标号 10），其中栅驱动器输出启动信号从垂直时钟信号(VCK)开始具有预定的时间宽度（例如图 7 中的 tx），由此控制并启动栅驱动器（例如，图 6 中的标号 23），从而只在栅驱动器输出启动信号(如图 7 中的 VOE)的预定时间宽度(如图 7 中的 tx)内输出栅极驱动信号，并由此抑制影响显示的数据启动信号的上升时间中的变化(如图 7 中的 ts)。另外，此液晶显示器控制电路向源驱动器输出：显示数据（例如图 7 中的 DATA），水平时钟脉冲信号（HCK），和用于控制基于每行的显示数据之锁存的数据锁存脉冲信号（例如图 7 中的 DLP），并向栅驱动器与参考信号同步地输出一个垂直起始脉冲信号（例如图 7 中的 VSP）。

在上述液晶显示控制电路中，本发明的另一个方面在于一种液晶

显示控制电路，其中栅驱动器输出启动信号的预定时间宽度(例如图 7 中的 tx)设置为在数据启动信号的上述时间产生的参考信号的间隔的帧内最大且帧间最小值。

更具体地说，液晶显示器控制电路包括：水平计数器(例如图 9 中的标号 13)，该计数器由在数据启动信号的上升时间产生的参考信号复位，然后对点时钟信号计数；帧内最大值保留寄存器(例如图 9 中的标号 152)，用于连续(例如图 9 中的标号 153)比较水平计数器在每次复位之前的最大计数值，并由此保留较大的计数值；帧间最小值保留寄存器(例如图 9 中的标号 173)，用于逐帧连续比较保留在帧内最大值保留寄存器中的计数值，并由此保留较小的计数值；解码器(例如图 9 中的标号 14)，用于比较水平计数器中的计数值和帧之间最大值保留寄存器中的计数值，由此在一帧数据启动信号之内最后的上升沿之后延迟了预定时间的时刻产生参考信号(例如在图 9 中的伪参考信号 HRST)，并且由此复位水平计数器；和栅极启动信号产生电路(例如图 9 中的标号 18)，用于比较(例如，图 9 中的标号 182)通过垂直时钟信号复位并再对点时钟信号计数的计数器中(例如，图 9 中的标号 181)的计数值与帧之间最小值保留寄存器(例如图 9 中的标号 173)中的计数值，由此输出一个具有预定的时间宽度的栅极启动器输出启动信号(例如图 9 中的 VOE)。

在上述液晶显示器控制电路中，本发明的另一方面是一种液晶显示器控制电路，其中栅驱动器输出启动信号的预定时间宽度设置为一个固定值，该值不超过数据启动信号上升时间产生的参考信号间隔的帧内最大值。

更具体地说，液晶显示器控制电路包括：水平计数器，该计数器通过数据启动信号上升时间产生的参考信号复位，并再对点时钟信号计数；帧内最大值保留寄存器(例如图 9 中的标号 152)，用于连续比较水平计数器在每次复位之前的最大计数值，并由此保留较大的输出值；

解码器(例如图 9 中的标号 14),用于比较水平计数器中的计数值和帧内最大值保留寄存器中的计数值,由此在一帧数据启动信号之内最后上升之后延迟了预定时间的时刻产生参考信号,并且由此复位水平计数器;和栅极启动信号产生电路(例如图 9 中的标号 18),用于比较通过垂直时钟信号复位并再对点时钟信号计数的计数器中(例如,图 9 中的标号 181)的计数值与一个对应于固定值的固定数(例如图 9 中代替标号 17 设置一个固定数),由此输出一个具有预定时间宽度的栅驱动器输出启动信号。

在上述液晶显示器控制电路中,本发明的另一方面是一种液晶显示器控制电路,其中栅驱动器输出启动信号的预定时间宽度设置为数据启动信号上升时间产生的参考信号间隔的帧内最小值。

更具体地说,液晶显示器控制电路包括:水平计数器,该计数器通过数据启动信号上升时间产生的参考信号复位,然后对点时钟信号计数;帧内最大值保留寄存器(例如,图 9 中的标号 152),用于连续比较水平计数器在每次复位之前的最大计数值,并由此保留较大的计数值;帧内最小值保留寄存器,用于连续比较水平计数器在每次复位前的最大计数值,并由此保留较小的计数值;解码器(例如,图 9 中的标号 14),用于比较水平计数器中的计数值和帧内最大值保留寄存器中的计数值,由此在一帧数据启动信号之内最后的上升沿之后延迟了预定时间的时刻产生参考信号,并且由此复位水平计数器;和栅极启动信号产生电路,用于比较通过垂直时钟信号复位并再对点时钟信号计数的计数器中的计数值,与帧内最小值保留寄存器中的计数值,由此输出一个具有预定时间宽度的栅驱动器输出启动信号。

在上述液晶显示器控制电路中,本发明的另一方面是一种液晶显示器控制电路,其中,将栅极驱动器输出启动信号的预定时间宽度设置成在数据启动信号的上升时间产生的参考信号的间隔的计数值和帧内平均计数值或最频繁的计数值。

更加具体地，液晶显示器控制电路包括：水平计数器，该水平计数器由在数据启动信号上升时间产生的参考信号复位，然后对点时钟信号计数；帧内最大值保留寄存器，用于连续比较水平计数器在每次复位前的最大计数值，并由此保留较大的计数值；计算装置，用于输出在水平计数器中平均计数值或最大计数值的最频繁的计数值；解码器，用于将水平计数器中的计数值与帧内最大值保留寄存器中的计数值进行比较，由此在数据启动信号帧内最后一个上升沿之后延迟了预定时间的时刻产生参考信号；并由此对水平计数器进行复位，以及栅极启动信号产生电路，用于将通过垂直时钟信号复位然后对点时钟信号计数的计数器中的计数值与从计算装置输出的计数值进行比较，并由此输出具有预定时间宽度的栅极驱动器输出启动信号。

为了避免像素电极充电期间由数据启动信号上升时间的变化导致的栅极驱动信号的尾缘的变化所致的变化，并且由此避免对液晶显示板显示的影响，只在预定的时间宽度内产生一个允许从栅驱动器向栅极线输出的控制信号(称作栅驱动器输出启动信号)。因此，避免了从栅驱动器输出的栅极驱动信号尾部中延迟的输出。栅驱动器输出启动信号的宽度设置为帧内最大且帧间最小值。或者，可以把宽度设置为一个预定的固定值，水平周期内的最小值，或水平周期内的平均值或最频繁的值。

#### 附图简述

图 1 表示现有液晶显示器系统的一般结构；

图 2 表示现有液晶显示器系统中不同点处的信号波形；

图 3 表示用于产生控制液晶显示器的各种信号的现有液晶显示器控制电路；

图 4 表示具体的栅极线和具体的源极线的驱动操作以及灰度电压的写入(充电)周期；

图 5 表示导致显示不均匀性的机理；

图 6 表示根据本发明实施例的液晶显示器控制电路；

图 7 表示根据实施例的液晶显示器控制电路的功能和输出信号实例；

图 8 表示根据实施例的具体的栅极线和具体的源极线的驱动操作以及灰度电压的写入(充电)周期；

图 9 是根据本发明实施例的液晶显示器控制电路的框图；

图 10 表示根据本发明实施例的操作中决定 tx 值的方法。

### 优选实施例的详细描述

下面参考附图描述本发明实施例的液晶显示器控制电路。

图 6 是表示包括根据本发明实施例 1 的液晶显示器控制电路的液晶显示器系统的框图。类似于现有技术，根据本实施例的液晶显示器系统包括：计算机 3；液晶显示器 2；和用于接收从计算机 3 发出的信号并由此驱动和控制液晶显示器 2 的液晶显示器控制电路 1。

液晶显示器 2 包括一个栅极启动终端 230，用于对栅驱动器 23 输入控制信号，由此控制其输出。液晶显示器控制电路 1 的特征在于包括用于产生栅极驱动器输出启动信号的栅极驱动信号产生电路 10，栅驱动器输出启动信号充当控制栅驱动器 23 的输出的上述控制信号。下面对该部分的结构和功能进行描述。

与现有技术类似，液晶显示器 2 包括：液晶显示板 21，在该显示板的基底上以矩阵形式地分布着用于显示的象素电极和用于对每个象素电极施加电压的 TFT 晶体管；分布在液晶显示板 21 上侧的源驱动器 22；和分布在左侧的栅驱动器 23。被源驱动器 22 锁存的基于每个水平行的显示数据被 D/A 转换成灰度电压。基于每个水平行的灰度电压被连续地写入到液晶显示板 21 的象素电极。因此，对每个象素的电压被施加到每个象素电极和公共电极之间。结果，在每个电极对之间的液晶的透射率响应于施加的电压而受到控制，由此执行显示。

液晶显示器 2 的栅驱动器 23 包括：移位寄存器 231；和禁止电路 232，用于控制和禁止从移位寄存器 231 输出的多个行的每一个行。禁止电路 232 根据由栅极启动信号产生电路 10 提供的栅极驱动器输出启动信号控制和禁止从移位寄存器 231 输出到栅极线的栅极驱动信号的延迟尾端。

类似于现有技术，在计算机 3 中，内部图形芯片控制器 31 等输出：分段进入每行的显示数据 DATA；与显示数据 DATA 同步的信号数据启动信号 DE；和遵循显示数据的数据速率（重复频率）的点时钟信号 DCK。

与现有技术类似，响应于三个信号，液晶显示器控制电路 1 给液晶显示器 2 输出各种信号。即，根据在数据启动信号的上升时间以及在一帧数据启动信号内最后上述时间之后延迟了预定时间的时刻产生的参考信号 HRST 并与该参考信号同步地，液晶显示器控制电路 1 输出：水平起始脉冲信号 HSP；水平时钟信号 HCK；数据锁存脉冲信号 DLP；垂直时钟信号 VCK；和在数据启动信号帧开始时产生的垂直起始脉冲信号 VSP。液晶显示器控制电路还包括一个类似与现有技术类似的数据转换电路。与点时钟信号 DCK 同步地，数据转换电路接收上述的显示数据，对于每个像素，该数据是由三段（分别是 R,G 和 B）6 位数据组成的 18 位（6 位×3）串行数据。然后，数据转换电路把显示数据转换成并行数据，并再与水平时钟信号 HCK 同步地输出该数据。信号 DCK 是与显示数据同步的外部时钟信号，而信号 HCK 是一个与液晶显示器控制电路 1 输出的显示数据同步的内部时钟信号。信号 HCK 根据信号 DCK 产生，其形式对应于由源极驱动器（单元）的驱动器组配置决定的输出显示数据形式和用于源极驱动器的输入形式。垂直时钟信号 VCK 确定栅极驱动器输出的栅极驱动信号的脉宽。

另外，在液晶显示器控制电路 1 中，栅极启动信号产生电路 10 在

栅极驱动器的栅极驱动信号的预定持续时间内产生一个栅极驱动器数据启动信号 VOE 以便允许通过, 并由此控制液晶显示板 21 的栅极驱动器 23。因此, 避免了由数据启动信号 DE 的上升时间中的延迟导致的显示不均匀性。

图 7 表示根据本发明实施例的液晶显示器控制电路的功能和输出信号的实例。在本实施例中, 至于从计算机 3 输出到液晶显示器控制电路 1 的上述三个信号, 上升到显示数据 DATA 和数据启动信号 DE(其中: 对于每行显示数据的数据周期由高电平表示为有效显示数据周期; 数据中断由低电平表示为无效周期; 一个帧的最后一行和下一帧的第一行之间的帧中断在较长的时间由低电平表示)的高电平的时间被延迟  $t_s$ 。在此时间点  $t_s$  的信号 HST 和先前信号 HSP 之间的距离比其他的长。在大于先前距离的最大值的距离处(最大值加预定差额)产生在显示数据 D 的最后一行之后产生的信号 HRST。因而, 在本实施例中, 信号 HRST 和先前信号 HSP 之间的距离比其他的长。

在本实施例中, 栅极启动信号产生电路 10 产生和 VCK 脉冲相关的栅极驱动器输出启动信号 VOE。至于 VCK 脉冲, 当下一 VCK 脉冲被延迟时, 栅极驱动器输出启动信号 VOE 在下一 VCK 脉冲开始产生的时间点  $t_x$  是上升的, 然后在下一 VCK 脉冲时降低。

栅极驱动器输出启动信号 VOE 被输出到栅极驱动器 23 的栅极启动端 230。在栅极驱动器 23 中, 从移位寄存器 231 向栅极线提供的栅极驱动信号在栅极驱动器输出启动信号 VOE 的高电平周期内被禁止电路 232 禁止。这使得施加到源极线的灰度电压的写入时间相同。

图 8 表示根据实施例的具体的栅极线和具体的源极线的驱动操作以及灰度电压(栅极导通周期)的写入(充电)周期。该图表示在数据启动信号的上升时间中延迟的影响。如虚线所示, 当由数据启动信号上升时间中的延迟导致垂直时钟信号 VCK 和数据锁存脉冲信号 DLP 中的

延迟时，根据垂直时钟信号 VCK 产生的栅极驱动信号也要延长。这与对其他行的充电时间相比，通过从源极驱动器输出的用于写入这一行的数据(灰度电压)延长了充电的时间。因此，该行中所有 TFT 晶体管的导通周期都延长了。这影响从源极线向该行中的象素电极的最后充电电压。但是，在本实施例中，栅极驱动信号的尾部不通过栅极驱动器输出启动信号 VOE 从栅极驱动器输出。这使得 TFT 晶体管的导通周期相同，并抑制了对最后充电电压的影响。换言之，尽管在数据启动信号 DE 的上升时间中有延迟，也不延长对数据 B 和 D 的写入周期。因此，所有的行都相等，并且象素电极到各个灰度电压电平的充电电压也相等。这避免了显示的不均匀性。

图 9 是根据本发明实施例的液晶显示器控制电路 1 的框图。在本实施例中，持续时间 tx 被设置为“帧内最大值”且“帧间最小值”的持续时间。液晶显示器控制电路包括上述数据转换电路(未示出)。

该电路包括：上升沿检测电路 11，用于检测数据启动信号 DE 的上升并由此在该时间输出一个脉冲；水平计数器 13，在数据启动信号 DE 上升时复位，并再对点时钟信号 DCK 计数，由此输出计数值数据；解码器 14，用于对从水平计数器 13 输出的计数值数据解码，并由此输出水平起始脉冲信号 HSP(与信号 DE 同步地提供给源极驱动器的水平同步)、水平时钟信号 HCK、数据锁存脉冲信号 DLP、和垂直时钟信号 VCK；最大值检测电路 15，用于根据上述计数值连续比较一行内信号 HSP 的脉冲间隔，并由此决定各计数值之中的最大间隔(最大值)；tx 设置电路 17，用于连续比较一帧内的最大值，并由此决定帧内最大且帧间最小值 tx；和 VOE 产生电路 18，用于根据 tx 设置电路 17 决定的 tx 值输出信号 VOE。

下面将参考图 7 所示的示例性的输出信号对图 9 中所示的液晶显示器控制电路 1 的操作做详细的描述。

上升沿检测电路 11 根据点时钟信号 DCK 读出数据启动信号 DE, 并由此输出信号 DE 的上升脉冲。水平计数器 13 对点时钟信号 DCK 计数, 同时通过信号 DE 的上升脉冲复位该计数值。即水平计数器 13 在信号 DE 的上升脉冲间隔之间重复输出信号 DCK 的计数值。解码器 14 对该计数值解码, 再将该数据加到从信号 DE 的上升时间延迟几个时钟点(五个时钟点)的信号 HSP, 并分别在信号 DE 的下降之前和上升之后的时间输出用于垂直同步的垂直时钟信号 VCK 和数据锁存脉冲信号 DLP。

最大值检测电路 15 包括: 寄存器 151; 用于保留最大值的寄存器 152; 和一个较大值检测电路 153。寄存器 151 锁存并保留水平计数器 13 在信号 DE 的上升时间的计数值。此时, 较大值检测电路 153 比较用于保留最大值的寄存器 152 中当前保留的值与当前的计数值, 并由此将较大值输出给寄存器 152。在信号 DE 的上升时间通过或电路 12 锁存并保留该值。即, 在或电路 12 的每次输出时把对应于当前最大间隔的计数值保留到寄存器 152 中。

符合检测电路 16 比较保留在最大值检测电路 15 的寄存器 152 中的计数值  $t_{max}$  和一个预定差额  $\alpha$  之和  $t_0(=t_{max}+\alpha)$  与水平计数器 13 中的计数值  $t_{max}$ , 并由此在这些值符合时输出伪参考信号 HRST。因而, 符合检测电路 16 不根据每行输出信号 HRST, 而只在水平寄存器 13 中的计数值达到  $t_0$  时的两帧之间的长的低电平周期时输出信号 HRST。

在 tx 设置电路 17 中, 在一帧内第一信号 DE 的上升时间设置 RS 触发器 171, 并再通过信号 HRST 复位, 由此输出一个基于每帧的脉冲。寄存器 172 在一帧的开始锁存并保留保留在电路 15 的最大值保留寄存器 152 中的计数值。较小值检测电路 174 比较此值与寄存器 173 中的值, 以保留当前的最小计数值, 并由此将较小值锁存并保留到寄存器 173 中。因此, 寄存器 173 输出帧内最大且帧间最小值 tx。

在 VOE 产生电路 18 中，符合电路 182 比较计数器 181 中的计数值和 tx 值，其中计数器 181 通过信号 VCK 复位并对点时钟信号 DCK 计数。符合时，设置触发器 183，并且之后通过信号 VCK 复位，由此产生信号 VOE。即，触发器 183 输出脉冲信号 VOE，该信号在从 VCK 脉冲过了帧内最大且帧间最小值 tx 的时间时上升，并且在下一 VCK 脉冲时下降。

通过上述操作，由液晶显示器控制电路 1 产生的栅极启动信号 VOE 禁止栅极驱动器 23 的禁止电路 232，并由此禁止栅极驱动信号的尾部延伸端通过。结果，不管数据启动信号 DE 低电平如何变化，从源极驱动器 22 输出的数据（灰度电压）进入像素电极的写入（充电）时间相等。这样避免了显示的不均匀性。

下面参考图 10 进一步描述在 tx 设置电路 17 中执行的帧内最大且帧间最小值 tx 的上述确定。

图 10A 至 10C 表示根据上述操作决定帧内最大且帧间最小值 tx 的方法。图 10A 表示帧内最大且帧间最小值的示例性的时间变化图。图 10B 表示信号 HRST 的产生时间。图 10C 表示写入最后行的周期。

如图 10A 所示，在连续帧 1、2、3 和 4 中的帧内最大值分别是 tmax1、tmax2、tmax3 和 tmax4。假设关系  $t_{\max 3} < t_{\max 1} < t_{\max 2} < t_{\max 4}$ 。那么，帧内最大值按照 tmax1、tmax2、tmax2 和 tmax4 的顺序变化，同时帧内最大且帧间最小值 tx 按 tmax1、tmax1、tmax3 和 tmax3 的顺序变化。

因此，帧 1—4 的每一帧中伪参考信号 HRST 的产生时间如图 10B 所示。由每帧中的信号 VOE 决定的写入最后一行的周期和非写入周期示于图 10C。

根据本实施例的控制，写入最后一行的周期最终接近标准水平周

期。

在上述实施例中，可以通过各种方法决定 tx 值。决定 tx 值的这些方法叙述如下。

### (1) 固定值

根据提供显示数据的计算机中的数据处理方法，当数据启动信号上升时间的间隔最小值接近常数时，可以把固定值用作 tx 值，其中固定值是这个最小值和期望的差额之和。在此情况下，用寄存器电路等代替 tx 设置电路 17，以便设置并输出该固定值 tx。

### (2) 水平周期内的最小值

检测数据启动信号上升时间的间隔最小值时，并且当把写入每行的周期设置为公共最小值时，写入周期相同。在此情况下，可以改变图 9 所示的 tx 设置电路 17 中寄存器 172 的数据输入端 D，以便能够接收从水平计数器 13 输出的计数值数据。或者，可以用一个较小值检测电路(例如，图 9 中所示的电路 174)代替最大值检测电路 15 中的较大值检测电路 153。在固定值或最小值每一种情形中，信号 VOE 由在信号 VCK 处降低并在对应于固定值或最小值的预定时间之后上升的脉冲组成。

### (3) 平均值或最频繁的值

当写入周期相等时显示的不均匀性受到抑制。因而，可以使用每个水平周期内数据启动信号上升时间的间隔平均值或最频繁的值。在此情形中，图 9 中所示的 tx 设置电路 17 由计算装置代替，该计算装置接收每帧从水平计数器 13 输出的计数值数据，并由此根据每行的间隔的历史变化选择平均计数值或最频繁的计数值。例如，通过累加计数值并再用该计数值出现的次数与 1 之和除以总计数值而获得平均计数值。最频繁的值例如通过将每个计数值四舍五入到预定的数字并由此选择最频繁的值而获得。

根据本发明，从栅极驱动器输出的栅极驱动信号针对数据启动信号上升时间的间隔变化以及最后一行的伪参考信号中的延迟进行了调整。这保持了液晶显示板 TFT 晶体管的导通周期的连续恒定。结果，抑制了上述变化等对象素电极充电电压的影响。这也避免了显示的不均匀性。

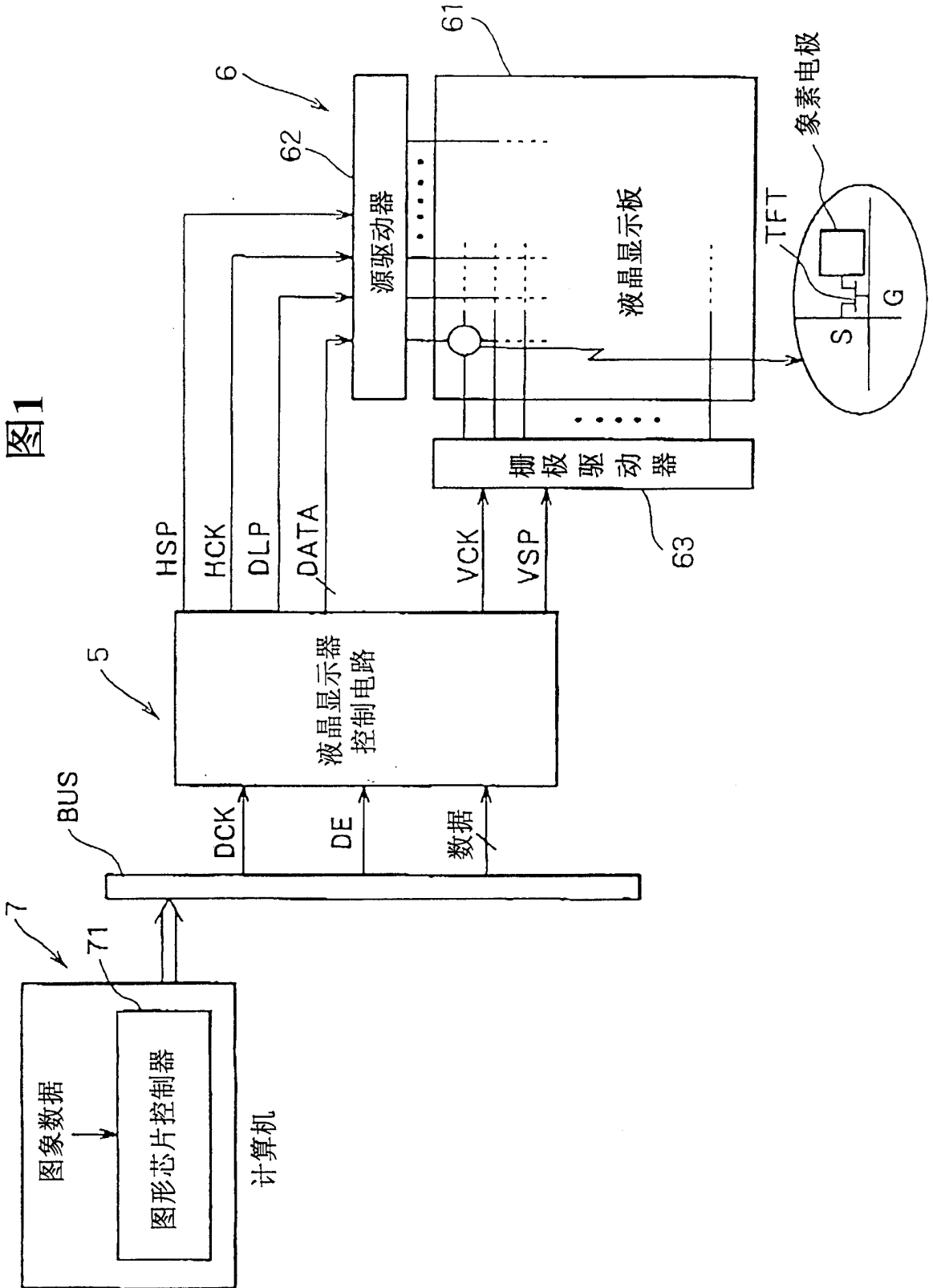


图2

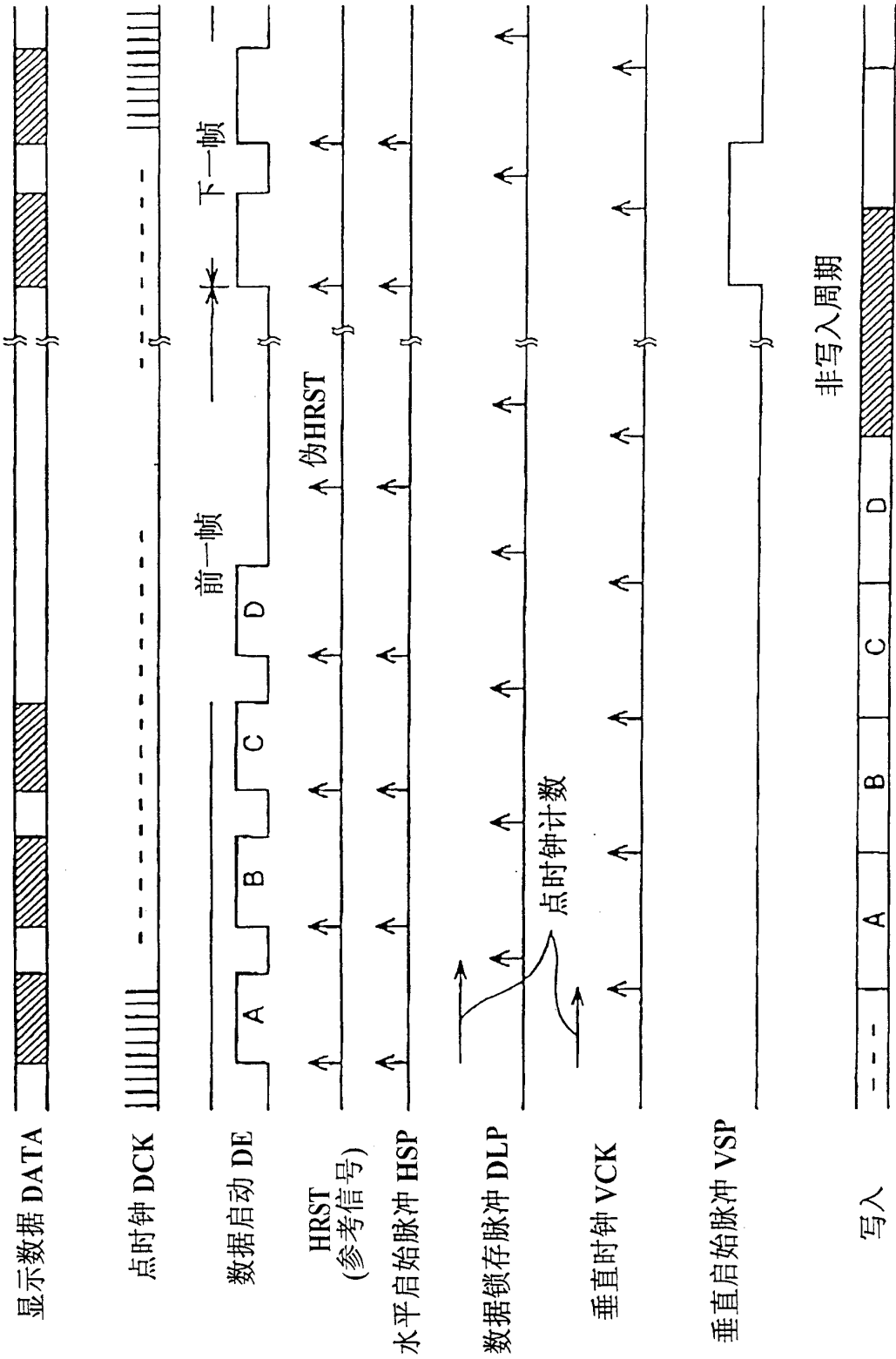




图4

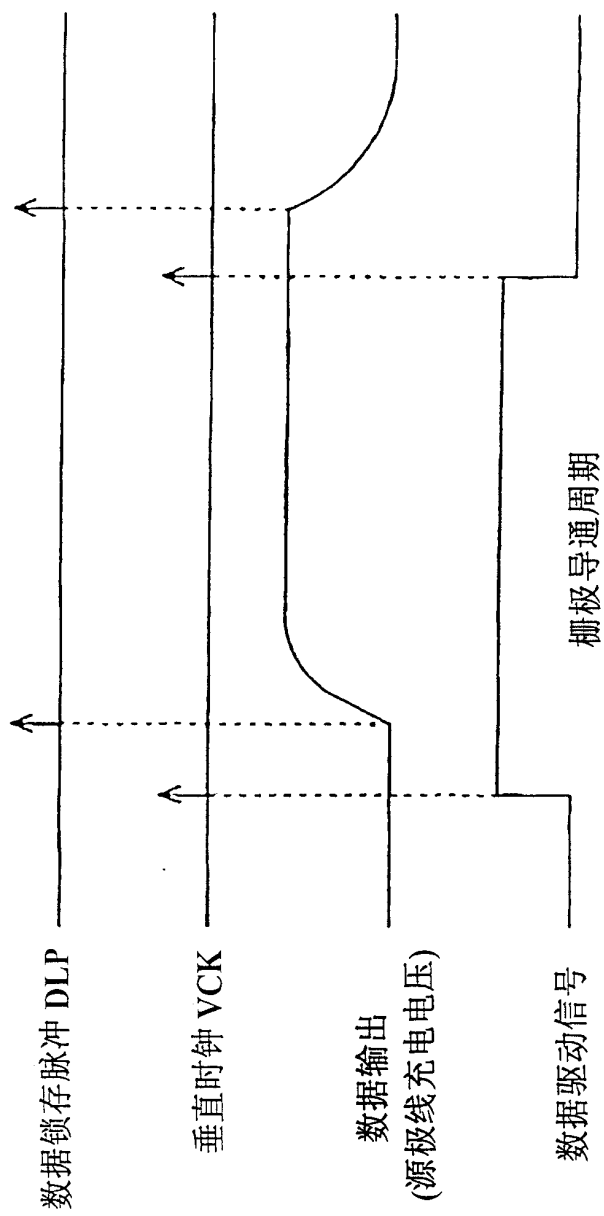
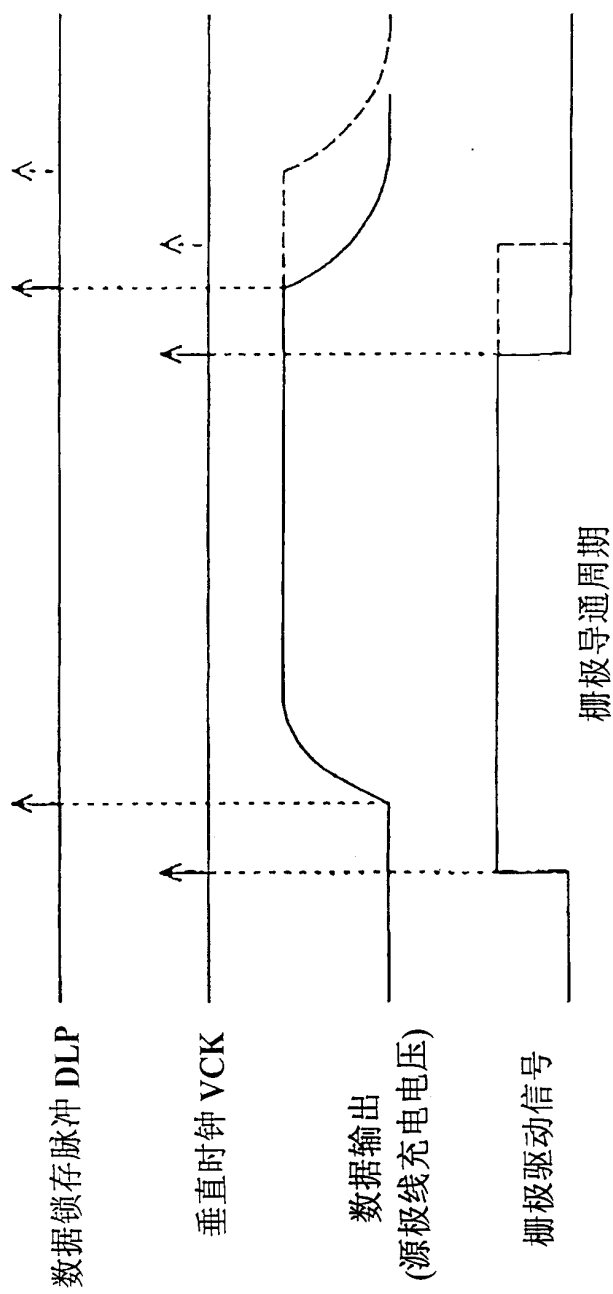


图5



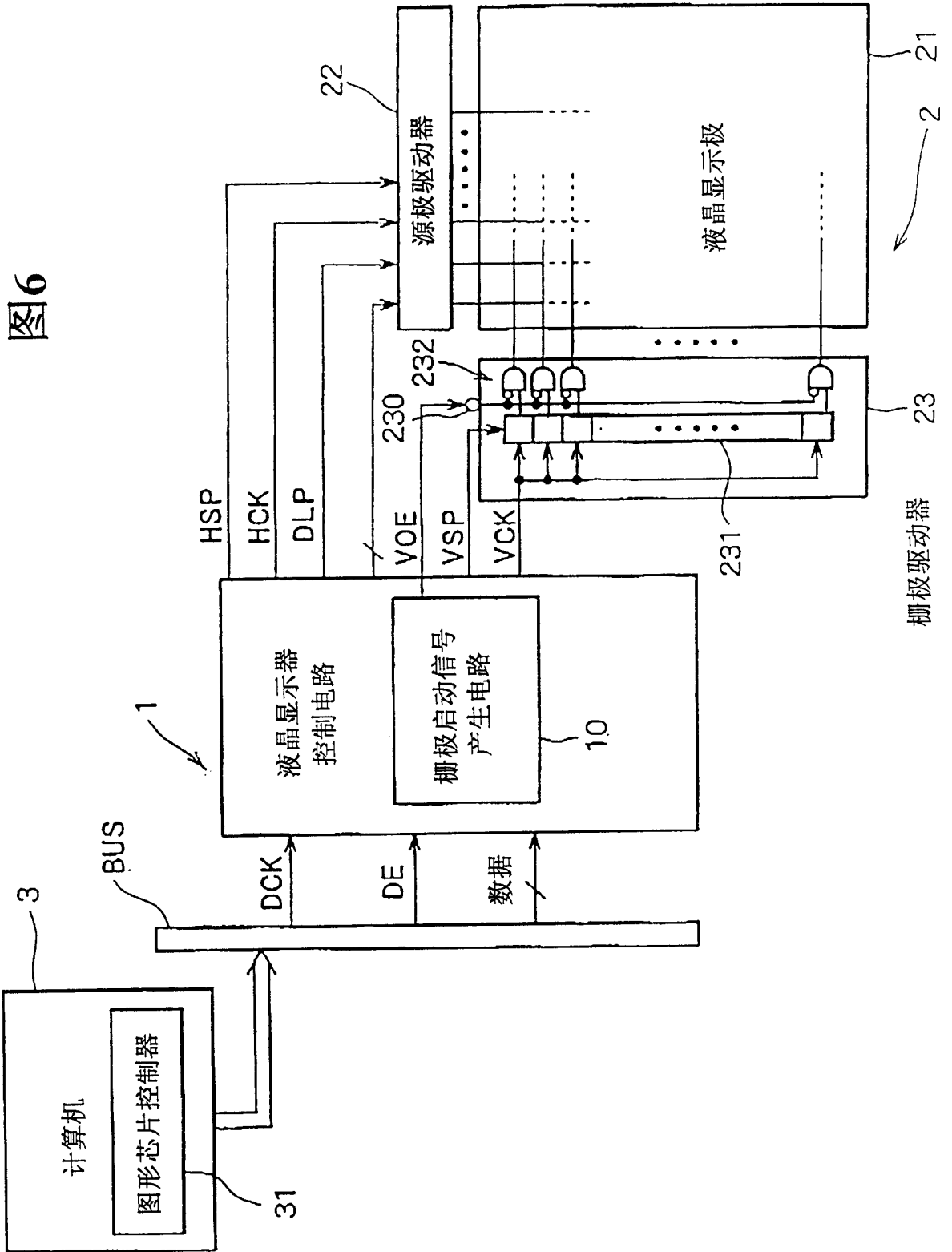


图7

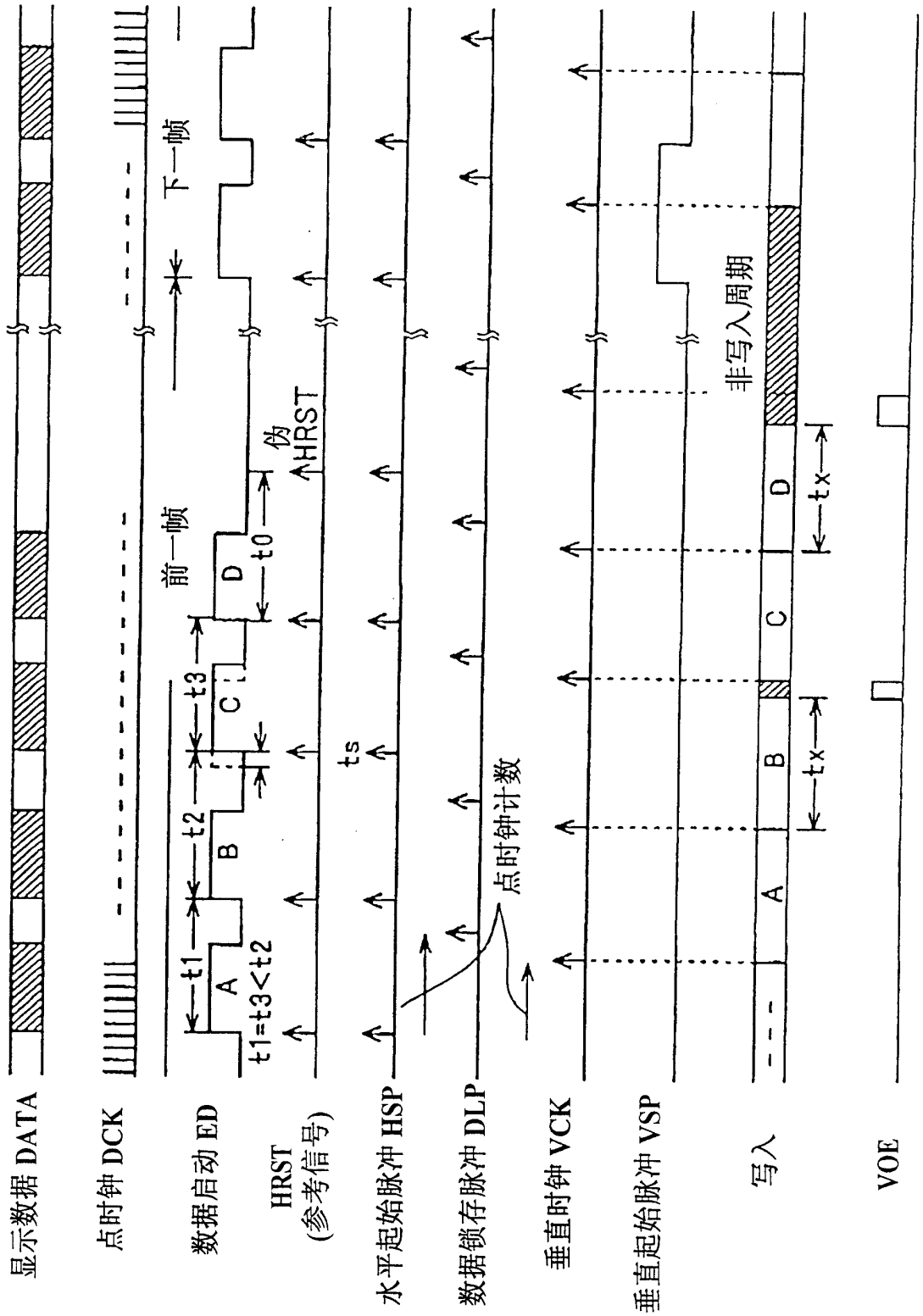
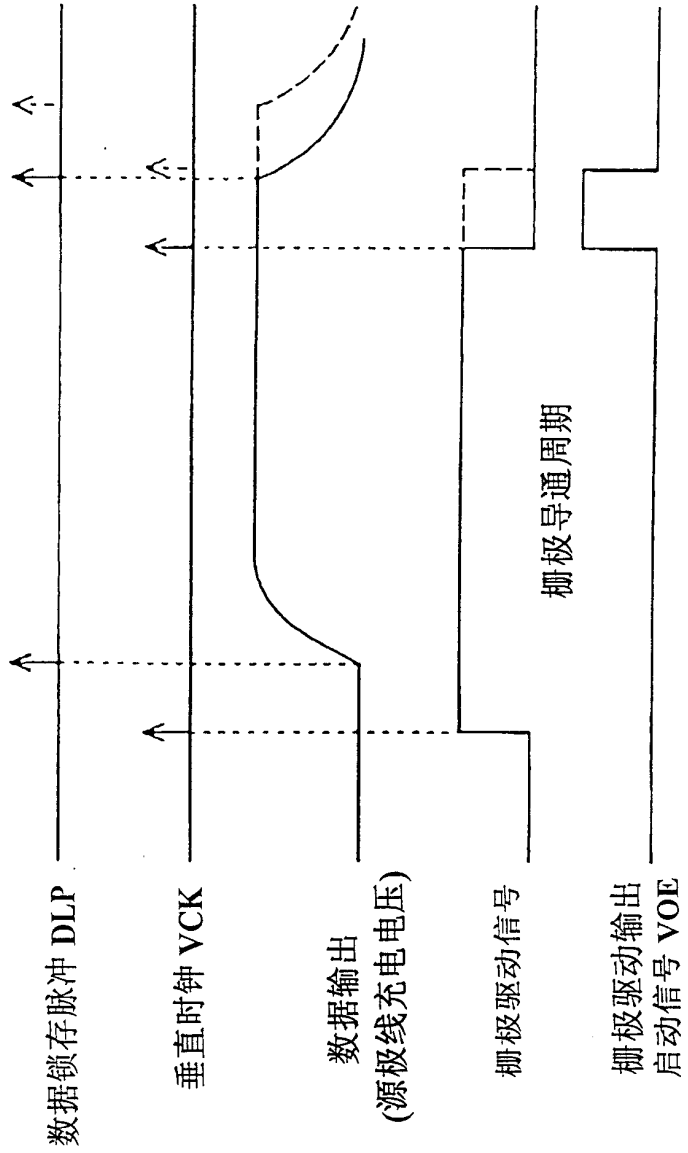


图8



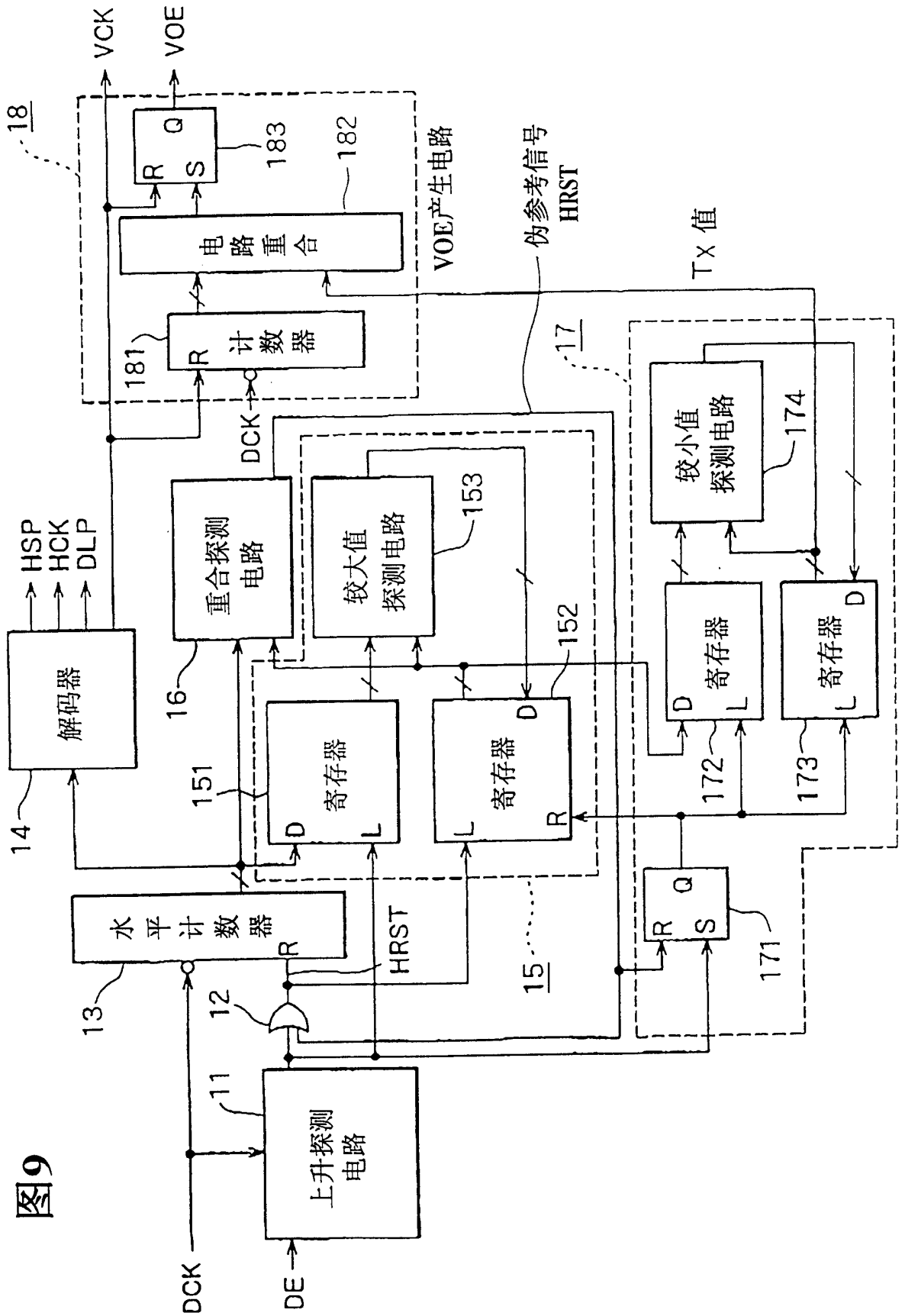


图9

**图10A**

判定Tx的方法 例:帧内最大值和帧间最小值

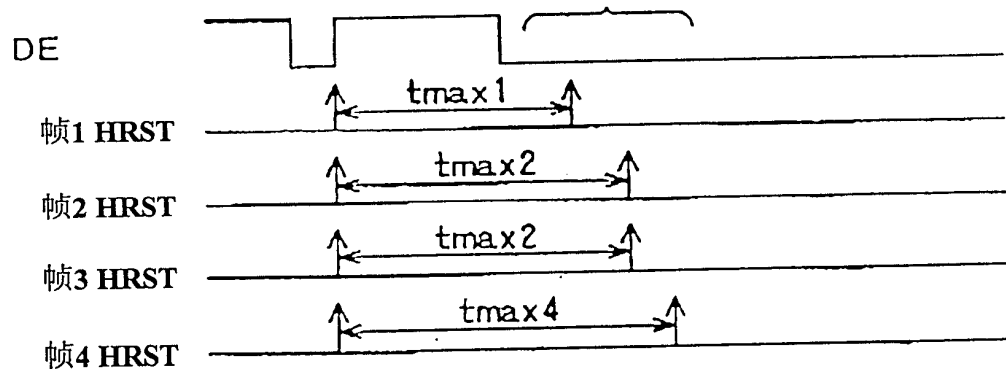
帧	帧内 tmax	tmax	tx
1	tmax1	tmax1	tmax1
2	tmax2	tmax2	tmax1
3	tmax3	tmax2	tmax3
4	tmax4	tmax4	tmax3

$$tmax3 < tmax1 < tmax2 < tmax4$$

**图10B**

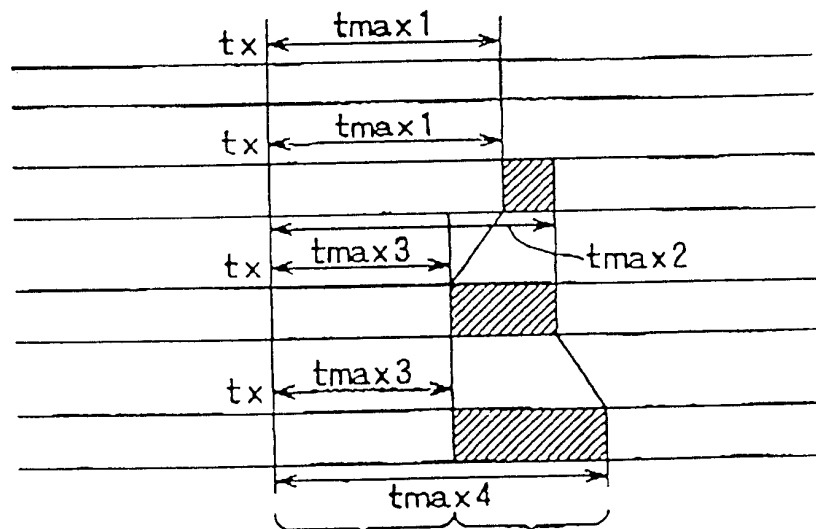
最后行的写入(伪HRST)

伪HRST



**图10C**

最后行  
帧1的写入  
帧2的写入  
帧3的写入  
帧4的写入



最后行的  
写入周期 非写入周期  
(根据VOE控制)

专利名称(译)	液晶显示器控制电路		
公开(公告)号	<a href="#">CN100428318C</a>	公开(公告)日	2008-10-22
申请号	CN02140715.0	申请日	2002-07-15
申请(专利权)人(译)	日本电气株式会社		
当前申请(专利权)人(译)	NEC液晶技术株式会社		
[标]发明人	古贺弘一 奥苑登 山口真智彦		
发明人	古贺弘一 奥苑登 山口真智彦		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H04N5/66		
CPC分类号	G09G3/3677 G09G3/3611		
优先权	2001214530 2001-07-13 JP		
其他公开文献	CN1397926A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

液晶显示器控制电路从计算机接收与基于每行的显示数据同步的数据启动信号DE，并由此控制液晶显示器。根据垂直时钟信号VCK与信号DE的上升沿同步地产生从栅极驱动器23输出的栅极驱动信号。为了避免像素电极充电周期中的变化，其中该变化由信号DE上升时间中的延迟和最后一行之后信号VCK中的延迟导致，在液晶显示器控制电路1中设置栅极启动信号产生电路10，由此禁止由上述延迟导致的栅极驱动信号的脉冲的延长输出。这避免了由数据启动信号等中的变化导致的显示不均匀性。

