



(12) 发明专利

(10) 授权公告号 CN 1953035 B

(45) 授权公告日 2010. 12. 08

(21) 申请号 200610135955. 3

审查员 刘畅

(22) 申请日 2006. 10. 17

(30) 优先权数据

98144/05 2005. 10. 18 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 李絃

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 郭定辉 黄小临

(51) Int. Cl.

G09G 3/36 (2006. 01)

G09G 3/20 (2006. 01)

G02F 1/133 (2006. 01)

(56) 对比文件

CN 1601596 A, 2005. 03. 30, 全文.

WO 2004104981 A1, 2004. 12. 02, 全文.

JP 2002258809 A, 2002. 09. 11, 全文.

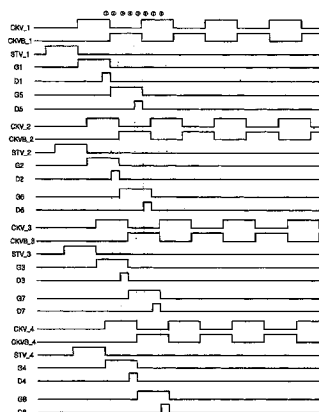
权利要求书 2 页 说明书 7 页 附图 5 页

(54) 发明名称

栅极驱动电路和带有该电路的显示设备

(57) 摘要

栅极驱动电路和具有该电路的显示设备, 其中使用 p 个移位寄存器将栅极线分为 p 个组并且使用被移位 1/p 的信号来驱动 p 倍的栅极线, 其中 p 是 3 或 3 以上的任意自然数。因此, 由于使用多个移位寄存器来驱动多条栅极线, 所以能够以低成本生产高清晰度显示设备。



1. 一种用于将驱动信号输出到多条栅极线的栅极驱动电路,其包括:
用于分别驱动被分为 p 个组的栅极线的 p 个移位寄存器,其中 p 是 3 或 3 以上的任意自然数,
其中 p 个移位寄存器的每一个包括彼此依赖地连接的多个级,而且将开始信号输入到 p 个移位寄存器的每一个的第一级的输入端,以及将来自所选择的级的输出信号连接到 p 个移位寄存器的每一个的随后级的输入端,从而借助于相应多个级的输出信号来顺序驱动多条栅极线。
2. 根据权利要求 1 所述的栅极驱动电路,其中将 p 个移位寄存器中所使用的 p 个开始信号彼此移位 $1/p$ 脉冲宽度。
3. 根据权利要求 1 或 2 所述的栅极驱动电路,其中多个级的每个级包括:
输入端,用于接收之前级的任何一级中输出的级驱动信号;
时钟端,用于接收彼此具有相位差的多个时钟信号中的任何一个时钟信号;
控制端,用于接收随后级中的任何一级所输出的级驱动信号;
第一输出端,用于输出级驱动信号。
4. 根据权利要求 3 所述的栅极驱动电路,还包括第二输出端,用于将级驱动信号输出到随后级的任何一级。
5. 根据权利要求 1 或 2 所述的栅极驱动电路,其中 p 是自然数 4,而将栅极线分为以 $4n-3$ 、 $4n-2$ 、 $4n-1$ 和 $4n$ 为顺序的四个组,其中 n 是 1 或 1 以上的自然数。
6. 一种显示设备,其包括:
显示装置,其包括多条栅极线、与栅极线交叉的多条数据线以及形成在栅极线和数据线之间的开关元件和像素电极;
栅极驱动电路,用于选择栅极线和允许连接到所选择的栅极线的开关元件被导通;以及
源极驱动电路,用于通过开关元件根据输入的图像数据的导通来驱动连接到像素电极的数据线,
其中栅极驱动电路包括用于分别驱动被分为 p 个组的栅极线的 p 个移位寄存器,其中 p 是 3 或 3 以上的任意自然数,每个移位寄存器包括彼此依赖地连接的多个级,并且将开始信号输入到每个移位寄存器的第一级的输入端,以及将来自所选择的级的输出信号连接到每个移位寄存器的随后级的输入端,从而借助于多个级的输出信号来分别顺序驱动多条栅极线。
7. 根据权利要求 6 所述的显示设备,其中将在 p 个移位寄存器中所使用的 p 个开始信号彼此移位 $1/p$ 脉冲宽度。
8. 根据权利要求 6 或 7 所述的显示设备,其中多个级的每一个包括:
输入端,用于接收之前级的任何一级所输出的级驱动信号;
时钟端,用于接收彼此具有相位差的多个时钟信号中的任何一个时钟信号;
控制端,用于接收随后级的任何一级所输出的级驱动信号;
第一输出端,用于输出栅极驱动信号。
9. 根据权利要求 8 所述的显示设备,还包括第二输出端,用于将级驱动信号输出到随后级的任何一级。

10. 根据权利要求 6 或 7 所述的显示设备,其中 p 是自然数 4,而将栅极线分为以 $4n-3$ 、 $4n-2$ 、 $4n-1$ 和 $4n$ 为顺序的四个组,其中 n 是 1 或以上的自然数。

11. 根据权利要求 6 或 7 所述的显示设备,其中源极驱动电路在由栅极信号施加到栅极线时的时间段除以 p 所获得的 p 个时间段中的最后时间段中施加数据电压。

栅极驱动电路和带有该电路的显示设备

[0001] 相关申请的交叉参考

[0002] 本申请要求于 2005 年 10 月 18 日提交的韩国专利申请 No. 10-2005-0098144 的优先权,在此通过参考引用其全部内容。

技术领域

[0003] 本发明涉及栅极驱动电路和带有该驱动电路的显示设备。更具体地说,本发明涉及用于使用每个都具有多级的多个移位寄存器来驱动多条栅极线的栅极驱动电路,以及具有该驱动电路的显示设备。

背景技术

[0004] 液晶显示器 (LCD) 是这样的设备:其中将电场施加到已经被注入到两个基板之间的具有各向异性介电常数的液晶物质,并且调整电场的强度以控制被传送到基板上的光量,以便可以在其上显示所期望的图像。

[0005] 以这样的状态在这种 LCD 的基板上形成多条彼此平行的栅极线和横跨栅极线的多条数据线;栅极线和数据线彼此绝缘,并且将每个像素限定在由这些栅极线和数据线所包围的区域中。在各条栅极线和数据线彼此交叉的部分形成薄膜晶体管(下面称为“TFT”)和像素电极。

[0006] LCD 包括用于驱动栅极线的栅极驱动电路和用于驱动数据线的源极驱动电路。如果栅极驱动电路将预定电压施加到栅极线,则分别连接到 TFT 的两端的数据线和像素电极彼此电连接。此时,源极驱动电路通过数据线施加预定的数据电压到像素电极,以便驱动 LCD。

[0007] 可以使用移位寄存器来驱动栅极驱动电路。

[0008] 图 1 示出了根据现有技术的构成 LCD 板的栅极驱动电路的移位寄存器的框图。

[0009] 该移位寄存器包括多个级 21,其每一个包括用于驱动栅极线 G_1 到 G_5 的每一条的第一输出端 GOUT、第二输出端 SOUT、输入端 IN、控制端 CT、时钟输入端 CK、地电压端 VSS 和驱动电压端 VDD。

[0010] 级 21 连接到每条栅极线而第二输出端 SOUT 连接到随后级的输入端 IN 和前面级的控制端 CT 两者,从而将级进行彼此依赖地连接以驱动所有的栅极线。

[0011] 为了在 LCD 上平滑地显示运动图像,应该每秒至少 60 次驱动栅极线。但是,因为如此配置的移位寄存器具有低操作速度,所以难于如通常所需要的那样驱动多至 400 条栅极线。

发明内容

[0012] 提供本发明的示例实施方式以解决上述问题。因此,本发明的示例实施方式提供用于使用每个都具有多级的多个移位寄存器来驱动多条栅极线的栅极驱动电路,以及具有该栅极驱动电路的显示设备。

[0013] 根据本发明的示例实施方式,提供用于将驱动信号输出到多条栅极线的栅极驱动电路,其包括用于分别驱动被分为 p 个组的栅极线的 p 个移位寄存器(其中 p 是 3 或 3 以上的任意自然数)。每个移位寄存器包括彼此依赖地连接的多个级,而且将开始信号输入到每个移位寄存器的第一级的输入端,并且将来自特定级的输出信号连接到每个移位寄存器的随后级的输入端,从而借助于相应级的输出信号来顺序驱动多条栅极线。

[0014] 将 p 个移位寄存器中所使用的 p 个开始信号彼此移位 $1/p$ 。

[0015] 每个级可以包括:输入端,用于接收之前级的任何一级中输出的级驱动信号;时钟端,用于接收彼此具有相位差的多个时钟信号中的任何一个时钟信号;控制端,用于接收随后级中的任何一级所输出的级驱动信号;第一输出端,用于输出级驱动信号。

[0016] 每个级可以还包括第二输出端,用于将级驱动信号输出到随后级的任何一级。

[0017] 在该示例实施方式中, p 是为 4 的自然数,而将栅极线分为以 $4n-3$ 、 $4n-2$ 、 $4n-1$ 和 $4n$ (其中 n 是 1 或 1 以上的自然数)为顺序的四个组。

[0018] 根据本发明的示例实施方式,提供一种显示设备,其包括:显示装置,其包括多条栅极线、与栅极线交叉的多条数据线以及形成在栅极线和数据线之间的开关元件和像素电极;栅极驱动电路,用于选择栅极线和允许连接到所选择的栅极线的开关元件被导通;以及源极驱动电路,用于通过开关元件根据输入的图像数据的导通来驱动连接到像素电极的数据线。栅极驱动电路包括用于分别驱动被分为 p 个组的栅极线的 p 个移位寄存器(其中 p 是 3 或 3 以上的任意自然数),每个移位寄存器包括彼此依赖地连接的多个级,并且将开始信号输入到每个移位寄存器的第一级的输入端,而且将来自特定级的输出信号连接到每个移位寄存器的随后级的输入端,从而借助于相应级的输出信号来顺序驱动多条栅极线。

[0019] 将在 p 个移位寄存器中所使用的 p 开始信号彼此移位 $1/p$ 。

[0020] 每个级可以包括:输入端,用于接收之前级的任何一级所输出的级驱动信号;时钟端,用于接收彼此具有相位差的多个时钟信号中的任何一个时钟信号;控制端,用于接收随后级的任何一级所输出的级驱动信号;第一输出端,用于输出栅极驱动信号。

[0021] 每个级还可以包括第二输出端,用于将级驱动信号输出到随后级的任何一级。

[0022] 在本示例实施方式中, p 是为 4 的自然数,而将栅极线分为以 $4n-3$ 、 $4n-2$ 、 $4n-1$ 和 $4n$ (其中 n 是 1 或 1 以上的自然数)为顺序的四个组。

[0023] 源极驱动电路在由栅极信号施加到栅极线时的时间段除以 p 所获得的 p 个时间端中的最后时间段中施加数据电压。

附图说明

[0024] 通过结合附图进行的下面描述,将更加详细地理解本发明的示例实施方式,其中:

[0025] 图 1 示出了根据现有技术构成液晶显示器(LCD)板的栅极驱动电路的移位寄存器的框图;

[0026] 图 2 示出了根据本发明示例实施方式的 LCD 的示意图;

[0027] 图 3 示出了构成根据本发明示例实施方式的 LCD 板的驱动电路的移位寄存器的框图;

[0028] 图 4 示出了施加到图 3 中所示的移位寄存器和栅极线的电压的波形图;和

[0029] 图 5 示出了在图 3 中所示的移位寄存器中的每一级的内部电路的电路图。

具体实施方式

[0030] 图 2 示出了根据本发明的示例实施方式的液晶显示器 (LCD) 的示意图。

[0031] 如图 2 所示, 根据本发明示例实施方式的 LCD 包括 LCD 板 100、栅极驱动电路 200、源极驱动电路 300、驱动电压产生器 400、定时控制器 500 和灰度级电压产生器 600。

[0032] LCD 板 100 包括在行方向中形成的多条栅极线 G_1 、 G_2 、...、和 G_{4n} 以及在列方向中形成的多条数据线 D_1 、 D_2 、...、 D_m 。将像素限定在由栅极线和数据线包围的区域中。像素包括连接到栅极线和数据线的薄膜晶体管 (下面称为“TFT”) 以及像素电极。这里, n 和 m 是 1 或 1 以上的自然数。

[0033] 如果栅极驱动电路 200 将预定电压施加到栅极线, 则分别连接到 TFT 的两端的数据线和像素电极彼此电连接。此时, 源极驱动电路 300 通过数据线将预定数据电压施加到像素电极, 以便驱动 LCD 板 100。

[0034] 定时控制器 500 从 LCD 模块之外的图形控制器 (未示出) 接收红 (R)、绿 (G)、蓝 (B) 数据信号、作为帧排序信号工作的垂直同步信号 V_{sync} 、水平同步信号 H_{sync} 和主时钟信号 CLK, 以产生和输出用于驱动栅极和源极驱动电路 200 和 300 的数字信号。

[0035] 从定时控制器 500 输出到栅极驱动电路 200 的定时信号包括诸如用于指令开始施加栅极信号到栅极线的垂直开始信号、用于顺序施加栅极信号到每条栅极线的栅极时钟信号和用于允许栅极驱动电路 200 的输出被使能的栅极导通信号 (gate on signal) 之类的控制信号。

[0036] 从定时控制器 500 输出到源极驱动电路 300 的定时信号包括诸如用于指令开始驱动从图形控制器接收到的 RGB 数据信号的水平开始信号、用于指令在源极驱动电路 300 中施加转换为模拟信号的数据信号的信号以及用于在源极驱动电路 300 中移位数据的水平时钟信号之类的控制信号。

[0037] 驱动电压产生器 400 产生其每一个都被用作栅极信号的栅极导通 (gate-on) 和栅极截止 (gate-off) 电压 V_{on} 和 V_{off} 、以及当产生灰度级电压时作为参考的驱动参考电压 AV_{dd} 和公共电压 V_{com} 。将栅极导通和栅极截止电压 V_{on} 和 V_{off} 输出到栅极驱动电路 200, 而且将驱动参考电压 AV_{dd} 输出到公共电压产生器 (未示出) 和灰度级电压产生器 600。

[0038] 此时, 栅极驱动电路 200 从定时控制器 500 接收栅极时钟信号和垂直开始信号, 从驱动电压产生器 400 接收栅极驱动电压 V_{on} 和 V_{off} , 并且控制器相关 TFT, 从而将数据电压发送到在 LCD 板 100 上的每个相关像素。

[0039] 根据本发明示例实施方式的驱动电路 200 使用每一个都具有多级的第一到第四移位寄存器来将栅极导通电压 V_{on} 顺序地施加到栅极线 G_1 、 G_2 、...、 G_{4n} , 从而允许 LCD 板的 TFT 被导通或者截止。

[0040] 第一移位寄存器驱动第 $(4n-3)$ 条栅极线 G_1 、 G_5 、...、和 G_{4n-3} ; 第二移位寄存器驱动第 $(4n-2)$ 条栅极线 G_2 、 G_6 、...、和 G_{4n-2} ; 第三移位寄存器驱动第 $(4n-1)$ 条栅极线 G_3 、 G_7 、...、和 G_{4n-1} ; 而第四移位寄存器驱动第 $(4n)$ 条栅极线 G_4 、 G_8 、...、和 G_{4n} 。也就是说, 栅极驱动电路 200 使用四个相关移位寄存器来驱动被分类为四个组 G_1 、 G_2 、...、和 G_{4n} 中的栅极线。

[0041] 栅极驱动电路 200 形成在 LCD 板 100 的边缘区域中,更具体地说,形成在 LCD 板 100 上不形成像素的非显示区域的两侧处。在本示例实施方式中,将四个移位寄存器的两个移位寄存器排列在一侧而将另外两个移位寄存器排列在另外一侧。而且,当形成 LCD 板的像素时还可以一同形成栅极驱动电路 200。

[0042] 灰度级电压产生器 600 根据从图形控制器接收来的 RGB 数据的比特数来产生灰度级电压,并且将所产生的灰度级电压发送到源极驱动电路 300。

[0043] 源极驱动电路 300 根据从定时控制器 500 输出的信号将数据电压施加到数据线 D1、D2、...、和 Dm。

[0044] 图 3 示出了构成图 2 中所示的 LCD 板的栅极驱动电路的第一到第四移位寄存器的框图,而图 4 示出了施加到图 3 中所示的移位寄存器的电压的波形图。

[0045] 参照图 3,图 2 的栅极驱动电路 200 包括带有彼此依赖地连接的多个第一级 210(SCR1)的第一移位寄存器;带有彼此依赖地连接的多个第二级 220(SCR2)的第二移位寄存器;带有彼此依赖地连接的多个第三级 230(SCR3)的第三移位寄存器;和带有彼此依赖地连接的多个第四级 240(SCR4)的第四移位寄存器;第一移位寄存器连接到第 $(4n-3)$ 条栅极线 G1、G5、...、和 G $4n-3$;第二移位寄存器连接到第 $(4n-2)$ 条栅极线 G2、G6、...、和 G $4n-2$;第三移位寄存器连接到第 $(4n-1)$ 条栅极线 G3、G7、...、和 G $4n-1$;而第四移位寄存器连接到第 $(4n)$ 条栅极线 G4、G8、...、和 G $4n$ 。

[0046] 移位寄存器的每一级包括输入端 IN、第一输出端 GOUT、第二输出端 SOUT、控制端 CT、时钟输入端 CK、地电压端 VSS 和驱动电压端 VDD。

[0047] 将开始信号输入到包括在移位寄存器中的第一级的输入端 IN。而且,将每一级的第二输出端 SOUT 连接到相关移位寄存器的随后级的输入端 IN 以及其之前级的控制端,从而这些级彼此依赖地连接。

[0048] 将第一开始信号 STV_1 输入到第一移位寄存器中的第一级的输入端 IN。将每一级的第一输出端 GOUT 连接到与其对应的每条栅极线 G1、G5、...、和 G $4n-3$ 。将第一时钟信号 CKV_1 提供给奇数级而将第一反时钟信号 CKVB_1 提供给偶数级。此时,第一时钟信号 CKV_1 和第一反时钟信号 CKVB_1 具有彼此相反的相位。

[0049] 将第二开始信号 STV_2 输入到第二移位寄存器中的第一级的输入端 IN。将每一级的第一输出端 GOUT 连接到与其对应的每条栅极线 G2、G6、...、和 G $4n-2$ 。将第二时钟信号 CKV_2 提供给奇数级而将第二反时钟信号 CKVB_2 提供给偶数级。此时,第二时钟信号 CKV_2 和第二反时钟信号 CKVB_2 具有彼此相反的相位。

[0050] 将第三开始信号 STV_3 输入到第三移位寄存器中的第一级的输入端 IN。将每一级的第一输出端 GOUT 连接到与其对应的每条栅极线 G3、G7、...、和 G $4n-1$ 。将第三时钟信号 CKV_3 提供给奇数级而将第三反时钟信号 CKVB_3 提供给偶数级。此时,第三时钟信号 CKV_3 和第三反时钟信号 CKVB_3 具有彼此相反的相位。

[0051] 将第四开始信号 STV_4 输入到第四移位寄存器中的第一级的输入端 IN。将每一级的第一输出端 GOUT 连接到与其对应的每条栅极线 G4、G8、...、和 G $4n$ 。将第四时钟信号 CKV_4 提供给奇数级而将第四反时钟信号 CKVB_4 提供给偶数级。此时,第四时钟信号 CKV_4 和第四反时钟信号 CKVB_4 具有彼此相反的相位。

[0052] 在移位寄存器中,将随后级的输出信号作为控制信号输入到当前级的控制端 CT。

此时,输入到控制端 CT 的控制信号进行工作以将相关级的输出信号向下改变到低状态。以这种方式,顺序地将第一到第四移位寄存器的输出信号设置在高状态,从而可以顺序地驱动栅极线 G1 到 G4n。

[0053] 下面将参照图 4 来详细描述根据本发明示例实施方式的栅极驱动电路的操作。

[0054] 参照图 4,在根据本发明的实施方式的第二到第四移位寄存器中所分别使用的第二到第四开始信号是相对于第一开始信号被顺序移位 $1/4$ 长度的信号。也就是说,第二开始信号是将第一开始信号移位 $1/4$ 的长度的信号;第三开始信号是将第二开始信号移位 $1/4$ 的长度的信号;而第四开始信号是将第三开始信号移位 $1/4$ 的长度的信号。

[0055] 与第一到第四开始信号类似,第一到第四时钟信号和第一到第四反时钟信号具有这样的关系:第二到第四时钟信号和反时钟信号相对于第一时钟信号和反时钟信号分别顺序移位 $1/4$ 长度。因此,从第二到第四移位寄存器中输出的栅极信号也相对于从第一移位寄存器输出的栅极信号被顺序移位 $1/4$ 长度。

[0056] 也就是说,根据本发明示例实施方式的栅极驱动电路 200 将输出到第一到第八条栅极线 G1 到 G8 的栅极信号相对于输出到第一栅极线 G1 的信号移位 $1/4$ 长度。

[0057] 将参照图 4 来讨论时间段①。在图 4 中所示的时间段①中,将用于驱动与第一栅极线 G1 对应的像素的数据电压 D1 输出到数据线 D1 到 Dm。此时,由于将栅极信号输出到第一至第四栅极线 G1 至 G4,所以在与第一到第四栅极线 G1 到 G4 对应的四条线的像素中充电有数据电压 D1。因此,与第一到第四栅极线 G1 到 G4 对应的四条线的像素具有彼此相同的数据电压。

[0058] 随后,将讨论时间段②。由于在时间段②内切断第一栅极线 G1 的栅极信号,所以维持数据电压 D1 如同在与第一栅极线 G1 对应的相关像素中一样。

[0059] 而且,在时间段②中,将用于驱动与第二栅极线 G2 对应的像素的数据电压 D2 输出到数据线 D1 到 Dm。此时,由于将栅极信号输出到第二至第五栅极线 G2 到 G5,所以在与第二到第五栅极线 G2 到 G5 对应的四条线的像素中充电数据电压 D2。因此,与第二到第五栅极线 G2 到 G5 对应的四条线的像素具有彼此相同的数据电压。

[0060] 随后,将讨论时间段③。由于在时间段③中切断第二栅极线 G2 的栅极信号,所以维持数据电压 D2 如同在与第二栅极线 G2 对应的相关像素中一样。

[0061] 而且,在时间段③中,将用于驱动与第三栅极线 G3 对应的像素的数据电压 D3 输出到数据线 D1 到 Dm。此时,由于将栅极信号输出到第三到第六栅极线 G3 到 G6,所以在与第三到第六栅极线 G3 到 G6 对应的四条线的像素中充电有数据电压 D3。因此,与第三到第六栅极线 G3 到 G6 对应的四条线的像素具有彼此相同的数据电压。

[0062] 以这样的方式,在时间段④到③中分别施加数据电压 D4 到 D8,在与第四到第八栅极线 G4 到 G8 对应的像素中分别充电有数据电压 D4 到 D8。

[0063] 也就是说,将根据本发明示例实施方式的 LCD 以这样的方式进行配置:将其中把栅极信号施加到栅极线 G1 到 G4n 的时间段四等分,而且在所分的时间段的随后时间段中施加数据电压,从而可以在与相关栅极线对应的像素中充电数据电压。

[0064] 如果使用这样的栅极驱动电路,其可以驱动是只使用一个移位寄存器的栅极驱动电路所驱动的栅极线四倍的栅极线。

[0065] 虽然已经描述了在根据本发明示例实施方式的栅极驱动电路中使用四个移位寄

寄存器,但是可以使用 p 个移位寄存器将栅极线分为 p 个组,而且可以使用移位了 $1/p$ 的信号驱动 p 倍的栅极线(其中 p 是 3 或 3 以上的任意自然数)。

[0066] 下面,将描述构成移位寄存器的级的内部电路。虽然在上述移位寄存器中存在有执行相同操作的各种电路,但是将以例子的方式仅仅描述在该电路中经常使用的一种电路。

[0067] 图 5 示出了包括在移位寄存器中的每个级的内部电路的电路图。

[0068] 参照图 5,每个级包括第一上拉单元 251、第二上拉单元 252、第一下拉单元 253、第二下拉单元 254、上拉驱动单元 255 和下拉驱动单元 256。

[0069] 第一上拉单元 251 将提供给时钟端 CK 的信号作为栅极驱动信号输出到第一输出端 GOUT。第二上拉单元 252 将提供给时钟端 CK 的信号作为级驱动信号输出到第二输出端 SOUT。

[0070] 第一上拉单元 251 包括第一晶体管 NT1,其中栅极电极、源极电极和漏极电极分别连接到第一节点 N1、时钟端 CK 和第一输出端 GOUT。第二上拉单元 252 包括第二晶体管 NT2,其中栅极电极、源极电极和漏极电极分别连接到第一节点 N1、时钟端 CK 和第二输出端 SOUT。

[0071] 在已经将第一上拉单元 251 截止之后,将第一下拉单元 253 导通以将输出到第一输出端 GOUT 的栅极驱动信号放电,而且将第二下拉单元 254 导通以将输出到第二输出端 SOUT 的级驱动信号放电。

[0072] 第一下拉单元 253 包括第三晶体管 NT3,其中栅极电极、源极电极和漏极电极分别连接到第二节点 N2、第一输出端 GOUT 和地电压端 VSS。第二下拉单元 252 包括第四晶体管 NT4,其中栅极电极、源极电极和漏极电极分别连接到第二节点 N2、第二输出端 SOUT 和地电压端 VSS。

[0073] 上拉驱动单元 255 包括第五到第七晶体管 NT5、NT6 和 NT7 以导通第一和第二上拉单元 251 和 252。

[0074] 以这样的方式来配置第五晶体管 NT5:将栅极电极、漏极电极和源极电极分别连接到输入端 IN、驱动电压端 VDD 和第一节点 N1。以这样的方式来配置第六晶体管 NT6:将栅极和漏极电极连接到驱动电压端 VDD 而将源极电极连接到第三节点 N3。以这样的方式来配置第七晶体管 NT7:将栅极电极、漏极电极和源极电极分别连接到第一节点 N1、第三节点 N3 和地电压端 VSS。

[0075] 下拉驱动单元 256 包括第八到第十二晶体管 NT8、NT9、NT10、NT11 和 NT12,以导通第一和第二下拉单元 253 和 254,同时截止第一和第二上拉单元 251 和 252。

[0076] 以这样的方式来配置第八晶体管 NT8:将栅极电极、漏极电极和源极电极分别连接到第三节点 N3、驱动电压端 VDD 和第二节点 N2。以这样的方式来配置第九晶体管 NT9:将栅极电极、漏极电极和源极电极分别连接到第一节点 N1、第二节点 N2 和地电压端 VSS。以这样的方式来配置 NT10:将栅极电极、漏极电极和源极电极分别连接到输入端 IN、第二节点 N2 和地电压端 VSS。

[0077] 以这样的方式来配置第十一晶体管 NT11:将栅极电极、漏极电极和源极电极分别连接到第二节点 N2、第一节点 N1 和地电压端 VSS。以这样的方式来配置第十二晶体管 NT12:将栅极电极、漏极电极和源极电极分别连接到控制端 CT、第一节点 N1 和地电压端 VSS。

[0078] 如果将从之前级的第二输出端 SOUT 输出的级驱动信号提供给输入端 IN, 则将第五晶体管 NT5 导通, 从而第一节点 N1 的电势逐渐增加。随着第一节点 N1 的电势增加, 将第一和第二晶体管 NT1 和 NT2 导通, 从而将栅极和级驱动信号分别输出到第一和第二输出端 GOUT 和 SOUT。

[0079] 同时, 因为在将第六晶体管总维持在导通状态中第一节点 N1 的电势升高, 所以如果将第七晶体管 NT7 导通则第三节点 N3 的电势下降。

[0080] 因为第三节点 N3 的电势下降, 所以第八晶体管 NT8 维持在截止状态。因此, 不将驱动电压提供给第二节点 N2。而且, 当第一节点 N1 的电势升高而且因此将第三和第四晶体管 NT3 和 NT4 截止时, 将第九晶体管 NT9 导通以将第二节点 N2 的电势维持在地电压。

[0081] 之后, 如果提供通过控制端 CT 从随后级的第二输出端 SOUT 输出的级驱动信号, 则将第十二晶体管 N12 导通以将第一节点 N1 的电势放电到地电压端 VSS。因为第一节点 N1 的电势下降, 所以第七和第九晶体管 NT7 和 NT9 截止。

[0082] 因此, 第二节点 N2 的电势逐渐上升, 从而第三和第四晶体管 NT3 和 NT4 导通以将从第一和第二输出端 GOUT 和 SOUT 输出的栅极驱动信号放电到地电压端 VSS。

[0083] 此时, 因为第二节点 N2 的电势上升, 所以第十和第十一晶体管导通。因此, 第一节点 N1 的电势快速地放电。当重复这样的过程时, 每个级输出在预定的时间段中维持高状态的级驱动信号和栅极驱动信号。

[0084] 如上所述, 根据本发明示例实施方式的栅极驱动电路可以使用 p 个移位寄存器将栅极线分为 p 个组, 并且使用移位了 $1/p$ 的信号驱动 p 倍的栅极线 (其中 p 是 3 或 3 以上的任意自然数)。因此, 由于可以使用多个移位寄存器来驱动许多栅极线, 所以能够以较低的成本制造高清晰度的 LCD。

[0085] 本发明前面的实施方式主要说明液晶显示设备, 但是显示设备并不限于上述的液晶显示设备。还可以将本发明应用于诸如 OLED 之类的其他显示设备, OLED 使用这样的原理: 将半导性有机材料或者结合聚合物制成的发光元件插入在被施加电压的两个电极之间, 以使得电流流过发光元件进行发光。

[0086] 虽然已经结合示例实施方式描述了本发明, 但是本领域的普通技术人员应该理解, 并且不偏离所附权利要求所限定的本发明的范围和精神的情况下, 可以对其进行各种修改和变形。

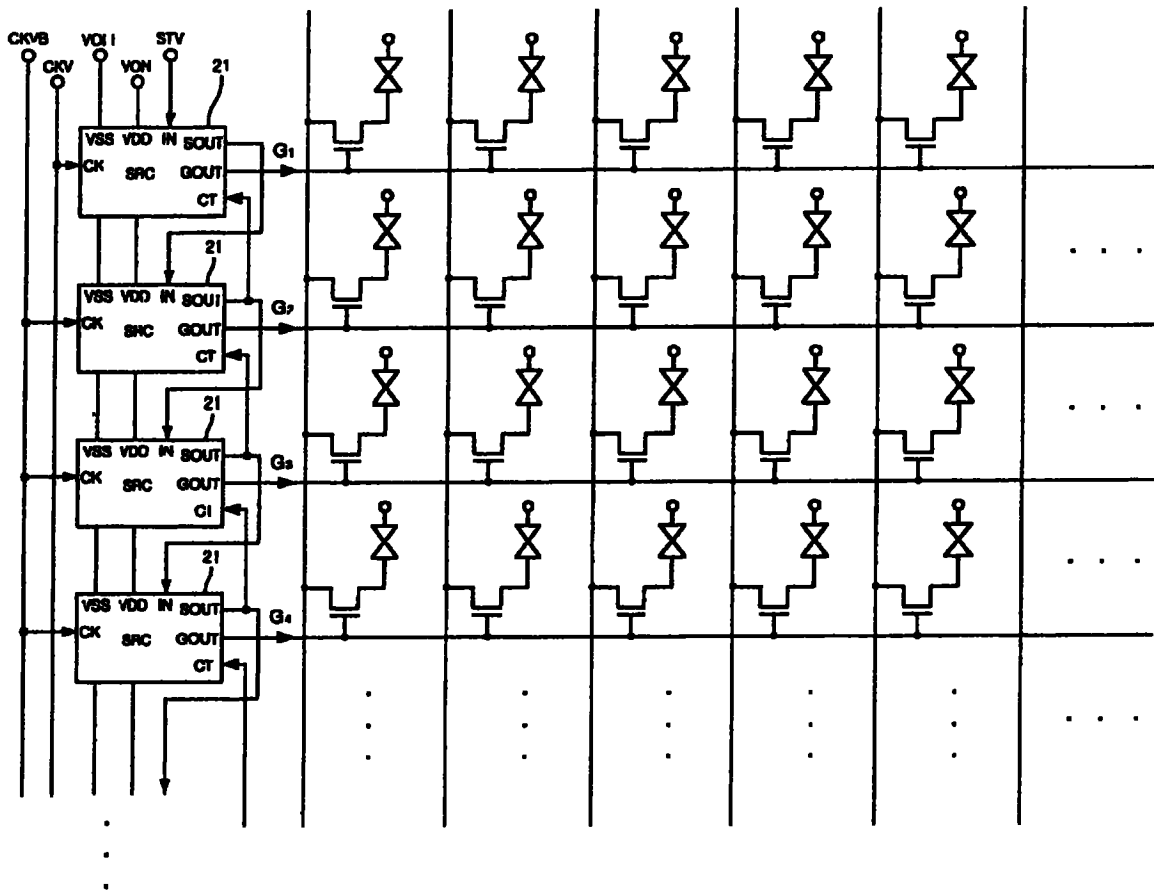


图 1

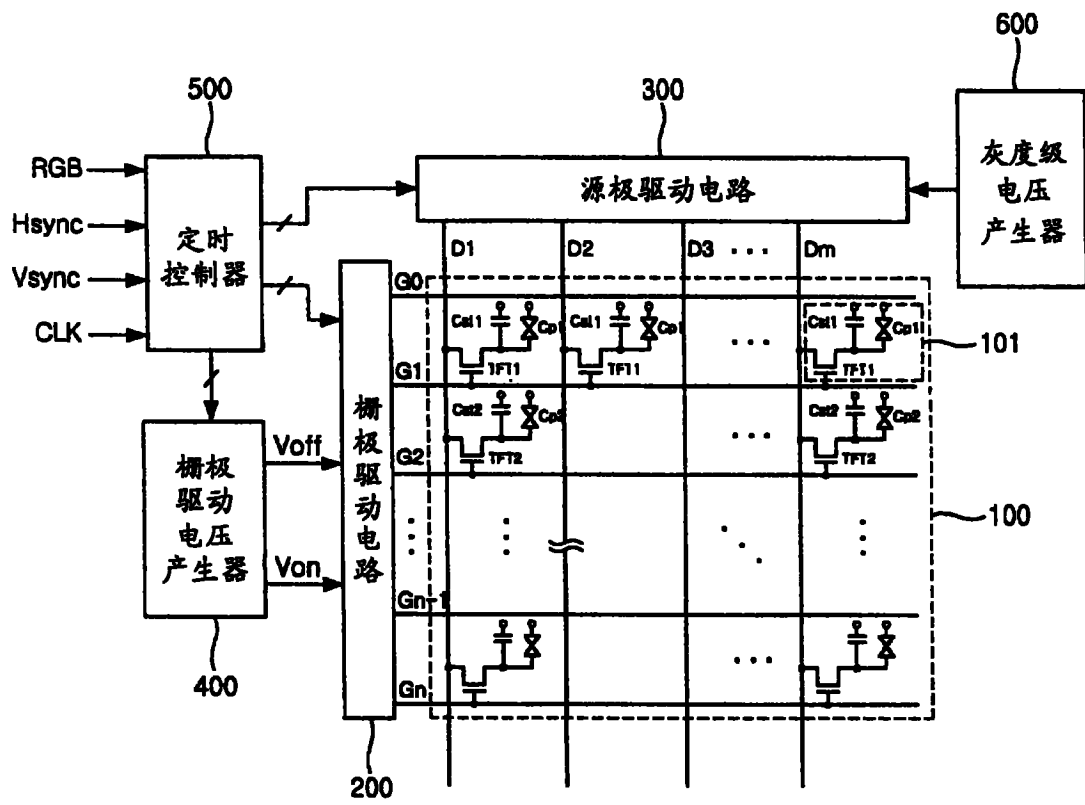


图 2

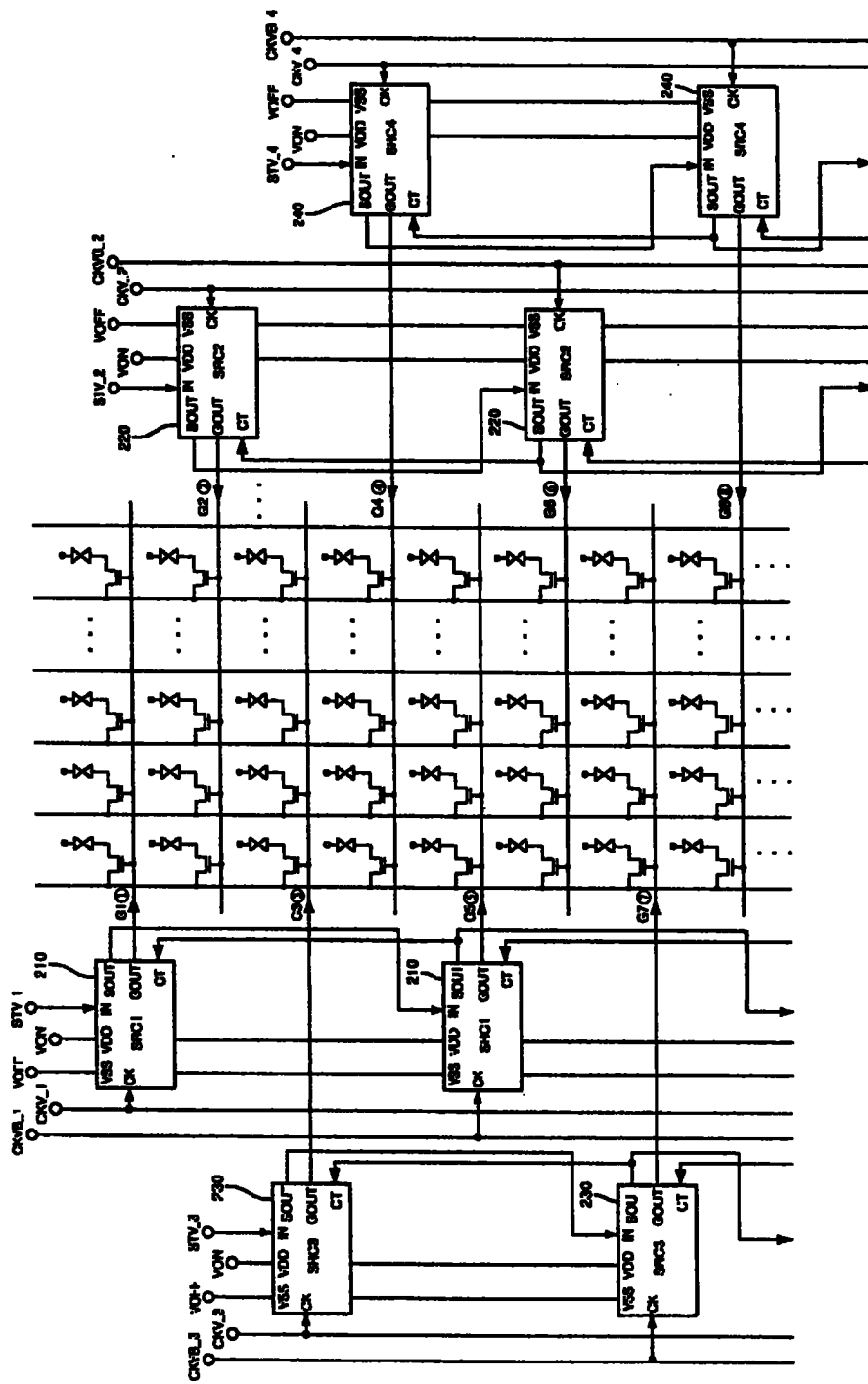


图 3

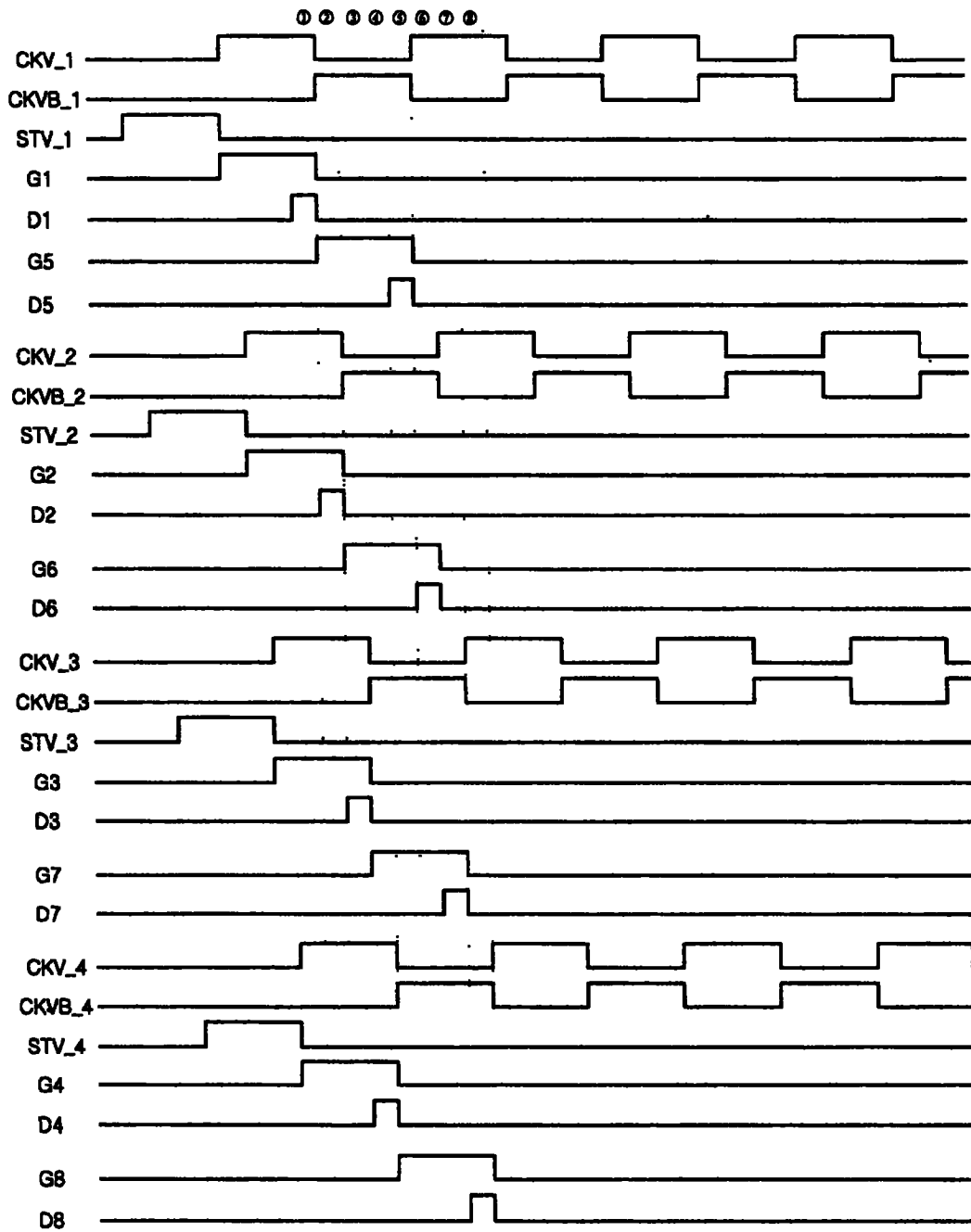


图 4

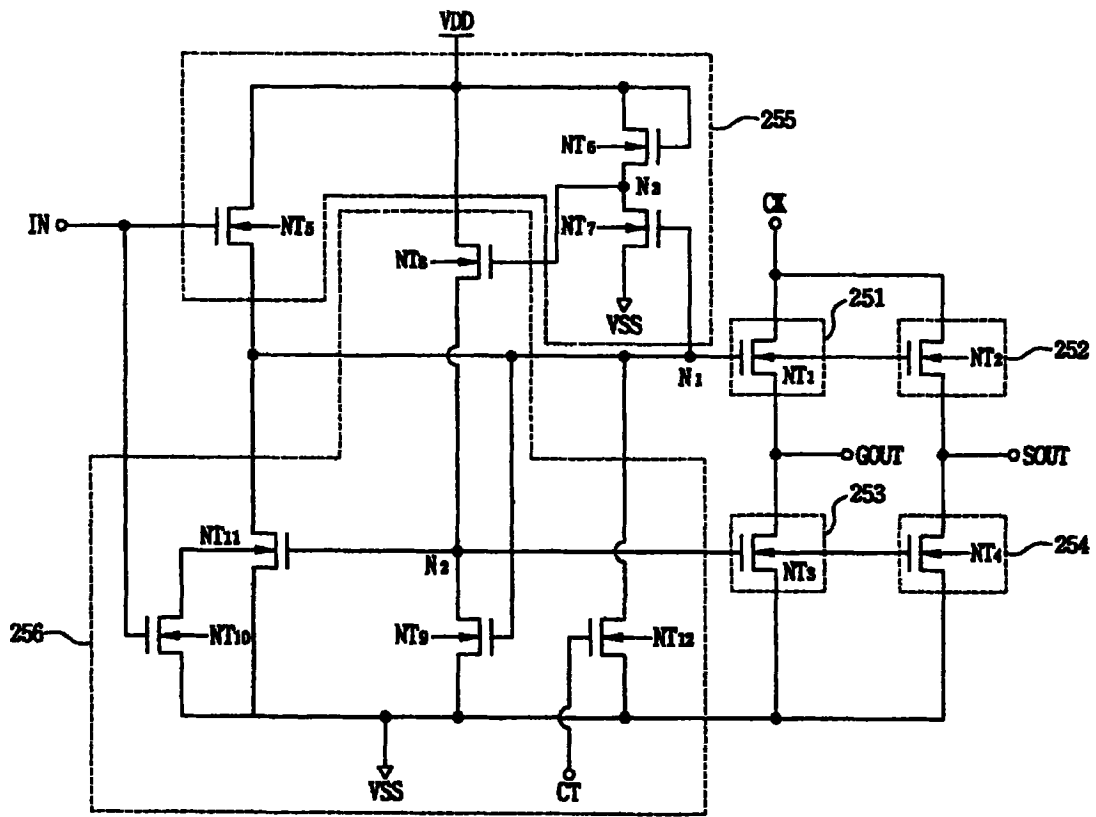


图 5

专利名称(译)	栅极驱动电路和带有该电路的显示设备		
公开(公告)号	CN1953035B	公开(公告)日	2010-12-08
申请号	CN200610135955.3	申请日	2006-10-17
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李絃		
发明人	李絃		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2300/0408 G09G3/3677		
审查员(译)	刘畅		
优先权	1020050098144 2005-10-18 KR		
其他公开文献	CN1953035A		
外部链接	Espacenet SIPO		

摘要(译)

栅极驱动电路和具有该电路的显示设备，其中使用p个移位寄存器将栅极线分为p个组并且使用被移位1/p的信号来驱动p倍的栅极线，其中p是3或3以上的任意自然数。因此，由于使用多个移位寄存器来驱动多条栅极线，所以能够以低成本生产高清晰度显示设备。

