

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

H03K 5/1252 (2006.01)

G02F 1/133 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200610088625.3

[43] 公开日 2007年1月31日

[11] 公开号 CN 1904994A

[22] 申请日 2006.5.31

[21] 申请号 200610088625.3

[30] 优先权

[32] 2005.7.25 [33] JP [31] 2005-214580

[71] 申请人 三菱电机株式会社

地址 日本东京都

[72] 发明人 鹰木二郎 石口和博 南昭宏

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 浦柏明 刘宗杰

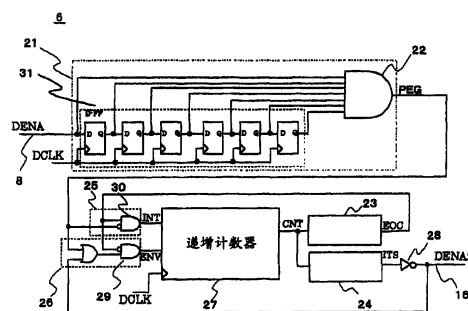
权利要求书 3 页 说明书 14 页 附图 6 页

## [54] 发明名称

矩阵显示装置的噪声除去电路及使用该电路的矩阵显示装置

## [57] 摘要

本发明提供一种关于液晶显示装置的噪声除去电路，特别是除去叠加在输入液晶显示装置的显示控制信号上的噪声的电路。该噪声除去电路内设有：除去噪声的信号的上升沿检出电路部(21)；对规定期间进行计数的计数电路(27)；生成该计数器的初始化信号的初始化电路部(25)；生成计数器(27)的计数许可信号的计数使能电路部(26)；探知计数器(27)是否为初始状态的初始状态检测电路部(24)，其结构为响应于上升沿检出电路部21检测出上升沿，计数器(27)从初始值开始计数，在上述规定期间的计数结束之后，再使计数器(27)初始化，将上述初始状态检出电路部(24)的初始状态检出信号作为噪声除去后的信号。



1、一种噪声除去电路，其特征在于，是矩阵显示装置的显示控制信号的噪声除去电路，具有：

除去噪声的信号的上升沿检出电路部；

计数器，对规定期间进行计数；

初始化电路部，生成该计数器的初始化信号；

计数使能电路部，生成上述计数器的计数许可信号；

初始状态检出电路，探知上述计数器是否为初始状态，

响应于上述上升沿检出电路部检测出上升沿，上述计数器从初始值开始计数，

上述规定期间计数结束之后，上述计数器再次被初始化，

将上述初始状态检出电路部的初始状态检出信号作为除去噪声后的信号。

2、如权利要求1记载的噪声除去电路，其特征在于，

在数据使能信号激活状态下保持上述计数器的计数值，当上述数据使能信号变成非激活状态时，初始化上述计数器。

3、一种噪声除去电路，其特征在于，是矩阵显示装置的显示控制信号的噪声除去电路，具有：

上升沿检出电路部，检测出上述控制信号中包含的数据使能输入的上升沿；

计数器，对上述显示控制信号中包含的时钟信号进行计数，利用初始化信号初始化，利用计数许可信号执行计数；

水平像素数检出部，当该计数器的输出值变成预定的规定值时输出计数停止信号；

初始状态检出电路部，检测出上述计数器是处于初始状态并输出初始状态检出信号；

初始化电路部，输入上述上升沿检出部的输出信号和上述计数停止信号，输出上述初始化信号；

计数使能电路部，输入上述上升沿检出部的输出信号、上述计数停止信号和上述初始状态信号，输出上述计数许可信号，

通过上升沿检出部的上升沿检出输出，接收从上述计数使能电路部输出的计数许可信号，上述计数器开始执行计数，

对上述规定值进行计数之后，利用上述水平像素数检出部输出计数停止信号，接收该信号上述计数许可信号变成不许可状态，同时，从上述初始化电路部输出上述初始化信号，将上述计数器初始化，将上述初始状态信号作为数据使能输出信号。

4、如权利要求1至3的任何一项记载的噪声除去电路，其特征在于，

在除去噪声的信号的上升沿检出电路部中，根据具有不同的延迟时间的多级延迟电路输出的与运算输出，检测出上述除去噪声的信号的上升沿。

5、如权利要求4记载的噪声除去电路，其特征在于，上述延迟电路是2至30个D触发器电路。

6、如权利要求1或2记载的噪声除去电路，其特征在于，还具有：

水平像素数检出电路部，当该计数器的输出值变成预定的规定值时输出计数停止信号；和，

控制电路部，输入上述水平像素数检出部的计数停止信号以及上述上升沿检出输出，

使用该控制电路部的输出，可以在水平像素数检出部中设定任意的水平像素数作为规定值，

上述控制电路部在输入上述计数停止信号时，当上述上升沿检出输出为非激活状态时，使上述水平像素数增加。

7、如权利要求3记载的噪声除去电路，其特征在于，

还具有输入上述水平像素数检出部的计数停止信号和上述上升沿检出输出的控制电路部，

使用该控制电路部的输出，可以在水平像素数检出部中设定任意的水平像素数作为规定值，

上述控制电路部在输入上述计数停止信号时，当上述上升沿检出输出为非激活状态时，使上述水平像素数增加。

8、如权利要求4记载的噪声除去电路，其特征在于，

还具有输入上述水平像素数检出部的计数停止信号和上述上升沿检出输出的控制电路部，

使用该控制电路部的输出，可以在水平像素数检出部中设定任意

的水平像素数作为规定值，

上述控制电路部在输入上述计数停止信号时，当上述上升沿检出输出为非激活状态时，使上述水平像素数增加。

9、如权利要求4记载的噪声除去电路，其特征在于，

显示数据信号通过与上述上升沿检出部中的除去噪声的信号的延迟量同等级的延迟电路。

10、如权利要求5记载的噪声除去电路，其特征在于，

显示数据信号通过与上述上升沿检出部中的除去噪声的信号的延迟量同等级的延迟电路。

11、一种分辨率辨别电路，其特征在于，是与权利要求1至3的任何一项记载的噪声除去电路连接的分辨率辨别电路，具有：

第1计数器电路，对从数据使能输入波形的边沿到下一个边沿之间进行计数；

计数保持电路，保持第1计数器的第1计数值；

第2计数器电路，与上述噪声除去电路的输出同步，判别上述计数保持电路保持的上述第1计数值和预定的阈值的大小，若比上述阈值大则使第2计数值增加，若比阈值小则使上述第2计数值减小。

12、一种矩阵显示装置，其特征在于，

使用了权利要求1至3的任何一项记载的噪声除去电路。

## 矩阵显示装置的噪声除去电路及使用该电路的矩阵显示装置

### 技术领域

本发明涉及矩阵显示装置的噪声除去电路及使用该电路的矩阵显示装置，特别涉及液晶显示装置中的时序控制器中采用的噪声除去电路。

### 背景技术

以往，当在静电噪声施加试验时等对以液晶显示装置为代表的矩阵显示装置的机箱施加高电压时，视觉发现有瞬间显示异常。认为该显示异常的主要原因是噪声混入液晶显示装置的输入端子，噪声成分叠加在安装在液晶显示装置内的构成时序控制器的数字电路中的信号上，引起上述时序控制器的误动作，以与正常状态不同的时序输出各种控制信号。

作为液晶显示装置内部的时序控制器的输出信号，因向上述输入端子的静电噪声的重叠，作为受影响的信号，有水平方向起动脉冲和垂直方向起动脉冲等，若水平方向起动脉冲发生时序错位，则产生线路噪声，如果没有输出，则产生缺行等显示异常。进而，若垂直方向起动脉冲发生时序错位，则产生垂直方向的显示晃动，如果没有输出，则产生缺帧等显示异常。缺帧在静止图像显示中没有太大的问题，但是，在活动图像显示时，则会出现画面跳跃等不自然的动作。

进而，当液晶显示装置和控制它的显示控制器之间的显示控制信号在没有水平、垂直同步信号的接口形式的情况下，若在表示显示数据的有效时序的数据使能信号（以后称作 DENA）上叠加了噪声，则图像变形显著，这就有问题了。

此外，在作为上述显示控制信号的接口标准被广泛使用的 LVDS（Low Voltage Differential Signaling：低电压差分信令）接口中，当工作电压在某一电平之下时，LVDS 接收器的接收动作不稳定，引起误动作并产生噪声信号。

作为防止上述噪声混入时数字电路的误动作的噪声除去电路，考虑如下电路：假设输入信号存在噪声的情况，通过设置多个输入系

统，对各输入信号进行比较，并判断信号的可靠性，从而除去输入信号中的噪声成分。（参照专利文献1）

此外，在信号输入级设置延迟电路、利用将输入信号和延迟后的输入信号进行组合的电路除去噪声的方法是众所周知的方法。（参照专利文献2和3）

此外，通过连接高频噪声（短脉冲宽度）用的第1滤波器电路和低频噪声（长脉冲宽度）用的第2滤波器构成噪声滤波器电路的例子也是众所周知。（参照专利文献4）

并且，能检测出连续产生的噪声或长脉冲宽度的噪声等噪声的电路也是众所周知的电路。（参照专利文献5）

【专利文献1】特开平11-282401号公报

【专利文献2】特开平11-214964号公报

【专利文献3】特开平11-251884号公报

【专利文献4】特开2000-341098号公报

【专利文献5】特开2000-209076号公报

【专利文献6】特开2002-271427号公报

在上述专利文献1的噪声除去电路中，当整个系统存在噪声时，不能进行滤波，不具有充分的性能。此外，在上述专利文献2和3的噪声除去电路中，在所设定的脉冲宽度以上的噪声或连续产生的噪声等的情况下，输入信号的噪声和延迟后的输入信号的噪声重叠，不能完全除去噪声。此外，在上述专利文献4的噪声除去电路中，能够除去的噪声脉冲的宽度有界限，与要除去长脉冲宽度的噪声对应，有可能连本来的信号也除去了。

并且，在上述专利文献5的噪声除去电路中，具有检测出输入信号的上升沿（或下降沿）边沿、产生预定期间的电平监视信号的电平监视电路，检测出电平监视电路工作期间中的噪声，但是，虽然能检测出激活（High）期间中的噪声（Low）信号，但是，不能检测非激活（Low）期间中的噪声（High）信号，此外，没有成为除去噪声的电路，为了得到本来的输入信号，需要另外方式的噪声除去电路。

此外，在专利文献6的噪声除去电路中，使用边沿检出装置检测出输入信号的边沿，并具有接收该边沿对一定期间进行计数的定时器单元，定时器单元设有在计数过程中对输入信号进行屏蔽的屏蔽单

元，屏蔽输入信号并除去噪声，虽然能检测出激活（High）期间中的噪声（Low）信号，但是，不能检测出非激活（Low）期间中所产生的噪声（High）信号。

此外，上述激活期间（High）是指其信号是决定其它输入信号（例如数据信号等）有效或无效的信号并且上述输入信号有效的情况。非激活（Low）期间是指上述输入信号无效的状态。后面，激活和非激活期间都按此定义。

### 发明内容

本发明的矩阵显示装置的噪声除去电路的特征在于，内置有：除去噪声的信号的上升沿检出电路部；对规定期间进行计数的计数器；生成该计数器的初始化信号的初始化电路部；生成上述计数器的计数许可信号的计数使能电路部；探知上述计数器是否为初始状态的初始状态检出电路，结构为在噪声除去电路中，响应于上升沿检出电路部检测出上升沿，上述计数器从初始值开始进行计数，结束上述规定期间的计数之后，再次使上述计数器初始化，将上述初始状态检出电路部的初始状态检出信号作为噪声除去后的信号。

在液晶显示器等平板显示器中，通过在所搭载的时序控制器内使用本噪声除去电路，使向液晶驱动电路的控制信号始终维持为正常工作，可以抑制显示异常的发生。

### 附图说明

图 1 是表示实施本发明用的实施方式 1 至 4 的液晶显示装置的系统结构的图。

图 2 是实施本发明用的实施方式 1 至 3 的输入到液晶显示装置的显示控制信号及其时序的图。

图 3 是实施本发明用的实施方式 1 至 3 的时序控制器的显示控制信号的时序图。

图 4 是实施本发明用的实施方式 1 的噪声除去电路的结构图。

图 5 是实施本发明用的实施方式 1 的噪声除去电路的时序图。

图 6 是实施本发明用的实施方式 1 的噪声除去电路的时序图。

图 7 是实施本发明用的实施方式 1 的采用了递减计数器的噪声除

去电路的时序图。

图 8 是实施本发明用的实施方式 2 和 3 的噪声除去电路的结构图。

图 9 是实施本发明用的实施方式 4 的分辨率辨别电路的结构图。

图 10 是实施本发明用的实施方式 4 的分辨率辨别电路的时序图。

## 具体实施方式

### 实施方式 1

图 1 示出采用了使用本实施方式 1 的噪声除去电路 6 的时序控制器 5 的液晶显示装置 1 的系统结构的图。在图 1 中，液晶面板 10 具有 XGA (Extra Graphic Array: 超图形矩阵) 的分辨率，典型地，图中所示的像素 12 及驱动该像素的 TFT11 呈矩阵状分别在纵向配置 768 个、横向配置  $1024 \times 3$  个 (R、G、B 的量) (未图示)，为了驱动这些像素，在液晶面板 10 的矩阵显示部的周边配置分别与多根扫描线和信号线连接的扫描线驱动电路 2 和信号线驱动电路 3。

在本实施方式 1 中，从上述显示控制器输入到液晶显示装置 1 的时序控制器 5 的显示控制信号及其时序如图 2 所示，采用互换性高的一般的时序，下面，进行详细说明。

在图 2 中，数据使能 (以后称作 DENA) 信号和显示数据 (以后称作 DATA) 信号在时序控制器 5 内的数字电路中，使用与点时钟 (dot clock, 以后称作 DCLK) 的下降沿 (或上升沿) 同步的时序进行读取，判断为液晶面板 10 上所显示的 DATA 信号在 DENA 信号的激活期间 (High 期间) 对上述数字电路有效。此外，在图 2 的上半部，示出约 2 帧的 DCLK、DENA 以及 DATA 信号的时序的关系。在 1 帧期间，DENA 信号在比较长期间内 (通常是几十个水平期间) 持续非激活的期间、即垂直消隐结束，并且，最初 DENA 信号激活 (High 期间) 的 1024DCLK 期间表示第 1 行的 DATA 信号的有效期间，隔一个下面说明的水平消隐期间 (通常为 10DCLK 期间)、即下一个 DENA 信号激活的 1024DCLK 期间表示第 2 行的 DATA 有效期间。此外，紧挨着与下一帧之间的垂直消隐期间开始之前的最后的 DENA 信号激活期间 (1024DCLK 期间) 是最后第 768 行的 DATA 信号的有效期间。

其次，使用图 2 的下半部，说明跨过 2 个水平期间的 DLCK、DENA 和 DATA 信号间的时序。如前所述，液晶面板 10 显示的显示数据与 DCLK

的下降沿同步读入，DENA 信号从非激活状态上升到激活状态的最初的 DCLK 期间表示第 1 显示数据、即显示画面上写入各水平线上的左端的像素的 DATA 信号，下一个 DCLK 期间表示第 2 显示数据。此后，DATA 依次读入到时序控制器 5 的数字电路中，直到 1024DCLK 的量。当 DENA 信号上升经过 1025DCLK 期间时，DENA 信号变成非激活 (Low)，成为水平消隐期间。此后，当重复执行 768 次该循环时，将 1 帧的量、即 1 个画面量的数据取入到时序控制器 5 中。

此外，对时序控制器 5 和扫描线驱动电路 2 及信号线驱动电路 3 的关系进行说明。图 1 所示的时序控制器 5 中的定时控制电路 4 根据输入的 DCLK、DENA 信号和 DATA 信号生成垂直方向起动脉冲和水平扫描时钟信号等扫描线驱动控制信号 13，并输出给扫描线驱动电路 2。进而，生成水平方向起动脉冲、锁存脉冲、显示数据等信号线驱动控制信号 14 并向信号线驱动电路 3 输出。

上述控制信号 13、14 根据扫描线驱动电路 2 采用的栅极驱动器 IC 或信号线驱动电路 3 采用的源极驱动器 IC 的输入信号的时序标准，并按照预定的时序在时序控制器的时序控制电路 4 中生成。

其次，说明图 1 中的噪声除去电路 6 和延迟电路 7。如图 1 所示，时序控制器 5 具有时序控制电路 4、噪声除去电路 6 和延迟电路 7，噪声除去电路 6 输入从上述显示控制器输入的 DENA 信号 8，并输出噪声除去后的 DENA2 信号 16。向延迟电路 7 输入 DATA 信号 9，输出延迟了预定的 DCLK 周期量后的延迟 DATA 信号 15。

如上所述，向时序控制器 5 中的时序控制电路 4 输入 DCLK 或噪声除去后的 DENA2 信号 16 以及延迟 DATA 信号 15 等，根据这些信号生成上述控制信号 13、14，并输出给扫描线驱动电路 2 和信号线驱动电路 3。与 DCLK 同步输入的上述延迟 DATA 信号 15 根据同样与 DCLK 同步的 DENA2 信号 16 来确定其是否有效。

并且，如上所述，从时序控制器 5 向扫描线驱动电路 2 输出垂直方向 CLK 和垂直方向起动脉冲，作为扫描线驱动控制信号 13，向信号线驱动电路 3 输出输出 DATA、水平方向起动脉冲以及锁存脉冲等，作为信号线控制信号 14。

然后，使用图 3 概要说明噪声除去电路 6 和延迟电路 7 的动作时序。

图3示出相对 DENA 信号采用了噪声除去电路6的时序控制器5的主要的显示控制信号的时序。在该图中，信号线控制信号14中包含的水平方向起动脉冲，在包含在同一信号14中的向源极驱动器IC输出的DATA的水平消隐后的最初的数据的1DCLK期间前的时刻输出，扫描线控制信号13包含的垂直方向起动脉冲，在垂直消隐后的最初的水平扫描时刻输出。

如上所述，DENA信号是为了确定显示用数据是否有效而使用的，所以，为了得到水平消隐后的最初的DATA信号时序和垂直消隐后的水平扫描时刻的正确位置，该信号时序很重要，在DENA信号的布线上需要噪声除去电路6。

这里，噪声除去电路6中输入的DENA信号因像后述那样包含预定的延迟，故需要对DATA信号也施加同等的延迟。即，若使DENA信号和DATA信号的时序同步，则可以不改变后续的时序控制电路4而构成时序控制器5。

进而，需要在时序控制器5中内置的例如数据变换电路等使DATA信号产生延迟的附加电路的情况下，可以采取使噪声除去电路的延迟时间与其匹配等措施、从而不必增加多余的延迟电路。

其次，图4示出本实施方式1采用噪声除去电路6的结构图。噪声除去电路6的结构包括：延迟电路块31，由和同一DCLK信号同步动作的6级D触发器电路(以下称作D-FF)构成；DENA上升沿检测部21，由7输入AND电路22部构成，输入输入信号DENA和在上述的D-FF电路中按每1个DCLK依次延迟后的信号；计数器27，输入DCLK并对DCLK的输入脉冲数进行计数；计数使能电路部26，输入上述AND电路部22的上升沿检出输出PEG，向计数器27输出控制上述计数器27的计数功能的工作或停止的计数许可信号ENV；初始化电路25部，输入上述上升沿检出电路部21的上升沿检出输出PEG，生成计数器27的初始化信号INT并向计数器27输入；水平像素数检出部23，检测出上述计数器27的计数输出CNT是否和根据显示面板10的分辨率预先设定的规定值1024一致，一致的情况下向上述初始化电路部25和计数使能电路部26输出计数停止信号EOC；初始状态检出部24，输入计数器27的输出CNT，检测出计数器27是否处于初始状态，输出计数器初始状态信号ITS；反相缓冲器28，输入上述计数器初始状态信号ITS，生成数

据使能输出 DENA2, 该反相缓冲器 28 的输出 DENA2 变为噪声除去后的信号 16。这里, 计数器 27 采用递增计数器方式, 初始化后其输出 CNT 为零, 所以, 初始状态检出部 24 中采用零值检出电路, 该零值检出电路检测出上述输出 CNT 是否为零, 另一方面, 水平像素数检出部 23 采用规定值检出电路, 该规定值检出电路判别计数器 27 的输出 CNT 是否达到规定值。

并且, 上述 DENA2 输入到上述计数使能电路部 26 中。这里, 对于上述水平像素数检出部 23 中设定的规定值来说, 因液晶面板 10 的分辨率是 XGA, 故为 1024。

其次, 使用图 5 的时序图详细说明图 4 所示的噪声除去电路 6 的动作。在图 4 和图 5 所示的实施方式 1 中, 利用延迟电路块 31 和输入该延迟电路块 31 的 6 个延迟输出以及 DENA 信号 8 的上述 AND 电路部 22, 检测出 DENA 信号 8 是否在 7 个 DCLK 期间连续保持激活状态 (High), 当是连续激活状态时, 上升沿检出输出 PEG 输出 High。即, 该信号 PEG 检测出 DENA 信号 8 的上升沿, 到检测出来为止的延迟时间相当于 6 个 DCLK 的量。上述延迟时间依赖于延迟电路块 31 的 D-FF 的个数, 在本实施方式 1 中示出 6 个的例子。

这里, 当输入 DENA 信号的上升沿边沿, 并且, 图 5 所示的上升沿检出输出 PEG 变为 High 时。上述计数许可信号 ENV 变成 High, 计数器 27 开始 DCLK 的计数递增动作。当计数器 27 的计数值 CNT 到达规定值 1024 时, 从水平像素检出部 23 输出计数停止信号 EOC (High 脉冲), 该信号 EOC 输入到初始化电路部 25。在该时刻, 计数器 27 对水平像素数检出部 23 中设定的规定期间、即相当于从 0 到规定值 1024 个 DCLK 的期间进行计数。

这里, 输入 DENA 信号 8 因已经过 1024 个 DCLK 以上, 故变为非激活 (Low), 经过上述 AND 电路部 22 的信号 PEG 也变为 Low, 结果, 初始化电路部的 AND 电路 30 的输出信号、即初始化信号 INT 也变为 High, 在下一个 DCLK 输入之后, 计数器 27 初始化, 结果, 该结果计数输出 CNT 变成初始值 0。接收该计数输出 0, 初始状态检出部 24 检测出初始状态, 其输出信号 ITS 变成 High。作为该信号 ITS 的反相信号的数据使能输出 DENA2 信号 16 在计数值 CNT 是 0 之外的值时变成 High。

进而，利用图 5 说明所假设的脉冲宽度的噪声重叠在 DENA 信号 8 上时的动作。假设上述的 LVDS 接收器误动作的情况，若假设噪声只具有与几个 DCLK ~ 十几个 DCLK 的时间相当的脉冲宽度，则不能确定噪声是不是在该范围之内，所以，还必须假设产生具有比这更长的长脉冲宽度的噪声的情况。

在本实施方式 1 中，即使产生在 DENA 信号 8 激活 (High) 期间产生的延迟电路块 31 的 D-FF 的量以上的长的 Low 成分噪声信号，若是在计数器 27 执行计数递增动作的期间内，则可以除去该噪声，而不会影响计数器 27 的计数动作。

其次，使用图 6 对在 DENA 信号 8 的非激活 (Low) 期间产生噪声、且延迟电路块 31 的总延迟时间 (DCLK 期间  $\times$  D-FF 总数) 以上的长的噪声 (High) 信号叠加在 DENA 信号上情况下的噪声除去电路 6 的动作进行说明。

因上述非激活 (Low) 期间产生的长脉冲噪声，由延迟电路块 31 和 7 输入 AND 电路 22 将噪声 (High) 信号误检测为输入信号，计数器 27 开始计数递增。当计数器 27 进行计数增加到达上述规定值 1024 时，生成计数许可信号 ENV 的计数使能电路部 26 中的 AND 电路 29 动作，使计数许可信号 ENV 为 Low，保持计数值 CNT，并继续保持到 DENA 信号 8 变成非激活 (Low) 状态。再有，生成初始化信号 INT 的初始化电路部 25 因上升沿检出输出 PEG 为 High，所以，也不使计数器 27 初始化。

然后，开始与下一个水平扫描期间对应的正常的水平消隐期间，DENA 信号变成非激活 (Low)，上述上升沿检出输出变成 Low，初始化输出 INT 工作计数器 27 被初始化。通过运行这些程序，可以将误动作减小到最小限度 (1 行)。

换言之，计数使能电路部 26 输入水平像素数检出部 23 的计数停止信号 EOC 的反相信号、DENA 上升沿检出部 21 的上升沿检测输出 PEG 以及反相电路 28 的输出 DENA2 信号的 OR 输出，作为其内置的 AND 电路 29 的输入信号，AND 电路 29 取他们的与，生成计数许可信号 ENV，所以，如图 6 所示那样，在输入 DENA 信号的非激活期间例如叠加长脉冲噪声，数据使能输出 DENA2 信号 16 产生 1 行误动作，计数器 27 的计数值以比通常少的个数的 DCLK 达到 1024，水平像素数检出部 23 的

输出 EOC 变成 High, 也可以保持计数器 27 的计数值 1024, 直到输入正常的非激活信号 (Low) 作为与下一个水平扫描线对应的 DENA 信号 8, 使计数器 27 的初始化在正常的非激活信号 Low 之后的下 1 个 DCLK 执行。结果, 因 DENA 信号 8 的偏离引起的显示误动作可以收敛在 1 根水平线的范围内。

此外, 当计数器 27 的计数值 CNT 达到 1024、水平像素数检出部 23 的输出计数停止信号 EOC 变成 High 时, AND 电路 29 的输出变成 Low, 计数器 27 的计数停止, 这时的计数值 1024 保持不变。当因噪声引起误动作时, 通过保持规定值 1024, 可以可靠地在下一个正常 DENA 信号 8 的非激活时刻执行计数器 27 的初始化, 可避免连续发生误动作。

这里, 对于噪声除去电路 6 的动作来说, 在本实施方式 1 中示例的规定值并非必须是 1024, 可以考虑液晶面板的分辨率根据设计自由设定。例如, 水平像素数检出电路 23 的规定值, 可以根据由液晶面板的分辨率规格规定的输入 DENA 信号的脉冲宽度期望值的规格决定。即, 该规定值和液晶显示装置中的输入信号的 DENA 信号的脉冲宽度相当, 根据分辨率若是 XGA 则为 1024、若是 SVGA (super VGA) 则为 800、若是 VGA 则为 640 等的数字。此外, 在分割数字信号等情况下, 也可以使 XGA 为 512、SVGA 为 400 等。

此外, 利用本实施方式 1 的图 4 说明了噪声除去电路 6 的结构例, 采用从初始值根据 0 开始计数并对计数值进行相加的递增计数器对计数器 27 进行了说明, 但是, 关于计数器, 不必特别采用递增计数器, 也可以如采用图 7 所示的递减计数器的噪声除去电路 40 那样, 在初始化时将上述规定值预置在计数器 32 中, 然后再对 DCLK 输入脉冲进行递减计数。这时, 水平像素数检出电路 33 采用零值检出电路, 初始状态检出部 34 采用规定值检测电路。因此, 计数器 32 的输出 CNT 从作为初始值的规定值开始, 进行递减计数并变成零, 作为上述零值检出电路的输出的计数停止信号 EOC 变成 High, 如果输入到初始化电路部 25, 初始化信号 INT 变为 High, 计数器 32 中预置上述初始值 1024。其他电路部的结构及动作和在图 4 中说明的相同, 可以得到同等的噪声除去功能。

在上述的噪声除去电路 6 的延迟电路块 31 的例子中, 说明了 D-FF

的级数是6级的情况,但是,通过具有噪声除去功能的D-FF的级数只决定滤波器的系数,对其没有特别的限制,可以任意设定,但是,若上述D-FF的级数少,对输入信号的非激活期间(Low期间)产生的噪声(High)信号反应灵敏,有可能误认为是输入信号,使上升点变为在原来的输入信号位置之前。相反,若D-FF的级数多,对输入信号的非激活期间(Low)产生的噪声信号(High)没有反应,虽然起到了所希望的作用,但是,因对在原来的输入信号的上升部产生的噪声敏感,故上升点的位置很可能会向后错动。由于静电噪声的放电引起的上述LVDS接收器的误动作时的噪声脉冲的宽度相当于几个DCLK~十几个DCLK的量,故优选D-FF的个数设定为2~30个左右。

#### 实施方式2.

在本实施方式2中,像图8所示那样,上述实施方式1采用的规定值检出电路中可以使设置在噪声除去电路41外部的控制电路34预先输入规定值输出LOD,能够与液晶面板的各分辨率对应。

这里,本实施方式2的液晶显示装置的系统结构图中的除噪声除去电路40之外的部分和上述实施方式1采用的结构相同,付以同一符号并省略其详细说明。

在噪声除去电路41中,如上所述,水平像素数检出电路43具有检测出信号CNT是否与预定值一致的功能,能够从外部控制设定上述规定值输出LOD。通过该结构,可以利用控制电路34,与各种液晶面板分辨率式样对应改变噪声除去电路41的规定值,因此,通过采用了噪声除去电路41的一种时序控制器可以对应于多种分辨率的液晶显示装置。

这里,举例示出从外部的控制电路34在时序控制器内置的噪声除去电路41中设定上述规定值的具体方法。作为一般的方法之一,在控制电路34(未图示)上设置1个以上引脚的设定端子,根据该端子的High/Low,从时序控制器内或噪声除去电路41内的逻辑电路中预先准备的多个设定值中选择1个,作为水平像素数检出部43的规定值。

进而,也可以在时序控制器内或其外部设置纪录了规定值数据的ROM(未图示),通过上述控制电路34,对噪声除去电路41的水平像素数检出电路43设定从上述ROM读出的规定值输出LOD。这时,若改写上述ROM的内容,不用改变时序控制器的逻辑电路,就可以改变规

定值，即使对具有事先准备的分辨率之外的特殊的分辨率的液晶面板，也可以比较早地使用上述噪声除去电路 41。

此外，在以上的说明中，说明了在时序控制器 6 的内部设置控制电路 34 的情况，但也不必特别地设在其内部，对设置地点没有限制。

### 实施方式 3.

在本实施方式 3 中，如图 8 所示那样，向控制电路 34 输入上述实施方式 2 采用的上述噪声除去电路 41 中内置的水平像素数检出部 43 的检出输出 EOC，控制电路 34 根据用来在液晶面板上进行显示的信号 DENA 输入的长度，分阶段判别应该进行显示的液晶面板的分辨率是否与预定的分辨率一致，并设定上述规定值。

这里，本实施方式 3 的液晶显示装置的系统结构图等除噪声除去电路 41 之外的结构部分和上述实施方式 1 和 2 采用的结构相同，付以同一符号并省略其详细说明。

其次，详细说明控制电路 34 的规定值设定动作。控制装置 34 首先在水平消隐期间，在上述预先决定的分辨率中假设非常小的数值（即，上述规定值：例如是与 VGA 对应的 640）作为规定值 LOD，在上述水平像素数检出部 43 中设定。其次，在 DENA 上升沿检出部 21 中，DENA 信号 8 的上升沿检出输出 PEG 变为 High，计数器 27 为计数许可状态，输出 CNT 从零开始增加。这里，当用 DCLK 周期除以输入 DENA 信号 8 的激活期间的长度后得到的值是 640，和上述规定值 LOD 相同时，在上述 CNT 的输出为 640 的时刻，向水平像素数检出部 43 的检出输出 EOC 输出 High 脉冲，上述控制电路 34 读入该 High 脉冲，同时，还取入 PEG 信号的 High/Low。当输出 EOC 出现 High 脉冲时，意味着上述规定值 LOD 和计数器 27 的 CNT 输出值相同，即，是 640，所以，DENA 的激活期间长为 640 个 DCLK 的量或更多。这里，当控制电路 34 取入的上述 PEG 信号为 Low 时，因这时意味着输入 DENA 信号 8 也是 Low，所以，从显示控制器输出的水平分辨率是 640，结束控制电路 34 的规定值设定动作。

当上述输出 EOC 出现 High 脉冲的时刻的 PEG 信号是 High 时，意味着水平分辨率超过 640，所以，控制电路 34 输出 800（与 SVGA 对应）作为上述规定值 LOD，作为水平像素数检出部 43 的设定值。然后，DENA 信号激活，PEG 信号上升，计数器 27 为许可计数状态，在上述 CNT 输

出为 800 的时刻,作为水平像素数检出部 43 的检出输出 EOC,输出 High 脉冲,上述控制电路 34 读入该 High 脉冲,同时,还取入 PEG 信号的 High/Low。这里,当控制电路 34 取入的上述 PEG 信号为 Low 时,意味着输入 DENA 信号 8 也已经为 Low,所以,从显示控制器输出的水平分辨率是 800,结束控制电路 34 的规定值设定动作。

当上述输出 EOC 出现 High 脉冲的时刻的 PEG 信号是 High 时,意味着水平分辨率超过 800,所以,控制电路 34 输出 1024 (与 XGA 对应) 作为上述规定值 LOD,设置水平像素数检出部 43 的设定值。

然后,由控制电路 34 重复上述规定值设定动作和 PEG 信号的检出动作,直到达到按规格假设的最大分辨率,逐级增加上述规定值输出 LOD,读入输出 High 脉冲作为上述检出输出 EOC 的时刻的 PEG 信号的 High/Low,可以由控制电路 34 判断假设设定的 LOD 值是否合适,可以由控制电路 34 选择与显示面板 10 的分辨率对应的合适的设定值。

此外,在以上的说明中,为了缩短完成合适的设定值的选择的时间,逐步增加上述预先决定的分辨率,选择设定值,但在液晶面板的分辨率较特殊的例子中,也可以采用使设定值从预定的最小值开始一个一个增加、读取 PEG 信号的 High/Low 并判断是否合适的方法。这时,根据输入 DENA 信号生成的上升沿检出输出的上升沿延迟 6 个 DCLK 的量,计数器开始计数的时间也延迟相应的量。因此,可以使设定值一个一个增加,对最初 PEG 信号为 Low 的设定值加上与 6 个 DCLK 延迟量相当的值,再将其作为最后的设定值 LOD。

#### 实施方式 4.

图 9 示出根据 DENA 信号和上述噪声除去后的 DENA2 信号辨别液晶面板的分辨率的分辨率辨别电路 50 的实施方式的结构。首先,检测出 DENA 信号的下降沿边沿的边沿检测电路部 100 的下降沿边沿检出输出 EDG1 输出、DENA 和 DCLK 输入到第 1 计数器 101 中。计数器 101 在 DENA 激活 (High) 时开始 DCLK 的计数,当输入下降沿边沿 EDG1 时停止,并将第 1 计数值 CNT1 输出给计数器值保持电路部 102。此外,当向计数器 101 输入的 DENA 变成非激活 (Low) 时,进行复位,第 1 计数值输出 CNT1 变为零。计数值保持电路部 102 在输入 DENA 信号的下降沿边沿 EDG1 时,保持这时的 CNT1,同时,将所保持的计数保持值 MTN 输出给 DENA 脉冲宽度判别电路 104。边沿检出电路部 103 由和上述边

沿检出电路 100 同样的电路构成, 检测 DENA2 的下降沿边沿, 并将该边沿 EDG2 输出给 DENA 脉冲宽度判别电路部 104。向 DENA 脉冲宽度判别电路 104 输入上述 EDG2 信号和 MTN 信号, 与 EDG2 信号的上升沿同步向第 2 计数器、即双向计数器 (up/down counter) 105 输出表示输入上述 EDG2 脉冲时刻的 MTN 值比预先决定的预定阈值大还是小的 PDT 信号。双向计数器 105 是输入上述 PDT 信号和 EDG2 信号、每当 EDG2 信号的上升沿边沿输入时使其计数增减的 4 位计数器, 上述 PDT 信号为 High 时使计数值增加, 为 Low 时使计数值减小。此外, 双向计数器 105 的计数值 CNT2、即第 2 计数值从最小值 0 到最大值 15, 不执行从 0 到 15 和从 15 到 0 的循环 (carry over)。上述第 2 计数值 CNT2 输入到分辨率判别电路 106, 由分辨率判别电路 106 判别分辨率作为判别结果 DST 输出。该判别结果 DST 在构成图 1 所示的时序控制器的数字电路内、例如在上述时序控制电路 4 等中将其作为规定液晶面板 10 的水平分辨率的信号使用。

其次, 使用图 10 详细说明上述分辨率判别电路 50 的时序关系。在图 10 中, 在 DENA 信号上在其激活期间 (High) 叠加噪声, 因此其中包含微小的 Low 电平的脉冲。结果, 边沿检出电路部 100 检测出由于上述噪声的下降沿边沿, 比本来的消隐开始时间提前检测出 EDG1 输出 (在本实施方式的例子中, 假定检测出 2 个下降沿边沿)。结果, MTN 输出在正常值 1024 之后依次保持 500 和 200, 即使在本来应是 1024 的消隐期间, 也变成保持并输出 300。

其次, 因在上述消隐期间已除去噪声的 DENA2 下降, 故产生 EDG2 信号, 这时的 MTN 值 300 因比预定的阈值、例如 SVGA 和 XGA 的水平分辨率的中间值 912 小, 故 DENA 脉冲宽度判别电路 104 的脉冲宽度判别输出 PDT 的值与 EDG2 的下降同步而变为 Low。如前所述, 双向计数器 105 是与 EDG2 的上升沿边沿同步输入的计数器, 如图 10 的下部的放大图所示, 因在 EDG2 的上升沿时还是 High, 故计数值还保持最大值 15 不变。

其次, 若假定即使在上述说明了的水平周期的下一个水平周期 DENA 信号中仍然重叠噪声, 因已经得出和已说明的时序同样的结果, 故在这里省略详细说明, 但是, 因和前面的周期一样, 上述 PDT 输出变成低电平, 所以, 此处双向计数器 105 与 EDG2 的上升沿边沿同步读

取上述 PDT 输出的 Low, 并使计数值从 15 减到 14。即, 由双向计数器 105 进行增减处理始终落后 1 个水平周期。

上述双向计数器 105 的计数值 CNT2 输入到分辨率判别电路 106, 判别分辨率是比预定值 (例如 7) 大还是小, 作为判定结果 DST 输出。

这里, 在本实施方式 5 中, 说明了作为双向计数器采用 4 位计数器 (从 0 到 15 计数) 的例子, 但是, 可以自由选择, 例如为了简化电路而选择 3 位 (0~7), 或者, 为了得到更高的噪声除去效果而选择 8 位 (从 0 到 255 的计数)。

此外, 在本实施方式 5 中, 假定双向计数器 105 与 EDG2 的上升同步进行计数, 但是, 如果能够避免与 PDT 信号的变化时序发生竞争, 也可以在下降沿进行计数。

如以上说明的那样, 可以得到分辨率判别电路 50, 使用噪声除去后的 DENA2 信号, 对 DENA 的下降沿进行计数, 判别比预先决定的预定阈值 (912) 大还是小, 并对其计数, 由此, 即使重叠有噪声, 也没有引起误判别的可能。

进而, 当从多个水平分辨率中辨别所输入的显示控制信号与哪一个分辨率对应时, 也可以将应该辨别的分辨率序列中的各中间值作为上述预定的阈值。

此外, 在前面已说明的实施方式 1 到 4 中, 作为延迟电路块 31 采用的延迟元件, 示出了采用 D-FF 电路的例子, 但是, 作为延迟元件, 没有理由必须是 D-FF, 也可以采用使用了上述专利文献 2 或专利文献 3 中的多级反相器电路的延迟电路, 进而, 当然也可以将反相器电路和 D-FF 电路组合起来使用。

进而, 关于数据使能信号 (DENA), 上面说明了 High 电平激活时的情况, 但激活时的电平不需要为 High, 也可以为 Low 激活的信号。这时, 若对 DENA 上升沿检出部的逻辑电路的结构稍加修正, 就可以应用于上述实施方式 1 至 5。

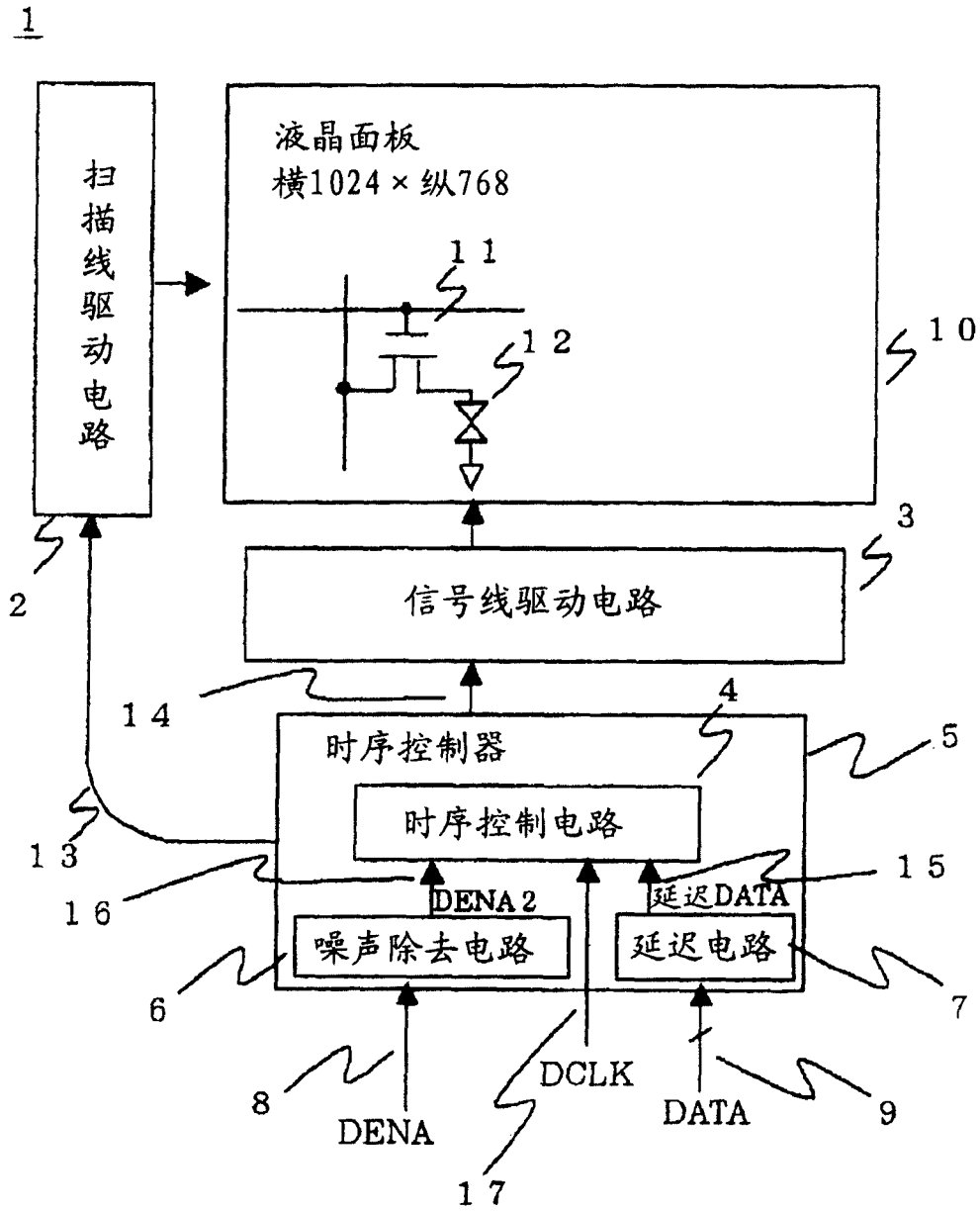


图 1

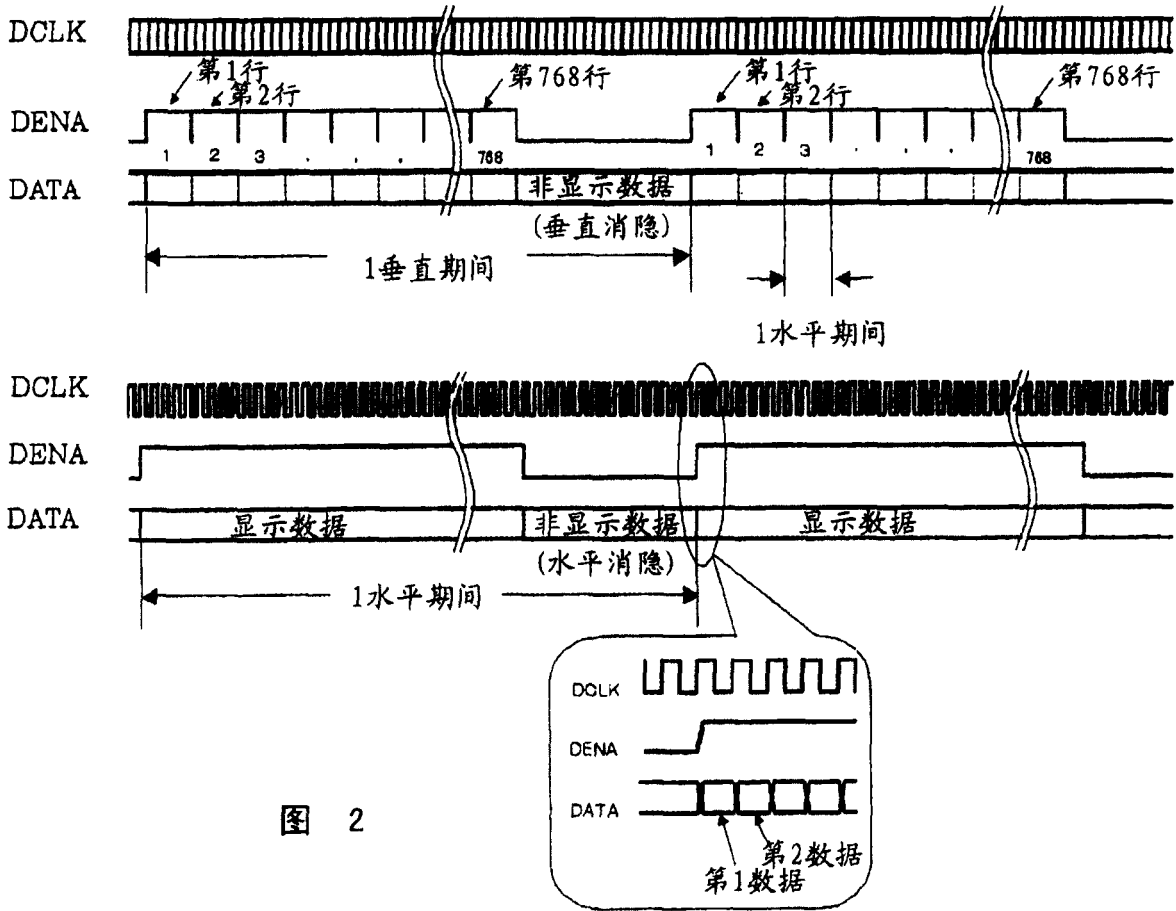


图 2

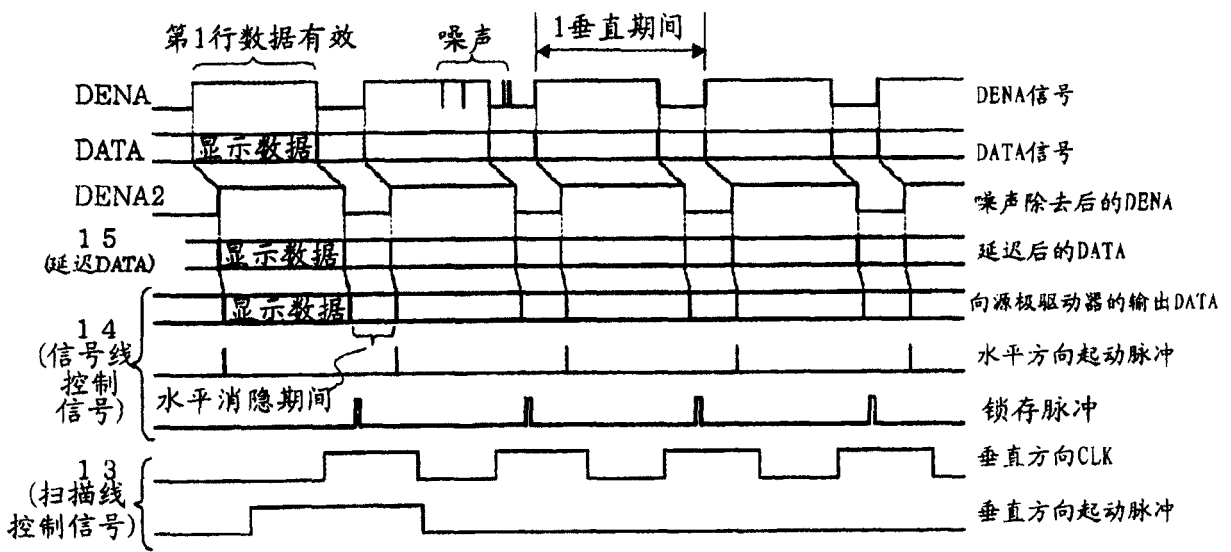


图 3

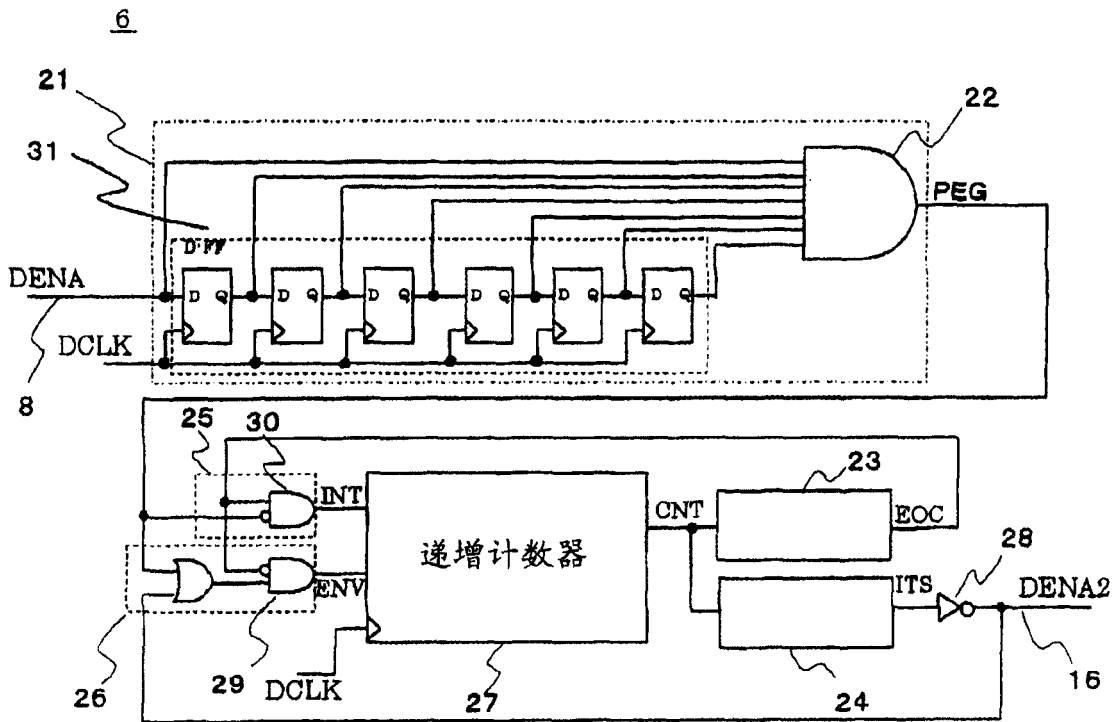


图 4

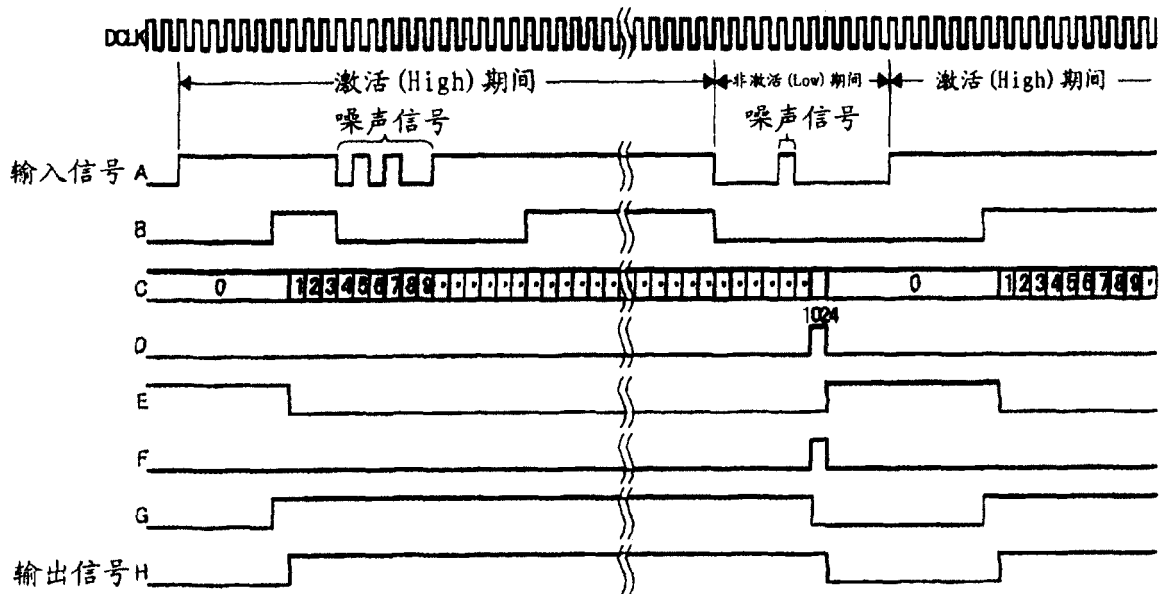


图 5

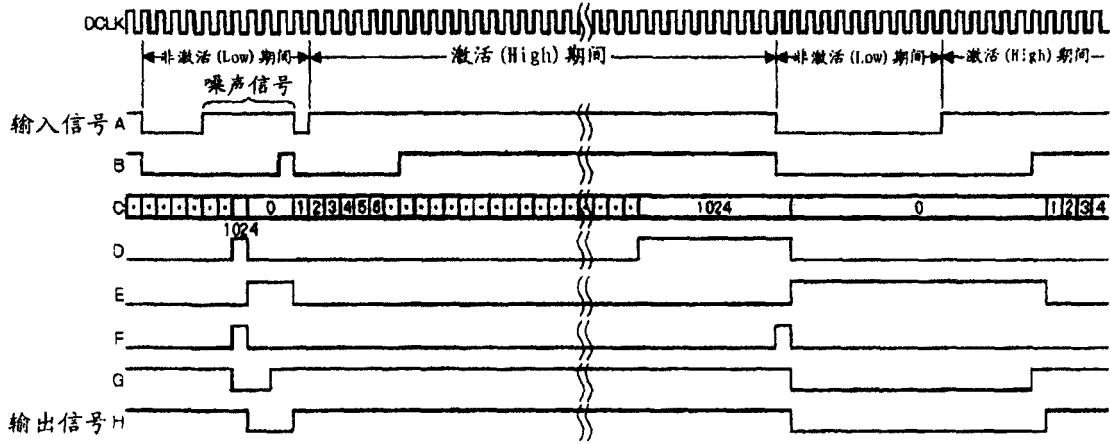


图 6

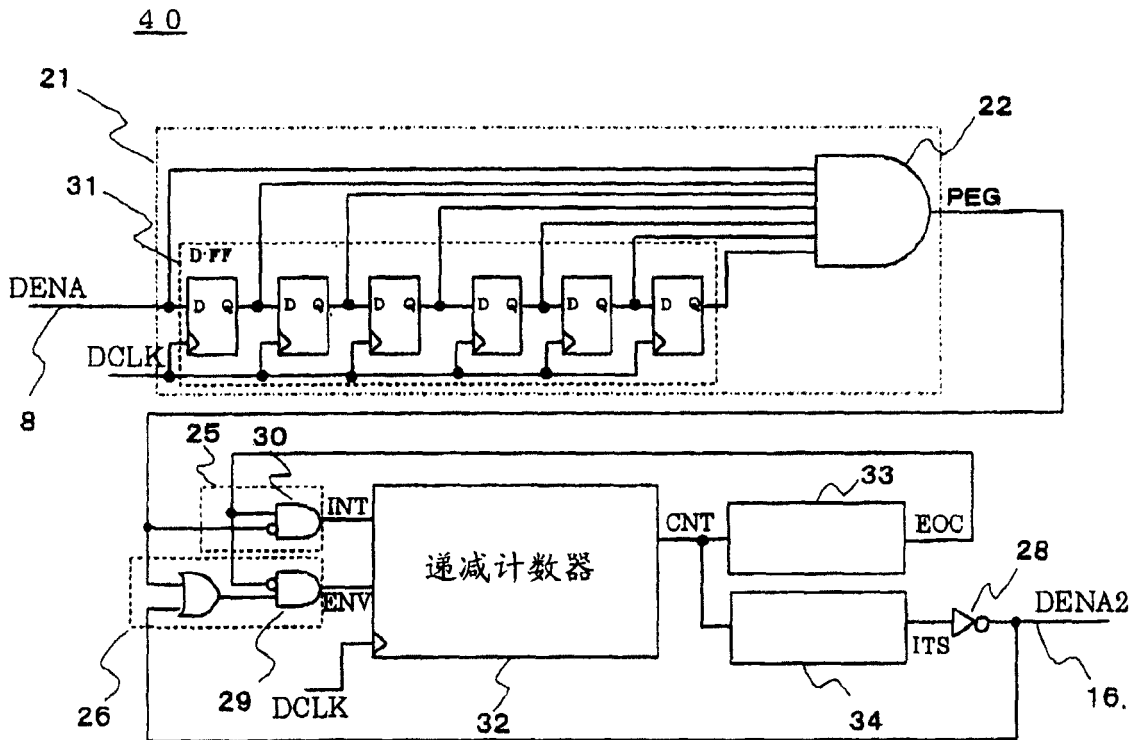
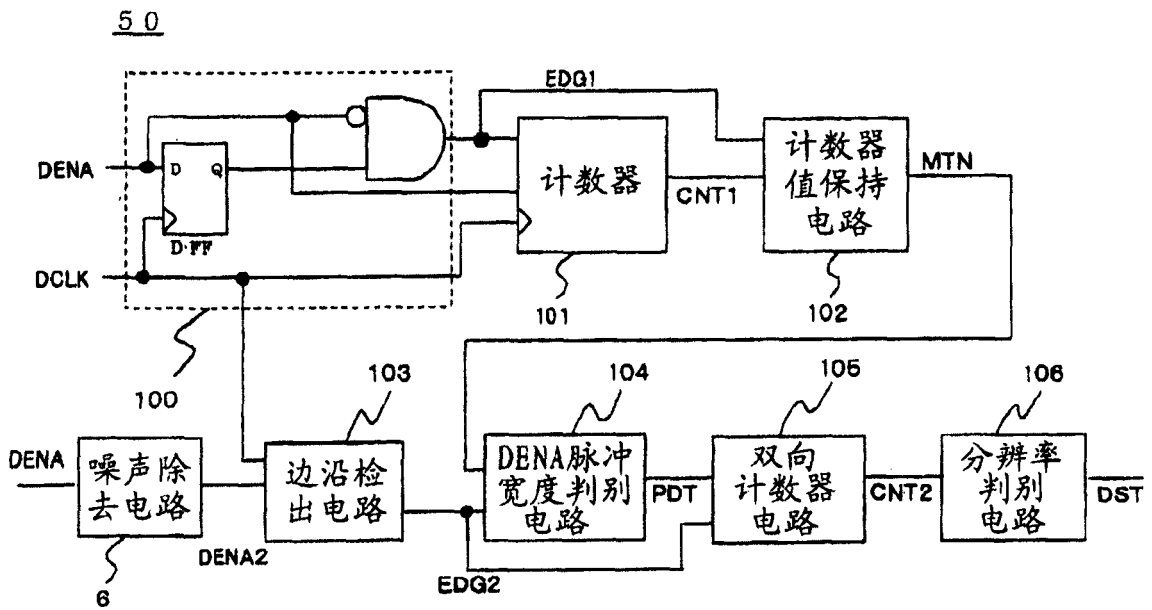
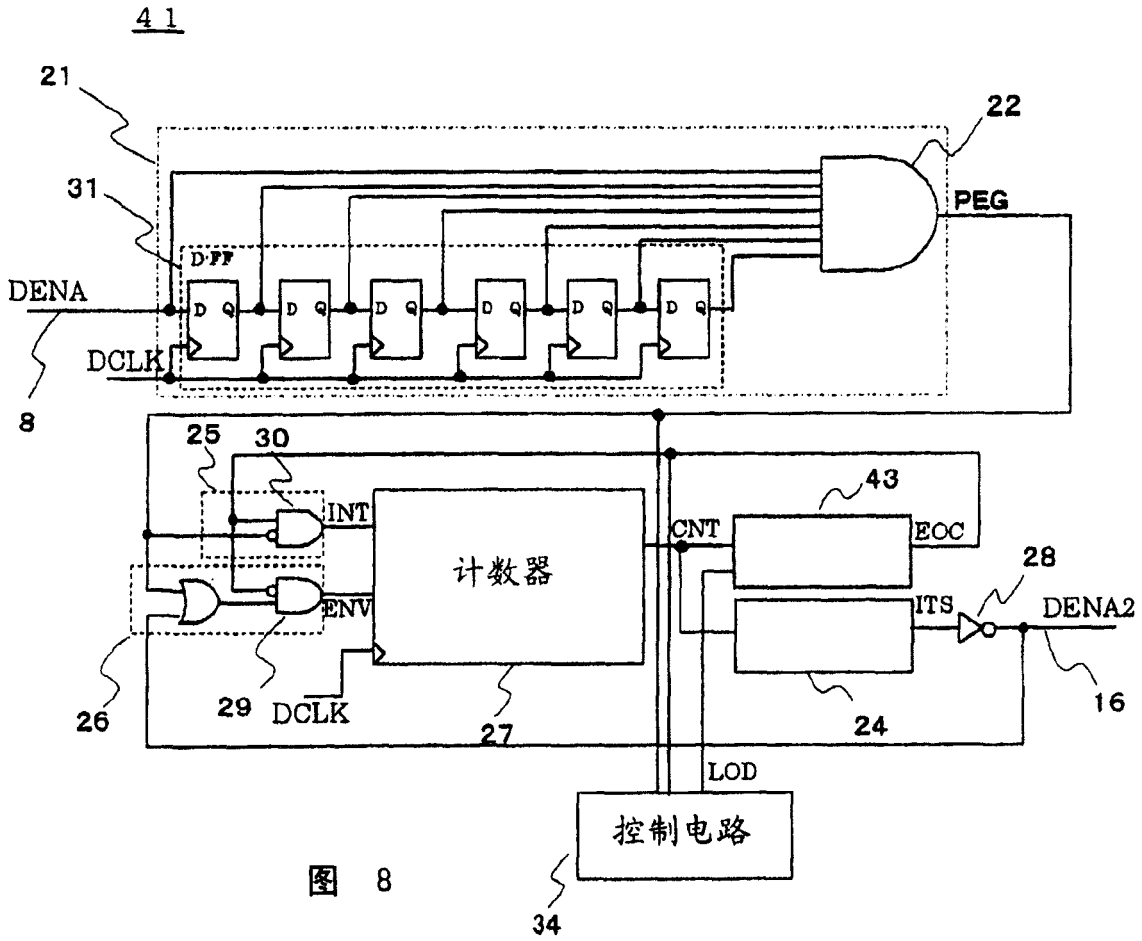


图 7



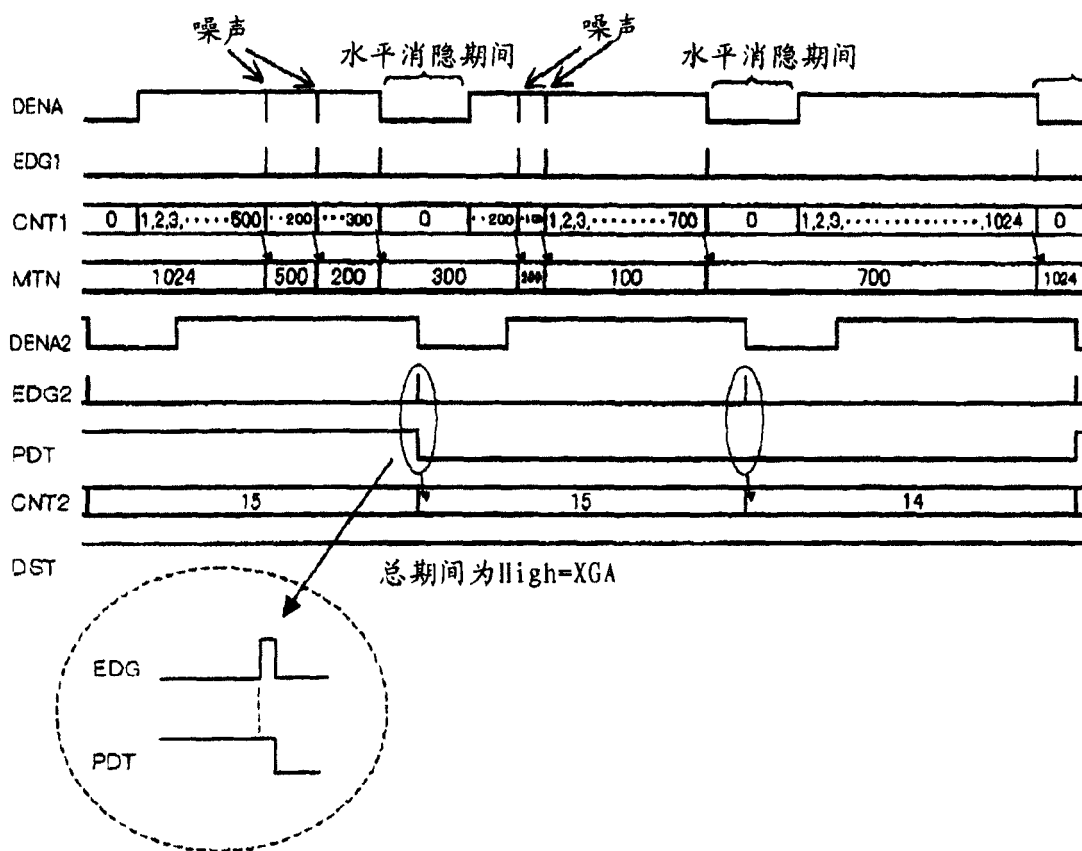


图 10

专利名称(译)	矩阵显示装置的噪声除去电路及使用该电路的矩阵显示装置		
公开(公告)号	<a href="#">CN1904994A</a>	公开(公告)日	2007-01-31
申请号	CN200610088625.3	申请日	2006-05-31
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	鹰木二郎 石口和博 南昭宏		
发明人	鹰木二郎 石口和博 南昭宏		
IPC分类号	G09G3/36 G09G3/20 H03K5/1252 G02F1/133		
CPC分类号	G09G3/3648 G09G2330/06 G09G3/3688 G09G3/2011		
代理人(译)	刘宗杰		
优先权	2005214580 2005-07-25 JP		
其他公开文献	CN100583221C		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明提供一种关于液晶显示装置的噪声除去电路，特别是除去叠加在输入液晶显示装置的显示控制信号上的噪声的电路。该噪声除去电路内置有：除去噪声的信号的上升沿检出电路部(21)；对规定期间进行计数的计数电路(27)；生成该计数器的初始化信号的初始化电路部(25)；生成计数器(27)的计数许可信号的计数使能电路部(26)；探知计数器(27)是否为初始状态的初始状态检测电路部(24)，其结构为响应于上升沿检出电路部21检测出上升沿，计数器(27)从初始值开始计数，在上述规定期间的计数结束之后，再使计数器(27)初始化，将上述初始状态检出电路部(24)的初始状态检出信号作为噪声除去后的信号。

