

[19] 中华人民共和国国家知识产权局



# [12] 发明专利申请公布说明书

[21] 申请号 200610083665.9

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

[43] 公开日 2007 年 1 月 10 日

[11] 公开号 CN 1892783A

[22] 申请日 2006.6.2

[21] 申请号 200610083665.9

[30] 优先权

[32] 2005.6.30 [33] KR [31] 10-2005-0057952

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 李炅彦 柳俊锡

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 祁建国

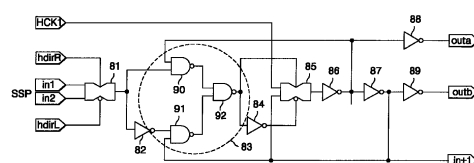
权利要求书 4 页 说明书 10 页 附图 9 页

## [54] 发明名称

移位寄存器和使用移位寄存器的液晶显示器件

## [57] 摘要

本发明涉及一种具有多个级的移位寄存器，其中每个级包括：接收输入信号的输入电路部分；通过输入电路部分的非反相输出和反相输出上的异或运行生成触发信号的异或电路；响应于触发信号将时钟信号和反馈信号中的一个从输出端提供到下一级的输出端和输入端的输出电路部分。



1、一种液晶显示器件，包括：

具有多个数据线、以及与多个数据线交叉的多个栅线和多个液晶单元的液晶显示面板；

将数字数据转换为模拟数据的数据驱动器；

顺序选择数据驱动器的模拟输出的通道选择部分；

采样来自通道选择部分的模拟数据以向数据线提供采样数据的采样和保持部分；和

顺序将栅脉冲提供到栅线的栅驱动器，

其中至少数据驱动器、通道选择部分和栅驱动器中的一个包括具有多个级的移位寄存器，每个级的输入电路部分接收输入信号；通过输入电路部分的非反相输出和反相输出上的异或运行生成触发信号的异或电路；响应于触发信号将时钟信号和反馈信号中的一个从输出端提供到下一级的输出端和输入端的输出电路部分，其中每个级生成部分与其他级的输出信号重叠且相位被顺序移位的输出信号。

2、如权利要求 1 所述的液晶显示器件，其特征在于，其中输入电路部分包括：

接收输入信号的第一多路复用器；和

使来自第一多路复用器的输出信号反相的第一反相器。

3、如权利要求 2 所述的液晶显示器件，其特征在于，其中异或电路包括：

对第一多路复用器的输出和反馈信号执行与非操作以生成输出信号的第一与非门；

对第一反相器的输出信号和反馈信号执行与非操作以生成输出信号的第二与非门；和

对第一和第二与非门的输出信号执行与非操作以生成输出信号的第三与非门。

4、如权利要求 3 所述的液晶显示器件，其特征在于，其中输出电路部分包括：

使第三与非门的输出反相的第二反相器；

响应于第三与非门的输出和第二反相器的输出信号输出时钟信号和反馈信号其中之一的第二多路复用器；

使第二多路复用器的输出反相以生成反馈信号的第三反相器；和

使反馈信号反相以生成反相输出和非反相输出的输出端反相器电路。

5、如权利要求 4 所述的液晶显示器件，其特征在于，其中输出端反相器电路包括：

使第二多路复用器的输出信号反相且将第二多路复用器反相的信号输出信号输入到异或电路的第一与非门以激发触发信号（q1）的第三反相器；

使第三反相器的输出信号反相且将第四反相器反相的信号输入到第二多路复用器和第二与非门以激发触发信号（q1）的第四反相器。

使第三反相器的输出信号反相且将被第五反相器反相的信号作为控制信号输出的第五反相器；和

使第四反相器的输出反相且将被第六反相器反相的信号作为控制信号输出的第六反相器。

6、如权利要求 5 所述的液晶显示器件，其特征在于，其中被第五反相器反相的信号作为 pMOS FET 的控制信号来控制，pMOS FET 构成了通道选择部分的 CMOS。

7、如权利要求 5 所述的液晶显示器件，其特征在于，其中被第六反相器反相的信号作为 nMOS FET 的控制信号来控制，nMOS FET 构成了通道选择部分的 CMOS。

8、如权利要求 5 所述的液晶显示器件，其特征在于，其中第四反相器的输出提供另一级的起始脉冲。

9、一种驱动具有多个级的液晶显示器件的移位寄存器，其中每个级包括：

接收输入信号的输入电路部分；

通过输入电路部分的非反相输出和反相输出上的异或运行生成触发信号的异或电路；

响应于触发信号将时钟信号和反馈信号中的一个从输出端提供到下一级的输出端和输入端的输出电路部分，

其中每个级生成部分与其他级的输出信号重叠且相位被顺序移位的输出信号。

10、如权利要求 9 所述的移位寄存器，其特征在于，其中输入电路部分包括：

接收输入信号的第一多路复用器；和

使第一多路复用器的输出信号反相的第一反相器。

11、如权利要求 10 所述的移位寄存器，其特征在于，其中异或电路包括：

对第一多路复用器的输出信号和反馈信号执行与非操作以生成输出信号的第一与非门；

对第一反相器的输出信号和反馈信号执行与非操作以生成输出信号的第二与非门；和

对第一和第二与非门的输出信号执行与非操作以生成输出信号的第三与非门。

12、如权利要求 11 所述的移位寄存器，其特征在于，其中输出电路部分包括：

使第三与非门的输出反相的第二反相器；

响应于第三与非门的输出和第二反相器的输出信号输出时钟信号和反馈信号其中之一的第二多路复用器；

使第二多路复用器的输出反相以生成反馈信号的第三反相器；和

使反馈信号反相以生成反相输出和非反相输出的输出端反相器电路。

13、如权利要求 12 所述的移位寄存器，其特征在于，其中输出端反相器电路包括：

使第二多路复用器的输出信号反相且将第二多路复用器反相的信号输出信号输入到异或电路的第一与非门以激发触发信号（q1）的第三反相器；

使第三反相器的输出信号反相且将第四反相器反相的信号输入到第二多路复用器和第二与非门以激发触发信号（q1）的第四反相器。

使第三反相器的输出信号反相且将被第五反相器反相的信号作为控制信号输出的第五反相器；和

使第四反相器的输出反相且将被第六反相器反相的信号作为控制信号输出的第六反相器。

14、如权利要求 13 所述的移位寄存器，其特征在于，其中提供来自第四反相器的输出信号作为另一级的起始脉冲。

15、一种用于驱动液晶显示器件的方法包括：

提供具有多个级的序列的移位寄存器；

在级序列的第一级的输入电路接收输入信号；

对第一级的输入电路的非反相输出和反相输出执行异或操作以生成触发信号；

响应于触发信号将时钟信号和来自第一级的输出端的反馈信号中的一个提供到下一级的输出端和输入端；和

生成与级序列的下一级生成的输出信号部分重叠的输出信号，

其中来自级序列的输出信号被顺序移位。

## 移位寄存器和使用移位寄存器的液晶显示器件

本申请要求于 2005 年 6 月 30 日提交的申请号为 P2005-0057952 的韩国专利申请的优先权，为了达到本文提到的所有目的将其结合作为参考。

### 技术领域

本发明涉及液晶显示器件，尤其涉及具有重叠输出的低电容载荷的移位寄存器和使用该移位寄存器的液晶显示器件。

### 背景技术

液晶显示器件根据视频信号来控制液晶单元的透光率以显示图象。

在有源矩阵型液晶显示器件中，采用有源开关器件控制每个液晶单元中的电场以控制单元的透光率。通过控制有源开关器件，显示移动的图象。在有源矩阵型液晶显示器件中主要使用薄膜晶体管（下文中，称为‘TFT’）作为有源开关器件。

如图 1 所示，现有技术中的液晶显示器件包括液晶显示板 2，其具有与多个栅线 6 交叉的多个数据线 5，且使用 TFT 驱动形成在栅线和数据线交点处的液晶单元；数据驱动器 3，用于向数据线 5 提供数据；栅驱动器 4，用于向栅线 6 提供扫描脉冲；以及时序控制器 1，用于控制数据驱动器 3 和栅驱动器 4。

液晶显示板 2 包括注入在两个玻璃基板之间的液晶。数据线 5、栅线 6 和 TFTs 形成在两个玻璃基板的中下部玻璃基板上。响应于来自栅线 6 的扫描脉冲 TFTs 将来自数据线 5 的数据提供到液晶单元。为此，TFT 的栅极连接到栅线 6，源极连接到数据线 5，且 TFT 的漏极连接到液晶单元 Clc 的像素电极。进一步，用于保持液晶单元电压的存储电容 Cst 形成在液晶显示板的下部玻璃基板上。

数据驱动器 3 包括每个含有移位寄存器的多个数据集成电路（下文中，称为‘IC’），并且每个数据集成电路包括移位寄存器；临时存储来自时序控制器 1 的展开数字视频数据 RGB 的寄存器；逐行存储数据且响应于来自移位寄存

器的时钟信号同时输出一行存储的数据的锁存器；依照来自锁存器的数字数据值选择正/负模拟伽玛补偿电压的数字/模拟转换器；选择被施加正/负伽玛补偿电压的数据线 5 的多路复用器；以及连接在多路复用器和数据线之间的输出缓冲器。数据驱动器 3 向液晶显示面板 7 的数据线 5 提供来自时序控制器 1 的数据视频数据 RGB。

栅驱动器 4 包括响应于来自时序控制器 1 的栅控制信号 GDC 而顺序生成扫描脉冲的移位寄存器；将扫描脉冲的摆幅宽度转换到适于驱动液晶单元 CLc 的电平的电平转换器；以及输出缓冲器。栅驱动器 4 向栅线 6 提供扫描脉冲以导通连接到栅线 6 的 TFT，从而选择水平线的液晶单元，例如模拟伽玛补偿电压的数据像素电压被施加到水平线的液晶单元。从数据驱动器 3 生成的数据提供到了被扫描脉冲选择的水平线的液晶单元 CLc。

时序控制器 1 接收数字视频信号 RGB、水平同步信号 H、垂直同步信号 H 和时钟信号 CLK 以生成用于控制栅驱动器 4 的栅控制信号 GDC 和用于控制数据驱动器 3 的数据控制信号 DDC。进一步，时序控制器 1 向数据驱动器 3 提供数据 RGB。

另一方面，如图 2 所示，为了减少数据驱动器集成电路的数量，提供了一种液晶显示器件，该液晶显示器件具有以一对一的关系连接到数据寄存器 21 的输出端的公共总线 201 至 240；通道选择部分 24 以及配置在公共总线 201 至 240 和数据线 DL1 至 DL42 之间的采样&保持部分 23。在每个公共总线 201 至 240 中形成多个数据输出总线。例如，第 1 个和第 41 个数据输出总线 301、341 连接到了第一公共总线 201。通道选择部分 24 包括多个以一对一的关系连接到数据输出总线 301 的开关器件 24A。用于通道选择部分 24 的开关器件 24A 将采用 CMOS 结构实现并且响应于来自移位寄存器 22 的控制信号被顺序导通，从而从数据输出总线 301 向采样&保持部分 23 提供数据。采样&保持部分 23 顺序采样和保持来自通道选择部分 24 的数据，且接着同时将所保持的数据向数据线 DL1 至 DL42 提供。

使通道选择部分 24 的开关器件 24A 顺序操作的移位寄存器将在图 3 或图 5 中实现。

图 3 表示允许重叠输出脉冲的移位寄存器 22 的级结构。图 4 表示图 3 中移位寄存器 22 的输入/输出波形。

参照图 3 和图 4，移位寄存器 22 的任意级包括配置在输入端和输出端之间的串联的第一反相器型三态缓冲器 31、第一锁存器 37、第二反相器型三态缓冲器 34 以及第二锁存器 38。移位寄存器 22 的每一级输出起始脉冲或响应于反相的第一和第二时钟信号（cka、ckb）将其延迟一个时钟周期的前一级的输出脉冲，并且生成与前一级的输出脉冲重叠一个时钟周期的输出脉冲。

第一时钟信号（ckb）输入到第一反相器型三态缓冲器 31 的非反相控制端和第二时钟信号（cka）输入到第一反相器型三态缓冲器 31 的反相控制端。起始脉冲或前一级的输出脉冲输入到输入端。当逻辑高的第一时钟信号（ckb）提供到非反相控制端且逻辑低的第二时钟信号（cka）提供到反相控制端时，向锁存器 37 提供第一反相器型三态缓冲器 31 反相前一级的输出脉冲或起始脉冲。当逻辑低的第一时钟信号（cka）提供到非反相控制端或逻辑高电平的第二时钟信号（ckb）提供到反相控制端时第一反相器型三态缓冲器 31 变化到高阻抗状态以便于不将起始脉冲或前一级的输出脉冲传输到第一锁存器 37。

第一锁存器 37 包括第一反相器 32 和第三反相器型三态缓冲器 33，第三反相器型三态缓冲器 33 连接在第一反相器型三态缓冲器 31 和第二反相器型三态缓冲器 34 之间的闭环内。第一锁存器 37 锁存逻辑高的输出，当第一反相器型三态缓冲器 31 处于高逻辑时，反相输出且向第二反相器型三态缓冲器 34 提供被反相的输出。

同时，当逻辑高电平的第二时钟信号（ckb）提供到非反相控制端且逻辑低的第一时钟信号（cka）提供到反相控制端时，第二反相器型三态缓冲器 34 反相第一锁存器 37 的输出以提供到第二锁存器。

第二锁存器 38 包括第二反相器 35 和第四反相器型三态缓冲器 36，第四反相器型三态缓冲器 36 连接在第二反相器型三态缓冲器 34 和输出端之间的闭环内。第二锁存器 38 锁存逻辑高的输出，反相输出，并当第二反相器型三态缓冲器 34 处于高逻辑时，将被反相的输出提供到输出端并同时生成下一个移位寄存器级的起始脉冲（In+1）。

如图 4 所示，当被重叠一个时钟周期时各级的输出 S1 到 S42 被移位。如图 2 所示输出 S1 到 S42 顺序导通包括在通道选择部分 24 中的开关器件 24A。

如图 3 所示由级构成的移位寄存器具有通过在移位输出之间的重叠周期的数量增加通道选择部分 24 的运行速度的优点。另一方面，这样的移位寄存

器具有因为时钟信号线连接到用于每个反相器型三态缓冲器的 MOS TFT 的栅端而使得栅端和源/漏端之间的电容相对高的缺点。高电容生成信号延迟限制了时钟信号的可用频率。进一步，如果增加驱动电压以高速运行，高电容将引起能耗增加。

图 5 表示一个级的移位寄存器 22，该移位寄存器具有输出脉冲没有重叠的结构。

参照图 5，移位寄存器 22 的任意级包括第一多路复用器 51、OR（或）电路 52、第二多路复用器 53 和第一至第五反相器 54 至 58。

每个多路复用器 51 和 53 具有这样的电路结构，即两个传输门对称的连接，当逻辑高信号提供到非反相控制端时多路复用器输出施加到第一输入端（in1）的输入信号，当逻辑高信号提供到反相控制端时多路复用器输出施加到第二输入端（in2）的输入信号。

OR 电路 52 包括具有两个输入端和一个反相器的 NOR（或非）门。第一反相器 54 的输出作为反馈提供到了 NOR 门的第二输入端且第一多路复用器 51 的输出提供到了 NOR 门的第一输入端。OR 电路的反相器将 NOR 门的输出反相。OR 电路 52 生成一个输出，该输出是 NOR 门的两个输入端的逻辑和（或）。

采用图 5 中显示的移位寄存器级，移位寄存器 22 具有由于时钟信号线连接到构成传输门的 MOS TFT 的源/漏端和 MOS TFTs 在运行时处于关闭状态而电容载荷低的优点。然而，采用图 5 显示的移位寄存器 22 具有输出不能重叠的问题。

## 发明内容

因此，本发明提供的移位寄存器和使用移位寄存器的液晶显示器件基本克服了由相关技术的限制和缺陷引起的一个或多个问题。

本发明的一个优点是提供具有低电容载荷且允许输出重叠的移位寄存器和使用这样移位寄存器的液晶显示器件。

本发明的其他特点和优点在以下的详细描述中提出，从描述中部分是明显的，部分通过本发明的实施而显现。通过书面描述和权利要求以及附图提出的结构将实现和获得本发明的目的和其他优点。

为了获得这些和其他优点且依照本发明的目的，正如体现和广泛描述的，提供了具有多个级的移位寄存器，其中每个级包括：接收输入信号的输入电路部分；通过输入电路部分的非反相输出和反相输出上的异或运行生成触发信号的异或电路；响应于触发信号将时钟信号和反馈信号中的一个从输出端提供到下一级的输出端和输入端的输出电路部分，其中每个级生成部分与其他级的输出信号重叠且相位被顺序移位的输出信号。

本发明的另一方面，液晶显示器件包括：具有多个数据线、与所述多个数据线交叉的多个栅线和多个液晶单元的液晶显示板；将数字数据转换成模拟数据的数据驱动器；顺序选择数据驱动器的模拟输出的通道选择部分；采样通道选择部分的模拟数据以向数据线提供采样数据的采样和保持部分；顺序将栅脉冲提供到栅线的栅驱动器，其中至少数据驱动器、通道选择部分和栅驱动器中的一个包括具有多个级的移位寄存器，每个级的输入电路部分接收输入信号；通过输入电路部分的非反相输出和反相输出上的异或运行生成触发信号的异或电路；响应于触发信号将时钟信号和反馈信号中的一个从输出端提供到下一级的输出端和输入端的输出电路部分，其中每个级生成部分与其他级的输出信号重叠且相位被顺序移位的输出信号。

应该理解，前面的整体描述和以下的详细描述是事例性的和解释性的并希望提供对如权利要求保护的发明的进一步解释。

## 附图说明

给本发明提供进一步理解并组成说明书一部分的附图图解了本发明的实施方案并与说明书一起用于解释本发明的原理。

图 1 是简要表示液晶显示器件的结构图；

图 2 是表示模拟采样&保持电路的结构图；

图 3 是支持输出重叠的移位寄存器的电路图；

图 4 是图 3 表示的级的输入/输出波形图；

图 5 是表示移位寄存器的 OR 型级的电路图；

图 6 是表示依据本发明的实施例的液晶显示器件的结构图；

图 7 是表示图 6 中数据驱动器的结构图；

图 8 是表示图 6 中移位寄存器的一个级的电路图；

图 9 是图 8 中级的输入/输出波形图。

## 具体实施方式

详细的描述本发明的实施例，附图表示本发明的例子。

参照图 6 到 9，下文详细描述了本发明的实施例。

参照图 6，依据本发明的实施例的液晶显示器件包括：液晶显示板 62，该液晶显示板 62 具有与多个栅线 GL1 至 GLn 交叉的多个数据线 DL1 至 DLm 以及用于驱动形成在栅极线和数据线交点处的液晶单元的 TFTs；数据驱动器 63，用于将数字数据 RGB 转换为模拟数据电压；配置在数据驱动器 63 和液晶显示板 62 的数据线 DL1 至 DLm 之间的通道选择部分 64 和采样&保持部分 65；栅驱动器 64，用于将栅脉冲提供到液晶显示板 62 的栅线 GL1 至 GLn；伽玛参考电压发生器 66，用于向数据驱动器 63 提供伽玛参考电压；时序控制器 61，用于控制数据驱动器 63 和栅驱动器 64；以及移位寄存器 67，用于控制通道选择部分 64 的顺序运行。

液晶显示板 62 包括置于两个玻璃基板之间的液晶层。在液晶显示板 62 的两个玻璃基板中的下基板上数据线 DL1 至 DLm 和栅线 GL1 至 GLn 彼此交叉。TFT 形成在数据线 DL1 至 DLm 和栅线 GL1 至 GLn 交叉点附近。响应于栅脉冲 TFT 将数据线 DL1 至 DLm 的数据提供到液晶单元 Clc。为此，TFT 的栅极连接到栅线 GL1 至 GLn，TFT 的源极连接到数据线 DL1 至 DLm。TFT 的漏极连接到液晶单元 Clc 的像素电极。进一步，用于保持液晶单元电压的存储电容 Cst 形成在液晶显示板 62 的下玻璃基板上。

时序控制器 61 采样来自系统（未示出）的数字视频卡的数字视频数据以提供到数据驱动器 63。进一步，时序控制器 61 通过使用提供到时序控制器 61 的水平和垂直同步信号 H 和 V 生成数据控制信号 DDC 和栅控制信号 GDC。数据控制信号 DDC 包括源移位时钟 SSC、源起始脉冲 SSP、极性控制信号 POL 和源输出使能信号 SOE 等，并且被提供到数据驱动器 63。栅控制信号 GDC 包括栅起始脉冲 GSP、栅移位时钟 GSC、栅输出使能信号 GOE 等，并且被提供到栅驱动器 64。

栅驱动器 64 响应于来自时序控制器 61 的栅驱动控制信号 GDC 顺序生成扫描脉冲，例如，栅高脉冲。栅驱动器 64 包括顺序生成扫描脉冲的移位寄存

器和将扫描脉冲电压的摆幅宽度转换到适于驱动液晶单元的范围的电平转换器。响应于来自栅驱动器 64 的扫描脉冲 TFT 被导通。当 TFT 被导通时，数据线 DL1 至 DLm 上的视频数据提供到了液晶单元的像素电极。

伽玛参考电压发生器 66 向数据驱动器 63 提供预定数量的正伽玛参考电压 GH 和预定数量的负伽玛参考电压 GL。通过使用分压电阻生成正伽玛参考电压 GH 和负伽玛参考电压 GL。

响应于来自时序控制器 61 的数据控制信号 DDC，数据驱动器 63 向数据线 DL1 至 DLm 提供数据。数据驱动器 63 采样来自时序控制器 61 的数字信号 RGB、锁存数据并接着将数据转换为模拟伽玛电压。数据驱动器 63 包括多个结构如图 7 所示的数据集成电路。

移位寄存器 67 响应于时钟信号 HCK1 至 HCK4 中的任何一个和源起始脉冲 SSP 生成被重叠和被移位的输出信号，作为通道选择部分 64 的开关控制信号。

通道选择部分 64 采用以一对一关系连接到数据驱动器 63 的输出端的 CMOS TFT 实现。通道选择部分 64 包括多个响应于移位寄存器 67 的重叠的和被移位的输出信号的开关装置，该开关装置将数据驱动器 63 的输出提供到采样&保持部分 65。

在采样并保持来自通道选择部分 64 的模拟数据电压之后采样&保持部分 65 同时将模拟电压提供到数据线 DL1 至 DLm。

图 7 表示数据驱动器的数据集成电路的结构。

参照图 7，数据集成电路包括其中输入有来自时序控制器 61 的数据 RGB 的数据寄存器 71；生成采样时钟的移位寄存器 72；连接在移位寄存器 72 和 k（k 是比 m 小的整数，表示液晶显示板中数据线的数量）个数据线 DL1 至 DLk 之间的锁存器 73；数模转换器 74（下文中，称作‘DAC’）；输出缓冲器 75；以及连接在伽玛参考电压发生器 66 和 DAC74 之间的伽玛电压供应器。

移位寄存器 72 将来自时序控制器 61 的源起始脉冲 SSP 移位以依据源采样信号 SSC 生成采样信号。进一步，移位寄存器 72 将源起始脉冲 SSP 移位以将进位信号 CAR 传输到下一个集成电路的移位寄存器 72。

锁存器 73 响应于从移位寄存器 72 顺序输入的采样信号对来自数据寄存器 71 的数据 RGB 顺序采样并且逐行锁存，接着响应于源输出使能信号 SOE 同

时输出被采样的数据。

DAC74 将来自锁存器 73 的数据转换为来自伽玛电压供给器 76 的模拟伽玛电压 DGH、DGL。伽玛电压 DGH、DGL 是相应于数字输入数据的灰度级的模拟电压。

伽玛电压供给器 76 细分伽玛参考电压发生器 66 输入的伽玛参考电压以相应于 DAC74 的灰度级提供伽玛电压。伽玛电压供给器 76 包括生成正伽玛电压的电路和生成负伽玛电压的电路。

与现有技术包括顺序对数据线采样的第一锁存器，以及当电压被 DAC 转换时锁存来自第一锁存器的数据的第二锁存器的数据驱动器相比；参照图 6 和 7 来描述的本发明的实施例对固定数量数字数据顺序采样以及通过将锁存在锁存器 73 中的数据传输到 DAC74 而生成模拟信号。例如，如果数据线的预定数量是 240（如在 QVGA 显示器件中）且锁存器 73 和 DAC 74 的数量是 40，DAC74 的转换时间和数据线的充电时间是大约一个水平时间  $1H (=40/240)$  的  $1/6$ 。DAC74 的输出通过被顺序打开大约  $H/6$  周期的每个通道选择部分 64 和采样&保持部分 65 传输到 40 条数据线。例如，第一个 DAC74 在  $H/6$  时间周期的间隔内顺序充电并且维持  $40n+1$ （其中  $n=0, 1, 2, 3, 4$  和  $5$ ）个数据线。通道选择部分 64 的构成与现有技术的一个边沿模拟驱动方法(one bank analog driving)相似，如图 2 所示，当使用多个边沿时不会发生与生成的边沿分界线相关联的亮度不一致的现象。与现有技术的数字驱动方法的数据驱动器相比较，锁存器 73 和 DACs74 的数量减到  $1/6$ ，从而允许线路被嵌入到相对小的区域内。进一步，外部数字数据信号 RGB 不经过时序控制器 61 可直接应用于数据驱动器 63，可以进一步简化时序控制器 61 的电路。

图 8 表示图 6 所示的移位寄存器 67 的级的结构。图 9 表示图 8 所示的级的输入/输出波形。假定该级是移位寄存器 67 的第一级，下面说明移位寄存器的级的详细结构和运行。

参照图 8，移位寄存器 67 的第一级包括在输入端和输出端间串联的第一多路复用器 81、第一反相器 82、异或电路 83、第二反相器 84、第二多路复用器 85 和第三至第六反相器 86 至 89。

多路复用器 81 和 85 中的每一个的电路结构具有对称连接的两个传输门，当逻辑高信号提供到非反相控制端时多路复用器输出第一输入端（in1）的输

入信号且当逻辑高信号提供到反相控制端时多路复用器输出第二输入端(in2)的输入信号。

源起始脉冲 SSP 输入到第一多路复用器 81 的第一和第二端(in1, in2), 且控制信号输入到第一多路复用器 81 的非反相控制端和反相控制端。

第一反相器 82 连接在第一多路复用器 81 的输出节点和异或电路 83 一侧的输入端之间并且使第一多路复用器 81 的输出反相以提供到异或电路 83 一侧的输入端。

通过在第一多路复用器 81 的输出上和第一反相器 82 的输出上执行 XOR (异或) 操作异或电路 83 输出触发信号。为此, 异或电路 83 包括三个与非(NAND) 门 90、91 和 92。第一 NAND 门 90 对第三反相器 86 的反馈输入和第一多路复用器的输出执行 NAND 操作以向第三 NAND 门 92 的第二输入端提供信号, 且第二 NAND 门 91 对第一反相器 82 的输出和第四反相器 87 的反馈输入执行 NAND 操作以向第三 NAND 门 92 的第一输入端提供信号。第三 NAND 门 92 对第一 NAND 门 90 和第二 NAND 门 91 执行 NAND 操作。

第二反相器 84 连接在异或电路 83 和第二多路复用器的 85 之间以使异或电路 83 输出反相提供到第二多路复用器的 85 的反相控制端。

当输入到非反相控制端的触发信号处于逻辑高时, 第二多路复用器的 85 输出时钟信号 HCK1, 且当输入到反相控制端的第二反相器 84 的输出处于逻辑高时输出第四反相器 87 的反馈。

第三反相器 86 使第二多路复用器的 85 的输出反相且输入到异或电路 83 的第一 NAND 门 90 的第二输入端以将触发信号(q1)触发。第四反相器 87 使第三反相器 86 的输出反相且输入到第二多路复用器的 85 的第二输入端(in2) 和第二 NAND 门 91 的第二输入端以将触发信号(q1)触发。

第四反相器 87 的输出提供到下一级的起始脉冲输入端作为下一级的起始脉冲。

第五反相器 88 使第三反相器 86 的输出反相且被反相的信号作为 pMOS FET 的控制信号输出, pMOS FET 构成了通道选择部分 64 的 CMOS 的一部分。

第六反相器 89 使第四反相器 87 的输出反相且被反相的信号作为 nMOS FET 的控制信号输出, nMOS FET 构成了通道选择部分 64 的 CMOS 的一部分。

如图 9 所示, 级的输出生成重叠的输出信号 S1 至 S8, 其中输出信号被移

位，并且在相邻级几乎相同数量的触发信号（q1-q8）被重叠。输出信号 S1 至 S8 顺序导通通道选择部分 64 的开关装置。

在上述的移位寄存器级，在源起始脉冲 SSP 的上升期第一触发信号（q1）生成以产生作为逻辑高的输出，在源起始脉冲 SSP 的下降期第二触发信号（q2）生成以使输出反相为逻辑低。因为时钟信号线连接到 TFT 的源/漏端，图 8 的级具有非常低的电容载荷，TFT 构成了第二多路复用器的 85 并且除了生成触发信号的一个或两个级第二多路复用器的 85 处于关闭状态。

依据本发明的移位寄存器用作数据驱动器 63 和/或栅驱动器 64 的移位寄存器，也用作控制通道选择部分的移位寄存器。

如上所述，依据本发明的移位寄存器和采用该移位寄存器的液晶显示器件具有低电容载荷和重叠的输出，从而改善（提高）了驱动速度。

对本领域技术人员来说，显然可以不违背本发明的精神和范围而对本发明进行不同的调整 and 变化。从而，希望本发明覆盖了所附权利要求和等同物的范围内的发明的调整 and 变化。

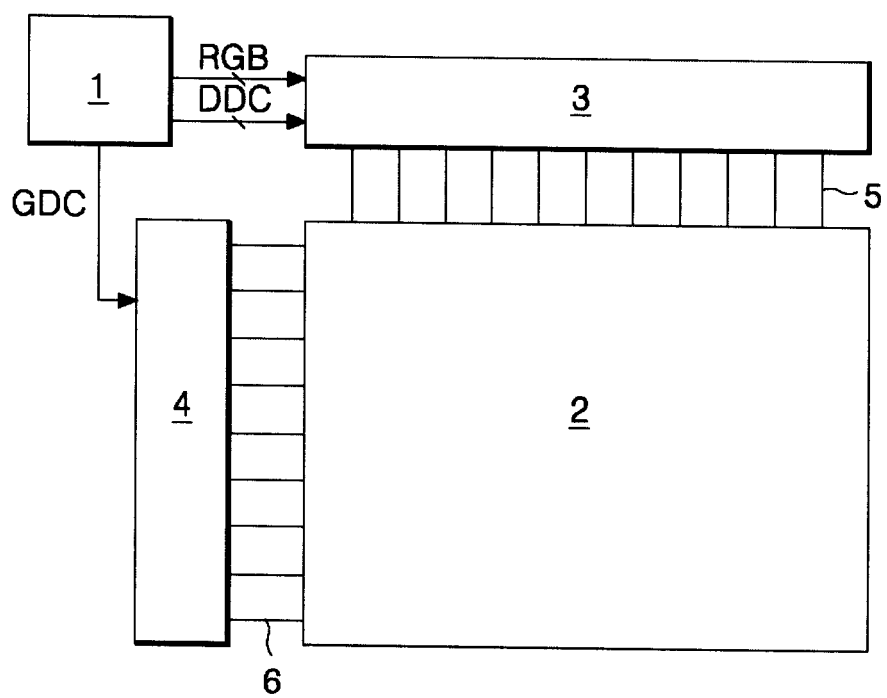


图 1

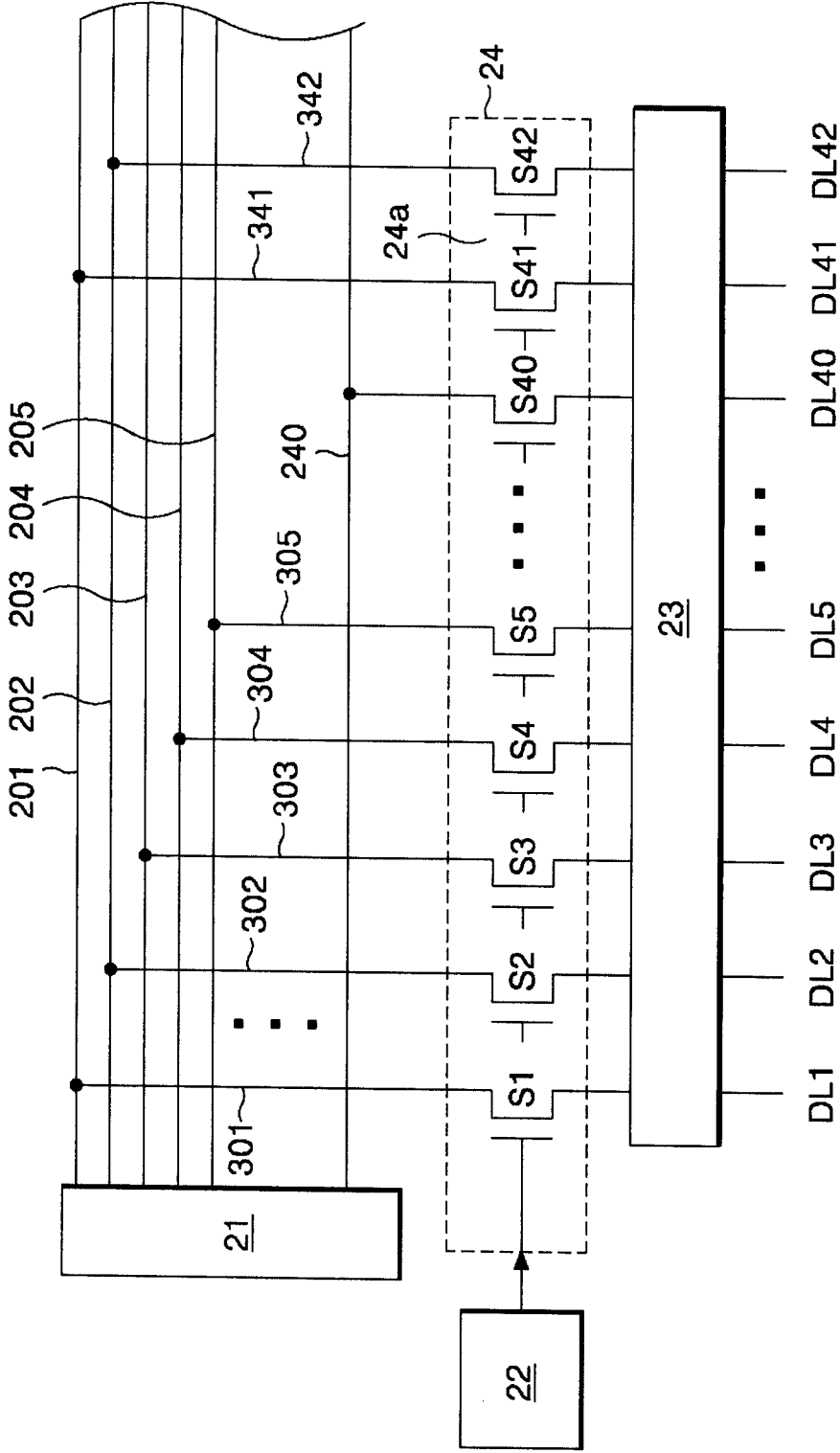


图 2

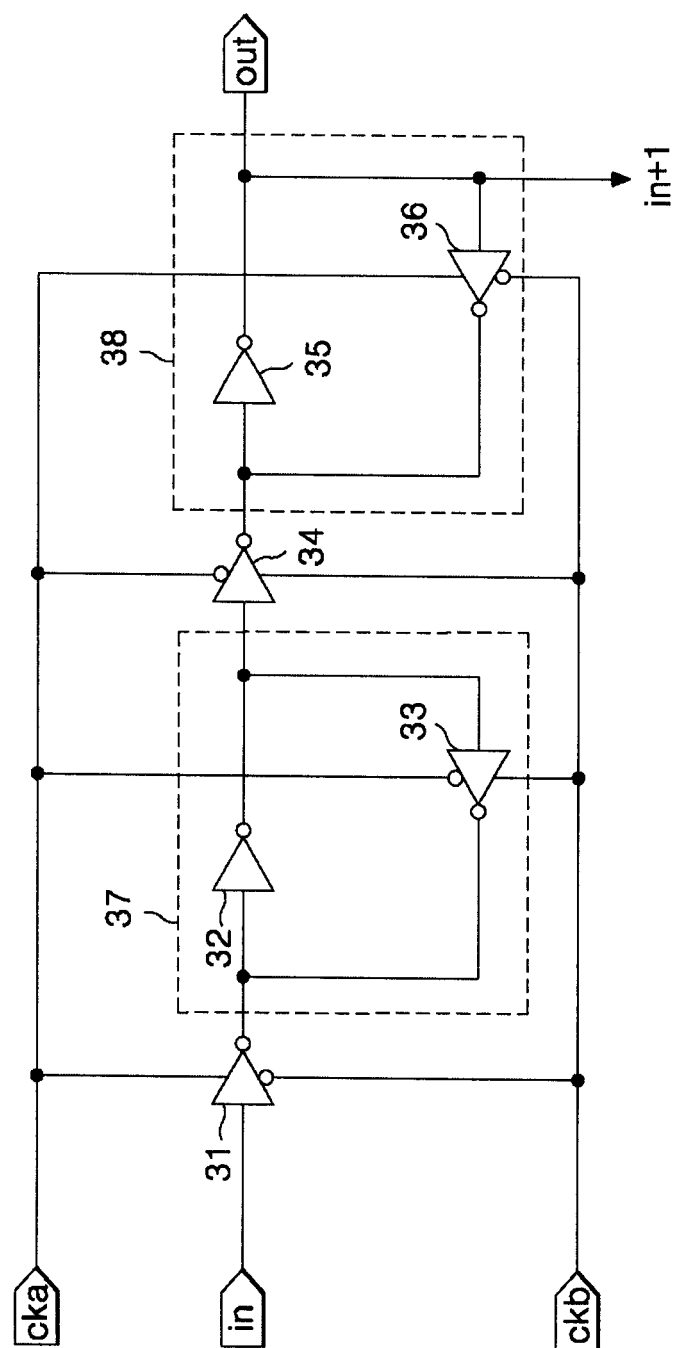


图 3

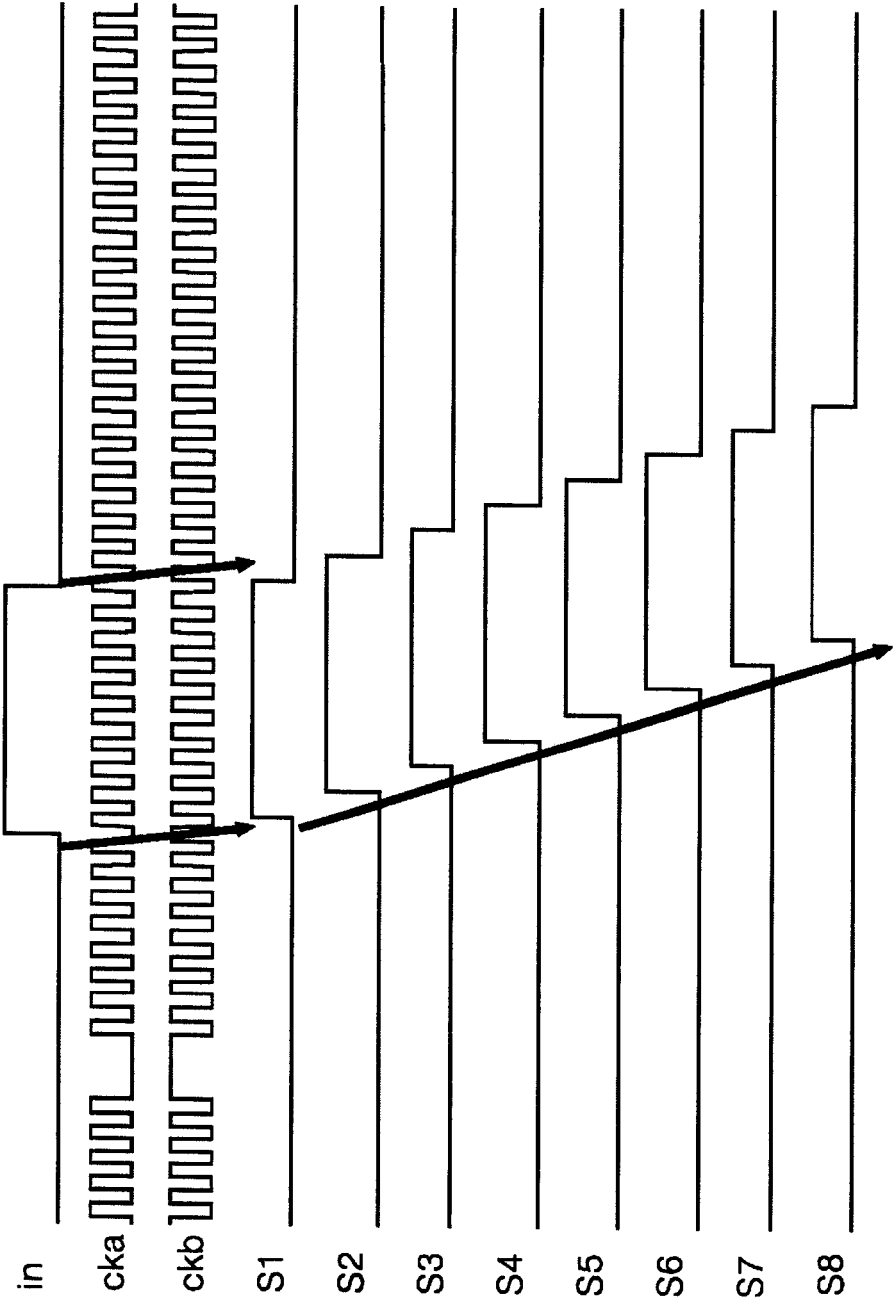


图 4

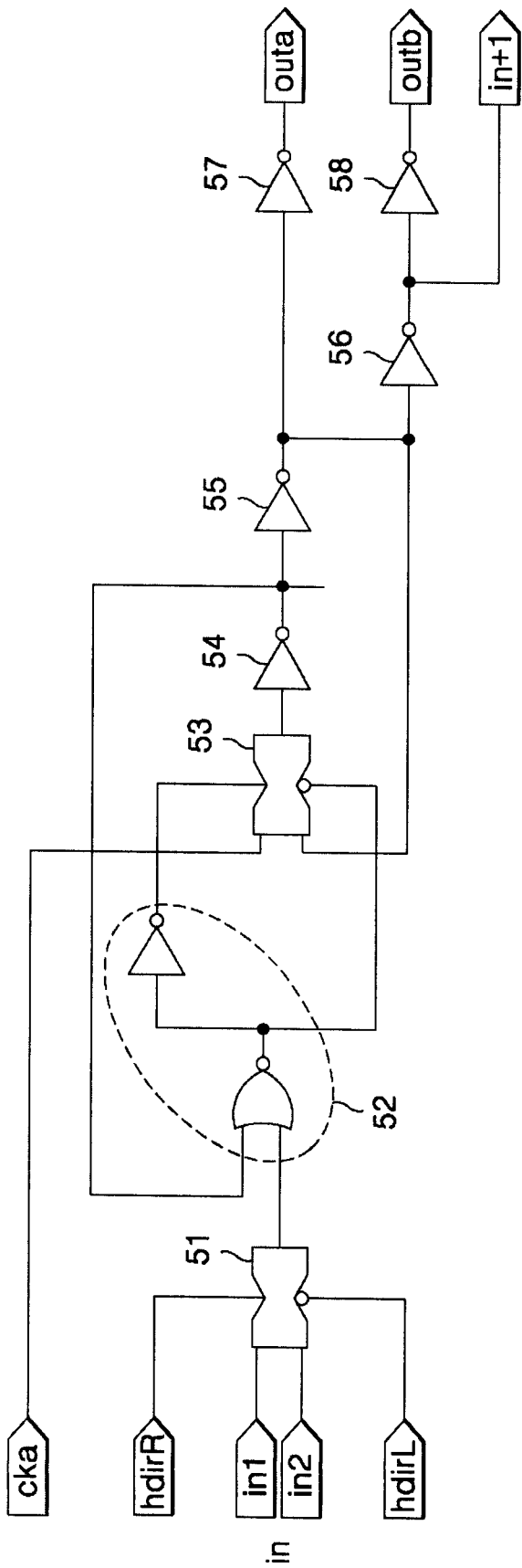
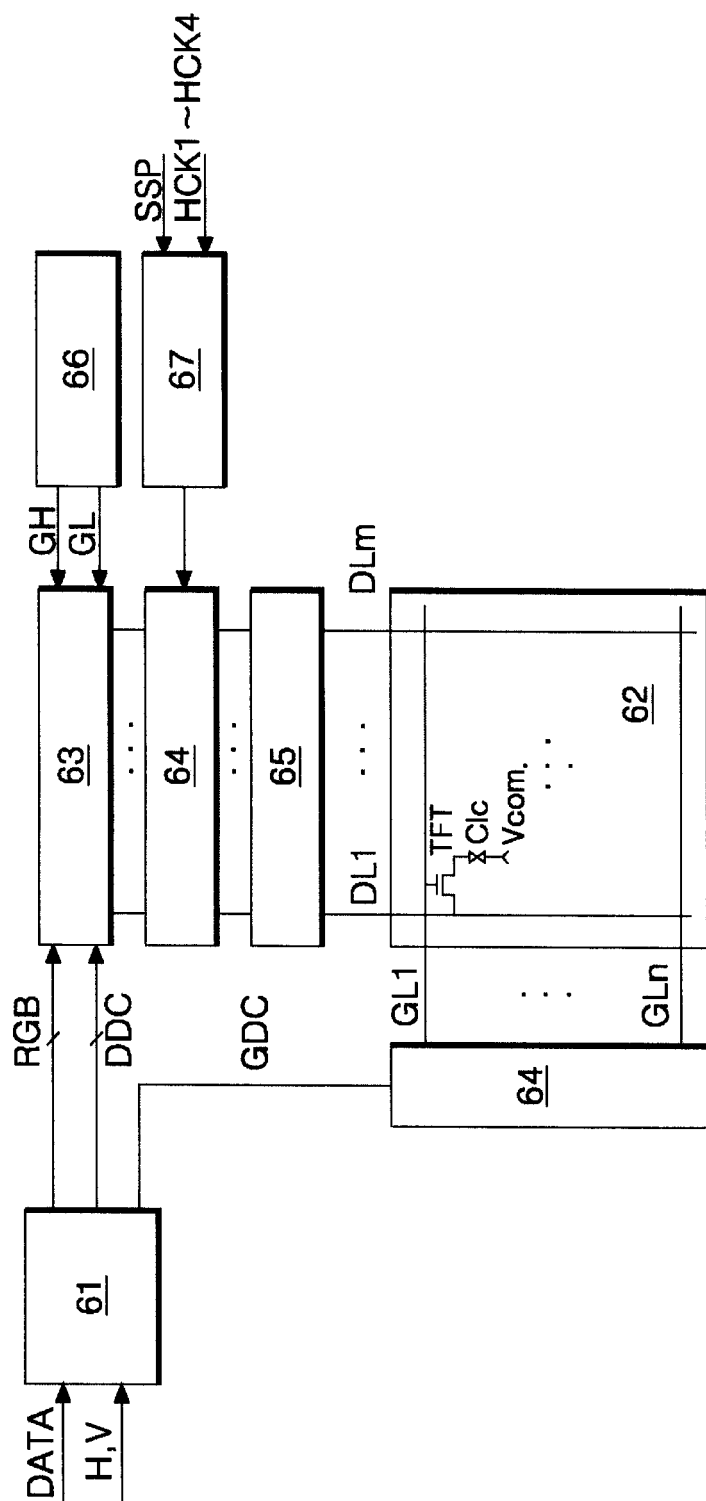


图 5



6  

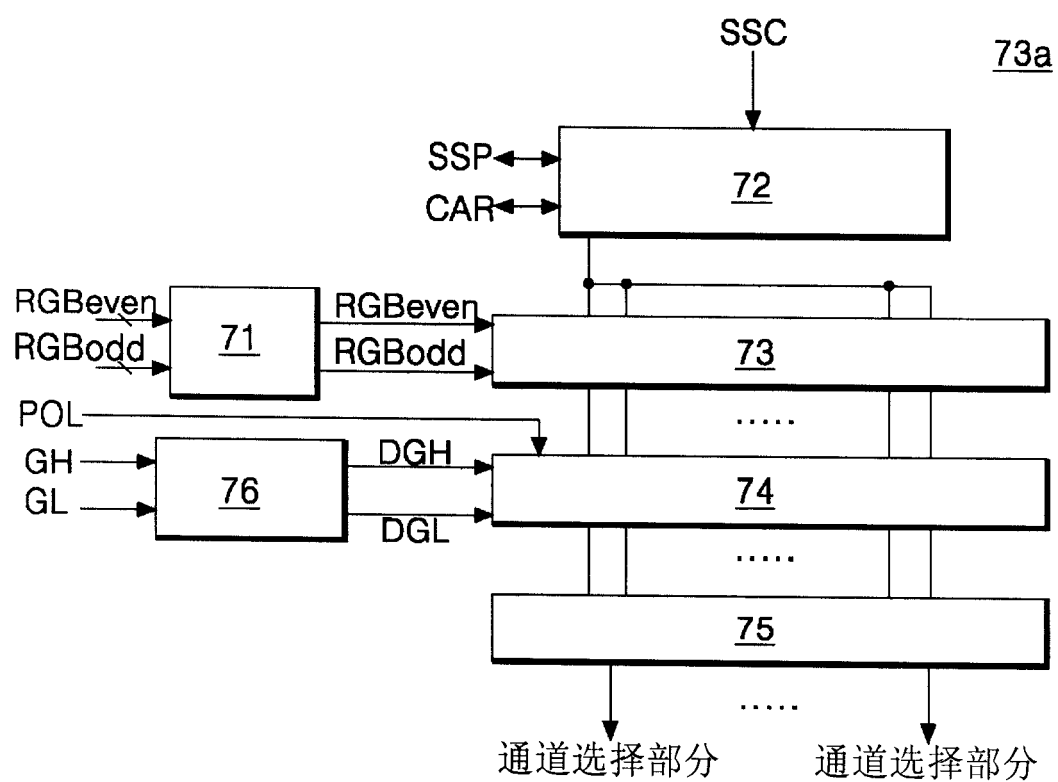



图 7

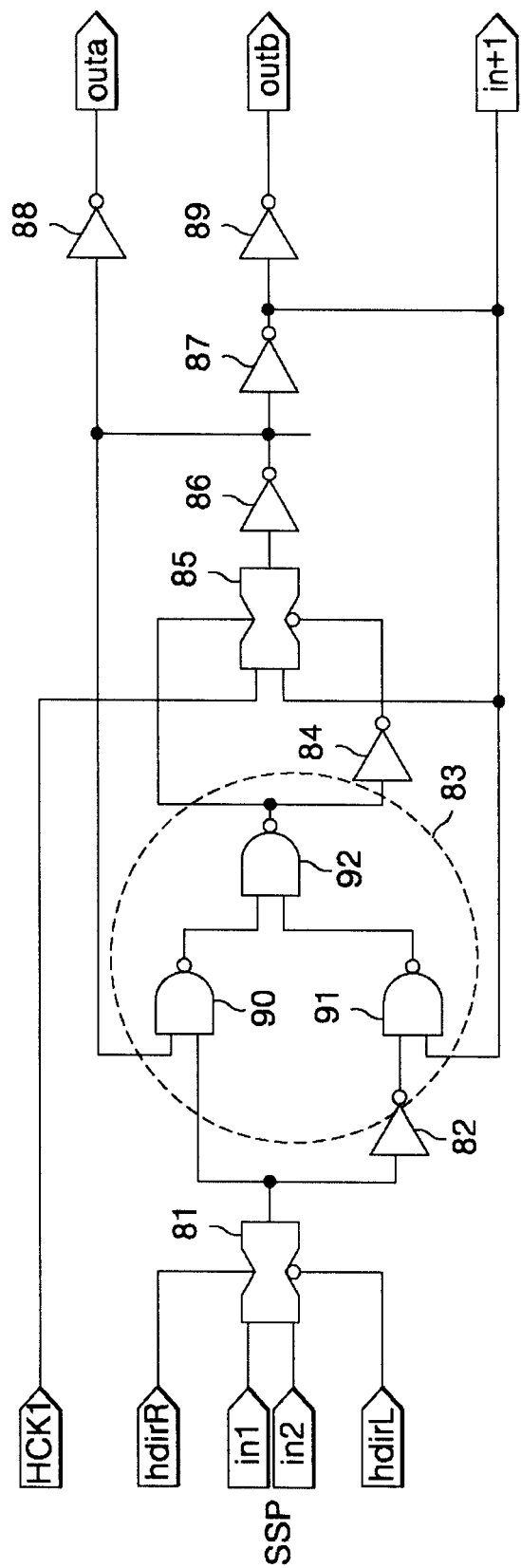


图 8

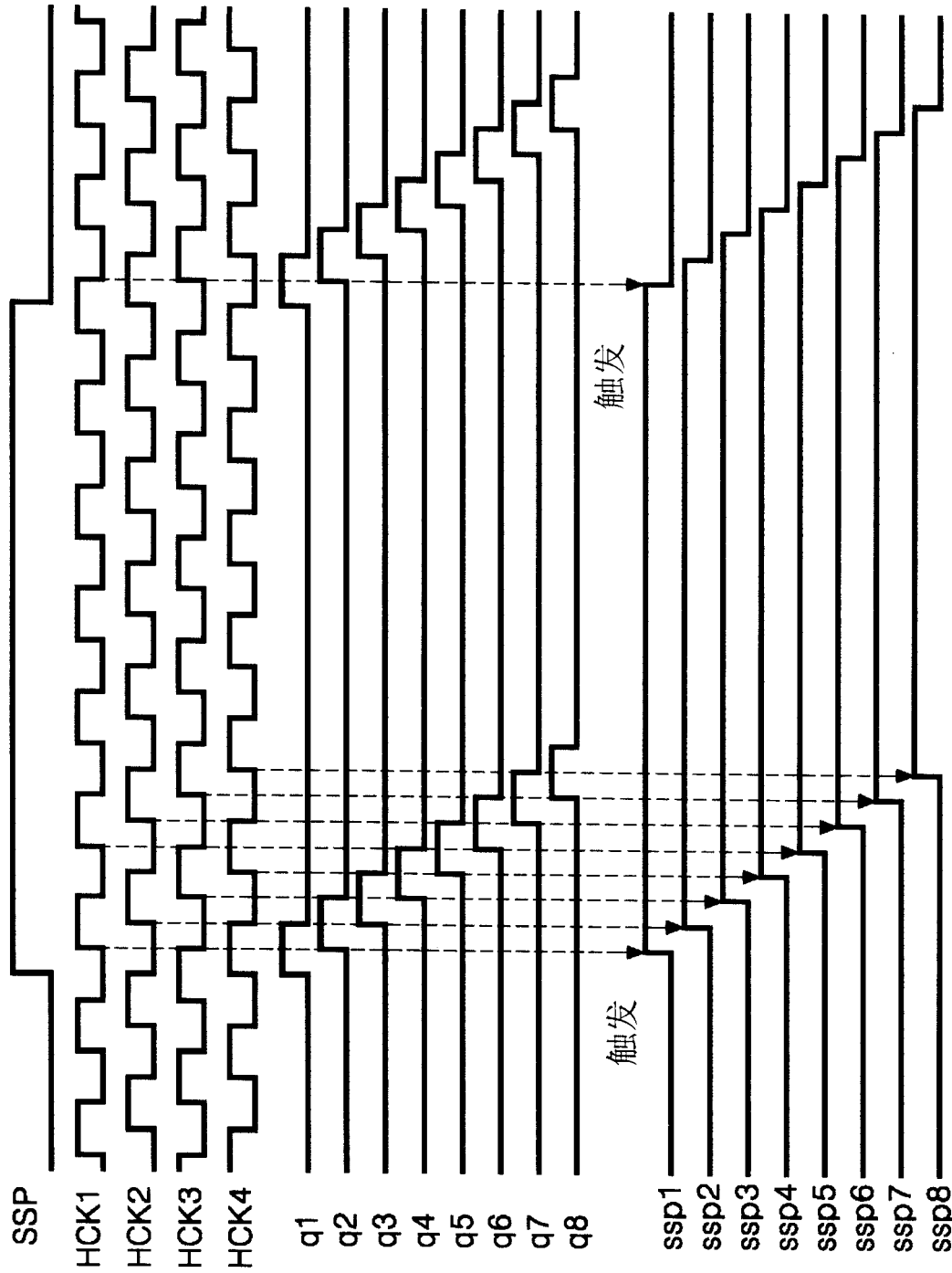


图 9

|                |                                                         |         |            |
|----------------|---------------------------------------------------------|---------|------------|
| 专利名称(译)        | 移位寄存器和使用移位寄存器的液晶显示器件                                    |         |            |
| 公开(公告)号        | <a href="#">CN1892783A</a>                              | 公开(公告)日 | 2007-01-10 |
| 申请号            | CN200610083665.9                                        | 申请日     | 2006-06-02 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                |         |            |
| 申请(专利权)人(译)    | LG.飞利浦LCD株式会社                                           |         |            |
| 当前申请(专利权)人(译)  | LG.飞利浦LCD株式会社                                           |         |            |
| [标]发明人         | 李灵彦<br>柳俊锡                                              |         |            |
| 发明人            | 李灵彦<br>柳俊锡                                              |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133                             |         |            |
| CPC分类号         | G11C19/28 G09G3/3677 G09G2310/0297 G09G3/3688 G11C19/00 |         |            |
| 代理人(译)         | 徐金国                                                     |         |            |
| 优先权            | 1020050057952 2005-06-30 KR                             |         |            |
| 其他公开文献         | CN100543828C                                            |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a>          |         |            |

#### 摘要(译)

本发明涉及一种具有多个级的移位寄存器，其中每个级包括：接收输入信号的输入电路部分；通过输入电路部分的非反相输出和反相输出上的异或运行生成触发信号的异或电路；响应于触发信号将时钟信号和反馈信号中的一个从输出端提供到下一级的输出端和输入端的输出电路部分。

