



[12] 发明专利申请公开说明书

[21] 申请号 200410028637.8

[43] 公开日 2006年1月25日

[11] 公开号 CN 1725283A

[22] 申请日 2000.9.19

[21] 申请号 200410028637.8

分案原申请号 00815325.6

[30] 优先权

[32] 1999.11.8 [33] US [31] 09/436,064

[71] 申请人 爱特梅尔股份有限公司

地址 美国加利福尼亚州

[72] 发明人 萨罗杰·帕塔克 詹姆斯·E·佩恩

[74] 专利代理机构 上海专利商标事务所有限公司
代理人 钱慰民

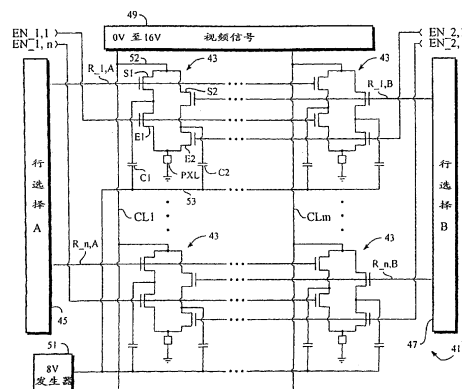
权利要求书2页 说明书9页 附图5页

[54] 发明名称

液晶显示单元用的驱动电路

[57] 摘要

用在液晶显示器之图像元件(43)的阵列(41)中的驱动器电路能显示一组图象数据而同时接收第二组图像数据。对应于第一选择信号(R₁, A)的第一选择开关晶体管(S1)控制第一图象对第一存储电容器(C1)的耦合。对应于第二选择信号(R₁, B)的第二选择开关晶体管(S2)控制第二图象对第二存储电容器(C2)的耦合。借助于对应第一使能信号(EN₁, 1)的第一使能开关晶体管(E1)可选择性地耦合第一存储电容器(C1)至输出结点(PXL)。借助于对应第二使能信号(EN₂, 1)的第二使能开关晶体管(E2)可选择性地耦合第二存储电容器(C2)至同一输出结点(PXL)。通过适当操纵开关晶体管,可耦合一个存储电容器至输出结点同时使另一存储电容器与输出结点隔离开而接收新的图像数据。



1、一种液晶显示器，其特征在于包含：

像素驱动电路之行与列的阵列，所述驱动电路响应于第一选择信号而耦合第一视频信号至第一存储装置，以及响应于第二选择信号而耦合第二视频信号至第二存储装置，每一所述驱动电路还具有耦合至所述液晶显示器之预定区域的输出结点，每一所述区域限定一图像元件；

用以产生所述第一选择信号的第一行选择电路；

用以产生所述第二选择信号的第二行选择电路；

用以选择性地将所述第一和第二存储装置之一从所述驱动电路的至少一个耦合至其各个输出结点的使能控制输入。

2、按权利要求 1 的液晶显示器，其特征在于，每一所述驱动电路具有耦合至列线的输入结点，所述第一选择信号将所述第一视频信号从所述列线加载至处于第一行之相应驱动电路内的所述第一存储装置，所述第二选择信号进一步将所述第二视频信号从所述列线加载至处于第二行之相应驱动电路内的所述第二存储装置。

3、按权利要求 1 的液晶显示器，其特征在于，每一所述第一选择信号控制所述驱动器电路内的第一选择开关装置，所述第一选择开关装置耦合第一列线至所述第一存储装置，每一第二选择信号进一步控制所述驱动电路内的第二选择开关装置，所述第二选择开关装置耦合第二列线至所述第二存储装置。

4、按权利要求 1 的液晶显示器，其特征在于，所述第一行选择电路进一步选择所述驱动电路的第一行，所述第二行选择电路则同时选择所述驱动电路的第二行。

5、按权利要求 1 的液晶显示器，其特征在于，所述第一行选择电路和所述第二行选择电路同时选择所述驱动电路的同一行。

6、按权利要求 1 的液晶显示器，其特征在于，每一所述图像元件具有一像素电容。

7、按权利要求 1 的液晶显示器，其特征在于，进一步具有多个所述使能控制输入，每一所述使能控制输入独立控制相应的驱动电路的所述行之一。

8、按权利要求 1 的液晶显示器，其特征在于，每一驱动电路进一步包括用以选择性地耦合其第一存储装置至其输出结点的第一开关装置，以及具有用

以选择性地耦合其第二存储装置至其输出结点的第二开关装置。

9、按权利要求 8 的液晶显示器，其特征在于，所述第一开关装置是 NMOS 器件，所述第二开关装置则为 PMOS 器件。

10、按权利要求 8 的液晶显示器，其特征在于，所述第一和第二开关装置均对应于分立的使能控制输入。

液晶显示单元用的驱动电路

本申请是申请日为2000年9月19日申请号为第00815325.6号发明名称为“液晶显示单元用的驱动电路”的中国专利申请的分案申请。

发明领域

本发明涉及视频显示，尤其涉及用于液晶显示器中之图像元件（Picture element）用的电路结构。

技术背景

参考图1，典型的液晶显示器由图像元件13的阵列11或像素构成。每一图像元件由耦合列线17至存储电容器19用的选择晶体管15组成，液晶21与存储电容器19并行放置。

正如本领域所公知的那样，施加于液晶21的电位将决定其反射率。实际上该电位范围转移为液晶21上的灰度。这样，通过对阵列11中的所有图像元件13适当地施加以特定的电位，就可产生图象。

行选择组件25激励特定行中的所有图像元件13，而后者则由耦合至行中所有选择晶体管15的行线27所限定。视频信号组件23在列线17上施加所期望的电位。所期望的电位典型地处在预先确定的电压范围以内。选择晶体管15的激励将列线17的电位传递至各个并联组合的存储电容器19和液晶21。所期望的电压一旦传递，选择晶体管15就停止动作。液晶21和存储电容器19的组合电容维持所期望的电位直至加载下一幅图象。

以前业已提出过对图1基本结构的若干改变。参考图2，授予Shields的第4,870号美国专利更为全面地揭示的另一种液晶结构，试图改进施加至每一液晶21的平均RMS电位。图2中与图1中那些相似的所有元件用相同的参照号表示，对它们的说明也如同上述。

图2中每一图像元件13能显示其当前内容，而与此同时接收新的数据图象。这通过额外开关，即插在存储电容器19和液晶21之间的负载晶体管29加以进行。运行中，选择晶体管15和负载晶体管29起到组桶式(Bucket brigade)

传送电荷的作用，先把电荷从列线 17 传递到存储电容器 19，然后再从存储电容器 19 传递到液晶 21。换言之，在动行的第一阶段，选择晶体管 15 首先从列线 17 传递电位至存储电容器 19。在此段运行期间，负载晶体管 29 保持截止从而使存储电容器 19 与液晶 21 隔离开。一旦新的数据加载于存储电容器 19 之上，并准备要显示出来，第二阶段的运行就以选择晶体管 15 被截止而开始。此时，负载晶体管 29 导通，并使存储电容器 19 耦合至液晶 21。存储电容器 19 两端的电荷在并联组合的存储电容器 19 和液晶 21 的两端重新分布。当分布着的电荷在液晶 21 的两端建立了新的电位时，运行的第二阶段就以负载晶体管 29 截止而结束。当负载晶体管 29 截止而液晶 21 正保持其当前电位时，可使选择晶体管 15 动作起来，并把新的数据从列线 17 传递至存储电容器 19。

Shields 解释说，为了改善施加至阵列 11 上 RMS 电压的平均值，人们需要控制施加于液晶 21 上的参考电压 V_{tp} ，同时更新阵列 11 中所有的图像元件 13。将参考电压 V_{tp} 耦合至所有液晶 21 的参考板极。通过使参考电压 V_{tp} 从一个电压电力线迁移至另一个，适当地，人们就可增加施加于阵列 11 上的平均电压幅值。

为此目的，负载晶体管 29 全由公共的同步信号 31 加以控制。当负载晶体管 29 截止而液晶 21 正维持其当前电位时，存储电容器 19 接收新的数据。一旦整个阵列 11 接收了新的数据，同步线 31 就动作起来，并使阵列 11 中全部图像元件 13 之所有负载晶体管 29 一致地导通。这样，就使液晶 21 的全部阵列 11 同时更新。

参考图 3，示出相似于图 2 之另一阵列结构。图 3 中相似于图 2 中的所有元件用相同的参照号表示，对它们的说明如同上述。图 3 的结构由授予 Williams 等人的美国专利 No. 5, 666, 130 更为全面地加以揭示。并且如图 2 那样转让给同一受让人。图 3 的结构以类似于图 2 的方式同时更新像素 13 的整个阵列 11。

然而，和图 2 结构不同，图 3 的结构不能显示一幅图象同时存储另一幅。Williams 等人解释说，按照惯例，必须使像素的驱动电路与专用屏幕，即液晶最佳配合。Williams 等人指出，像素驱动电路的最佳化如能与所用的液晶类型不相关，由此使一种驱动电路能同多种屏幕类型一起使用将是有益的。

为了实现这点，Williams 等人的结构允许图像元件 13 的阵列 11 在其各个存储电容器 19 上接收并存储图象，与此同时维持存储电容器 19 与液晶本身隔

离开。在这种方式下，每一图像元件 13 的驱动电路可在各个存储电容器 19 上最佳化地存储图像元素，即电位，而与所用液晶 21 的类型无关。一旦图象存放上阵列的存储电容器 19，后者就可耦合至任何屏幕类型，并使其内容，也即图象电压转移至屏幕的液晶 21 上。为确保优化的驱动电路对不同的液晶类型都同样地起作用，Williams 等人指出，液晶 21 和存储电容器 19 在加载上新的图象之前应处于已知的参考接地状态。这样，当前的图象必须首先清除，也即在能够接收新图象之前使阵列 11 接地。

示于图 3 中的图像元件 13 除了在负载晶体管 29 和液晶 21 之间附加有接地晶体管 31 之外，其它与图 2 的相同。接地晶体管 31 对应于再起信号 ReInit，后者当准备接收新图象时使存储电容器 19 和液晶 21 接地。

在存储电容器 19 和液晶 21 接地之后，接地晶体管 15 不起作用，于是图像元件 13 准备接收新的电压数据。行选择组件 25 通过使行的选择晶体管 15 动作起来激活图像元件 13 的行。选择晶体管 15 于是从视频信号组件 23 和列线 17 传递新的电压信息至存储电容器 19。存储电容器 19 上一旦放置上了新的数据，负载晶体管 29 就耦合存储电容器 19 至液晶 21。在此期间接地晶体管 31 保持为截止状态。在液晶 21 显示图象一预定的周期时间后，接地晶体管 31 就导通，与此同时负载晶体管 29 则保持在动作状态。这使存储电容器 19 和液晶 21 再次开始返回已知的接地状态以准备加载下一幅图象。

Williams 等人指出，通过将冗余的高电平结合到阵列 11 之驱动电路，可使其阵列作得更为稳固。参见图 4，Williams 等人对每一液晶 21 平行耦合两个驱动电路。图 4 中与图 3 中相同的元件用相同的参照号表示，对它们的说明如同上述。Williams 等人的驱动电路包括两个同时对应于公共行线 27 的选择晶体管 15a 和 15b，两个同时对应于公共负载线 33 的负载晶体管 29a 和 29b，以及两个对应于相同 ReInit 线 35 的接地晶体管 31a 和 31b。然而，每一选择晶体管 15a 和 15b 使其自己的各个存储电容器 19a 和 19b 充电。所以 Williams 等人对每一图像元件 13 展示两个存储电容器 19a 和 19b，两者一致地工作。若由元件 15a、19a、29a 和 31a 所确定的驱动电路之半发生故障，则冗余驱动电路，也即 15b、19b、29b 和 31b 将允许图像元件 13 继续起作用。

授予 Lee 等人的第 5,093,250 号美国专利披露一带有列输入复用驱动设计以驱动许多列的有源矩阵液晶显示器，该驱动电路包括许多取样和保持电路，每一个电路都具有两个或多个包括取样开关，存储电容器和保持开关的分路。

本发明的目的在于提供一种用于液晶显示器的图像元件，能在显示一幅图像的同时接收另外一幅图像，并且在传递电位至液晶显示器时具有最小的衰减。

本发明的另一目的是提供结构更加通用的液晶显示器。

本发明的又一目的是提供一种液晶显示阵列，它支持阵列中图象信息一行一行地更新和阵列中所有行同时一致地更新。

发明概述

上述目的已在带有独立控制的像素单元结构中得到实现。用在液晶显示器中的像素单元具有这样的特征，它能够显示其当前内容，同时以新的一组或多组数据重写。为实现这一点，每一像素都具有单独的进入多重存储电容器的通路。当一像素单元正在显示第一存储电容器的内容时，便可以更改第二存储电容器的内容。于是像素单元从其第一存储电容器转换至其第二存储电容器。然后当它显示第二存储电容器的内容时，就可改变第一存储电容器的内容，以此类推。

从结构上讲，将像素布置成行和列的阵列。对一个像素有两个存储电容器的情况，每一列可由一或两条位线（bitline）限定，视待实施的实施例而定。每一行由第一和第二字线（wordline）对以及第一和第二使能线（enable-line）对限定。在每一字线对中各个第一和第二字线均独立地加以控制，并在各个像素单元内选择性地将位线的内容传递至第一和第二存储电容器之一。同样，每一第一和第二使能线选择性地将第一和第二存储电容器各自的内容传递至像素单元之输出反射屏，也即至各个液晶。

每一像素单元的第一和第二存储电容器均有其下极板耦合至公共的预定电压。第一和第二存储电容器的每个的上极板耦合至各个字选择通过器件和使能选择通过器体。字一选择通过器件对应于字线对内相应的字线，并选择性地将其内容传递至其相应的存储电容器。使能选择通过器件对应于使能一线对内各个使能线，并选择性地将其对应之存储电容器的内容传递至像素单元的输出反射屏。由于每一对以内的单个字线和使能一线是独立的，故在所有时间内均把液晶耦合至各个像素中诸存储电容器之一。

由于这种控制的多样性，故可延伸本发明的功能性而无需改变其基本电路结构。在第一较佳实施例中，本发明的像素单元能够显示来自第一存储电容器

的一组数据，而与此同时其第二存储电容器则接收第二组数据。在第二较佳实施例中，单个字线和使能一线的适当操作允许单个像素将液晶与像素的两存储电容器隔离开。这样，一旦第一组数据传递至液晶，像素单元中的两个存储电容器均可不与液晶相连。这就允许这两个存储电容器接收第二和第三组数据，而同时第一组数据则仍在被显示出来。实际上，像素单元阵列可显示当前图象，与此同时缓冲下两幅图象。这样，就提高了可改变每一像素之内容的速度。所以有可能开始写入下一幅图象而不影响当前被显示的图象。

附图简述

图 1 是典型液晶阵列中典型像素元件结构的现有技术的视图。

图 2 是现有技术中另一可供选择之液晶阵列的视图，该阵列允许显示当前图象的同时加载其后的图象。

图 3 是再一个液晶阵列的现有技术的视图，用以使像素元件驱动电路的优化与像素元件的液晶显示分离开来。

图 4 是将冗余结合到液晶阵列的图 3 结构的附加实施例。

图 5 是按照本发明第一实施例的像素元件和液晶阵列。

图 6 是按照本发明的液晶阵列的第二实施例。

图 7 是按照本发明第三实施例的液晶阵列。

实施本发明的最佳模式

参见图 5，按照本发明的液晶显示器包括图像单元 43 的阵列 41，第一行选择器 45，第二行选择器 47，参考电压发生器 51 以及更可取的单个视频信号发生器 49。图像单元 43 布置成 n 行和 m 列。第一行选择器 45 可借助于范围从 $R_{1,A}$ 至 $R_{n,A}$ 的第一组行选择线独立控制 n 行的任何一行。同样，第二行选择器 47 可借助于范围从 $R_{1,B}$ 至 $R_{n,B}$ 的第二组行选择线独立控制同样的 n 行。

视频信号发生器 49 在范围从 CL_1 至 CL_m 的 m 列线上输出 m 个视频信号。视频信号较可取的是在 $0V$ 至 V_{max} 的电压范围以内，最好是 $16V$ 。通过相应的列线，也即 CL_1 选择图像单元 43 的每一列。在所选列之内的全部图像单元 43 具有耦合至相应公共列线，也即 CL_1 的输入结点 52。然而，在列线 CL_1 上的视频信号并非由同一列内之所有图像单元 43 所接收。更确切地说只有被来自第

一或第二行选择器 45 和 47 之一的行选择线激活的图像单元 43 将在其各个列线 CL1-CL_m 上门锁于视频信号数据。

在阵列 41 内的每一行可由多个独立的行选择器 45 和 47 之任何一个加以选择。较佳的是不可使两个行选择器 45 和 47 在同一时间选择同一行。然而，多重行选择器 45, 47 可连续地选择任何一行。例如，在第一实施例中第一行选择器 45 可通过激励行选择线 R_{1,A} 选择阵列 41 中的第一行，并由此从视频信号发生器 49 加载图象信息至图像单元 43 的第一行。在此期间，无其他选择，也即第二行选择器 47 可存取第一行。一旦第一行选择器 45 放案了第一行的使用，另一行选择器，也即第二行选择器 47 就可通过激励其适当的行选择线，也即 R_{1,B} 获得对第一行的控制。

每一图像单元 43 包括液晶 PXL 和相随的驱动电路。驱动电路选择性地将存储的视频信号从存储装置 C1 和 C2 传递到液晶 PXL。所存储的视频信号从相应的列线 CL1-CL_m 读出。在较佳实施例中，图像单元 43 可存放多重视频信号而同时显示另外的。为实现这点，在图像单元 43 以内的每一驱动电路均包括多重电压存储器件。在最佳模式实施中，多重电压存储器件作为第一存储电容器 C1 和第二存储电容器 C2 加以实施。这允许图像单元 43 显示一个存储电容器；也即 C1 的内容，而同时则在另一存储电容器，也即 C2 中存储新的图象信息，要理解的是，同样也可通过结合额外的存储电容器来存放额外的图象信息。

借助于相应的选择晶体管 S1 和 S2 可选择性地分别将每一图象单元 43 的输入结点 52 耦合至存储电容器 C1 和 C2 之一。每一选择晶体管 S1 和 S2 受控于由相应的行选择器 45 和 47 所控制的相应的行选择线 R_{1,A} 和 R_{1,B}。同样，可通过相应的使能晶体管 E1 和 E2 来选择性地分别将图像单元的存储电容器 C1 和 C2 耦合至其液晶 PXL。每一使能晶体管 E1 和 E2 由独立的使能信号 EN_{1,1} 和 EN_{2,1} 加以控制。使能信号 EN_{1,1} 控制图像单元 43 的行内所有第一存储电容器 C1 耦合到每一单元之相应液晶 PXL。同样，使能信号 EN_{1,2} 控制图像单元 43 的行内的所有第二存储电容器 C2 耦合到每个单元的各个液晶 PXL。这样，每一行对应于一组使能信号 EN_{1,1}/EN_{2,1}，后者独立地控制每一图像单元 43 内分立使能晶体管。

在图 5 的较佳实施例中，阵列 41 对应于范围从 EN_{1,1}/EN_{2,1} 至 EN_{1,n}/EN_{2,n} 之 n 组这样的使能信号对。然而，在该较佳实施例中阵列 41 内所有第一使能晶体管 E1 受控于公共的第一使能信号，而所有第二使能晶体管

E2 则受控于公共的第二使能信号。在这种方式下，阵列 41 的每一单元 43 内的第一和第二存储电容器 C1 和 C2 的内容就可以一致地传递至其各个液晶 PXL。

此外，在此现有的较佳实施例中，在任何给定的时间，只有一个行选择器 45 或 47 可控制阵列 41。例如，第一行选择器 45 可获得对阵列 41 的单一控制，并敦促每次一行从视频信号发生器 49 连续加载第一图象在整个阵列 41 上。在第一行选择器 45 结束加载第一图象之后，于是它就放弃对阵列 41 的控制而转至另一行选择器，即 47。一旦第二行选择器 47 获得对阵列 41 的控制，它就可以开始传递第二图像至阵列 41 的所有行上。当第二行选择器 47 具有对阵列 41 的控制时，阵列 41 内每一图像单元 43 之第一使能晶体管 S_i 将处于激活状态，并耦合第一存储电容器 C1 至液晶 PXL，与此同时第二使能晶体管 S2 则处于非激活状态。

正如本领域所公知的那样，施加于液晶 PXL 的电位改变其反射率。通过适当施加电位于阵列的液晶 PXL，就可形成图象。在本实施例中，视频信号发生器 49 沿列线 CL1-CL_m 提供适当的电位给所需的存储电容器 C1 或 C2。由于较佳实施例中的视频信号可在 0V 和 16V 的 V_{max} 之间变化，如其下极板倾向于接地的话，可导致存储电容器 C1 和 C2 两端产生高电压。因此，本较佳实施例把存储电容器 C1 和 C2 的下极板连接至参考电压发生器 51，后者提供电位介于 0V 与 V_{max} 之间。参考电压发生器 51 最好提供这样一个电位，它为视频信号发生器 49 之两个电压幅值的一半。就目前而言，这意味着参考电压发生器 51 提供 $V_{max}/2$ 或 8V 至阵列 41 内所有存储电容器的下极板。所以，虽然选择晶体管 S1 和 S2 可传递低至 0V 或高至 16V 至存储电容器 C1 和 C2 的上极板，但存储电容器 C1 和 C2 两端的压降都保持在 8V 电压摆幅内。因此，可以使存储电容器 C1 和 C2 比原来不这样做所需的更小和更快。

参见图 6，它示出本发明的第二实施例。图 6 中与图 5 中相同的所有元件均给出相同的参照号，对它们的说明如上所述。在图 6 中，阵列 41 中的所有图像单元 43 共用公用的使能信号 ENBL，后者选择性地耦合存储电容器 C1 和 C2 之一至液晶 PXL。为实现这一点，每一图像单元 43 内的使能晶体管 E 和 E_B 相反地对应于使能信号 ENBL 的逻辑状态，第一使能晶体管 E 是 NMOS 晶体管，并通过耦合第一存储电容器 C1 至液晶 PXL 而对应于信号 ENBL 上的逻辑高电平，以及通过隔离 C1 与 PXL 而对应于信号 ENBL 上的逻辑低电平。相反地，第二使

能晶体管 E_B 则是 PMOS 晶体管，并通过隔离 C₂ 与 PXL 而对应于 ENBL 上的逻辑高电平，以及通过耦合第二存储电容器 C₂ 至 PXL 而对应于 ENBL 上的逻辑低电平。这样，液晶 PXL 如使能信号 ENBL 所决定的那样，恒定地耦合至 C₁ 和 C₂ 中的任何一个。

图 6 的实施例是图 5 之特定的改变。在图 6 的实施例中，只有行选择器 45 和 47 之一可以每次控制阵列 41。例如，若第一行选择器 45 具有至阵列 41 的通路，则第二行选择器 47 必须等待，直至第一行选择器 45 结束加载新图象于所有阵列 41，一次一行。正如以上说明的那样，第一行选择器 45 通过同时激励图像单元之行内的第一选择晶体 S₁ 而访问图像单元 43 之行的第一存储电容器 C₁。当第一行选择器 45 正在加载图象数据于阵列 41 之内时，较可取的是使能信号 ENBL 处于逻辑低电平，并将所有图像单元的第一存储电容器 C₁ 与它们的各个液晶 PXL 隔离开。使能信号 ENBL 上的低电平也具有将每一单元之第二存储电容器 C₂ 耦合至其各个液晶 PXL 的作用。这样，每一图像单元 43 显示其第二存储电容器 C₂ 的内容，同时它接收新图象数据于其第一存储电容器 C₁ 之上。

第一行选择器 45 一旦结束了加载新图像于阵列 41 之内而新的图象准备要显示时，使能信号 ENBL 就由逻辑低电平转换至逻辑高电平。这使第一使能开关 E 激活而第二使能开关 E_B 则停止激活。第一存储电容器 C₁ 上新加载上的图象信息由此耦合至其各个液晶 PXL 以供显示。与此同时，第二存储电容器 C₂ 与液晶 PXL 分离开。此时，第二存储电容器 C₂ 准备接收新数据，第二行选择器 47 则可取得对阵列 41 的控制。

参见图 7，示出本发明的第三实施例。图 7 中与图 5 中相同的所有元件用相同的参照号表示，对它们的说明如上所述。图 7 的实施例示出多重视频信号发生器 49A/49B，且对每一行选择器 45 和 47 较佳地分别包括一个信号发生器 49A/49B。每一信号发生器 49A 和 49B 都分别具有其自己一组列线 CL_{1,A}, CL_{1,B}，借此每个均具有进入阵列 41 内图像单元 43 之任何列的独立通路。这样，每一图像单元 43 都分别对每一列线 CL_{1,A}/CL_{1,B} 包括分立的输入结点 52A/52B。分立的一组使能信号 EN₁/EN₂，以相似于图 5 所示第一实施例的那种方式独立地控制图像单元 43 之每一行的使能晶体管 E₁ 和 E₂。

图 7 中，多个行选择器 45 和 47，正如图 5 所示第一实施中的情形那样，

也具有同时访问阵列 41 的通路。然而，和图 5 的结构不同，图 7 的结构允许多个行选择器 45 和 47 在同一时间访问图像单元 43 的同一行，且同时保持独立地访问其各个存储电容器 C1 和 C2。例如，假定液晶 PXL 具有其自己的足够的电容去维持其现时的图象数据，且希望对存储电容器 C1 和 C2 两者进行写入，则使能信号 EN_{1,1} 和 EN_{2,1} 两者都将置于逻辑低电平。这将引起使能晶体管 E1 和 E2 两者均停止激活，并使 C1 和 C2 两者均与其各个液晶 PXL 隔离开。要理解的是，若图像单元 43 包括有第三存储电容器，则当第一和第二存储电容器 C1 和 C2 接收新数据时可保持液晶 PXL 耦合至其第三存储电容器。当 C1 与液晶 PXL 隔离开时，第一行选择器 45 可激活行线 R_{1,A}，并由此激活第一选择晶体管 S1。这样将第一列线 CL_{1,A} 从第一视频信号发生器 49A 耦合至第一存储电容器 C1。同样，当 C2 与液晶 PXL 隔离开时，第二行选择器 47 可激活行线 R_{1,B}，并由此激活第二选择晶体管 S2。这样将第二列线 CL_{1,B} 从第二视频信号发生器 49B 耦合至第二存储电容器 C2。由于存储电容器 C1 和 C2 两者都被分别耦合至分离的列线 CL_{1,A} 和 CL_{1,B}，故它们两者均可同时接收新的数据。

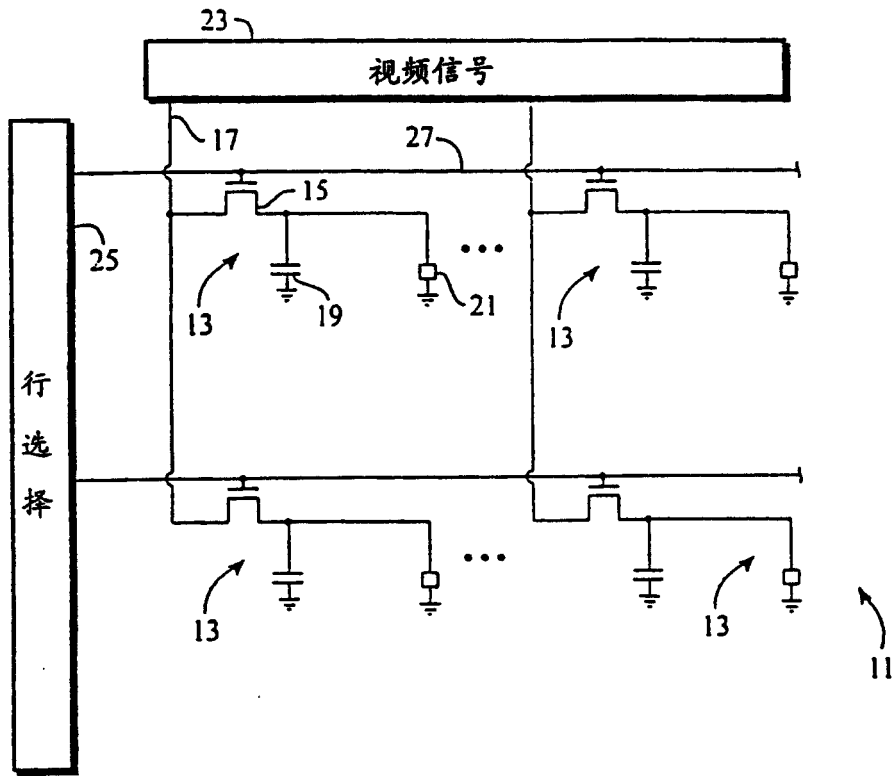


图 1 (现有技术)

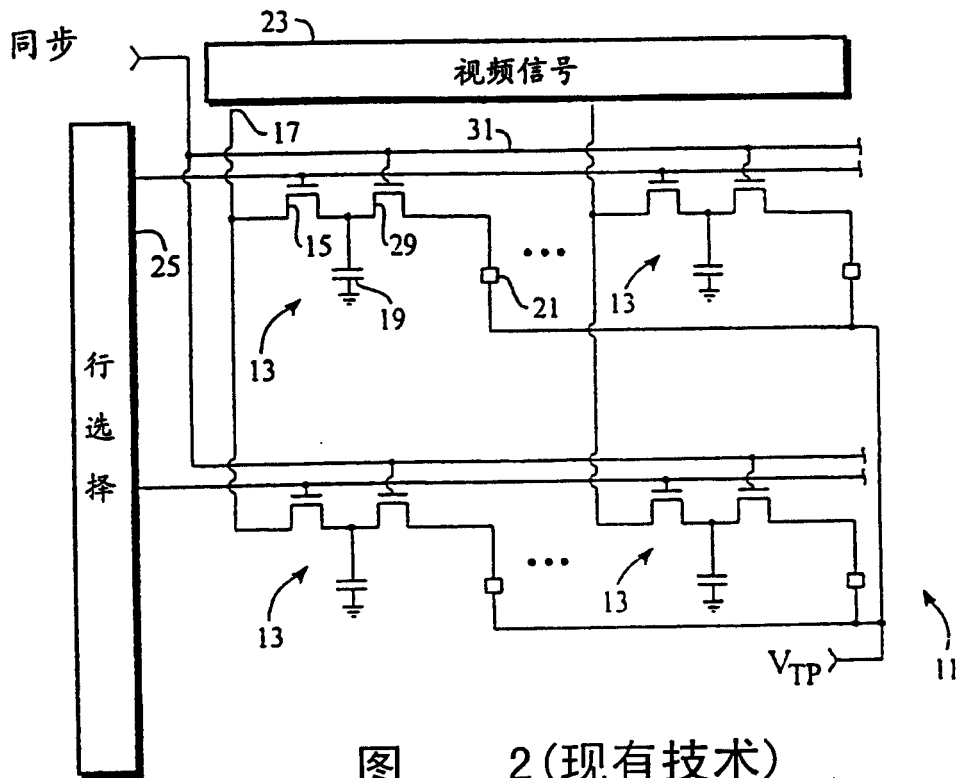


图 2 (现有技术)

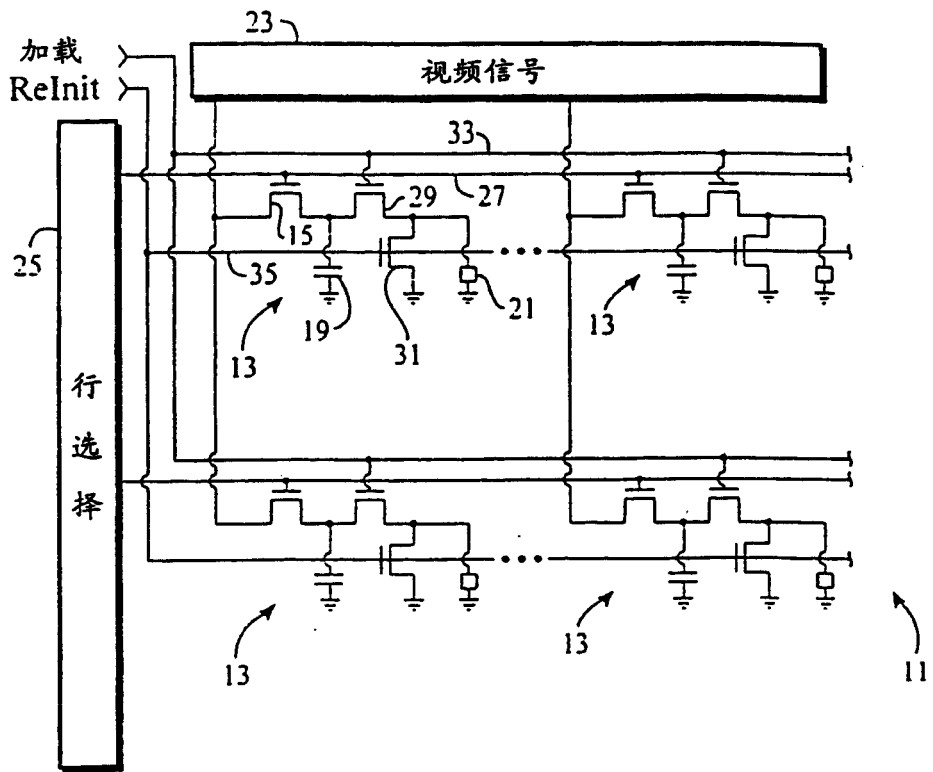


图 3 (现有技术)

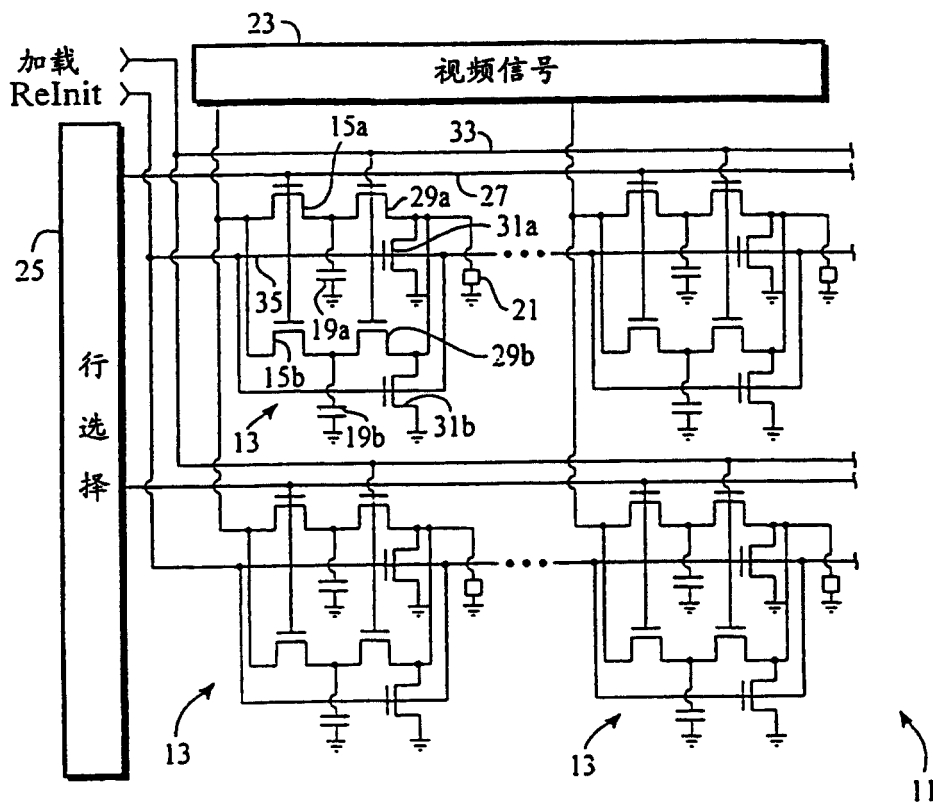


图 4 (现有技术)

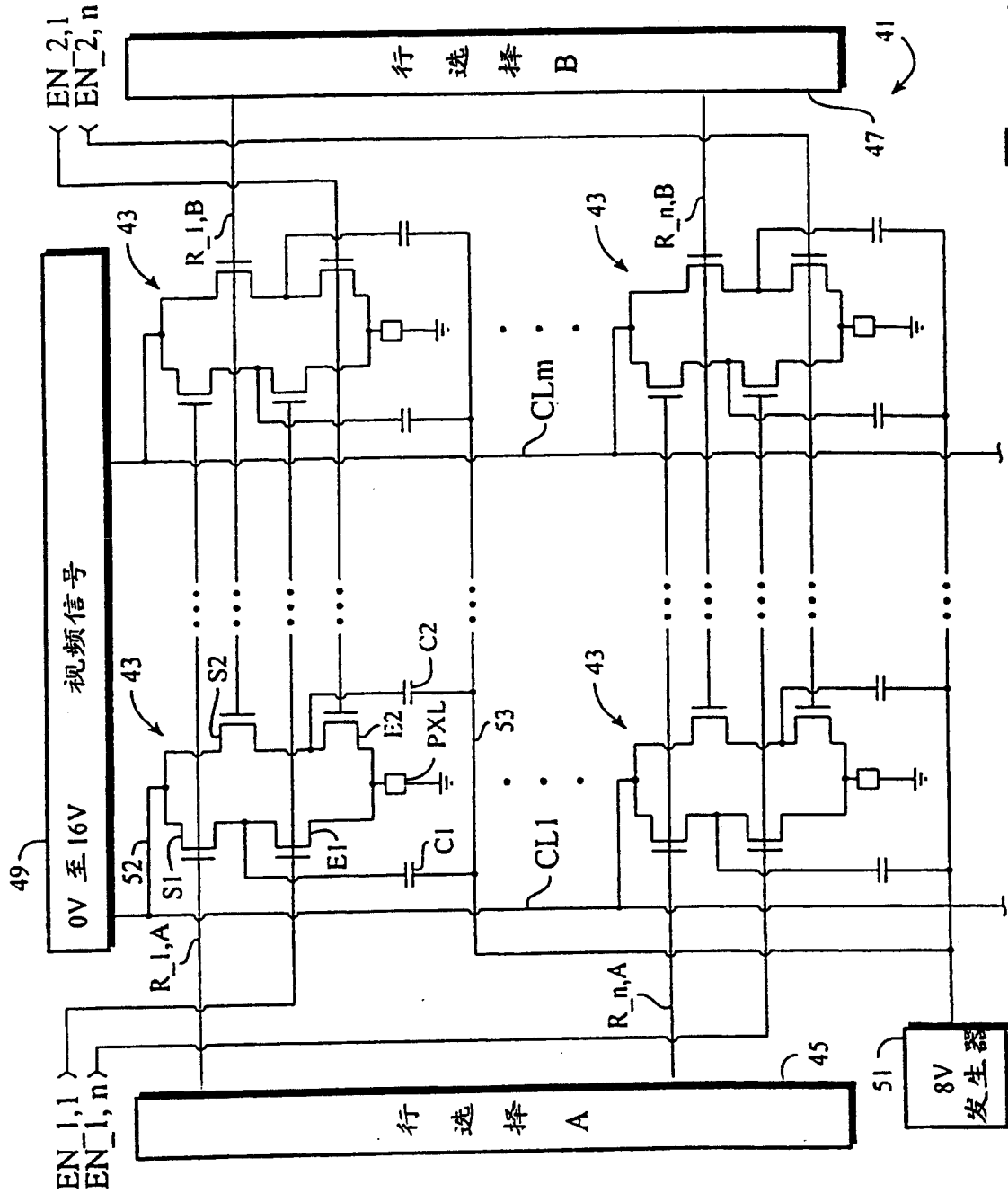


图 5

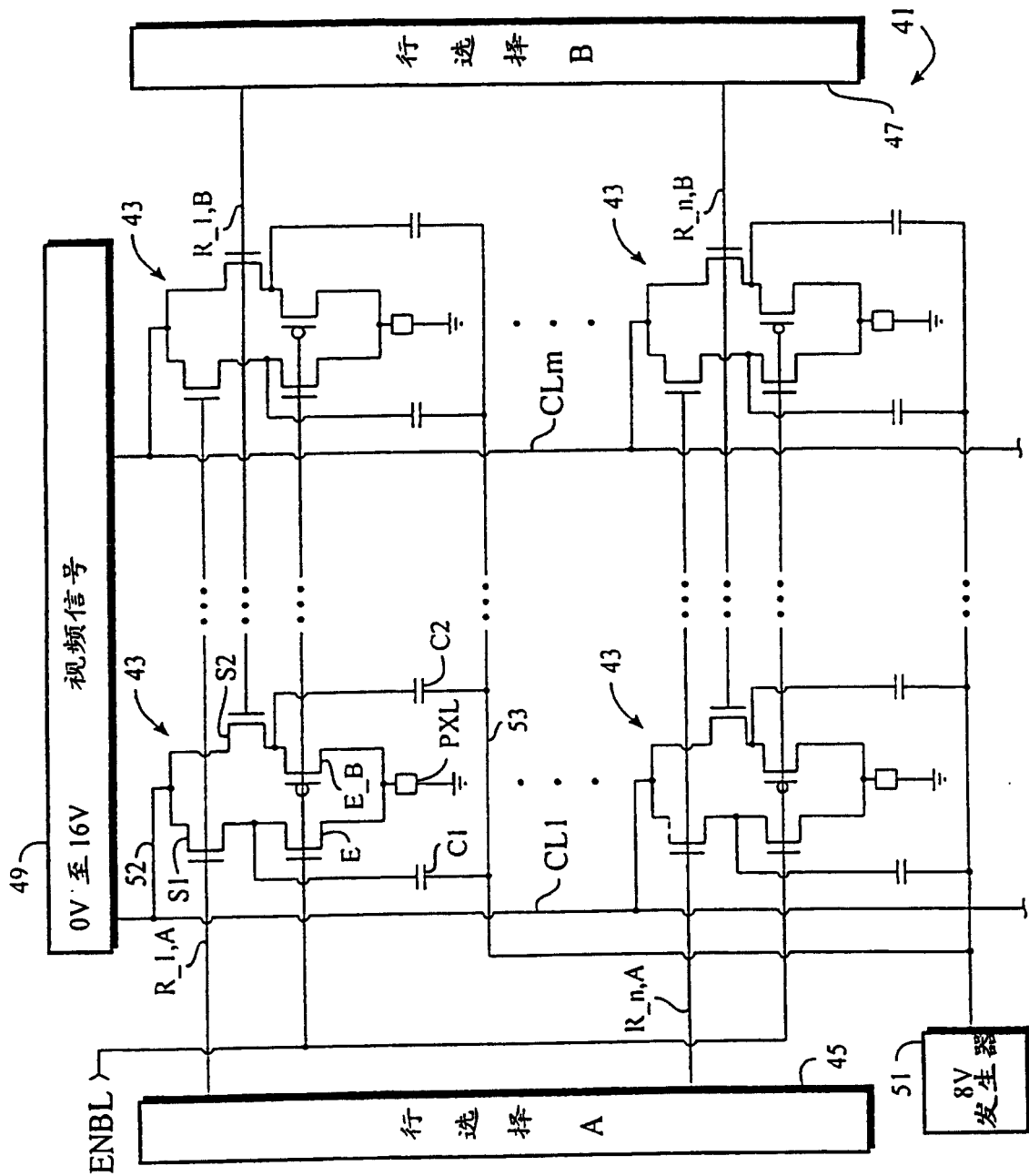
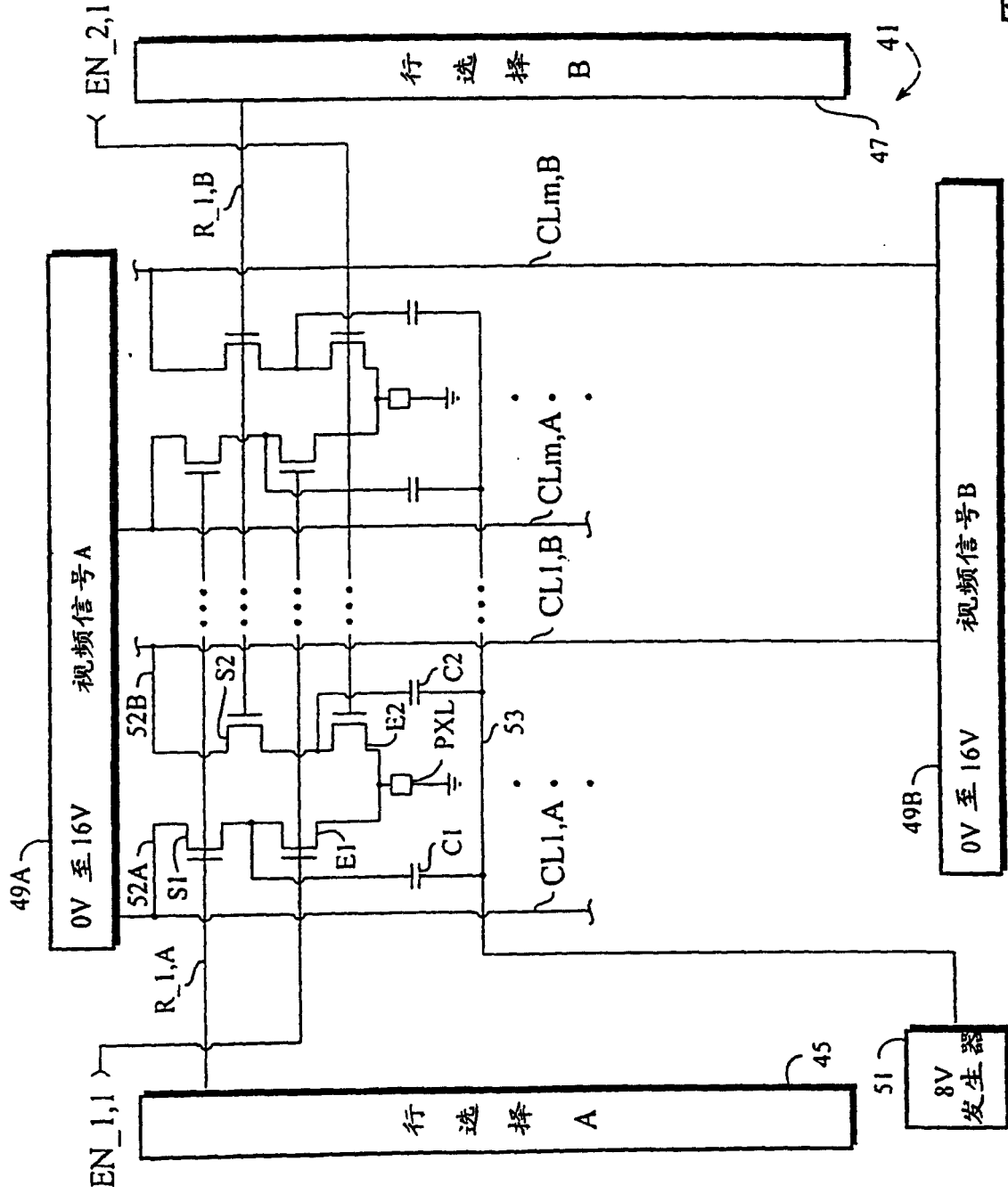


图 6



图

7

专利名称(译)	液晶显示单元用的驱动电路		
公开(公告)号	CN1725283A	公开(公告)日	2006-01-25
申请号	CN200410028637.8	申请日	2000-09-19
[标]申请(专利权)人(译)	爱特梅尔公司		
申请(专利权)人(译)	爱特梅尔股份有限公司		
当前申请(专利权)人(译)	爱特梅尔股份有限公司		
[标]发明人	萨罗杰帕塔克 詹姆斯E佩恩		
发明人	萨罗杰·帕塔克 詹姆斯·E·佩恩		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2300/0852 G09G2300/0842 G09G2300/0814 G09G3/3659		
优先权	09/436064 1999-11-08 US		
外部链接	Espacenet SIPO		

摘要(译)

用在液晶显示器之图像元件(43)的阵列(41)中的驱动器电路能显示一组图像数据而同时接收第二组图像数据。对应于第一选择信号(R_{1,A})的第一选择开关晶体管(S1)控制第一图象对第一存储电容器(C1)的耦合。对应于第二选择信号(R_{1,B})的第二选择开关晶体管(S2)控制第二图象对第二存储电容器(C2)的耦合。借助于对应第一使能信号(EN_{1,1})的第一使能开关晶体管(E1)可选择性地耦合第一存储电容器(C1)至输出结点(PXL)。借助于对应第二使能信号(EN_{2,1})的第二使能开关晶体管(E2)可选择性地耦合第二存储电容器(C2)至同一输出结点(PXL)。通过适当操纵开关晶体管,可耦合一个存储电容器至输出结点同时使另一存储电容器与输出结点隔离开而接收新的图像数据。

