[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G11C 19/28
G09G 3/36

[12] 发明专利申请公开说明书

[21] 申请号 03145388.0

[43] 公开日 2004 年 3 月 10 日

[11] 公开号 CN 1480952A

[22] 申请日 2003.7.7 [21] 申请号 03145388.0

[30] 优先权

[32] 2002. 9. 5 [33] KR [31] 53634/2002

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 文胜焕

[74] 专利代理机构 北京市柳沈律师事务所

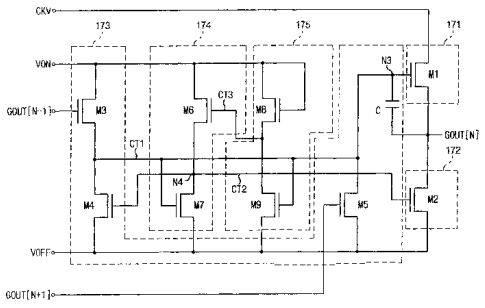
代理人 邸万奎 黄小临

权利要求书 2 页 说明书 16 页 附图 15 页

[54] 发明名称 移位寄存器和具有同样移位寄存器的液晶显示器

[57] 摘要

在移位寄存器和具有同样移位寄存器的 LCD 中，移位寄存器包括具有接收第一时钟信号和第一控制信号的奇数级和接收第二时钟信号和第二控制信号的偶数级的多个级。 多个级中的每个都包括向输出端子提供第一和第二时钟信号之一的上拉部分，向输出端子提供第一功率电压的下拉部分，根据前面级的输出信号接通/关闭上拉部分和根据第一和第二控制信号关闭上拉部分的上拉驱动部分，输出第三控制信号的第一下拉驱动部分，和根据输入信号关闭下拉部分并根据第三控制信号接通下拉部分的第二下拉驱动部分。



ISSN1008-4274

1. 一种移位寄存器，其中多个级彼此相连接，所述多个级具有其中起始信号被偶合到输出端子的第一级，移位寄存器顺序地输出每个级的输出信号，所述多个级包括奇数级，用于接收第一时钟信号和用于控制第一时钟信号的输出的第一控制信号，和偶数级，用于接收具有与第一时钟信号相反相位的第二时钟信号和用于控制第二时钟信号的输出的第二控制信号，

所述多个级的每个都包括:

上拉装置，用于把第一和第二时钟信号的相应的一个提供给输出端子;

上拉驱动装置，连接到上拉装置的输入节点，用于响应于前面级的输出信号的前沿接通上拉装置，和响应于第一和第二控制信号的前沿关闭上拉装置;

下拉装置，用于向输出端子提供第一功率电压;

第一下拉驱动装置，连接到上拉装置的输入节点，用于响应于上拉装置的接通输出第三控制信号；和

第二下拉驱动装置，连接到下拉装置的输入节点，用于响应于输入信号的前沿关闭下拉装置，和响应于第三控制信号接通下拉装置。

2. 根据权利要求 1 的移位寄存器，其中所述上拉驱动装置包括:

电容器，连接在上拉装置的输入节点和输出端子之间;

第一晶体管，其漏极和栅极共同地连接在输入端子，源极连接到上拉装置的输入节点;

第二晶体管，其漏极连接到上拉装置的输入节点，栅极连接到下拉装置的输入节点，和源极连接到第一功率电压；和

第三晶体管，其漏极连接到上拉装置的输入节点，栅极连接到下一级的输出端子，和源极连接到第一功率电压。

3. 根据权利要求 1 的移位寄存器，其中第一下拉驱动装置包括:

第四晶体管，其漏极和栅极共同连接到第二功率电压;

第五晶体管，其漏极连接到第四晶体管的源极，栅极连接到输入信号，和源极连接到第一功率电压。

4. 根据权利要求 3 的移位寄存器，其中第四晶体管对第五晶体管的沟道宽度比约 1:1，第四晶体管对第五晶体管的沟道长度比是大约 1:2。

5. 根据权利要求 1 的移位寄存器，其中第二下拉驱动装置包括:

第六晶体管，其漏极连接到第二功率电压，栅极连接到下一级的输出信号，和源极连接到下拉装置的输入节点；和

第七晶体管，其漏极连接到下拉装置的输入节点，栅极连接到输入信号，和源极连接到第一功率电压。

6. 根据权利要求 1 的移位寄存器，其中第六晶体管对第七晶体管的沟道宽度比是大约 1:1。

7. 一种包括显示单元阵列电路的 LCD，数据驱动电路和栅极驱动电路形成在透明衬底上，所述显示单元阵列电路包括多个数据线和多个栅极线，显示单元阵列中的每个连接到相对应的数据线和栅极线对，

栅极驱动电路包括移位寄存器，该移位寄存器包括彼此相连的多个级，该多个级具有其中起始信号偶合到输入端子的第一级，用于顺序地输出各个级的输出信号，该多个级包括奇数级，用于接收第一时钟信号和用于控制第一时钟信号的输出的第一控制信号，和偶数级，用于接收具有与第一时钟信号相反相位的第二时钟信号和用于控制第二时钟信号的输出的第二控制信号，

其中多个级的每个都包括:

上拉装置，用于把第一和第二时钟信号的相应的一个提供给输出端子;

上拉驱动装置，连接到上拉装置的输入节点，用于响应于前面级的输出信号的前沿接通上拉装置，并响应于第一和第二控制信号的前沿关闭上拉装置;

下拉装置，用于向输出端子提供第一功率电压;

第一下拉驱动装置，连接到上拉装置的输入节点，用于响应于上拉装置的接通输出第三控制信号；和

第二下拉驱动装置，连接到下拉装置的输入节点，用于响应于输入信号的前沿关闭下拉装置，并响应于第三控制信号接通下拉装置。

移位寄存器和具有同样移位寄存器的液晶显示器

技术领域

本发明涉及一种移位寄存器和具有同样移位寄存器的液晶显示器，更特别地，本发明涉及一种改善其可靠性和寿命的移位寄存器和具有同样移位寄存器的液晶显示器。

背景技术

最近，具有各种结构、功能和较快信息处理速度趋势的信息处理设备已经快速地发展了。这些信息处理设备中处理的信息具有电子信号格式。为了可视化地确认信息处理设备中处理的信息，应该提供充当接口角色的显示器。

LCD 具有例如较轻重量、小的体积、高的分辨率、低功耗和与环境的友好关系的优点，并且它们与传统阴极射线管(CRT)相比着色全彩显示。如此优点允许 LCD 替代 CRT 并且被认为是下一代显示器。

LCD 向具有特定分子结构的液晶施加电功率以改变液晶分子排列。液晶分子结构中的变化导致例如双折射、光旋转功率、分色性、光散射的光学属性中的变化。LCD 利用如此的光学属性的变化来显示图像。

LCD 设备大体分类成 TN(扭转向列)型和 STN(超扭转向列)型。按照该驱动方法的液晶显示设备分类成使用开关设备和 TN 液晶的有源矩阵显示型和使用 STN 液晶的无源矩阵型。

两种类型的明显差别是其中有源矩阵显示型被应用到通过使用 TFT 驱动 LCD 的 TFT-LCD，无源矩阵显示型由于没有使用晶体管省却了与晶体管相关的复杂电路。

TFT-LCD 划分成非晶硅 TFT LCD(a-Si TFT-LCD)和多晶硅 TFT LCD(poly-Si TFT-LCD)。Poly-Si TFT-LCD 与 a-Si TFT-LCD 相比具有低功耗、低价格的优点，但是具有其制造过程复杂的缺点。因此，poly-Si TFT-LCD 主要使用在例如移动电话的小体积显示器中。

非晶硅 TFT LCD 由于其容易的大屏幕应用性和高生产量被应用在例如笔

记本个人计算机(PC)、LCD 监视器、高分辨率(HD)电视等大体积屏幕显示器上。

图 1 是显示 poly-Si TFT LCD 中的传统的 TFT 衬底的简化示意性视图。图 2 是显示非晶硅 TFT LCD 中的传统的 TFT 衬底的简化示意性视图。

如图 1 中所示，多晶硅 TFT LCD 包括设置在具有像素阵列的玻璃衬底 10 上的数据驱动电路 12 和栅极驱动电路 14。端子部分 16 通过使用薄膜电缆 18 连接到集成印刷电路板(PCB)20。这些结构可以节省产品的制造成本，最小化由于驱动电路的集成的功率损失和提供具有轻便设计的显示设备。

但是，如图 2 中所示，a-Si TFT LCD 具有用 COF(薄膜上的芯片)方式形成在柔性 PCB 32 上的数据驱动芯片 34。数据 PCB 36 通过柔性 PCB 32 连接到像素阵列的数据线端子。栅极驱动芯片 40 以形成 COF 的方式形成在柔性 PCB 38 上。栅极 PCB 42 通过柔性 PCB 38 连接到栅极线端子。

即，a-Si TFT LCD 与那些多晶硅 TFT LCD 相比在成本和结构方面具有诸如高成本和大体积的缺点。

发明内容

本发明提供用于改善 a-Si TFT LCD 的可靠性和寿命的移位寄存器。

本发明提供具有上述移位寄存器的一种 LCD.

在本发明的一个方面，移位寄存器包括彼此之间相连的多个级，该多个级具有其中起始信号偶合到输入端子的第一级，并且该移位寄存器顺序地输出每个级的输出信号。该多个级包括用于接收第一时钟信号和用于控制第一时钟信号的输出的第一控制信号的奇数级，和用于接收具有与第一时钟信号相反相位的第二时钟信号和用于控制第二时钟信号的输出的第二控制信号的偶数级。

多个级的每个都包括:

上拉装置，用于把第一和第二时钟信号的相应的一个提供给输出端子;

连接到上拉装置的输入节点的上拉驱动装置，用于根据前面级的输出信号的前边沿接通上拉装置和根据第一和第二控制信号的前边沿关闭上拉装置; 下拉装置，用于向输出端子提供第一功率电压; 连接到上拉装置的输入节点的第一下拉驱动装置，用于根据上拉装置的接通输出第三控制信号; 和连接到下拉装置的输入节点的第二下拉驱动装置，用于根据输入信号的前边

沿关闭下拉装置和根据第三控制信号接通下拉装置。

在本发明的另一方面，LCD 包括形成在透明衬底上的显示单元阵列电路、数据驱动电路和栅极驱动电路，所述显示单元阵列电路包括多个数据线和多个栅极线，每个显示单元阵列连接到相对应的数据线和栅极线对。

栅极驱动电路包括移位寄存器，该移位寄存器包括彼此之间相连的多个级，该多个级具有其中起始信号偶合到输入端子的第一级，并用于顺序地输出每个级的输出信号，该多个级包括用于接收第一时钟信号和用于控制第一时钟信号的输出的第一控制信号的奇数级，和用于接收具有与第一时钟信号相反相位的第二时钟信号和用于控制第二时钟信号的输出的第二控制信号的偶数级。

多个级的每个都包括上拉装置，用于把第一和第二时钟信号的相应的一个提供给输出端子；连接到上拉装置的输入节点的上拉驱动装置，用于根据前面级的输出信号的前边沿接通上拉装置和根据第一和第二控制信号的前边沿关闭上拉装置；下拉装置，用于向输出端子提供第一功率电压；连接到上拉装置的输入节点的第一下拉驱动装置，用于根据上拉装置的接通输出第三控制信号；和连接到下拉装置的输入节点的第二下拉驱动装置，用于根据输入信号的前边沿关闭下拉装置和根据第三控制信号接通下拉装置。

根据本发明，可以减少应用到下拉驱动装置的晶体管的沟道宽度差。另外，本发明可以阻止正在高温操作的第 6 晶体管 M6 的过流电流，从而阻止晶体管恶化。

附图说明

当考虑附图时通过参考下列详细的说明，本发明的上述和其它的优点将变得容易明白。

图 1 是显示在 poly-TFT LCD 中传统 TFT 衬底的简化示意性视图；

图 2 是显示在非晶硅 TFT LCD 中传统 TFT 衬底的简化示意性视图；

图 3 是根据本发明的示例实施例显示非晶硅 TFT LCD 的分解性透视图；

图 4 是根据本发明的示例实施例显示非晶硅 TFT LCD 中 TFT 衬底的示意性视图；

图 5 是显示图 4 中示出的数据驱动电路中的移位寄存器的方框图；

图 6 是图 4 中示出的栅极驱动电路中的移位寄存器的方框图；

图 7 是根据本发明的示例实施例的移位寄存器中每一级的详细电路图；

图 8 是图 7 中各个元件的定时图；

图 9 是在图 6 的各个级模拟的驱动波形图；

图 10 是显示将其应用到图 7 的下拉驱动部分的晶体管的体积和其门限电压之间关系的示意性视图；

图 11 是显示当 Von 电压增长时需要的电阻比率的视图；

图 12A 和 12B 是当第六晶体管分别在正常或异常状态中操作时模拟的输出波形；

图 13 是根据本发明的另一个示例实施例移位寄存器中每个级的详细电路图；

图 14 是晶体管的体积和将其应用到图 7 和 13 中示出的反相器的门限电压之间关系的示意性视图；

图 15 是显示当应用到图 7 和 13 中示出的反相器的晶体管的沟道宽度相同时的电流量的示意性视图。

具体实施方式

图 3 是根据本发明的示例实施例显示非晶硅 TFT LCD 的分解性透视图。

参考图 3，LCD 100 包括 LCD 面板组件 110、背光组件 120、机箱 130 和机盖 140。

LCD 面板组件 110 包括 LCD 面板 112、柔性 PCB 116 和集成控制和数据驱动芯片 118。LCD 面板 112 包括 TFT 衬底 112a 和彩色过滤器衬底 112b。在 TFT 衬底 112a 上，设置显示单元阵列电路、数据驱动电路、栅极驱动电路和外部连接端子。彩色过滤器和透明公共电极设置在彩色过滤器衬底 112b 上。TFT 衬底 112a 面对着彩色过滤器衬底 112b。在 TFT 衬底 112a 和彩色过滤器衬底 112b 之间注入液晶，然后密封液晶的注入入口。

安装在柔性 PCB 116 上的集成控制和数据驱动芯片 118 通过柔性 PCB 116 与设置在 TFT 衬底 112a 上的电路连接。柔性 PCB 116 把数据信号、数据定时信号、栅极定时信号和栅极驱动电压提供给 TFT 衬底 112a 的数据驱动电路和栅极驱动电路。

背光组件 120 包括灯组件 122、光导板 124、一系列光学薄片（sheet）126、反射器平板 128 和铸造框 129。

图 4 是根据本发明的示例实施例显示非晶硅 TFT LCD 中 TFT 衬底的示意性视图。

参考图 4，显示单元阵列电路 150、数据驱动电路 160、栅极驱动电路 170、数据驱动电路 160 的外部连接端子 162 和 163、栅极驱动电路 170 的外部连接端子 169 形成在 TFT 的形成期间形成的 TFT 衬底 112a 上。

显示单元阵列电路 150 包括 m 个的沿列方向扩展的数据线 DL1-DLm 和 n 个的沿行方向扩展的栅极线 GL1-GLn。

在本实施例的一个示例实施例中，提供了具有与栅极线和数据线的数目对应的 525(即，(176×3)×192)的分辨率的 2 英寸 LCD 面板的例子。

开关晶体管 ST 形成在数据线和数据线的交叉点上。每个开关晶体管 STi 都具有连接到数据线 DLi 的漏极和连接到栅极线 GLi 的栅极。开关晶体管 STi 的源极连接到透明像素电极 PE。液晶 LC 安排在透明像素电极 PE 和透明公共电极 CE 之间。

因此，施加到透明像素电极 PE 和透明公共电极 CE 之间的电压控制液晶分子的排列，因此控制了通过液晶分子的光量并且从而显示各个像素的灰度。

数据驱动电路 160 包括移位寄存器 164 和 528 个开关晶体管 SWT。528 个开关晶体管 SWT 每 66 个开关晶体管形成八个数据线块 BL1-BL8。

在任何数据线块 BLi 中，66 个输入端子共同连接到包含连接到 66 个数据输入端子的外部输入端子 163，66 个输出端子连接到对应的 66 个数据线。同样，块选择端子连接到移位寄存器 164 的 8 个输出端子的对应的一个输出端子。

528 个开关晶体管 SWT 由源极连接到对应数据线、漏极连接到在 66 个数据输入端子之中的对应输入端子、和栅极连接到块选择端子的 a-Si TFT MOS 晶体管组成。

相应地，528 个数据线划分成每个具有 66 个数据线的 8 个块，并且通过 8 个块选择信号连续地选择 8 个块中的每个。

移位寄存器 164 接收第一时钟信号(“CKH”)、第二时钟信号(“CKHB”)和块选择起始信号(“STH”)。移位寄存器 164 的输出端子连接到对应的线块的块选择端子。

图 5 是显示图 4 中示出的数据驱动电路中的移位寄存器的方框图。

参考图 5，移位寄存器 164 包括彼此之间从属的 SRH1 到 SRH9 的 9 个级。换句话说，每个级的输出端子“OUT”连接到下一个级的输入端子“IN”。9 个级具有与数据线块对应的 SRH1 到 SRH8 的 8 个级和 1 个空级 SRH9。每个级具有输入端子 IN、输出端子 OUT、控制端子“CT”、时钟信号输入端子“CK”、第一功率电压端子“Voff”和第二功率电压端子“VDD”。SRH1 到 SRH8 的 8 个级把 DE1 到 DE8 的块选择起始信号分别提供给各个数据线块 BL1 到 BL8 的块选择端子。块选择起始信号是各个线块的使能信号。

奇数级 SRH1、SRH3、SRH5、SRH7、SRH9 接收第一时钟信号“CKH”，偶数级 SRC2、SRC4、SRH6、SRH8 接收第二时钟信号。第一时钟信号 CKH 和第二时钟信号 CKHB 具有彼此之间相反的相位。第一和第二时钟信号 CKH 和 CKHB 的工作周期设置为小于 1/66ms。

向当前级的控制端子 CT 输入下一个级到当前级的输出信号以作为控制信号。换句话说，按照输出信号本身的工作周期延迟输入到控制端子 CT 的控制信号。

因此，由于连续地产生带有高状态的活动周期的各个级输出信号，选择对应于各个输出信号的活动周期的数据线块并且使之变为使能。

空级 SRH9 被用来把控制信号提供给先前级 SRH8 的控制端子 CT。

图 6 是图 4 中示出的栅极驱动电路中的移位寄存器的方框图。

参考图 6，栅极驱动电路 170 具有单一移位寄存器。图 6 的移位寄存器 170 包括彼此从属的多个级（stage）SRC1 到 SRC4。换句话说，每个级的输出端子“OUT”连接到下一个级的输入端子 IN。这些级具有对应于栅极线的 SRC1 到 SRC 192 的 192 个级和一个空级 SRC 193。每个级具有输入端子 IN、输出端子 OUT、控制端子 CT、时钟信号输入端子 CK、第一功率电压端子 VSS 和第二功率电压端子 VDD。

如图 7 中说明的，把起始信号“ST”输入到第一级的输入端子“IN”。这里，起始信号是与垂直同步信号同步的脉冲信号。

各个级的输出端子 GOUT1 到 GOUT192 连接到各个对应的栅极线。向奇数级 SRC1、SRC3 等供给第一时钟 CKV，向偶数级 SRC2、SRC4 等供给第二时钟 CKVB。第一时钟 CKV 具有与第二时钟 CKVB 相反的相位。第一和第二时钟 CKV 和 CKVB 具有 16.6/192ms 的工作周期。

下一个级 SRC2、SRC3、SRC4 等到当前级 SRC1、SRC2、SRC3 等的输出信

号 GOUT2、GOUT3 和 GOUT4 被输入到当前级 SRC1、SRC2、SRC3 等的控制端 CT 以作为控制信号。换句话说，按照输出信号本身的工作周期延迟输入到控制端 CT 的控制信号。

因此，由于连续地产生具有高状态的活动周期的各个级的输出信号，选择对应于各个输出信号的活动周期的水平线。

图 7 是根据本发明的示例实施例的移位寄存器中每一级的详细电路图。特别地，这里描述图 6 的移位寄存器的每个级的具体电路构成。图 8 是图 7 的各个元件的定时图。

参考图 7，移位寄存器 170 的每个级包括上拉（pull-up）部分 171、下拉(pull-down)部分 172、上拉驱动部分 173 和下拉驱动部分 174。

上拉部分 171 包括漏极连接到功率时钟输入端子 CKV、栅极连接到第三节点 N3 和源极连接到输出端子 GOUT[N]的第一 NMOS 晶体管 M1。

下拉部分 172 包括漏极连接到输出端子 GOUT[N]、栅极连接到第四节点 N4 和源极连接到第一功率电压 V_{OFF} 的第二 NMOS 晶体管 M2。

上拉驱动部分 173 包括电容器 C 和第三到第五 NMOS 晶体管 M3 到 M5。电容器 C 连接在第三节点 N3 和输出端子 GOUT[N]之间。第三 NMOS 晶体管 M3 具有连接到第二功率电压 V_{ON} 的漏极、连接到输入端子的，即，前一级的输出信号 GOUT[N-1]的栅极、和连接到第三节点 N3 的源极。第四 NMOS 晶体管 M4 具有连接到第三节点 N3 的漏极、连接到第四节点 N4 的栅极、和连接到第一功率电压 V_{OFF} 的源极。第五 NMOS 晶体管 M5 具有连接到第三节点 N3 的漏极、连接到第四节点 N4 的栅极、和连接到第一功率电压 V_{OFF} 的源极。第三 NMOS 晶体管 NT3 具有大于第五 NMOS 晶体管的体积的体积，例如，具有 2:1 的体积比。

下拉驱动部分 174 包括第六和第七 NMOS 晶体管 M6 和 M7。第六 NMOS 晶体管 M6 具有共同连接到第二功率电压 V_{ON} 的漏极和栅极和连接到第四节点 N4 的源极。第七 NMOS 晶体管 M7 具有连接到第四节点 N4 的漏极、连接到第三节点 N3 的栅极和连接到第一功率电压 V_{OFF} 的源极。第六 NMOS 晶体管 M6 与第七 NMOS 晶体管 M7 的体积比为 1:16。

如图 8 中所示，当向移位寄存器 170 供给第一和第二功率时钟 CKV 和 CKVB 和扫描起始信号 ST 时，第一级 SRC1 响应于扫描起始信号 ST 的前沿把第一功率时钟 CKV 的高电平周期延迟 Tdr1 的预定时间周期，从而输出已延迟的

输出信号 GOUT1。

如上所述，向在安排在阵列衬底上的玻璃上的移位寄存器 170 供给第一和第二功率时钟 CKV 和 CKVB 和扫描起始信号 ST，使得驱动作为栅极驱动电路的移位积存器 170

图 9 是在图 6 的各个级模拟的驱动波形图。

参考图 9，移位寄存器 170 在 2H 的周期中或者接收第一功率时钟 CKV，或者接收具有与第一功率时钟 CKV 的相位相反相位的第二功率时钟 CKVB，并且连续地向 TFT 的栅极线输出多个栅极信号 GOUT1、GOUT2、GOUT3 等。第一和第二功率时钟 CKV 和 CKVB 被放大到具有从定时控制器(未示出)输出的信号的幅度，该幅度是从大约 0 到大约 3 伏特，例如，从大约-8 到大约 24 伏特。

但是，由于 LCD 平板具有 525(176*3) * 192 的分辨率，在把移位寄存器 170 用作栅极驱动电路的情况下，移位寄存器 170 适于采用小的或中等大小的监视器而不适于采用具有高分辨率的大体积监视器。

这是因为每个正执行上拉/下拉功能的晶体管 M1/M2 的体积都在增加，以便把移位寄存器应用到大体积监视器的栅极线上。即，把移位寄存器集成进预定的空间是困难的。

因此，上拉/下拉晶体管 M1/M2 的体积不适于充分地驱动栅极线，TFT 的门限电压 Vth 的变化和非晶硅的温度特性与多晶硅或单晶硅的那些特性相比是显著地不同，从而恶化了可靠性和生产量。

其后，将参考图 7 描述采用移位寄存器 170 作为使用 a-Si TFT 的 LCD 的栅极驱动器时产生的可靠性问题。

参考图 7，反相器 174 包括一直保持在接通状态的第 6 晶体管 M6 和根据电压 CT1 接通或关闭的第七晶体管 M7。当反相器 174 的第七晶体管 M7 时，由下列方程式(1)表示电压 CT2。

$$CT2_{high} = V_{ON} - V_{th(M6)} \qquad ---(1)$$

同时，如由下列方程式(2)表示的，当接通第七晶体管 M7 时，根据接通第 6 和第 7 晶体管 M6 和 M7 时第 6 和第 7 晶体管 M6 和 M7 之间的电阻比决定电压 CT2。

$$CT2_{low} = \{V_{ON} - V_{th(M6)} - V_{OFF} * Ron_{(M7)} / \{Ron_{(M7)} + Ron_{(M6)}\} + V_{OFF} \qquad ---(2)$$

如图 7 中所示，由电压$CT2_{low}$控制第二和第四晶体管 M2 和 M4。如果

$CT2_{low}$的电位值不是足够地低，第二和第四晶体管 M2 和 M4 可能不被正常关闭，使得移位寄存器可能在严重的误操作中。

因此，$Ron_{(M7)}/Ron_{(M6)}$在上述方程式(2)中不得不足够地低。同样，在作为每个晶体管的栅极电压的$CT2_{low}$的电压和作为源极电压的第一功率电压V_{OFF}之间的电压差必须低于如下列方程式(3)表示的晶体管的栅极电压 Vth。因此，对此再次进行调节，其由下列方程式(4)表示。

$$CT2_{low}-V_{OFF}\le V_{th}=V_{th(M6)}=V_{th(M1)}=V_{th(M7)} \qquad \text{---(3)}$$

$$CT2_{low}-V_{OFF}=(V_{ON}-V_{th}-V_{OFF})*Ron_{(M7)}/\{Ron_{(M7)}+Ron_{(M6)}\}\le V_{th} \qquad \text{---(4)}$$

调节上述方程式(4)，在正接通的第七晶体管 M7 和第六晶体管之间的电阻比$Ron_{(M7)}/Ron_{(M6)}$由下列方程式(5)表示。

$$Ron_{(M7)}/Ron_{(M6)}\le V_{th}/\{(V_{ON}-2*V_{th}-V_{OFF})\} \qquad \text{---(5)}$$

例如，在 TFT 的第一功率电压V_{OFF}、第二功率电压 Von 和门限电压分别是-7V、22V 和 1.7V 的情况下，由下列方程式(6)表示在正在接通的第七晶体管 M7 和第六晶体管 M6 之间的电阻比$Ron_{(M7)}/Ron_{(M6)}$。

$$Ron_{(M7)}/Ron_{(M6)}\le 1.7/\{22-2*1.7-(-7)\}\fallingdotseq 1/15 \qquad \text{---(6)}$$

如由上述方程式(6)表示的，正执行反相器 174 的功能的下拉驱动部分 174 必须有晶体管组合，使得在正在接通的第七晶体管 M7 和第六晶体管 M6 之间的电阻比$Ron_{(M7)}/Ron_{(M6)}$小于 1:15 的电阻比。

在上述方程式(6)中，假如当第七晶体管接通时在第七晶体管 M7 的栅极和源极之间的电压 Vgs7 是$Von-V_{OFF}$，$CT2_{low}$等于$Vth+V_{OFF}$和在第六晶体管 M6 的栅极和源极之间的电压 Vgs6 等于$V_{ON}-(Vth+V_{OFF})$。因此，在第七晶体管 M7 的栅极和源极之间的电压 Vgs7 被定义约为第六晶体管 M6 的栅极和源极之间的电压 Vgs6，这是因为忽视了关于具有$V_{ON}-V_{OFF}$的电压 Vgs7 的门限电压 Vth.

在这个典型实施例中，在施加到下拉驱动部分 174 的晶体管的沟道长度 L 相同的情况下，如果第七晶体管 M7 的沟道宽度$W_{(M7)}$对第六晶体管 M6 的沟道宽度$W_{(M6)}$的比率超过 15:1，则满足上述方程式(6)的条件。

同时，在 TFT-LCD 模块中，TFT 的体积、第一和第二功率电压V_{OFF}和V_{ON}的值被通过硬件的方法固定地应用了。在这个例子中，应用到图 7 中示出的 a-Si TFT LCD 的栅极驱动器的移位寄存器 170 的反相器 174 的可靠性被恶化了。即，图 7 中示出的栅极驱动器的移位寄存器 170 可以对温度和电压敏感并且缩短了寿命。

一般地，温度与 TFT 的门限电压成反比。

图 10 是显示将其应用到图 7 的下拉驱动部分的晶体管的体积和门限电压之间关系的示意性视图。

特别地，图 10 显示当第七和第六晶体管 M7 和 M6 接通时在第七晶体管 M7 和第六晶体管 M6 之间的电阻比率($Ron_{(M7)}/Ron_{(M6)}$)，其是根据由上述方程式(6)设计的 a-Si TFT 的栅极驱动器的移位寄存器 170 的反相器 174 的门限电压所要求的。

参考图 10，在要求门限电压具有小于($Ron_{(M7)}/Ron_{(M6)}$)=1/15(0.067)的比率的条件下，图 7 中示出的移位寄存器 170 可能由于第二晶体管 M2 和第四晶体管 M4 没有被充分地关闭而被错误操作。

此外，当第一功率电压 V_{OFF} 和第二功率电压 V_{ON} 具有很小变化时，由于第一功率电压 V_{OFF} 和第二功率电压 V_{ON} 对考虑到电路图的温度和电压敏感，移位寄存器 170 可能被误操作。

图 11 是显示当 V_{ON} 电压增长时需要的电阻比率的示意性视图。

参考图 11，在第二功率电压 V_{ON} 从 22 伏特增长到 24 伏特的情况下，“请求（REQUEST）最大比率 2”的波形显示电阻比率的曲线比当第二功率电压 V_{ON} 是 22 伏特时显示的电阻比率的曲线更向下偏移。因此，虽然第七和第六晶体管 M7 和 M6 具有相同的门限电压，移位寄存器 170 也可能由于第二功率电压 V_{ON} 而被误操作。即，图 7 中示出的移位寄存器 170 具有与温度和电压环境相关的可靠性问题。

同时，图 7 中示出的移位寄存器 170 具有与寿命相关的另一个问题。在移位寄存器 170 中，反相器不得不被设计，使得第七晶体管 M7 和第六晶体管 M6 当接通时具有 1:15 的电阻比($Ron_{(M7)}/Ron_{(M6)}$)。即，执行开/关操作的第七晶体管 M7 具有比一直维持接通状态的第六晶体管 M6 的体积大 15 倍的体积。

在第六和第七晶体管 M6 和 M7 之间的体积差别越大，移位寄存器 170 的可靠性越恶化。

这是因为根据作为一直维持在接通状态的第六晶体管 M6 的负载操作的第七晶体管 M7 来决定电流容量。因此，当关闭第七晶体管时，泄漏电流流过第六晶体管 M6。

即，在电流对具有 16.7ms 的一个不良信息(flame)的 XGA、在例如 50μs

的短时间内流过的情况下，寿命没有变得恶化。但是，当泄漏电流一直流过第六晶体管 M6 时，TFT 可能变得恶化。因此，由于第六和第七晶体管 M6 和 M7 具有彼此相差很多的体积，图 7 中示出的移位寄存器 170 的寿命可能变得恶化。

下列表 1 表示，在同样电压条件下的第六和第七晶体管 M6 和 M7 的沟道宽度比率是 1:15 的情况中，同样温度条件下的第六晶体管 M6 和第七晶体管 M7 的 1μm 的每单位沟道宽度的电流容量。

<表 1>

	M7	M6
沟道宽度比率	15	1
25°C	0.08nA	5.78nA
60°C	1.02nA	33nA

在图 7 中示出的移位寄存器 170 中，第一到第五晶体管 M1、M2、M3、M4 和 M5 具有与第七晶体管 M7 的电流容量相似的电流容量，并且第六晶体管 M6 与第七晶体管 M7 相比较，具有常温下 60 倍和高温下 30 倍的电流容量。当为了改善正被用作反相器操作的下拉驱动部分 174 的操作容限而增加第七晶体管 M7 的体积时，第六和第七晶体管 M6 和 M7 之间的电流容量的差异显著地增加。

特别地，由于考虑到传统的大约 30μm 的像素体积，在高温下流过晶体管的每单位沟道宽度的电流容量是约 0.99μA，晶体管在接通状态中。

如果接通状态的电流流过 TFT，则由于非晶薄膜特性退化而使电流驱动能力恶化和使门限电压升高。因此，CT2high 的电压被降低，如上述方程式 1 所示，该电压不足以接通第二晶体管 M2 和第四晶体管 M4。结果，可能错误操作由图 7 中示出的 a-Si TFT 组成的栅极驱动器的移位寄存器。

图 12A 和 12B 是当第六晶体管分别在正常或异常状态中操作时模拟的输出波形。

如图 12A 中示出的，当第六晶体管 M6 在正常状态中时，下拉驱动部分 174 的输出电压 V_{CT2} 足够接通下拉部分 172 的第二晶体管 M2 或上拉驱动部分 173 的第四晶体管 M4。因此，移位寄存器 170 的输出波形是正常的。

但是，如图 12B 中所示，当第六晶体管 M6 变得恶化时，第六晶体管 M6

的门限电压升高并且错误操作下拉驱动部分 174。因此，移位寄存器 170 的输出波形是不正常的。

即，由于下拉驱动部分 174 的输出电压 V_{CT2} 不足以接通下拉部分 172 的第二晶体管 M2 或上拉驱动部分 173 的第四晶体管 M4，第一功率电压 V_{OFF} 被不正常地施加到 LCD 装置的栅极线上.

结果，施加到 LCD 面板的开关元件由于异常波形而不能被正常接通，使得 LCD 面板不能在正常状态下显示图像。

如上所述，图 7 中示出的栅极驱动器的移位寄存器 170 尽管其有成本和结构的优点，但由于它的可靠性而很难被应用到 LCD 装置上。

在本发明的另一个实施例中，将描述解决由 a-Si TFT 组成的栅极驱动器的晶体管的例如可靠性、寿命和类似的问题的栅极驱动器的移位寄存器。

图 13 是根据本发明的另一个示例实施例的移位寄存器中每个级的电路图。特别地，图 13 显示图 6 中示出的移位寄存器中每个级的详细电路图。

参考图 13，根据本发明的另一个典型实施例的移位寄存器 170 的每个级具有上拉部分 171、下拉部分 172、上拉驱动部分 173、第一下拉驱动部分 174 和第二下拉驱动部分 175。在图 13 中示出的移位寄存器 170 中，具有与图 7 中示出的移位寄存器的那些功能和结构相同的功能和结构的部分被允许具有相同的附图标记并且其的详细的描述将被省略。

用作第一反相器的第一下拉驱动部分174具有第六晶体管M6和第七NMOS晶体管。第一下拉驱动部分 174 连接到上拉部分 171 的输入节点，并且响应于上拉部分171 而向第二下拉驱动部分 175 输出第三控制信号 CT3。

第六晶体管 M6 具有连接到第二功率电压 V_{ON} 的漏极和连接到第四节点 N4 的源极。同样，第七晶体管 M7 具有连接到第四节点 N4 的漏极、连接到第三节点 N3 的栅极和连接到第一功率电压 V_{OFF} 的源极。第六晶体管 M6 的体积与第七晶体管 M7 的体积相同。这里，第六晶体管 M6 对第七晶体管 M7 的沟道宽度比率最好是大约 1:1。

第二下拉驱动部分 175 被使用为控制第一反相器的操作的第二反相器。第二下拉驱动部分 175 具有第八晶体管 M8 和第九晶体管 M9。第二下拉驱动部分 175 连接到下拉部分 172 的输入节点，以便响应于输入信号的前沿关闭下拉部分 172，并响应于第三控制信号 CT3 而接通下拉部分 172。

第八晶体管 M8 具有共同连接到第二功率电压 V_{ON} 的漏极和栅极、连接到

第六晶体管 M6 的栅极的源极。同样，第九晶体管 M9 具有连接到第八晶体管 M8 的源极的漏极，连接到第三节点 N3 的栅极和连接到第一功率电压 VOFF 的源极。这里，第九晶体管 M9 的体积是第八晶体管 M8 的体积的两倍。因此，当第八晶体管 M8 对第九晶体管 M9 的沟道宽度比率是 1:1 时，第八晶体管 M8 对第九晶体管 M9 的沟道长度比率最好是约 1:2。

如上述，通过将图 7 中示出的第六晶体管 M6 的二极管结构变化成开关结构和使用控制第六晶体管 M6 的独立反相器，可以形成由 a-Si TFT 组成的移位寄存器。

将参考各个方程式详细描述图 13 中示出的移位寄存器 170。

假设具有第六晶体管 M6 和第七晶体管 M7 的第一下拉驱动部分 174 是第一反相器，具有第八晶体管 M8 和第九晶体管 M9 的第二下拉驱动部分 175 是第二反相器，并且第二反相器输出输出电压 CT3，由下列方程式(7)到(10)表示在第二反相器的高电平输出电压 CT3_high 和低电平输出电压 CT3_low 之间的关系和在第一反相器的高电平输出电压 CT3_high 和低电平输出电压 CT3_low 之间的关系。

$$CT3_{high}=V_{ON}-V_{th(M8)} \quad ---(7)$$

$$CT3_{high}=[V_{ON}-V_{th(M8)}-V_{OFF}]*Ron_{(M9)}/[Ron_{(M9)}+Ron_{(M8)}]+V_{OFF} \quad ---(8)$$

$$CT2_{high}=V_{ON}-V_{th(M8)}-V_{th(M6)} \quad ---(9)$$

$$CT2_{low}=(CT3_{low}-V_{th(M6)}-V_{OFF})*Ron_{(M7)}/[Ron_{(M7)}+Ron_{(M6)}]+V_{OFF} \quad ---(10)$$

同时，假如晶体管的门限电压是“V_{th}”，在第一反相器的低电平输出电压 $CT2_{low}$ 和源极电压 V_{OFF} 之间的电压差异低于由下列方程式(11)表示的每个晶体管的门限电压 V_{th}。这里，从第一反相器来的低电平输出电压 $CT2_{low}$ 被用作每个晶体管的栅极电压，以便关闭第二和第四晶体管 M2 和 M4。

$$CT2_{low}-V_{OFF}\leqslant V_{th} \quad ---(11)$$

按照上述方程式(11)，由下列方程式(12)表示在低电平输出电压 $CT2_{low}$ 和源电压 V_{OFF} 之间的关系。

$$CT2_{low}-V_{OFF}=(CT3_{low}-V_{th}-V_{OFF})*[Ron_{(M7)}/Ron_{(M7)}+Ron_{(M6)}]\leqslant V_{th} \quad ---(12)$$

按照上述方程式(12)，由下列方程式(13)表示 $Ron_{(M7)}/Ron_{(M6)}$。

$$Ron_{(M7)}/Ron_{(M6)}\leqslant V_{th}/(CT3_{low}-2*V_{th}-V_{OFF}) \quad ---(13)$$

将方程式(13)和对应于图 7 的方程式(5)相比较，可以确认 V_{ON} 变化到 $CT3_{low}$。这里，如果第八晶体管 M8 对第九晶体管 M9 的沟道宽度比率和沟道

长度比率分别是 1:1 和 3:1，由下列方程式(14)表示方程式(5)。

$$CT3_{low}=(V_{ON}-V_{th}+V_{OFF})/4 \quad \text{---} \quad (14)$$

把方程式(14)应用到方程式(13)，由下列方程式(15)表示方程式(14)。

$$Ron_{(M7)}/Ron_{(M6)} \leqslant 4 * V_{th}/(V_{ON}-9*V_{th}-3*V_{OFF}) \quad \text{---} \quad (15)$$

在 a-Si TFT LCD 装置中，假定第一功率电压 V_{OFF}、第二功率电压 V_{ON} 和门限电压 V_{th} 分别是-7 伏特、22 伏特和 1.7 伏特，当接通第六和第五晶体管 M6 和 M5 时，由下列方程式(16)表示在第六晶体管 M6 和第五晶体管 M5 之间的电阻比率。

$$Ron_{(M7)}/Ron_{(M6)} \leqslant 4*1.7/[22-9*1.7-3*(-7)] \fallingdotseq 1/4 \quad \text{---}(16)$$

参考上述方程式(16)，由 a-Si TFT 组成的栅极驱动器的移位寄存器的反相器可以具有在接通中需要的已增长的电阻比率。

图 14 是应用到图 7 中示出的反相器的晶体管的体积和其门限电压之间的第一关系、和应用到图 13 中示出的反相器的晶体管的体积和其门限电压之间的第二关系的示意性视图。这里，根据本发明，“请求最大比率 1”是根据应用到图 7 中示出的反相器的晶体管的体积和其门限电压之间的第一关系的曲线，“请求最大比率 2”是根据应用到反相器的晶体管的体积和其门限电压之间的第二关系的曲线。

参考图 14，在 TFT 具有彼此之间相同体积的情况下，门限电压容限在正常操作状态中增长。

但是，由于第六晶体管 M6 接通的电压 Vgs6 几乎等于电压 Vgs7(=$V_{ON}-V_{OF}$)，施加到第六晶体管 M6 的栅极电压大体上等于 CT3_1ow，所以由下列方程式(17)表示本发明的电压 Vgs6。

$$Vgs6=CT3_{low}-V_{OFF}=(V_{ON}-V_{th}+V_{OFF})/2-V_{OFF} \fallingdotseq (V_{ON}-V_{OFF})/2 \quad \text{---}(17)$$

在上述方程式(17)中，门限电压 V_{th} 因为门限电压相对小于 $V_{ON}-V_{OFF}$ 而被忽略了。

由具有 $V_{ON}-V_{OFF}$ 的幅度的功率时钟自举的“CT1”等于 $V_{ON}+(V_{ON}-V_{OFF})$，所以由下列方程式(18)表示电压 Vgs7。

$$Vgs7=CT1-V_{OFF}=2*(V_{ON}-V_{OFF}) \quad \text{---}(18)$$

即，在本发明的另一个典型实施例的电路图中，Vgs6 对 Vgs7 的比率是大约 1:4.

当通过使用作为由下列方程式(19)表示的 TFT 饱和区域的电流方程式来

同时接通第六和第七晶体管 M6 和 M7 时，将第六和第七晶体管 M6 和 M7 的电流容量彼此比较，由下列方程式(20)(即，假设 $Vgs>>V_{th}$)表示电流容量。

$$Ids=[W*\mu*(Vgs-V_{th})^2]/(2*L) \quad ---(19)$$

$$Ids7/Ids6=8*W_{(M7)}/W_{(M6)} \quad ---(20)$$

即，虽然第六和第七晶体管 M6 和 M7 的沟道宽度是相同的，当第六和第七晶体管 M6 和 M7 同时接通时，在第六和第七晶体管 M6 和 M7 之间的电阻比率是等价于 8。

结果，虽然第六和第七晶体管 M6 和 M7 的沟道宽度相同，在第六和第七晶体管 M6 和 M7 之间的电阻比率可以小于在上述方程式(16)中要求的 $Ron_{(M7)}/Ron_{(M6)}$，如由下列方程式(21)表示的。

$$Ron_{(M7)}/Ron_{(M6)}=1/8\leqslant 1/6 \quad ---(21)$$

如上述提到的，在本发明的另一个典型实施例中，在施加到反相器的第六和第七晶体管 M6 和 M7 的沟道宽度差别可以被减少。同样，本发明可以防止流向正在被高温操作的第六晶体管 M6 的电流过流，从而防止晶体管恶化。

下列表 2 和图 15 表示当应用到第一反相器的第六晶体管 M6 和第七晶体管 M7 的沟道宽度和应用到第二反相器的第八晶体管 M8 和第九晶体管 M9 的沟道宽度相同时，流过每单位宽度 1μm 的电流容量的模拟结果。

<表 2>

	图 7 的结果		本发明的结果			
TFT	M6	M7	M6	M7	M8	M9
W 比率	$W_{(M7)}/W_{(M6)}=15$		$W_{(M7)}/W_{(M6)}=1$		$W_{(M9)}/W_{(M8)}=1$	
L 比率	$L_{(M7)}/L_{(M6)}=1$		$L_{(M7)}/L_{(M6)}=1$		$L_{(M9)}/L_{(M8)}=1$	
25°C	5.78nA	0.08nA	0.12nA	0.07nA	0.017nA	0.016nA
60°C	33nA	1.02nA	1.16nA	1.11nA	1.26nA	1.25nA

如在表 2 和图 15 中所示，因为所有在高温中操作的晶体管的泄漏电流值可以被降低在约 1nA 以下，可以防止如图 7 中示出的由于大约 33nA 的泄漏电流的晶体管的变坏。

如上述，由图 7 中示出的 a-Si TFT 组成的栅极驱动器的移位寄存器，例如可靠性，寿命，对温度和电压的敏感性等的问题可以通过本发明的另一个典型实施例的图 13 中示出的移位寄存器被克服。

尽管已经描述了本发明的典型实施例，但本领域的技术人员应该理解，本发明不应该局限于所描述的优选实施例，在所附权利要求限定的本发明的精神和范围内，可以对其作出各种修改。

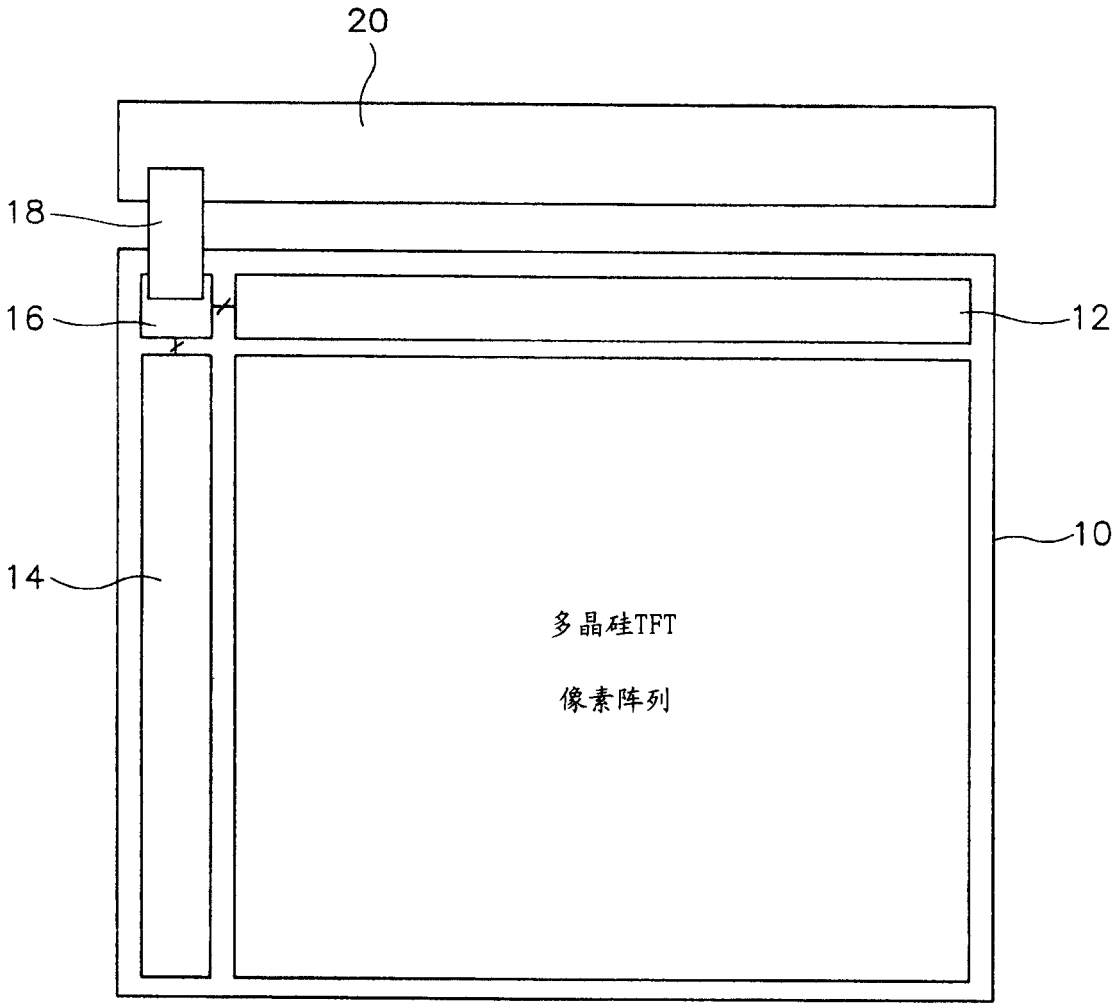


图 1

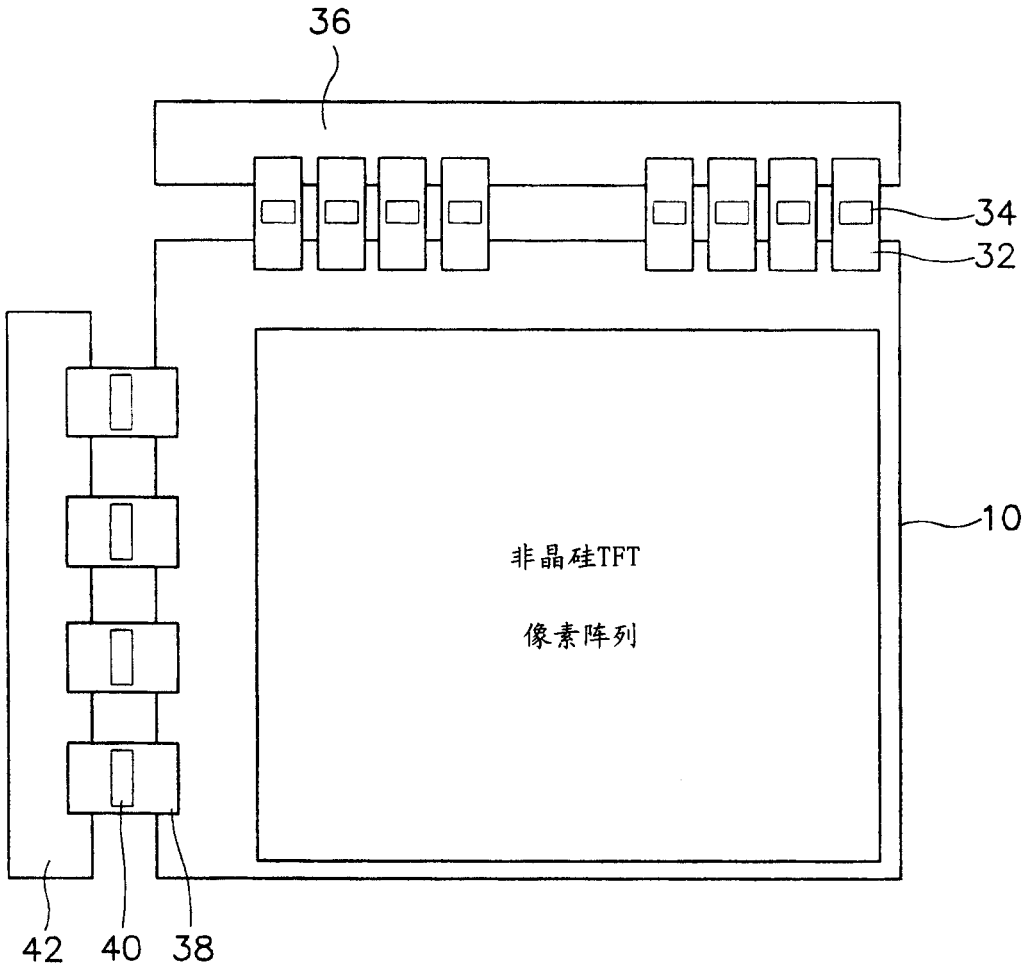


图 2

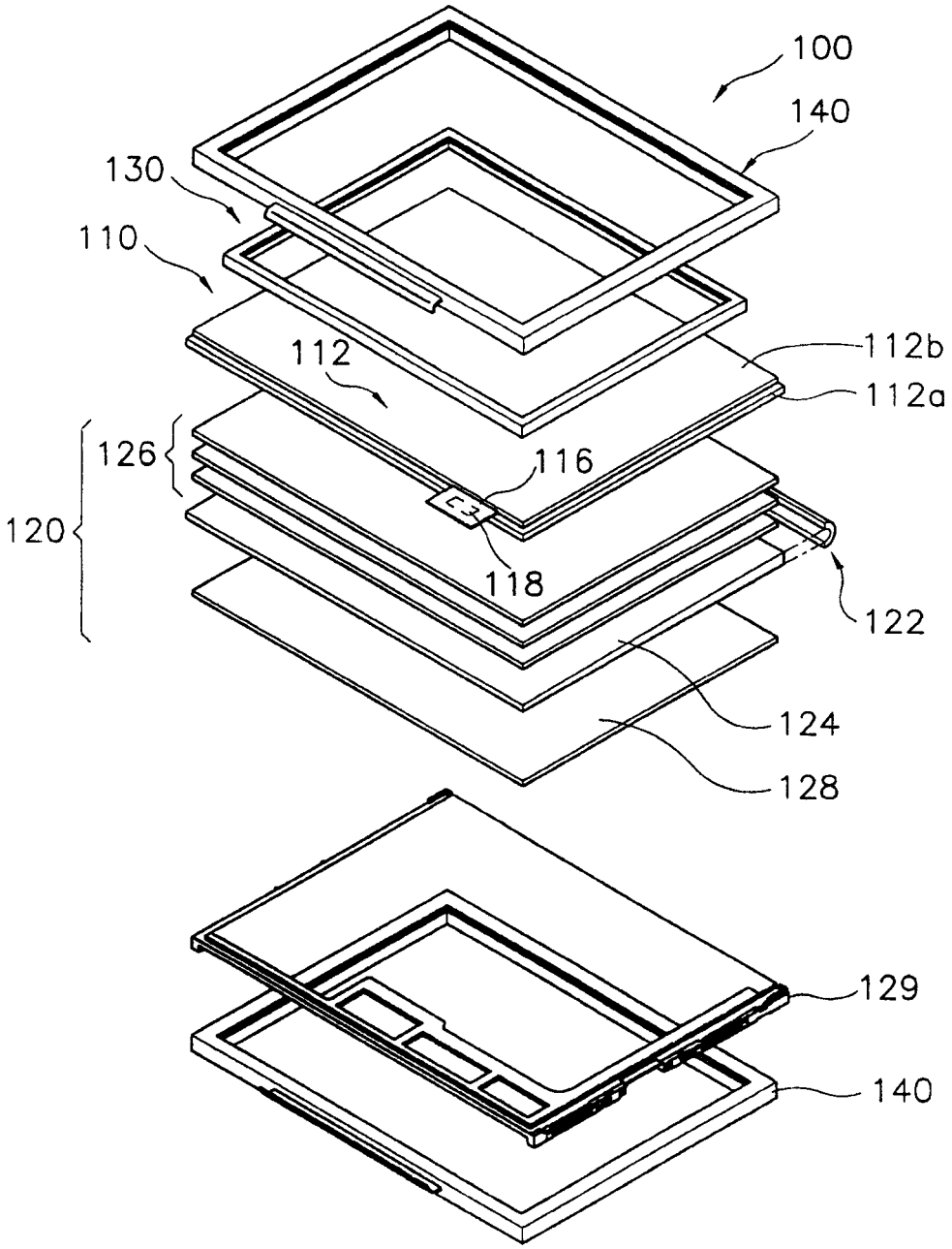

100
140
130
110
112b
112
112a
126
116
120
118
122
124
128
129
140

图 3

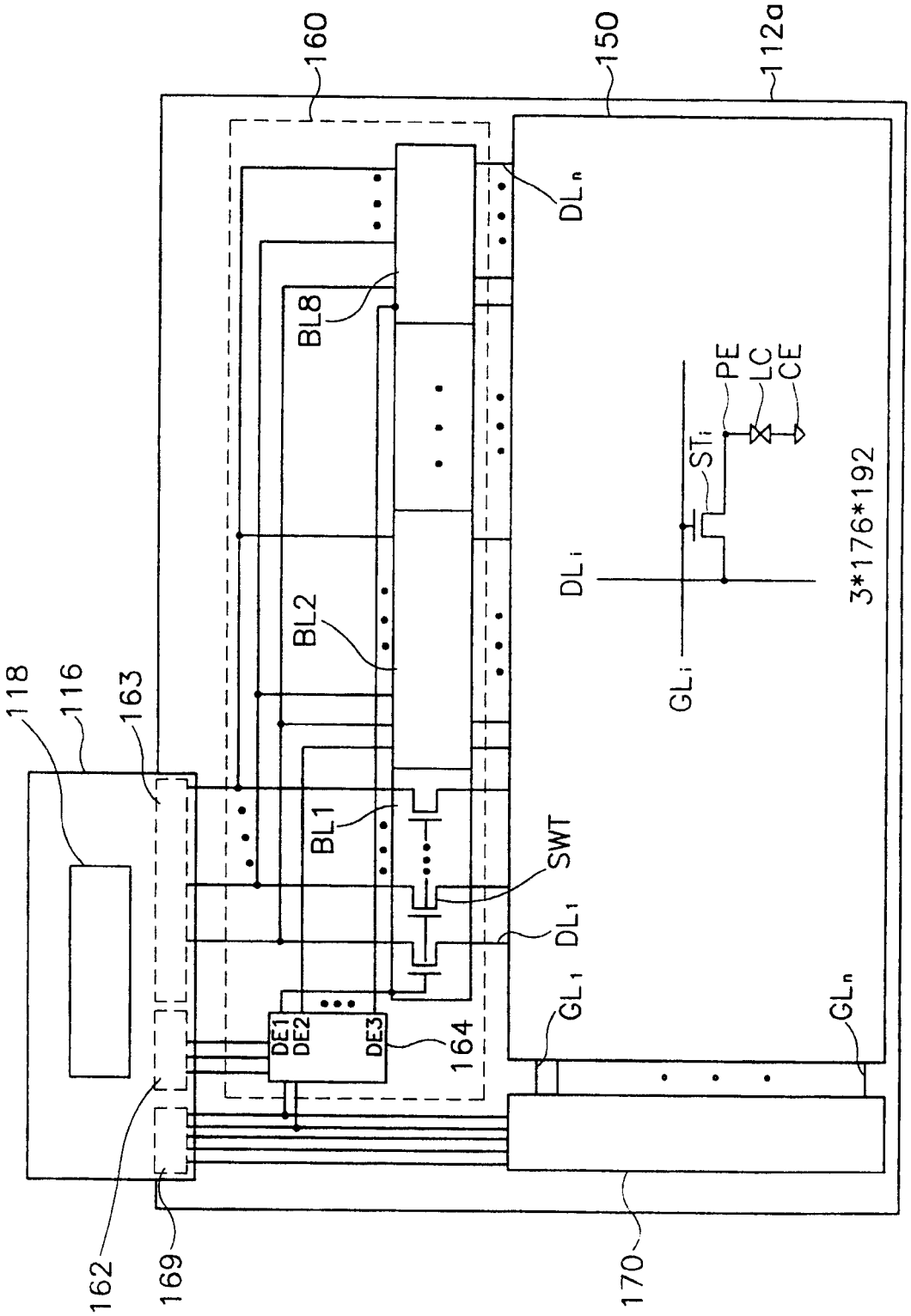

160
150
112a
DLn
BL8
PE
LC
CE
STi
DLi
3*176*192
GLi
BL2
118
116
163
BL1
SWT
DL1
GL1
GLn
DE1
DE2
DE3
164
162
169
170

图 4

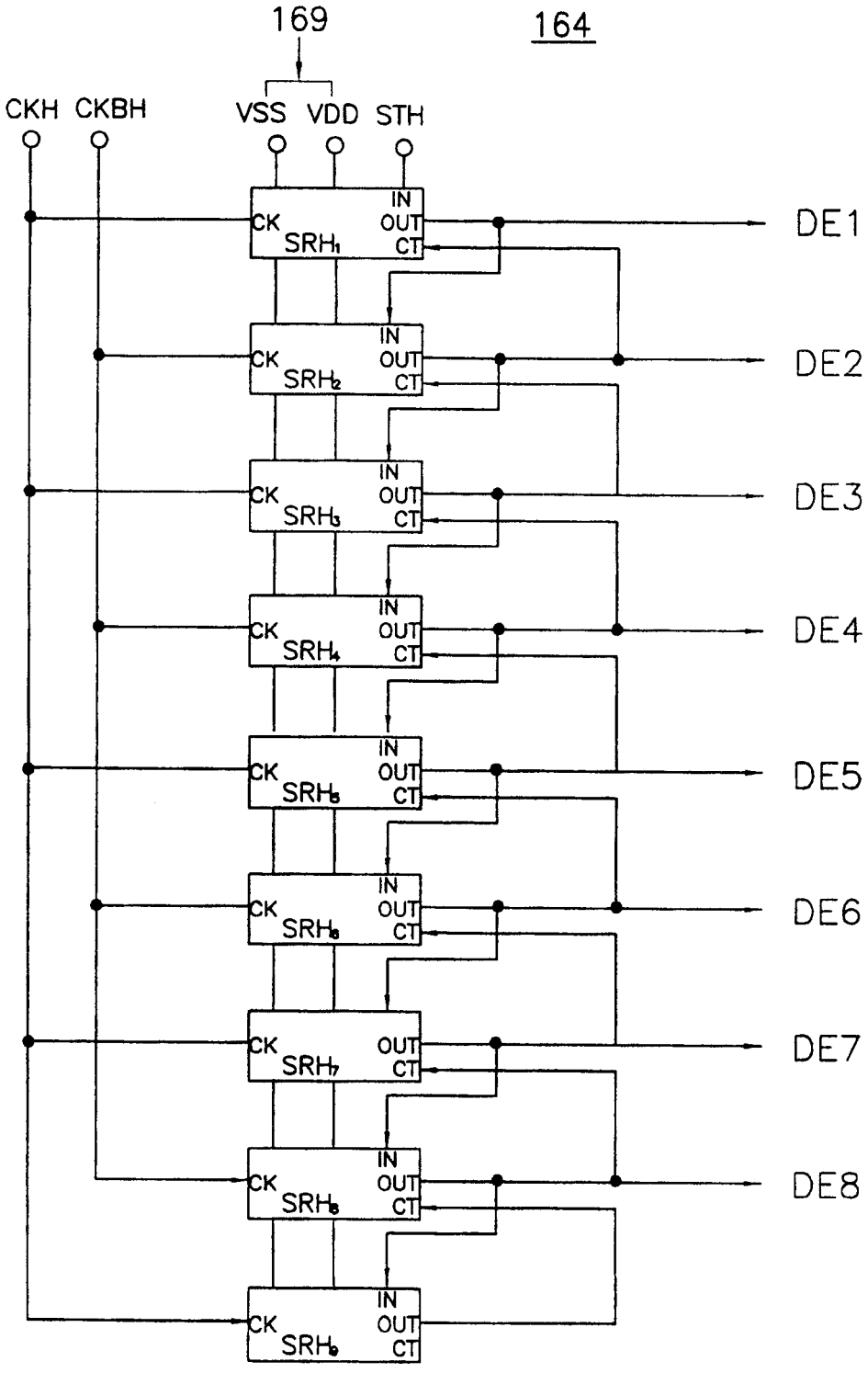

169
164
CKH
CKBH
VSS
VDD
STH
CK
IN
OUT
CT
SRH1
SRH2
SRH3
SRH4
SRH5
SRH6
SRH7
SRH8
SRH9
DE1
DE2
DE3
DE4
DE5
DE6
DE7
DE8

图 5

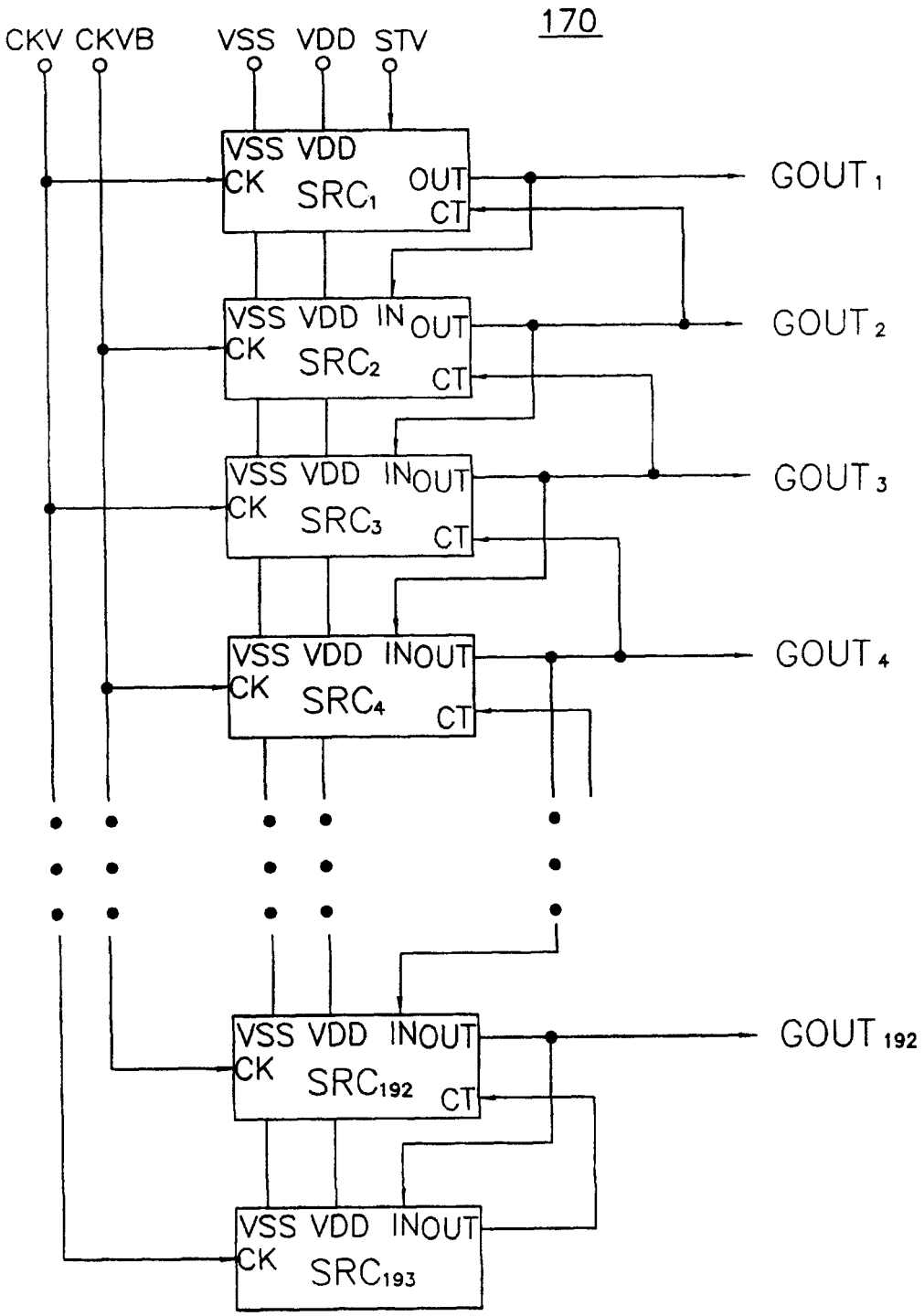

170
CKV CKVB
VSS VDD STV
VSS VDD
CK
SRC1
OUT
CT
GOUT1
VSS VDD IN OUT
CK
SRC2
CT
GOUT2
VSS VDD IN OUT
CK
SRC3
CT
GOUT3
VSS VDD IN OUT
CK
SRC4
CT
GOUT4
VSS VDD IN OUT
CK
SRC192
CT
GOUT192
VSS VDD IN OUT
CK
SRC193

图 6

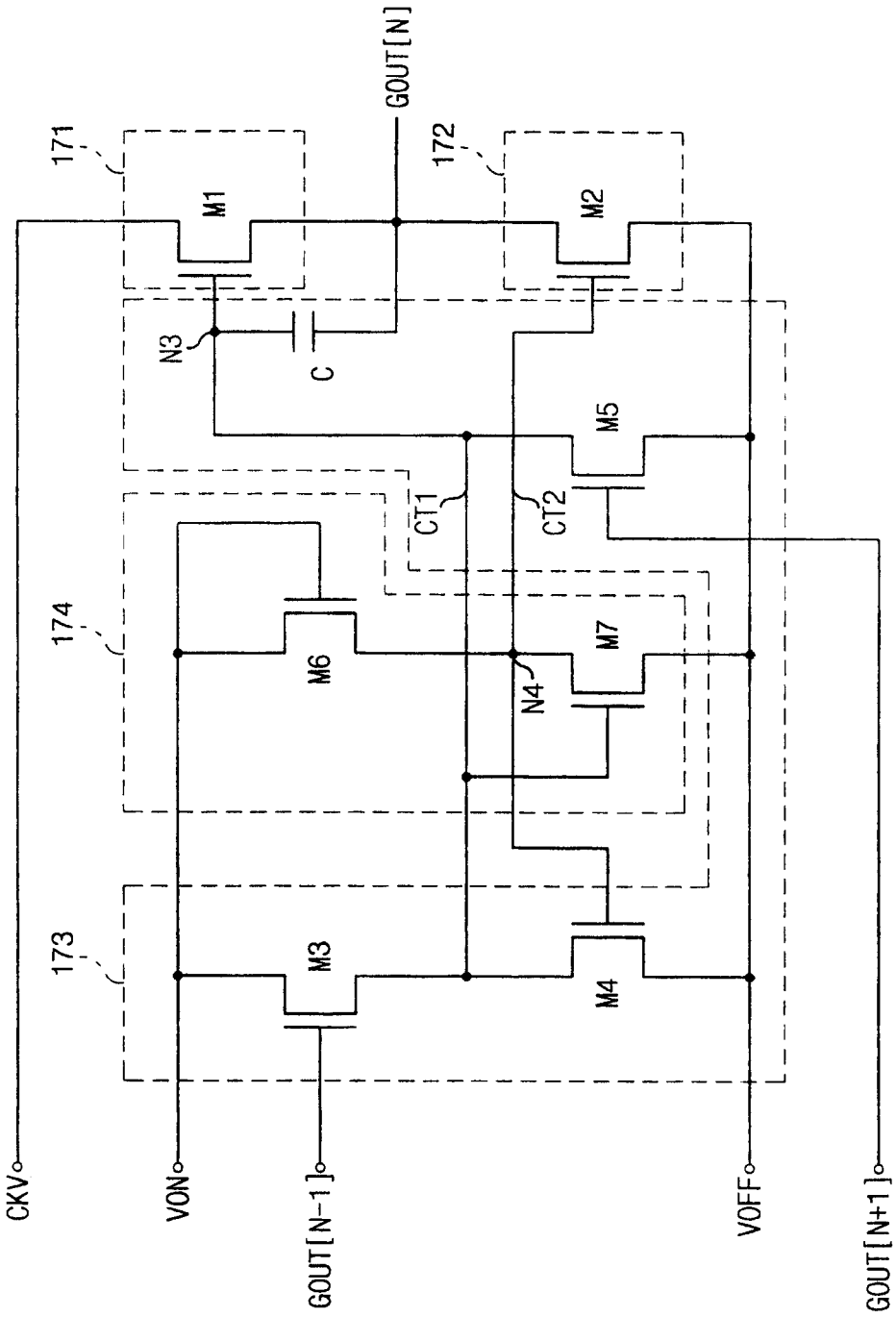

GOUT[N]
171
172
M1
M2
N3
C
M5
CT1
CT2
174
M6
M7
N4
173
M3
M4
CKV
VON
GOUT[N-1]
VOFF
GOUT[N+1]

图 7

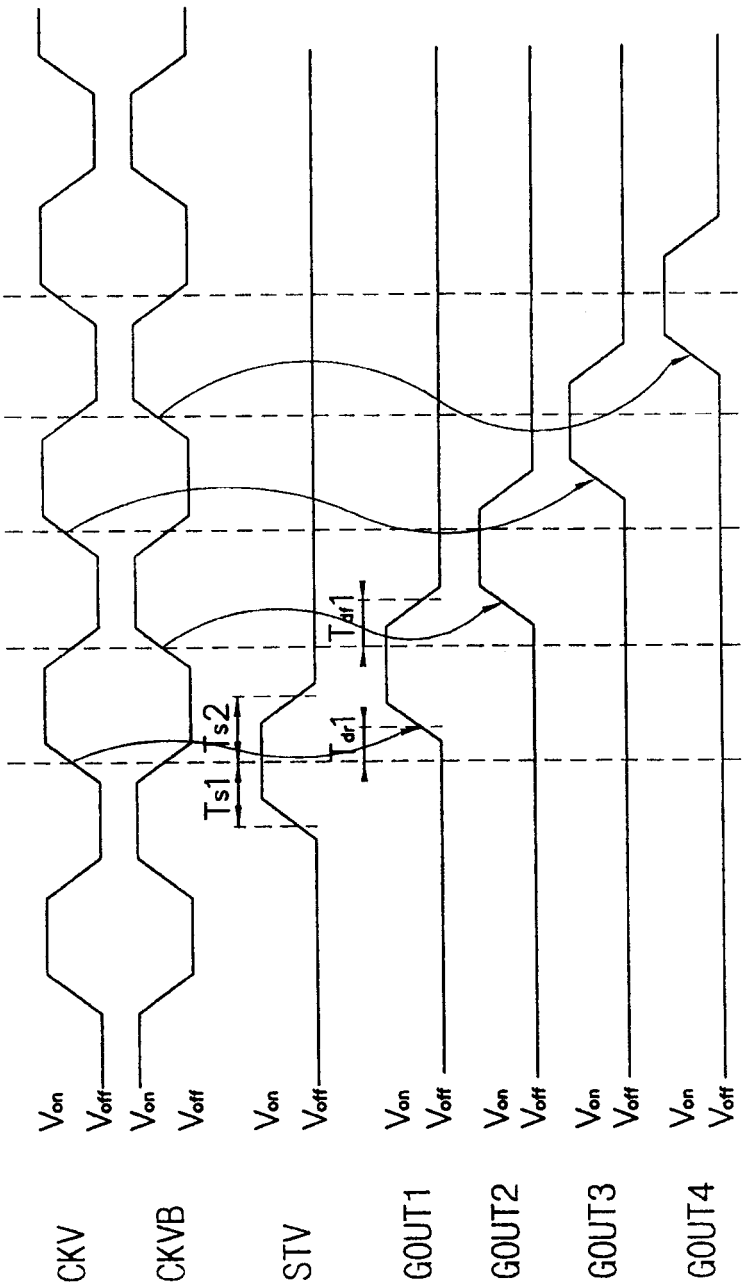

CKV
CKVB
STV
GOUT1
GOUT2
GOUT3
GOUT4
Von
Voff
Ts1
Ts2
Tdr1
Tdf1

图 8

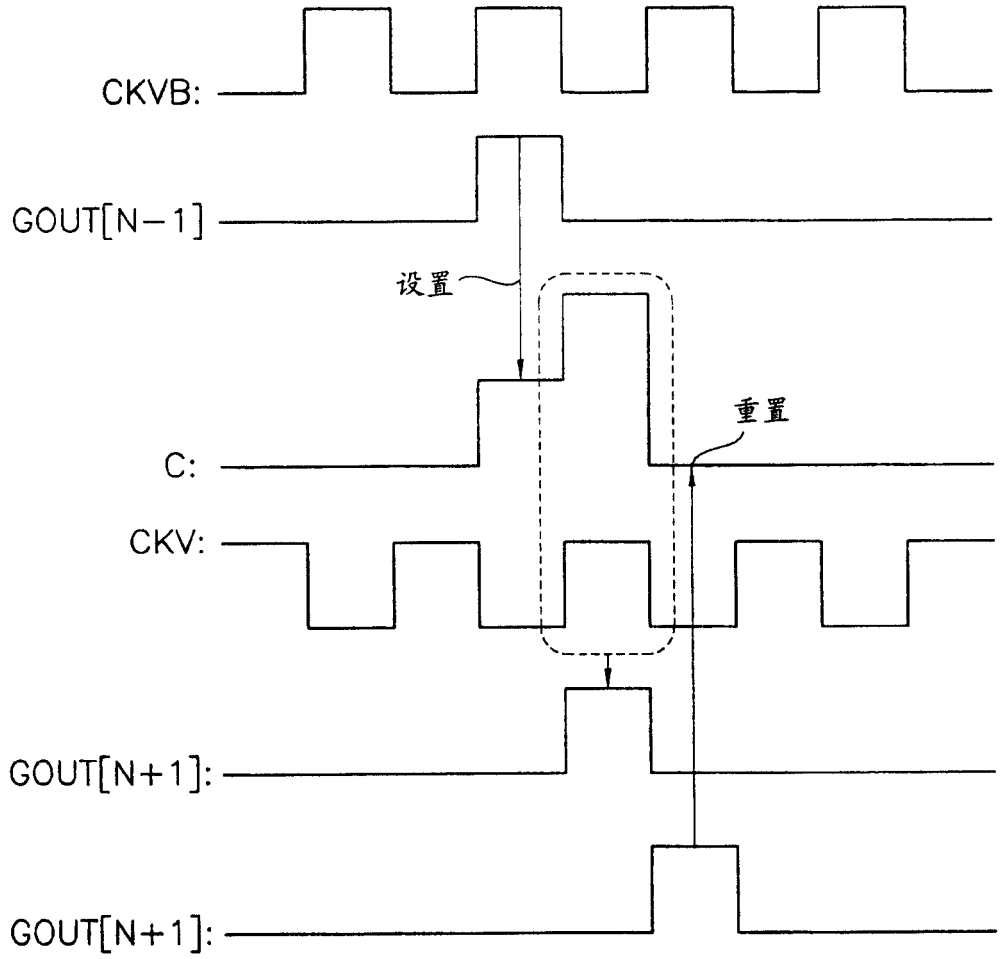


图 9

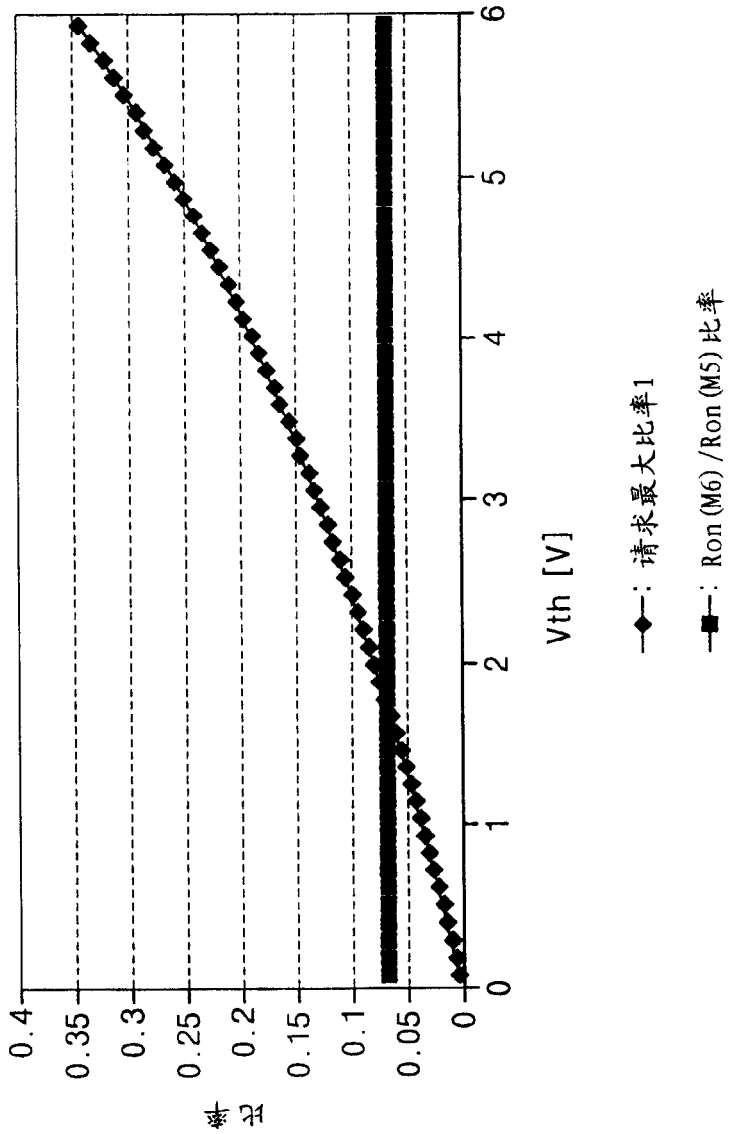

比率
0.4
0.35
0.3
0.25
0.2
0.15
0.1
0.05
0
0
1
2
3
4
5
6
Vth [V]
—◆—：请求最大比率1
—■—：Ron(M6)/Ron(M5)比率

图 10

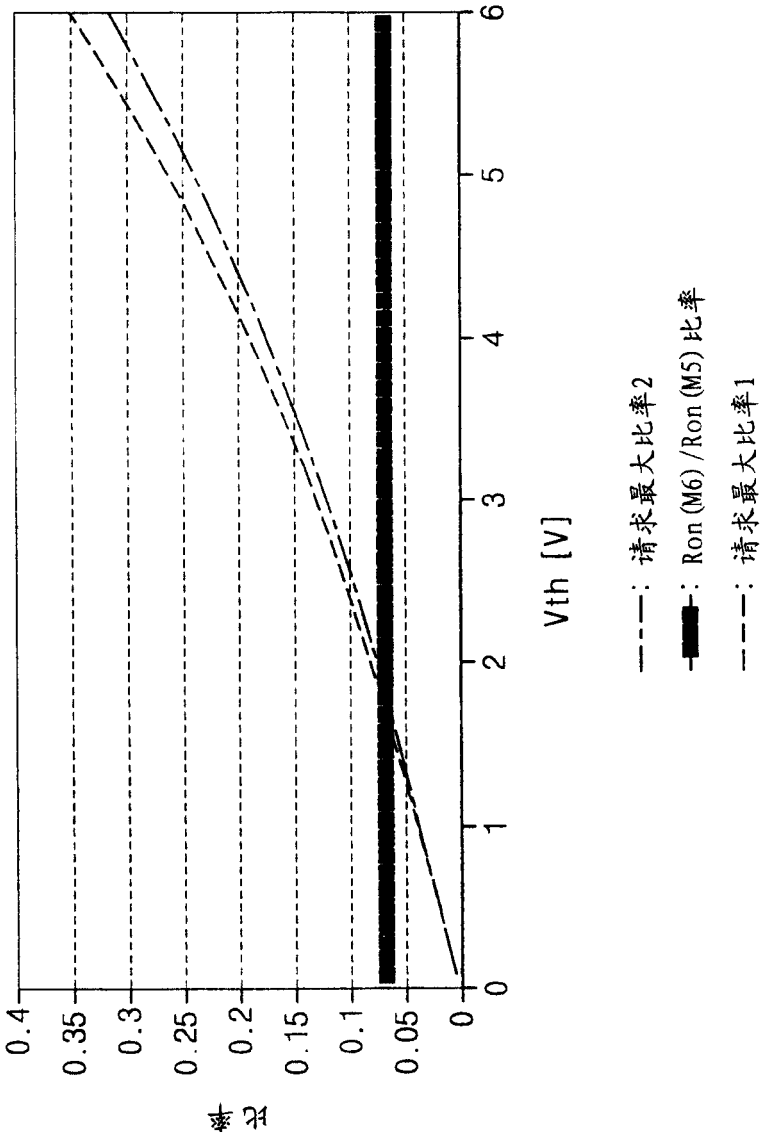

0.4
0.35
0.3
0.25
0.2
0.15
0.1
0.05
0
比率
0
1
2
3
4
5
6
Vth [V]
: 请求最大比率2
: Ron(M6)/Ron(M5)比率
: 请求最大比率1

图 11

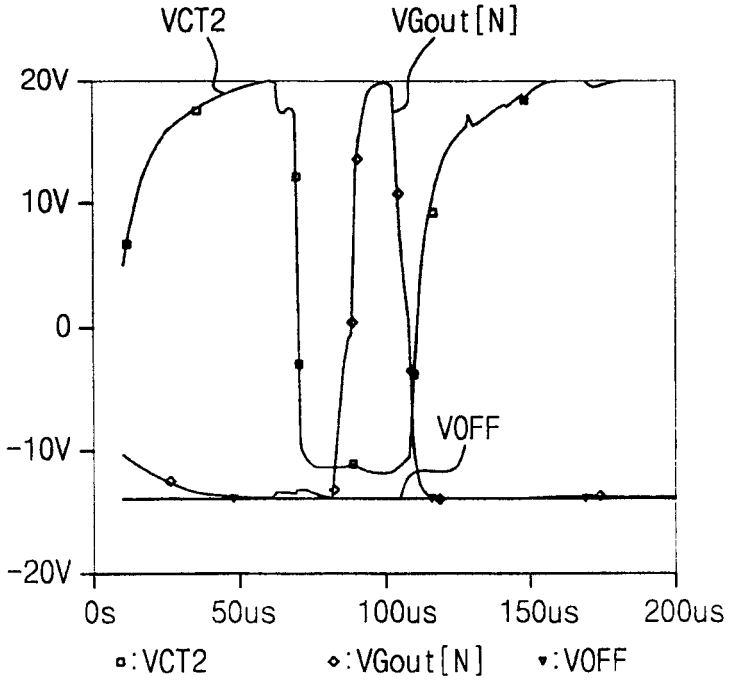

VCT2
VGout[N]
20V
10V
0
-10V
-20V
VOFF
0s
50us
100us
150us
200us
▫:VCT2
◇:VGout[N]
▾:VOFF

图 12A

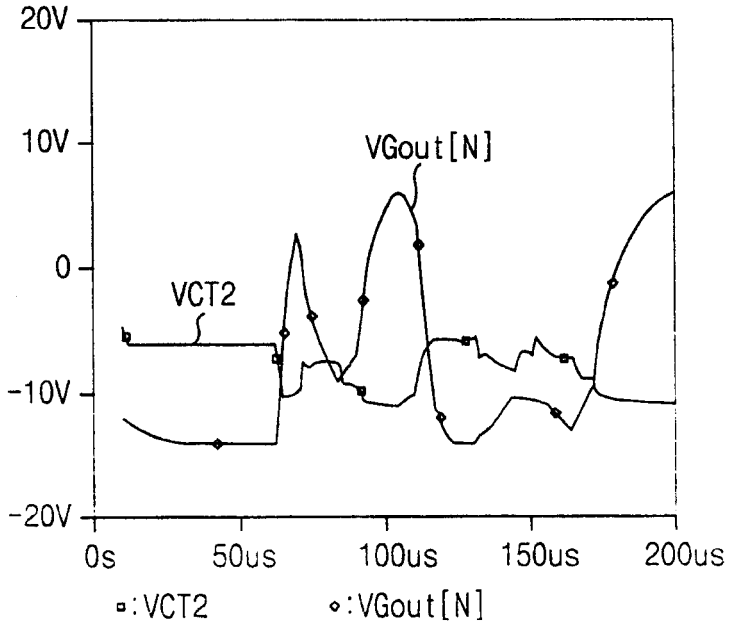

20V
10V
0
-10V
-20V
VGout[N]
VCT2
0s
50us
100us
150us
200us
▫:VCT2
◇:VGout[N]

图 12B

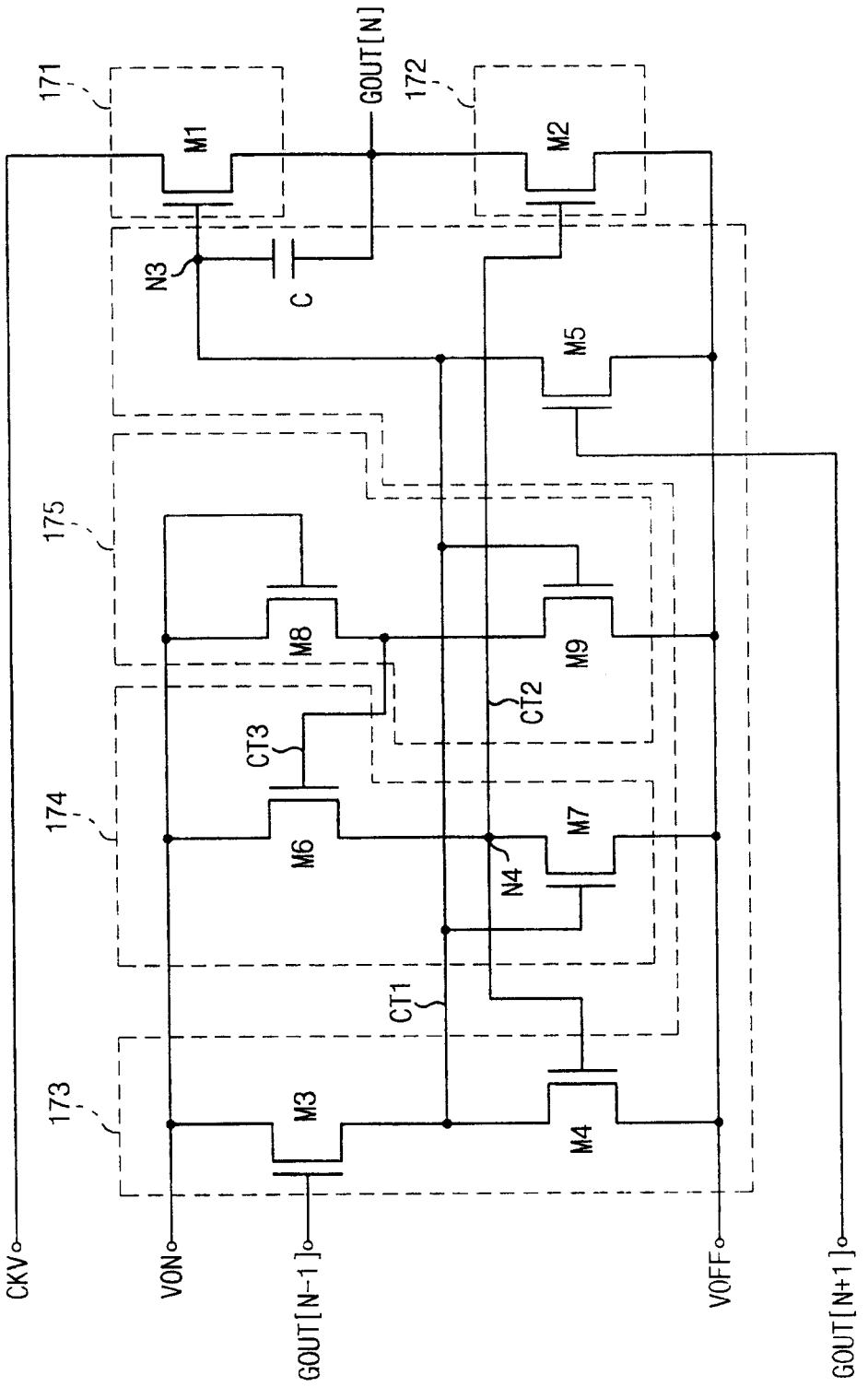

171
GOUT[N]
172
M1
M2
N3
C
M5
175
M8
M9
CT2
CT3
174
M6
M7
N4
CT1
173
M3
M4
CKV
VON
GOUT[N-1]
VOFF
GOUT[N+1]

图 13

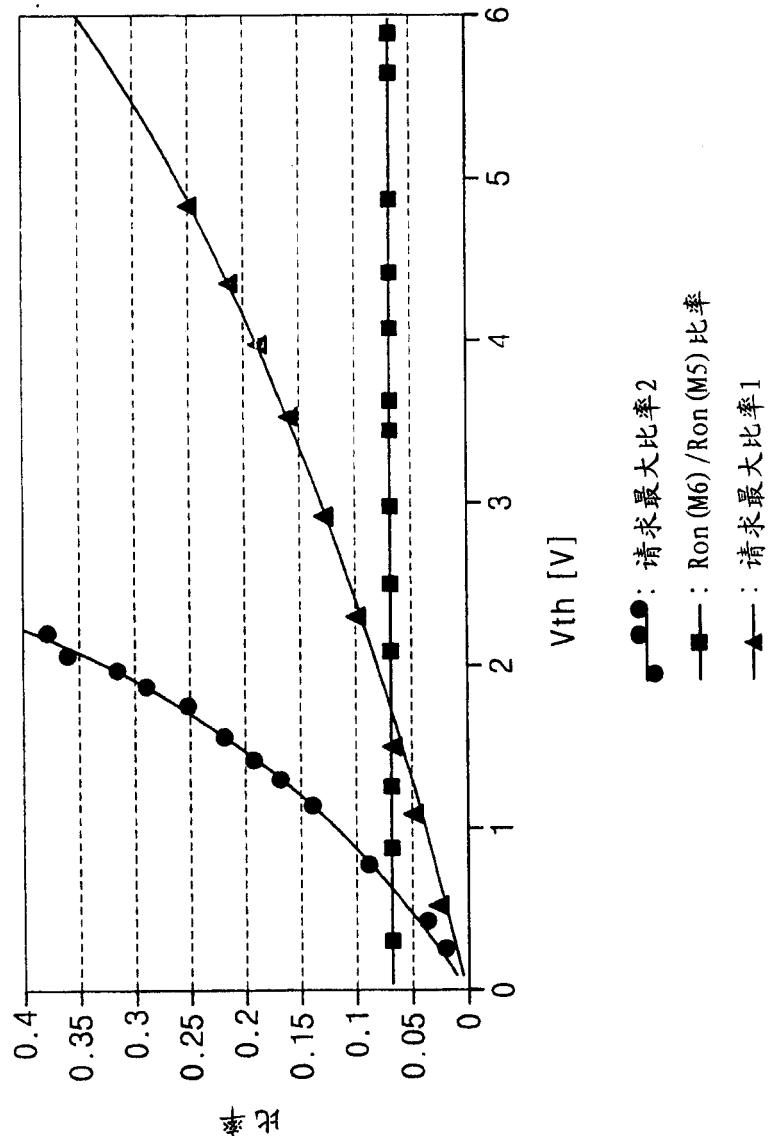

0.4
0.35
0.3
0.25
0.2
0.15
0.1
0.05
0
0
1
2
3
4
5
6
Vth [V]
：请求最大比率2
：Ron(M6)/Ron(M5)比率
：请求最大比率1

图 14

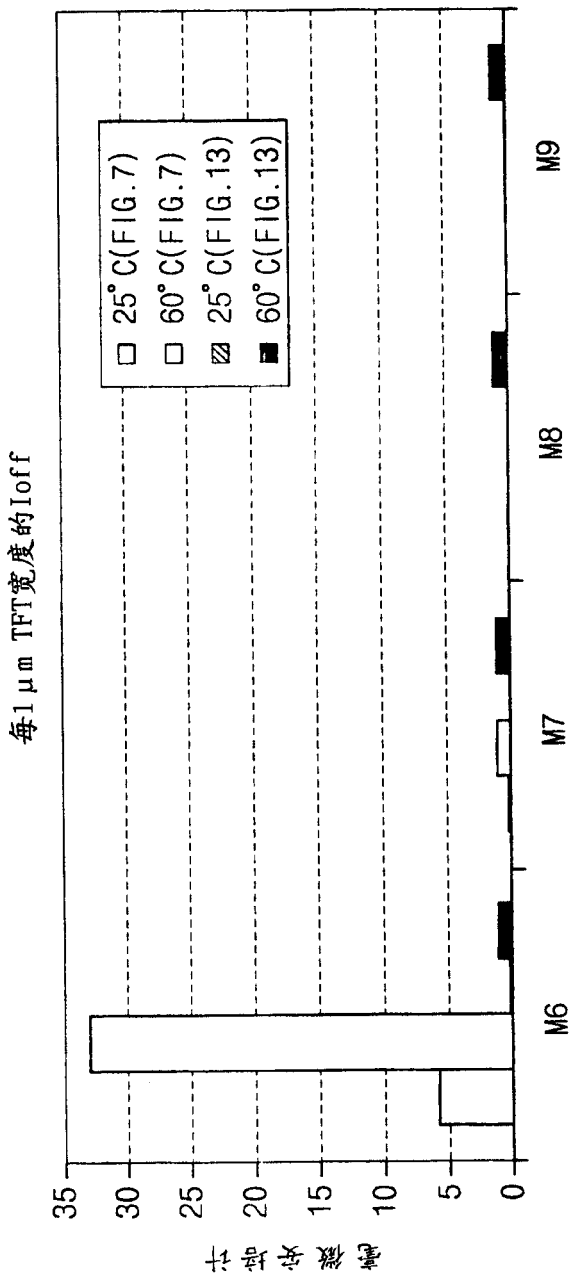
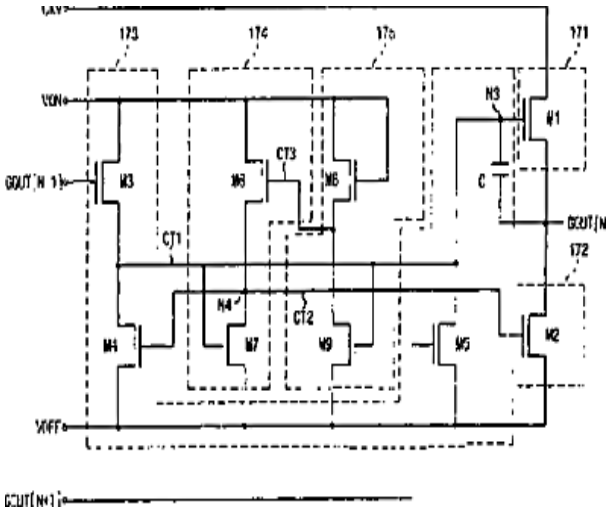

每1μm TFT宽度的Ioff
毫微安培计
35
30
25
20
15
10
5
0
25°C(FIG.7)
60°C(FIG.7)
25°C(FIG.13)
60°C(FIG.13)
M6
M7
M8
M9
TFT名

图 15

专利名称(译)	移位寄存器和具有同样移位寄存器的液晶显示器		
公开(公告)号	CN1480952A	公开(公告)日	2004-03-10
申请号	CN03145388.0	申请日	2003-07-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	文胜焕		
发明人	文胜焕		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G11C19/00 G11C19/28		
CPC分类号	G11C19/28 G09G3/3688 G09G3/3677		
优先权	1020020053634 2002-09-05 KR		
其他公开文献	CN100454441C		
外部链接	Espacenet SIPO		

摘要(译)

在移位寄存器和具有同样移位寄存器的LCD中，移位寄存器包括具有接收第一时钟信号和第一控制信号的奇数级和接收第二时钟信号和第二控制信号的偶数级的多个级。多个级中的每个都包括向输出端子提供第一和第二时钟信号之一的上拉部分，向输出端子提供第一功率电压的下拉部分，根据前面级的输出信号接通/关闭上拉部分和根据第一和第二控制信号关闭上拉部分的上拉驱动部分，输出第三控制信号的第一下拉驱动部分，和根据输入信号关闭下拉部分并根据第三控制信号接通下拉部分的第二下拉驱动部分。