

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200510052688.9

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

[45] 授权公告日 2008 年 6 月 11 日

[11] 授权公告号 CN 100394471C

[22] 申请日 2005.3.3

[21] 申请号 200510052688.9

[30] 优先权

[32] 2004.10.15 [33] JP [31] 2004-301788

[73] 专利权人 夏普株式会社

地址 日本大阪

[72] 发明人 本田建功 平木克良 古越靖武

[56] 参考文献

CN1397926A 2003.2.19

CN1489126A 2004.4.14

US2001/0043178A1 2001.11.22

JP2001-195043A 2001.7.19

审查员 陈敏泽

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 张龙哺 郑特强

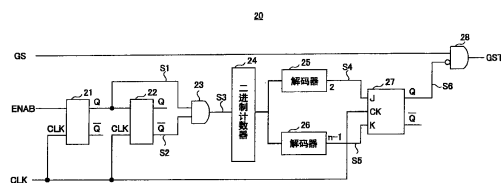
权利要求书 2 页 说明书 10 页 附图 9 页

[54] 发明名称

液晶显示装置和预防其中的故障的方法

[57] 摘要

一种液晶显示装置包括：多个像素，排列为矩阵形式，包括各晶体管；多个栅极总线，每个栅极总线连接于对应单行中排列的晶体管的栅极；多个数据总线，每个数据总线连接于对应单列中排列的晶体管的沟道一端；栅极驱动器，配置为相继驱动多个栅极总线；以及定时控制电路，配置为：向栅极驱动器提供定时信号，该定时信号表示多个栅极总线的相继驱动的开始；以及在提供该定时信号之后的预定时间期间，屏蔽该定时信号。



1. 一种液晶显示装置，包括：
多个像素，排列为矩阵形式，包括各晶体管；
多个栅极总线，每个栅极总线连接于对应单行中排列的所述晶体管的栅极；
多个数据总线，每个数据总线连接于对应单列中排列的所述晶体管的沟道一端；
栅极驱动器，配置为相继驱动所述多个栅极总线；以及
定时控制电路，配置为：向所述栅极驱动器提供定时信号，该定时信号表示所述多个栅极总线的相继驱动的开始；以及在提供该定时信号之后的预定时间期间，屏蔽该定时信号。
2. 如权利要求 1 所述的液晶显示装置，其中，所述定时控制电路基于被相继驱动的栅极总线的数量，来限定该预定时间期间。
3. 如权利要求 2 所述的液晶显示装置，其中，所述定时控制电路包括：
计数器，配置为对于与所述多个栅极总线的相继驱动相对应的同步信号进行计数；
电路，配置为响应于所述计数器所计算的计数来设定屏蔽该定时信号的时间期间。
4. 如权利要求 1 所述的液晶显示装置，其中，所述定时控制电路通过计时电路来限定该预定时间期间，该计时电路被配置为根据固定参数来测量预定的时间流逝。
5. 如权利要求 4 所述的液晶显示装置，其中，该预定时间期间被设定为一时长，该时长比用于驱动一个显示屏的所述多个栅极总线所需的时间期间的一半更长。
6. 如权利要求 4 所述的液晶显示装置，其中，所述栅极驱动器包括多个串联连接的栅极驱动器装置，该预定时间期间对应于用以相继驱动与所述多个栅极驱动器装置之一对应的栅极总线所需的时间。
7. 如权利要求 4 所述的液晶显示装置，其中，配置为测量该预定时间流逝的所述计时电路是单触发多频振荡器。

8. 如权利要求 1 所述的液晶显示装置, 其中, 所述定时控制电路通过相继驱动的栅极总线数量和计时电路来限定该预定时间期间, 该计时电路被配置为根据固定参数来测量预定的时间流逝。

9. 如权利要求 1 所述的液晶显示装置, 其中, 所述定时控制电路在第一期间和第二期间之一屏蔽该定时信号, 所述第一期间由相继驱动的栅极总线的数量限定, 所述第二期间由配置为根据一固定参数来测量预定时间流逝的一计时电路限定。

10. 一种在液晶显示装置中预防故障的方法, 该液晶显示装置包括: 多个像素, 排列为矩阵形式, 包括各晶体管; 多个栅极总线, 每个栅极总线连接于对应单行中排列的所述晶体管的栅极; 多个数据总线, 每个数据总线连接于对应单列中排列的所述晶体管的沟道一端; 以及栅极驱动器, 配置为相继驱动所述多个栅极总线, 所述方法包括步骤:

向所述栅极驱动器提供定时信号, 该定时信号表示所述多个栅极总线的相继驱动的开始; 以及

在提供该定时信号之后的预定时间期间, 屏蔽该定时信号。

11. 一种驱动器电路, 用于驱动具有栅极总线的液晶显示器, 包括:
栅极驱动器, 配置为相继驱动所述栅极总线; 以及

定时控制电路, 配置为: 向所述栅极驱动器提供定时信号, 该定时信号表示所述栅极总线的相继驱动的开始; 以及在提供该定时信号之后的预定时间期间, 屏蔽该定时信号。

液晶显示装置和预防其中的故障的方法

技术领域

本发明一般地涉及液晶显示装置，特别地涉及驱动有源矩阵型液晶显示装置中的栅极驱动器。

背景技术

在有源矩阵型液晶显示器(LCD)装置中，包含薄膜晶体管(用作开关装置)的像素被排列为矩阵形式，同时在水平方向上延伸的栅极总线连接于这些像素的晶体管的栅极，在垂直方向上延伸的数据总线经过这些晶体管连接于这些像素的像素电极(电容器)。当数据将要显示在液晶面板上时，栅极驱动器逐一地相继驱动栅极总线，以使晶体管相对于一行同时导通(conductive)。经过导通的晶体管，将用于一个水平行的数据从数据驱动器写到像素。

图1是表示相关技术的液晶显示装置的结构示意图。

图1的液晶显示装置包括：LCD面板10、控制电路11、栅极驱动器12、数据驱动器13、逆变器电路14、背光(backlight)15。在LCD面板10中，包括晶体管Tr的像素被排列为矩阵形式。在水平方向上从栅极驱动器12延伸的栅极总线GL连接于晶体管Tr的栅极，在垂直方向上从数据驱动器13延伸的数据总线DL用于经过晶体管Tr将像素数据写到像素电极。

控制电路11的IF信号控制电路11a接收时钟信号、显示数据、表示显示位置的定时的显示致能信号，作为输入信号。控制电路11的定时控制器11b从与该显示致能(enable)信号的正跳变相对应的开始位置，对该时钟信号的时钟脉冲进行计数，以判定水平位置的定时，由此产生各种控制信号。此外，对一位置进行检测，在该位置处，该显示致能信号的低期间持续超过时钟脉冲的预定数量，由此判定每帧的帧头位置。

从定时控制器11b提供给栅极驱动器12的控制信号包括栅极时钟信号、栅极启动脉冲信号等等。该栅极时钟信号是同步信号，栅极总线与该栅极时钟信号的正跳变同步地被逐一驱动。即，与其栅极被开启的一个水平行相对

应的晶体管，与该栅极时钟信号的正跳变同步地逐行在垂直方向上被移位(shift)。该栅极启动脉冲信号是同步信号，其表示第一栅极总线被驱动的定时。该定时对应于帧的启动定时。即，屏幕的第一栅极总线(一个水平行)在该栅极启动脉冲信号所表示的定时处被选择用于显示数据的写入，并且向其写入显示数据的该行与该栅极时钟信号同步地在垂直方向上被移位。

从定时控制器 11b 提供给数据驱动器 13 的控制信号包括点时钟(dot clock)信号、数据启动信号、锁存(latch)脉冲等等。点时钟信号由时钟脉冲组成；与点时钟信号的正跳变同步，显示数据被数据驱动器 13 的寄存器锁存。该数据启动信号用于表示显示数据段的启动定时，这些显示数据段将设置于数据驱动器 13 中的各驱动器电路 13a 显示。在数据启动信号所表示的定时处启动，单个寄存器与点时钟信号同步地相继锁存用于一个像素的显示数据。这些锁存脉冲用于表示定时，在该定时下，储存于寄存器中的显示数据被内置锁存器锁存。锁存的显示数据信号被 DA 转换器转换为模拟灰度信号，然后被输出至数据总线 DL，作为数据总线驱动信号。

控制电路 11 的 DC/DC 转换器 11c 将直流电源电压转换为具有不同电平的直流电压，然后被提供至每个电路部分。控制电路 11 的偏置电源电路 11d 具有高精度的电压跟踪功能，将用于判定 LCD 面板 10 驱动电平的偏置电源电压，提供给栅极驱动器 12 和数据驱动器 13。逆变器电路 14 通过利用该直流电源电压，产生用于开启冷阴极射线管的高电压，提供所产生的高电压给背光 15。背光 15 从其后侧照射 LCD 面板 10。

专利文献 1：日本专利申请公开号 No. 5-264962

专利文献 2：日本专利申请公开号 No. 2002-358051

如果如上所述的各类信号由于噪声等恶化，可能导致致命的故障。当改变其设置以切换液晶显示器的图像分辨率等，例如其运行可能进入异常状态，导致显示数据信号、同步信号、控制信号等的异常。

例如，栅极启动脉冲信号(表示第一栅极总线被开启的定时的同步信号)在对应于一帧显示的期间，通常仅被一次提供给栅极驱动器 12。然而，当由于液晶显示器的设置等改变而发生异常时，在对应于一帧显示的期间，会产生多个栅极启动脉冲信号。替代地，栅极启动脉冲信号可能被延长，从而其脉冲宽度在延伸于多个水平行之上时结束。

如果产生多个栅极启动脉冲信号或其脉冲宽度变得过宽，在 LCD 面板 10 上，不止一个的栅极总线受到数据写入，导致用于在 LCD 面板 10 上写入数据的功率的增加。这可能增加电源电路系统(比如 DC/DC 转换器 11c)上的负荷，引起系统停止，或者引起过多电流流入栅极驱动器 12，损坏电路。

因而，需要一种液晶显示装置，即使在栅极启动脉冲中发生异常时仍可预防电源单元和其他电路免于遭受过量负荷的状态。

发明内容

本发明的一般目的是提供一种液晶显示装置，其基本消除相关技术的局限和弊端所引起的一个或多个问题。

本发明的特征和优点将在下面的描述中呈现，并且从该描述和附图中将部分地变得明显，或者通过按照该描述所提供的教导对本发明进行实践来获悉。本发明的目的以及其他特征和优点将通过本说明书中所特别指出的液晶显示装置来实现和获得，该说明书中这样完整、清楚、简明和准确的术语可使得本领域普通技术人员实践本发明。

为根据本发明目的实现这些和其他优点，本发明提供一种液晶显示装置，包括：多个像素，排列为矩阵形式，包括各晶体管；多个栅极总线，每个栅极总线连接于对应单行中排列的晶体管的栅极；多个数据总线，每个数据总线连接于对应单列中排列的晶体管的沟道一端；栅极驱动器，配置为相继驱动多个栅极总线；以及定时控制电路，配置为：向栅极驱动器提供定时信号，该定时信号表示多个栅极总线的相继驱动的开始；以及在提供该定时信号之后的预定时间期间，屏蔽(mask)该定时信号。

按照本发明的另一方案，提供一种在液晶显示装置中预防故障的方法，该液晶显示装置包括：多个像素，排列为矩阵形式，包括各晶体管；多个栅极总线，每个栅极总线连接于对应单行中排列的晶体管的栅极；多个数据总线，每个数据总线连接于对应单列中排列的晶体管的沟道一端；以及栅极驱动器，配置为相继驱动多个栅极总线。该方法包括步骤：提供向栅极驱动器提供定时信号，该定时信号表示多个栅极总线的相继驱动的开始；以及在提供该定时信号之后的预定时间期间，屏蔽该定时信号。

根据本发明的至少一个实施例，栅极启动脉冲信号被提供给栅极驱动

器，作为表示多个栅极总线相继驱动开始的定时信号，在提供该栅极启动脉冲信号之后的预定时间期间，屏蔽又一栅极启动脉冲信号。利用该设置，即使在一个显示屏的显示期间，产生多个栅极启动脉冲信号，但是在每单个屏幕期间，单个栅极启动脉冲信号被提供该栅极驱动器。此外，即使栅极启动脉冲信号的脉冲宽度有所改变，但是在预定定时启动的屏蔽操作将该栅极启动脉冲信号整形为固定脉冲宽度。这使得即使在栅极启动脉冲中发生异常时仍可预防电源单元和其他电路免于遭受过量负荷的状态。

附图说明

从结合附图来阅读的如下具体描述中，本发明的其他目的和更多特征将会更为明显，在附图中：

图 1 是表示相关技术的液晶显示装置的结构示意图；

图 2 是根据本发明的栅极启动脉冲控制电路第一实施例的结构实例的电路图；

图 3 是说明图 2 的栅极启动脉冲控制电路的工作的定时图；

图 4 是说明图 2 的栅极启动脉冲控制电路的工作的定时图；

图 5 是根据本发明的栅极启动脉冲控制电路第二实施例的结构实例的电路图；

图 6 是说明图 5 的栅极启动脉冲控制电路的工作的定时图；

图 7 是根据本发明的栅极启动脉冲控制电路第三实施例的结构实例的电路图；

图 8 是说明图 7 的栅极启动脉冲控制电路的工作的定时图；

图 9 是说明图 7 的栅极启动脉冲控制电路的工作的定时图。

具体实施方式

在下文中，将参照附图描述本发明的实施例。

图 2 是根据本发明的栅极启动脉冲控制电路第一实施例的结构实例的电路图。图 2 的栅极启动脉冲控制电路 20 包括：D 触发器 21 和 22、与门 23、二进制计数器 24、解码器 25 和 26、JK 触发器 27 和与门 28(2 个输入之一是负逻辑输入)。栅极启动脉冲控制电路 20 基于图 1 所示定时控制器 11b 产生

的栅极启动脉冲信号 GS, 产生提供给栅极驱动器 12 的栅极启动脉冲信号 GST。栅极启动脉冲控制电路 20 可设置为定时控制器 11b 的部分, 可设置在控制电路 11 和栅极驱动器 12 之间, 或者可设置在栅极驱动器 12 中。

D 触发器 21 接收一致能信号 ENAB 作为输入数据(其表示一个水平行的显示数据的期间), 与时钟信号 CLK 同步地锁存该输入数据, 以产生与延迟一个时钟周期的致能信号 ENAB 相等的信号 S1。D 触发器 22 接收信号 S1 作为输入数据, 与时钟信号 CLK 同步地锁存该输入数据, 由此进一步将信号 S1 延迟一个时钟周期。与门 23 在信号 S1(来自 D 触发器 21)和信号 S2(作为 D 触发器 22 的反相输出 $\bar{Q}$)之间执行一“与”操作, 将结果 S3 提供给二进制计数器 24。与门 23 的输出 S3 是表示定时的脉冲信号, 该定时是在显示数据的水平行期间开始之后的一个时钟周期。

二进制计数器 24 对于从与门 23 输出的脉冲信号 S3 进行计数, 将该计数提供给解码器 25 和 26。解码器 25 对于从二进制计数器 24 提供的计数进行解码, 输出脉冲信号 S4, 其表示由 n 个水平行组成的给定屏幕的第三水平行的定时。解码器 26 对于从二进制计数器 24 提供的计数进行解码, 输出脉冲信号 S5, 其表示由 n 个水平行组成的给定屏幕的第 n 水平行的定时。

JK 触发器 27 由信号 S4 设定和由信号 S5 复位。结果, JK 触发器 27 产生屏蔽信号 S6, 该屏蔽信号 S6 在显示屏期间中第三条水平行的启动定时处(更准确地说, 即在这样的定时, 该定时是这种启动定时之后的一个时钟)变为高, 在显示屏期间中第 n 水平行的启动定时处(更准确地说, 即在这样的定时, 该定时是在这种启动定时之后的一个时钟)变为低。在该屏蔽信号 S6 的高期间, 与门 28 屏蔽栅极启动脉冲信号 GS 以产生栅极启动脉冲信号 GST。

图 3 和图 4 是说明图 2 的栅极启动脉冲控制电路 20 的工作的定时图。

如图 3 所示, 在一个水平行期间保持为高的致能信号 ENAB 被延迟一个时钟周期, 以变为信号 S1。信号 S1 被进一步延迟一个时钟周期和反相变为信号 S2。信号 S1 与信号 S2 之间的“与”操作可产生信号 S3。信号 S3 是脉冲信号, 其在每个水平行的开始之后一个时钟周期的定时处变为高。

在图 4 中, 顶行表示信号 S3, 其在每个水平行的开始之后一个时钟周期处变为高。编号“0”到“n-1”被分配给脉冲信号 S3 的脉冲。与脉冲信号 S3 的 n 个脉冲“0”到“n-1”相对应的 n 个水平行构成一屏。图 4 中箭头“A”

所指的两个脉冲信号 S3 对应于图 3 所示两个脉冲信号 S3。对脉冲信号 S3 进行计数,对该计数进行解码,产生了在第三脉冲(当从#0 开始计数时的脉冲#2)的定时处变高的信号 S4 和在第 n 个脉冲(当从#0 开始计数时的脉冲#n-1)处变为高的信号 S5。屏蔽信号 S6 在信号 S4 的正跳变时变为高,在信号 S5 的正跳变时变为低。

作为输入而提供的栅极启动脉冲信号 GS 在屏蔽信号 S6 的高期间被屏蔽,由此产生栅极启动脉冲信号 GST。由于屏蔽信号 S6 的屏蔽,即使由于栅极启动脉冲信号 GS 的异常,在一个显示屏期间产生多个如箭头“B”所示的栅极启动脉冲信号,但是在每单个屏期间产生单个栅极启动脉冲信号(表示为栅极启动脉冲信号 GST)。此外,即使栅极启动脉冲信号 GS 的脉冲宽度有所改变,预定定时处启动的屏蔽信号的屏蔽操作将栅极启动脉冲信号 GST 整形为固定的脉冲宽度。

以这种方式,第一实施例对水平行的数量进行计数以识别水平行,在预定水平行之间的期间,屏蔽该栅极启动脉冲信号。利用这种设置,即使在栅极启动脉冲信号中发生异常时,仍可将适当的栅极启动脉冲信号提供给栅极驱动器 12。

在上述实例中,基于致能信号 ENAB,产生屏蔽信号。替代地,可基于不同于致能信号 ENAB 的另一控制信号,以相同方式产生屏蔽信号。如果该控制信号在水平期间维持(assert)预定次数,这种信号就满足该目的。如前所述的栅极时钟信号(用以逐个移位栅极总线用于其驱动)或锁存脉冲信号(用以表示一定时,在该定时下,寄存器中存储的显示数据被内置锁存器锁存)可被用来产生该屏蔽信号。此外,上述屏蔽信号被第三水平行和第 n 水平行限定。替代地,屏蔽信号也可由第四水平行和第 n-1 水平行限定。在考虑屏蔽效果的必要性时,可适当进行这样的设计变化。

图 5 是根据本发明的栅极启动脉冲控制电路的第二实施例的结构实例的电路图。图 5 的栅极启动脉冲控制电路 20A 包括:单触发多频振荡器(one-shot multi-vibrator)31、D 触发器 32 和与门 33(2 个输入之一是负逻辑输入)。栅极启动脉冲控制电路 20A 基于图 1 所示定时控制器 11b 产生的栅极启动脉冲信号 GS,产生提供给栅极驱动器 12 的栅极启动脉冲信号 GST。栅极启动脉冲控制电路 20A 可设置为定时控制器 11b 的部分,可设置在控制电路 11 和栅

极驱动器 12 之间，或者可设置在栅极驱动器 12 中。

单触发多频振荡器 31 包括单触发多频振荡器装置 31a、电容器 C_x 和电阻器 R_x 。利用具有适当电容、电阻并且连接于单触发多频振荡器 31 的电容器 C_x 和电阻器 R_x ，对应于电容和电阻所限定的时间常数，单触发多频振荡器装置 31a 通过产生在预定持续时间保持为高的脉冲信号，来响应输入脉冲信号。在图 5 所示实例中，单触发多频振荡器 31 接收栅极启动脉冲信号 GS 作为输入，产生脉冲信号 S11，其在栅极启动脉冲信号 GS 正跳变之后的预定时间期间保持为高。

D 触发器 32 与时钟信号 CLK 同步地锁存从单触发多频振荡器 31 输出的脉冲信号 S11，由此产生被延迟一个时钟周期的脉冲信号 S12。与门 33 使用脉冲信号 S12 作为屏蔽信号，以屏蔽该输入栅极启动脉冲信号 GS，产生该输出栅极启动脉冲信号 GST。

图 6 是说明图 5 的栅极启动脉冲控制电路 20A 的工作的定时图。

如图 6 所示，与时钟信号 CLK 同步地输入栅极启动脉冲信号 GS。作为响应，产生了在与时间常数 $C_x \cdot R_x$ 相对应的期间保持为高的脉冲信号 S11。由于脉冲信号 S11 响应于栅极启动脉冲信号 GS 的正跳变而上升，所以该信号无法用作屏蔽信号本身。考虑到这一点，脉冲信号 S11 被延迟时钟信号 CLK 的一个时钟周期以产生脉冲信号 S12，然后用作屏蔽信号。也就是，在用作屏蔽信号的脉冲信号 S12 为高的期间，栅极启动脉冲信号 GS 被屏蔽(强制为低)，由此将栅极启动脉冲信号 GST 提供给栅极驱动器。

例如，由于箭头“B”所示栅极启动脉冲信号 GS 的异常，在单个显示屏期间，可产生多个栅极启动脉冲信号。即使在这种情况下，仍可正确产生每单个屏幕的单个栅极启动脉冲信号，如栅极启动脉冲信号 GST 所示。此外，即使改变了栅极启动脉冲信号 GS 的脉冲宽度，在预定定时处启动的屏蔽信号的屏蔽操作将栅极启动脉冲信号 GST 整形为固定的脉冲宽度。

在这种工作中，单触发多频振荡器 31 输出脉冲信号(用于限定屏蔽期间)时的期间可设定为比单个显示屏的显示期间的一半稍微更长的时长。该期间也可设定为单个显示屏的显示期间的整个时长。然而，利用这种设定，当该实施例的单触发多频振荡器 31 通过响应异常栅极启动脉冲信号(图 6 中箭头“B”所示)而产生脉冲信号时，在异常信号之后的至少一个显示屏期间，无

法进行正确显示。通过将脉冲宽度设定为比一个显示屏的显示期间更短的时长，能够缩短在正确显示前必需的恢复时间。当脉冲宽度被设定为比单个显示屏的显示期间的一半稍微更长的时长时，对于一个显示屏，异常最多只能产生两个栅极启动脉冲。因此，电源电路和栅极驱动器 12 上的负荷不是如此沉重。

如图 1 所示，栅极驱动器 12 具有多个栅极驱动器电路 12a，每个电路驱动位于其覆盖区域之内的预定数量栅极线 GL。利用栅极驱动器电路 12a 的串联连接，移位操作(用于与栅极时钟信号同步地在垂直方向上相继扫描栅极线)从给定级别处的栅极驱动器 12a 传送到随后级别处的栅极驱动器 12a。当注意力集中在任一给定栅极驱动器电路 12a 的操作时，必须预防在这样的期间出现异常栅极启动脉冲信号，在该期间中，该给定栅极驱动器电路 12a 正在驱动其覆盖区域之内的栅极线 GL。因而，单触发多频振荡器 31 产生的脉冲信号的脉冲宽度，可根据这样的时间期间来设定，该时间期间是扫描落入信号栅极驱动器电路 12a 覆盖区域之内的预定数量栅极线 GL 所必需的。

以这种方式，第二实施例产生了在预定固定期间保持为高的脉冲信号，基于该产生的脉冲信号来屏蔽栅极启动脉冲信号。利用这种设置，即使在栅极启动脉冲信号中发生异常时，仍可将适当的栅极启动脉冲信号提供给栅极驱动器 12。

图 7 是根据本发明的栅极启动脉冲控制电路的第三实施例的结构实例的电路图。图 7 的结构结合了图 2 所示第一实施例结构和图 5 所示第二实施例结构。在图 7 中，与图 2 或图 5 所示相同的元件用相同标号来表示。

图 7 的栅极启动脉冲控制电路 20C 包括：D 触发器 21 和 22、与门 23、二进制计数器 24、解码器 25 和 26、JK 触发器 27、单触发多频振荡器 31、D 触发器 32、以及与门 33(三个输入中的两个是负逻辑输入)。在图 5 所示第二实施例结构中，单触发多频振荡器 31 接收栅极启动脉冲信号 GS 作为其输入。另一方面，在图 7 所示的第三实施例中，单触发多频振荡器 31 的输入端连接于解码器 25 的输出端。通过这种设置，产生屏蔽信号 S12，其在解码器 25 识别的预定水平行之后，在单触发多频振荡器 31 限定的预定持续期间保持为高，由此屏蔽栅极启动脉冲信号 GS。此外，二进制计数器 24 和解码器 25 对水平行的数量进行计数以识别水平行，由此产生屏蔽信号 S6，其相

对于预定水平行变为高，以屏蔽栅极启动脉冲信号 GS。

以这种方式，第三实施例结合第一实施例和第二实施例。因此，通过使用屏蔽操作之一，即使当其他屏蔽操作失败时，仍可处理栅极启动脉冲信号 GS。这使得适当处理各类故障成为可能，由此获得更可靠的操作。

图 8 和图 9 是说明图 7 的栅极启动脉冲控制电路 20C 的工作的定时图。该定时图说明了按照第一实施例的基于计数的屏蔽操作失败的实例。

图 8 示出了这样的情形，在假定致能信号 ENAB 在一个水平行期间保持为高的同时，由于异常，致能信号 ENAB 在一个水平行期间从高到低、从低到高地重复变化多次。如果致能信号 ENAB 是正常的，在一个水平行期间保持为高，则信号 S1 到 S3 表现为如图 3 所示。然而，由于致能信号 ENAB 的异常，这些信号在图 8 中呈现出完全不同的信号波形。致能信号 ENAB 被延迟一个时钟周期以变成信号 S1。信号 S1 被进一步延迟一个时钟周期和反相变为信号 S2。信号 S1 和信号 S2 之间的“与”操作可产生信号 S3。信号 S3 被假设为这样大脉冲信号，其在每条水平行的开始之后一个时钟周期处变为高。然而在图 8 中，信号 S3 在一个水平行期间多次变为高。

在图 9 中，顶行表示信号 S3，其被假设为在每个水平行的开始之后一个时钟周期处变高。对应于一个显示屏的脉冲信号 S3 中的脉冲数量是 n ，从而仅假设脉冲“0”到“ $n-1$ ”存在。然而，由于图 8 所示致能信号 ENAB 的异常，在图 9 所示实例中产生了编号从 #0 到 # $n+a$ 的 $(n+a+1)$ 个脉冲。

对脉冲信号 S3 进行计数和对该计数进行解码，产生了在第三脉冲(当从 #0 开始计数时的脉冲 #2)的定时处变为高的信号 S4 和在第 $n-1$ 个脉冲(当从 #0 开始计数时的脉冲 # $n-2$)处变为高的信号 S5。屏蔽信号 S6 在信号 S4 的正跳变时变为高，在信号 S5 的正跳变时变为低。

在屏蔽信号 S6 为高的期间，作为输入而提供的栅极启动脉冲信号 GS 被屏蔽。该屏蔽操作对应于第一实施例的屏蔽操作。在图 9 所示实例中，信号 S3 包括致能信号 ENAB 异常所造成的异常过量脉冲。由于这些脉冲的存在，在一个显示屏的栅极线的驱动结束(其对应于脉冲信号 S3 的脉冲 # $n+a$ 的定时)之前，屏蔽信号 S6 在脉冲信号 S3 的脉冲 # $n-2$ 的定时处结束。如果单独使用该脉冲信号 S6，则能够屏蔽箭头“A”所示的异常栅极启动脉冲信号 GS，但是不能屏蔽箭头“B”所示的异常的栅极启动脉冲信号 GS。

在第三实施例的结构中，产生脉冲信号 S11，其响应于在信号 S3 的第三个脉冲定时处变高的信号 S4 而上升，在对应于时间常数 $Cx \cdot Rx$ 的期间保持为高。该脉冲信号 S11 被延迟时钟信号 CLK 的一个时钟周期，以产生然后用作附加屏蔽信号的脉冲信号 S12。即，不仅通过利用第一屏蔽信号 S6 而且通过利用第二屏蔽信号 S12，屏蔽栅极启动脉冲信号 GS。通过使用第二屏蔽信号 S12 进行屏蔽操作，可屏蔽箭头“B”所示异常栅极启动脉冲信号 GS。结果，可正确产生每单个屏幕的单个栅极启动脉冲信号，如栅极启动脉冲信号 GST 所示。

此外，本发明不限于这些实施例，不脱离本发明的范围，可进行各种变化和改型。

本发明是基于 2004 年 10 月 15 日向日本专利局提交的日本优先权申请 No.2004- 301788，这里通过参照而并入其全部内容。

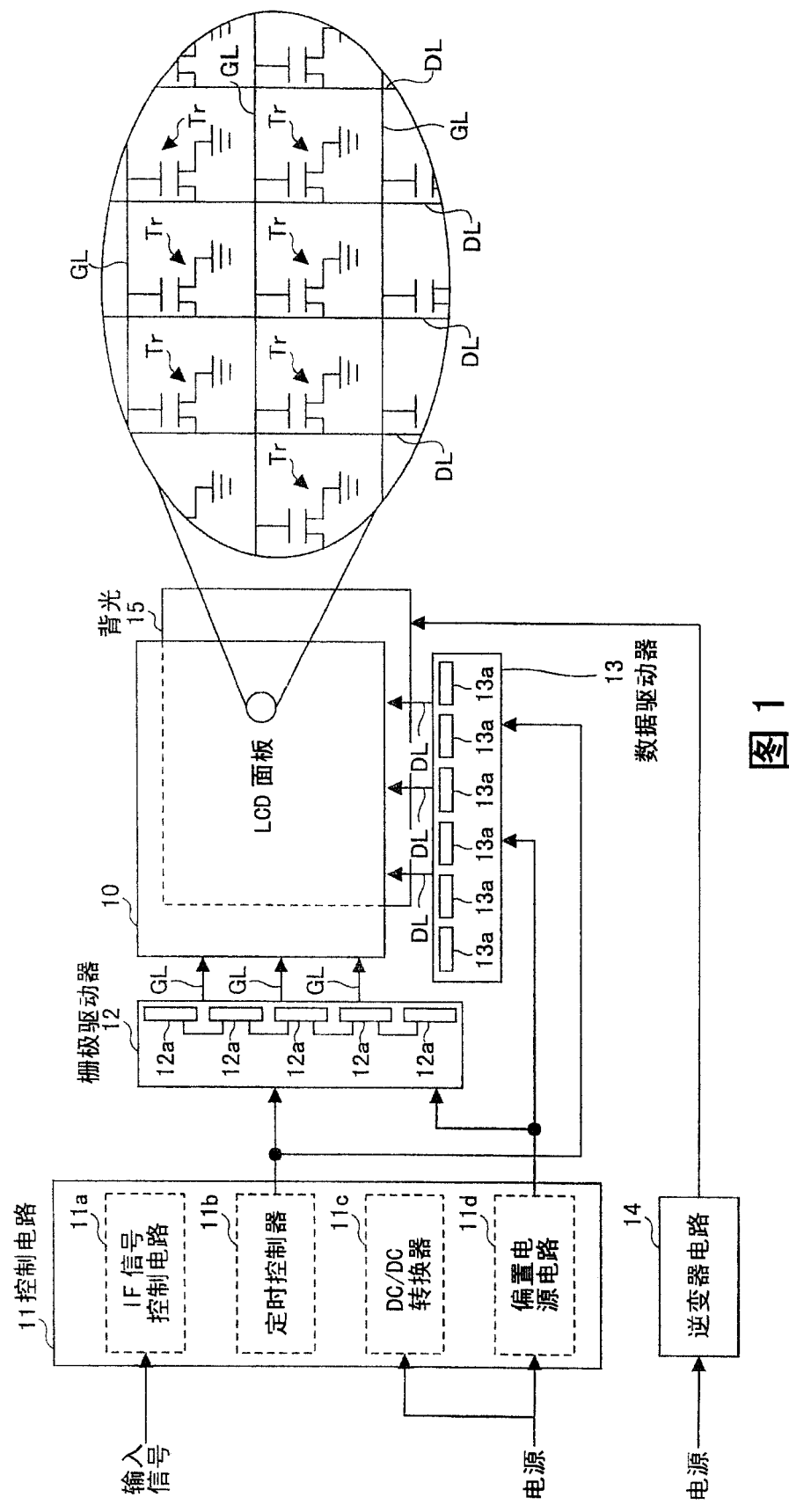
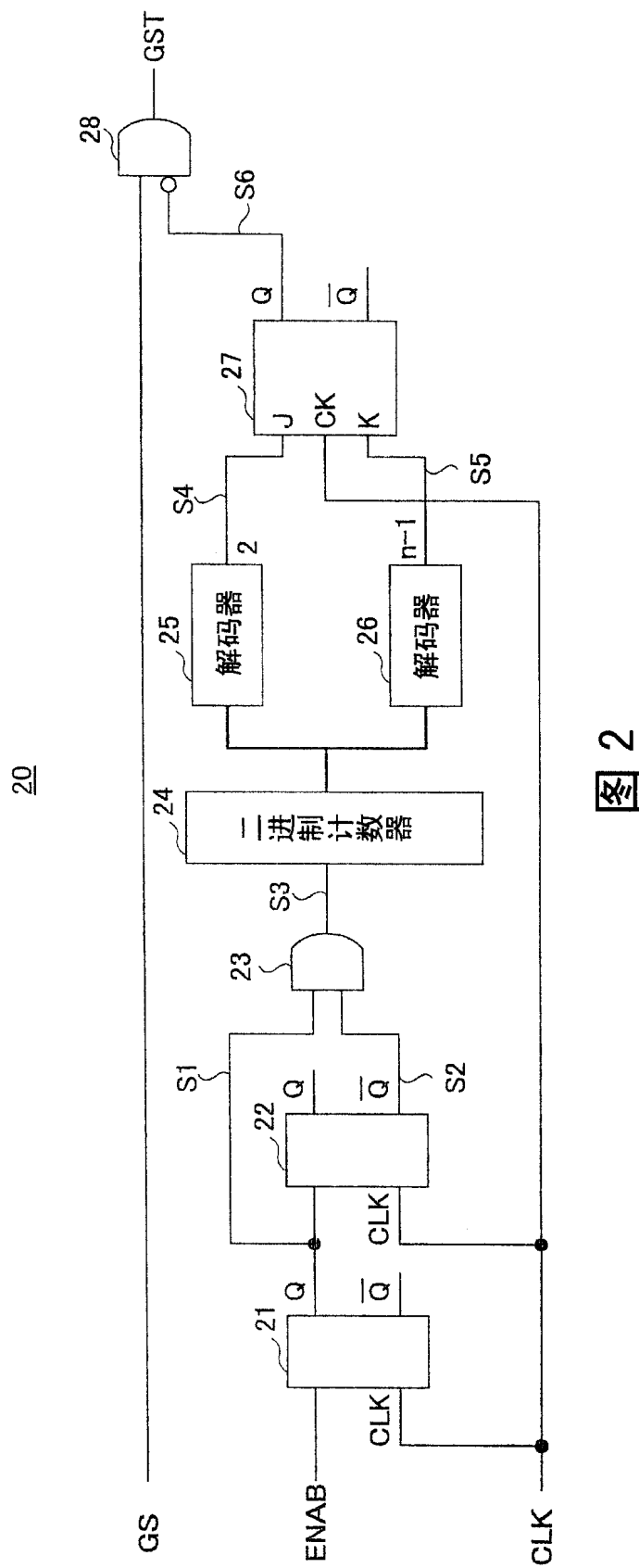


图 1



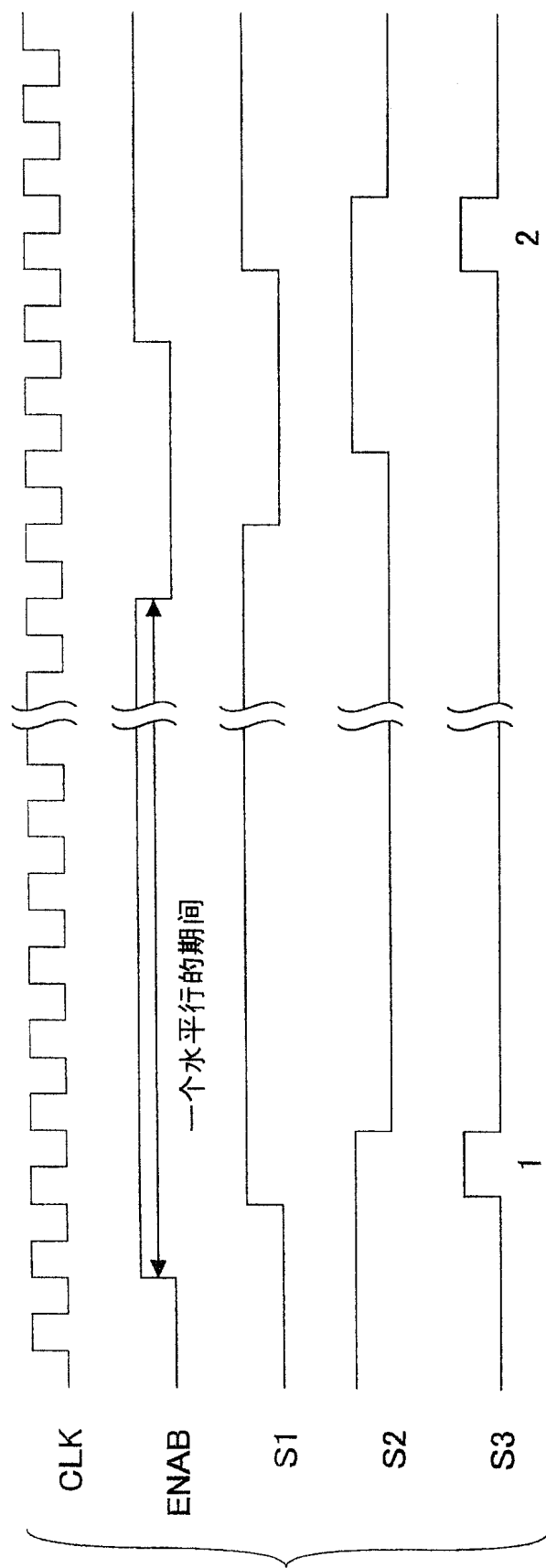


图 3

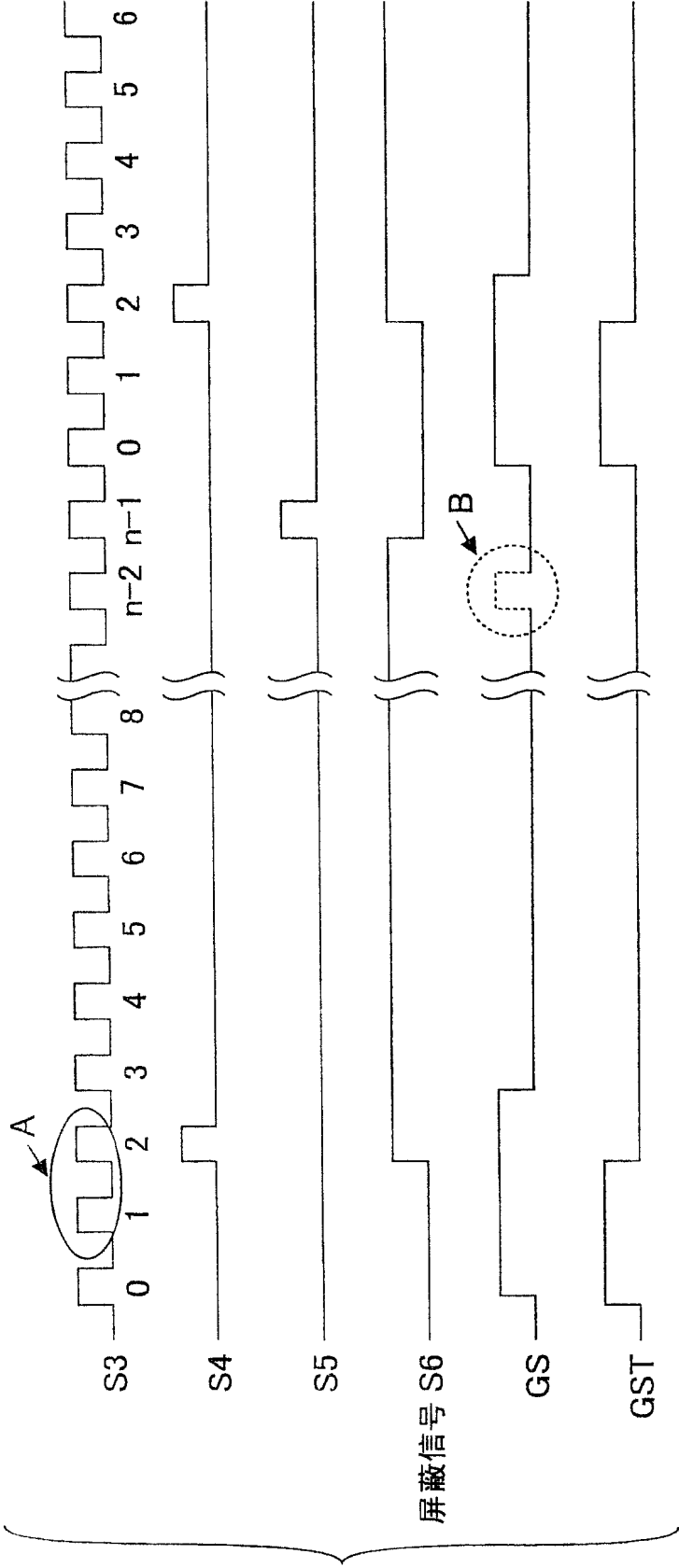


图 4

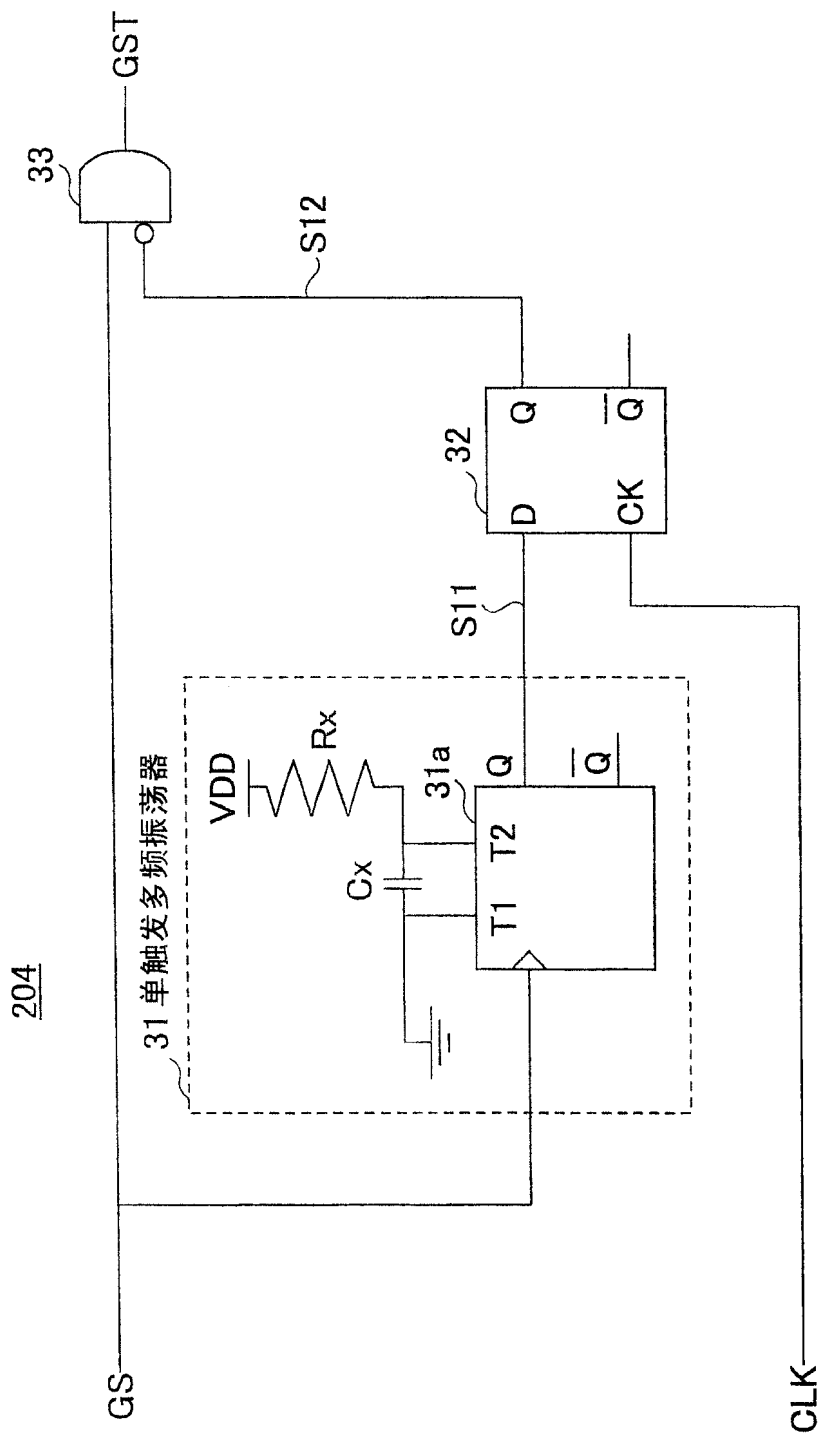


图 5

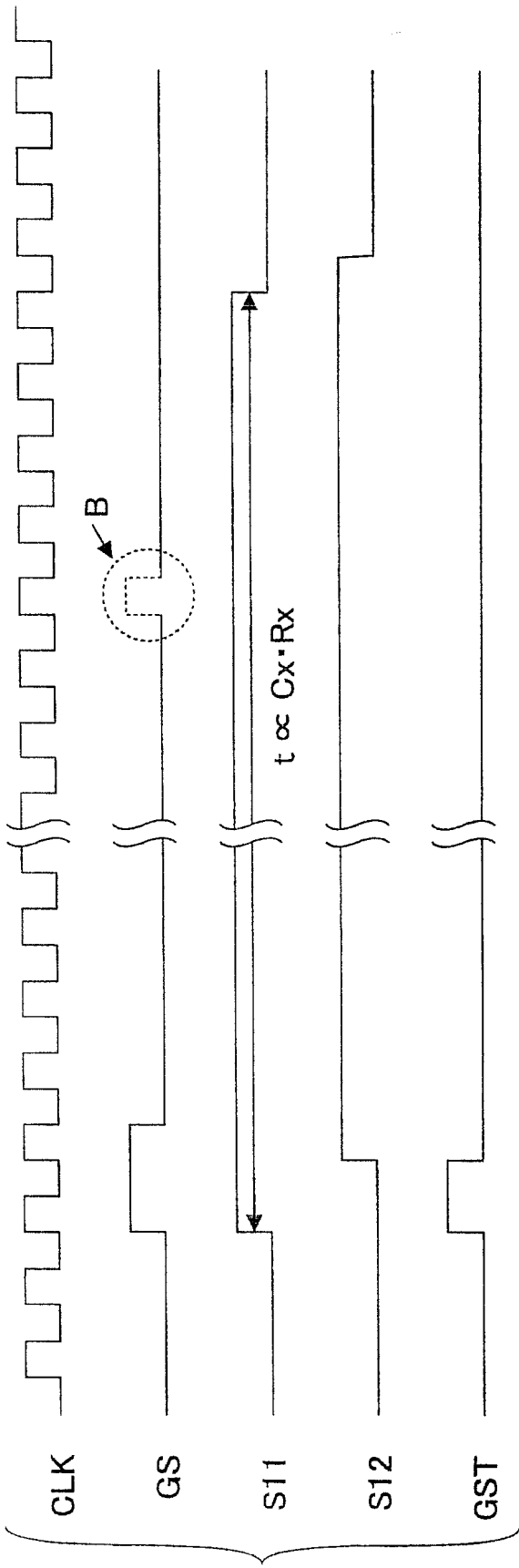


图 6

20C

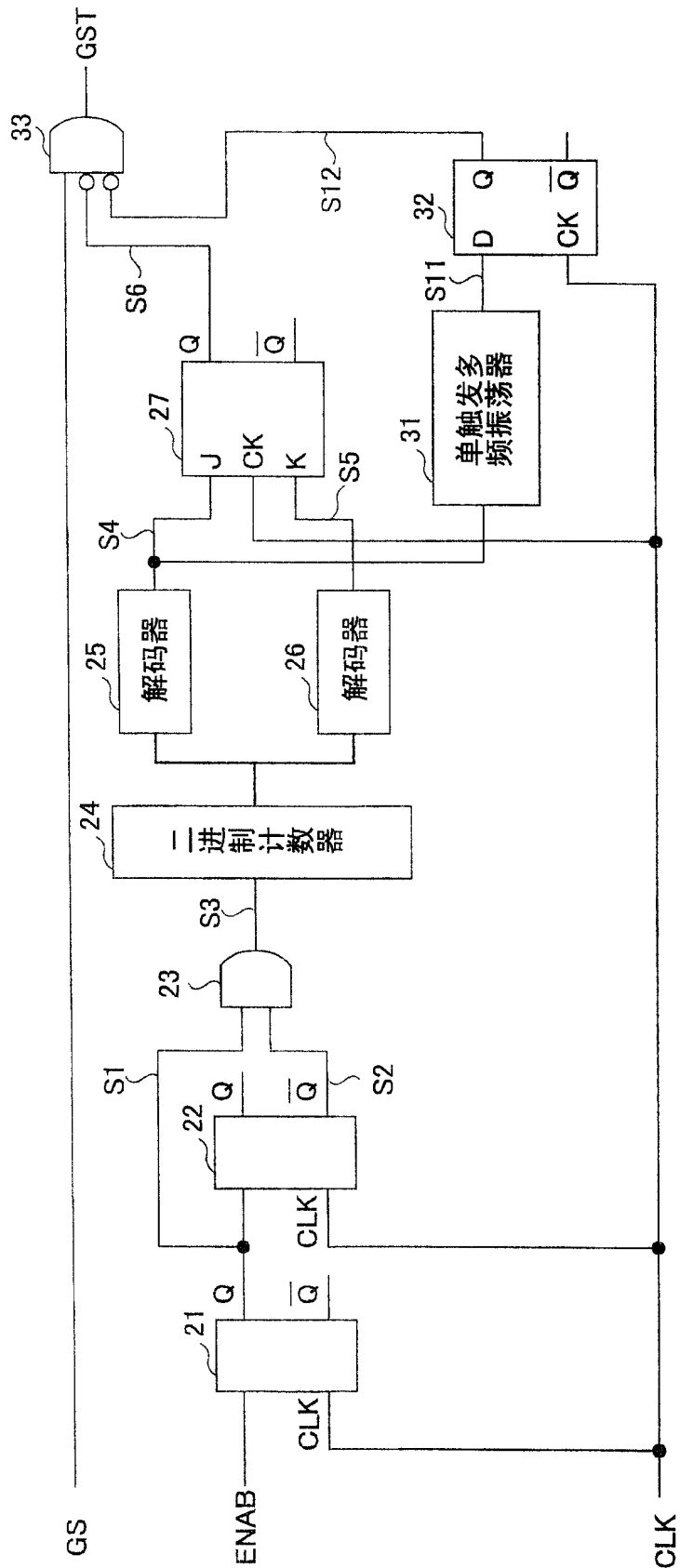


图 7

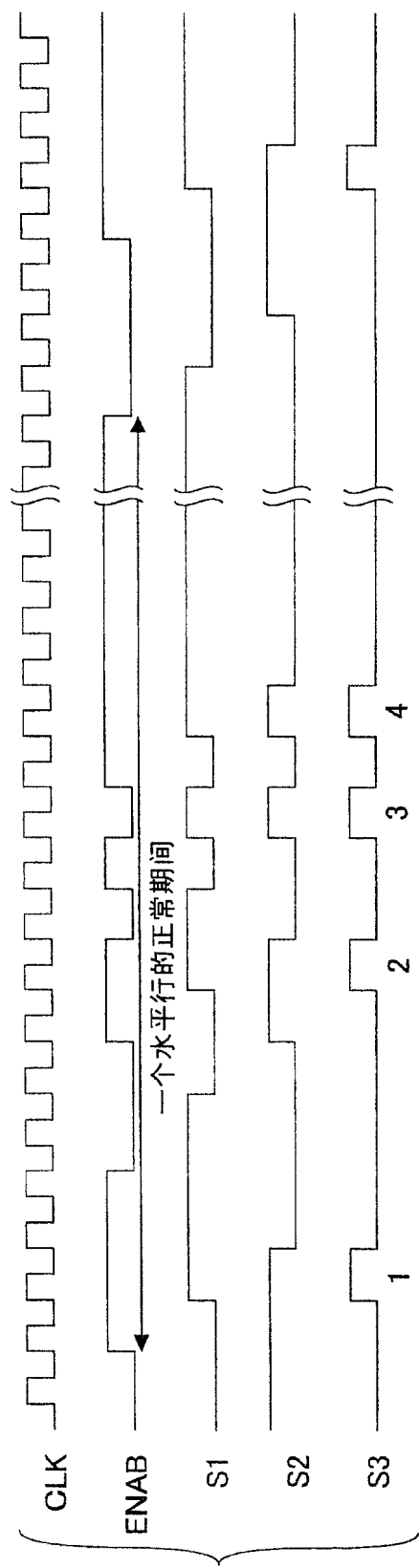


图 8

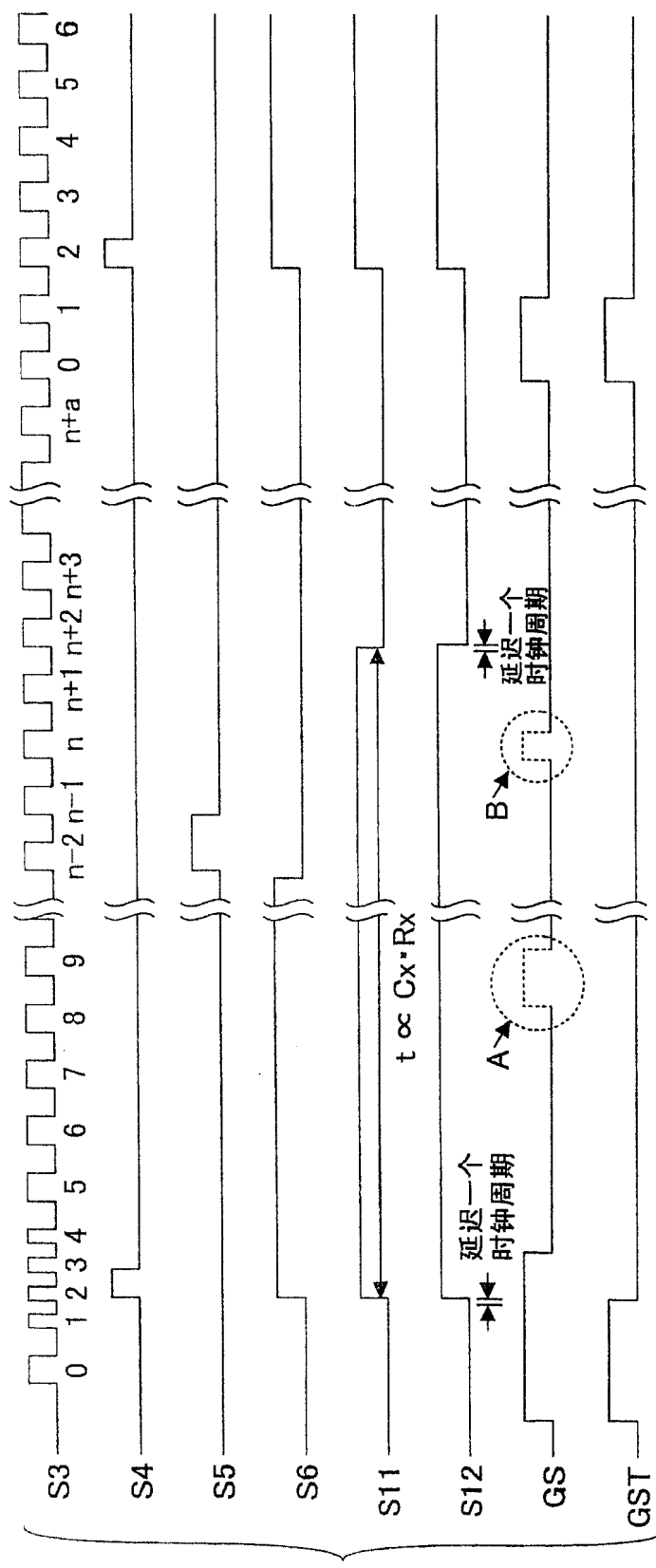


图 9

专利名称(译)	液晶显示装置和预防其中的故障的方法		
公开(公告)号	CN100394471C	公开(公告)日	2008-06-11
申请号	CN200510052688.9	申请日	2005-03-03
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	本田建功 平木克良 古越靖武		
发明人	本田建功 平木克良 古越靖武		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677		
代理人(译)	张龙哺		
优先权	2004301788 2004-10-15 JP		
其他公开文献	CN1760964A		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示装置包括：多个像素，排列为矩阵形式，包括各晶体管；多个栅极总线，每个栅极总线连接于对应单行中排列的晶体管的栅极；多个数据总线，每个数据总线连接于对应单列中排列的晶体管的沟道一端；栅极驱动器，配置为相继驱动多个栅极总线；以及定时控制电路，配置为：向栅极驱动器提供定时信号，该定时信号表示多个栅极总线的相继驱动的开始；以及在提供该定时信号之后的预定时间期间，屏蔽该定时信号。

