

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G02F 1/133 (2006.01)
G09G 3/36 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200510092049.5

[43] 公开日 2006年2月22日

[11] 公开号 CN 1737652A

[22] 申请日 2005.8.16
[21] 申请号 200510092049.5
[30] 优先权
 [32] 2004. 8. 20 [33] KR [31] 65842/04
[71] 申请人 三星电子株式会社
 地址 韩国京畿道
[72] 发明人 洪淳洸 金相洙 朴钟贤

[74] 专利代理机构 北京市柳沈律师事务所
 代理人 黄小临 王志森

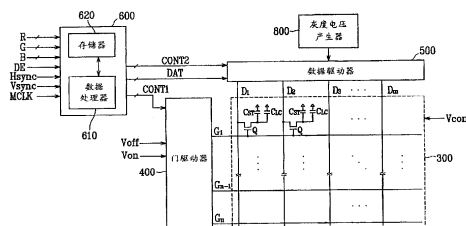
权利要求书 3 页 说明书 13 页 附图 10 页

[54] 发明名称

液晶显示器及其驱动方法

[57] 摘要

公开了一种液晶显示器，包括：多个像素；信号控制器，用于根据输入图像数据来向外部输出作为输入图像数据的、所施加的输入图像数据或脉冲数据；数据驱动器，用于向像素施加对应于来自所述信号控制器的所述输出图像数据的数据电压，其中，输入图像数据的帧的帧频率与所述输出图像数据的帧的帧频率不同。



1. 一种液晶显示器，包括：
多个像素；
- 5 信号控制器，用于根据输入图像数据来输出作为输出图像数据的、由外部所施加的输入图像数据或脉冲数据；以及
数据驱动器，用于向像素施加与来自所述信号控制器的所述输出图像数据对应的数据电压，
其中，输入图像数据的帧（称为“输入帧”）的帧频率（称为“输入帧频率”）与所述输出图像数据的帧（称为“输出帧”）的帧频率（称为“输出帧频率”）不同。
- 10 2. 按照权利要求1的液晶显示器，其中，所述输出帧包括正常帧和附加帧，所述正常帧的所述输出图像数据与所述输入图像数据相同，并且附加帧的输出图像数据与所述输入图像数据和所述脉冲数据的其中之一相同。
- 15 3. 按照权利要求2的液晶显示器，其中，所述输入图像数据包括第一和第二帧数据，并且，
所述信号控制器当在第一帧数据和第二帧数据之间的差超过预定值时输出所述脉冲数据，而当所述差未超过所述预定值时输出所述第一帧数据。
- 20 4. 按照权利要求3的液晶显示器，其中，所述输入帧和所述输出帧的频率比是2:3。
5. 按照权利要求4的液晶显示器，其中，所述输出帧包括三个连续输出帧，并且所述三个输出帧包括两个正常帧和一个附加帧。
6. 按照权利要求3的液晶显示器，其中，所述输入帧和所述输出帧的频率比是1:2。
- 25 7. 按照权利要求6的液晶显示器，其中，所述输出帧包括两个连续输出帧，并且所述两个输出帧包括一个正常帧和一个附加帧。
8. 按照权利要求4的液晶显示器，其中，所述输入帧的频率是60赫兹。
9. 按照权利要求3的液晶显示器，其中，所述脉冲数据具有小于预定灰度的灰度。
- 30 10. 按照权利要求3的液晶显示器，其中，所述脉冲数据是用于黑色的数据。

11. 按照权利要求 3 的液晶显示器，其中，所述信号控制器包括第一和第二存储器，用于分别存储所述第一和第二帧数据。

12. 按照权利要求 11 的液晶显示器，其中，所述信号控制器在两个水平周期中向所述第一和第二帧存储器中写入两个像素行的数据，并且从所述第一和第二帧存储器读取三个像素行的数据。

13. 按照权利要求 11 的液晶显示器，其中，所述信号控制器在两个水平周期中向所述第一和第二帧存储器中写入两个像素行的数据，并且从所述第一和第二帧存储器读取四个像素行的数据。

14. 按照权利要求 11 的液晶显示器，其中，所述第一和第二帧存储器是 DDR（双倍数据速率）RAM（随机存取存储器）。

15. 一种包括多个像素的液晶显示器的驱动方法，所述方法包括：

根据所述输入图像数据来输出作为输出图像数据的输入图像数据或脉冲数据；并且

向像素施加与所述输出图像数据对应的数据电压，

其中，输入图像数据的帧（称为“输入帧”）的帧频率（称为“输入帧频率”）与所述输出图像数据的帧（称为“输出帧”）的帧频率（称为“输出帧频率”）不同。

16. 按照权利要求 15 的方法，其中，所述输出帧包括正常帧和附加帧，所述正常帧的所述输出图像数据与所述输入图像数据相同，并且附加帧的输出图像数据与所述输入图像数据和所述脉冲数据的其中之一相同。

17. 按照权利要求 16 的方法，其中，所述输入图像数据包括第一和第二帧数据，并且，

所述输出所述输入图像数据或所述脉冲数据包括：

计算在所述第一帧数据和所述第二帧数据之间的差；

将所述差与一个预定值相比较；并且

当所述差超过所述预定值时输出所述脉冲数据来作为所述输入图像数据，当所述差未超过所述预定值时输出所述第一帧数据来作为所述输入图像数据。

18. 按照权利要求 17 的方法，其中，所述脉冲数据具有小于预定灰度的灰度。

19. 按照权利要求 17 的方法，其中，所述输入帧和所述输出帧的频率比

是 2:3 和 1:2 之一。

20. 按照权利要求 19 的方法, 其中, 所述输入帧的频率是 60 赫兹。

液晶显示器及其驱动方法

5 技术领域

本发明涉及一种液晶显示器及其驱动方法。

背景技术

液晶显示器 (LCD) 包括具有场产生电极的一对板和具有介电各向异性的液晶 (LC) 层, 所述液晶层位于所述两板之间。所述产生电极的场一般包
10 括: 多个像素电极, 它们以矩阵排列, 并且在每行连接到要被提供数据电压的开关元件, 所述开关元件诸如薄膜晶体管 (TFT); 一个公共电极, 它覆盖一个板的整个表面, 并且被提供公共电压。彼此配合产生电场的场产生电极和其间布置的液晶形成所谓的液晶电容器, 所述液晶电容器与开关元件一起
15 作为像素的基本元素。

LCD 向产生电极的场施加电压以产生对于液晶层的电场, 可以通过调整液晶电容器上的电压来控制所述电场的强度。因为电场确定液晶分子的方向并且所述分子方向确定通过液晶层的透光率, 所以通过控制所施加的电压来控制透光率, 由此获得期望的图像。

20 为了防止由于单向电场的长期施加等而导致的图像变差, 每帧、每行或每个像素反转相对于公共电压的数据电压的极性。

数据电压的极性反转提高了液晶电容器的充电时间, 因为液晶的响应时间不特别快。因此, 液晶电容器需要长时间来达到目标亮度 (或目标电压), 以致由 LCD 显示的图像不清楚和模糊。

25 为了解决这个问题, 已经开发了脉冲驱动, 用于在正常的图像之间短时间插入黑色图像。

所述脉冲驱动技术包括: 脉冲发射类型的驱动, 它周期性地使得背光灯发光以产生黑色图像; 循环重置类型的驱动, 它周期性地向像素施加黑色数据电压以使得在正常的数据电压的施加之间变为黑色状态。

30 但是, 这些技术不补偿液晶的大响应时间, 并且背光灯的响应时间也大。

因此，产生余像和闪烁而使得图像质量变差。另外，循环重置类型的驱动可能降低施加用于显示正常图像的正常数据电压的时间而使得液晶电容器达不到目标亮度，并且可能由于周期性的黑色数据电压施加而导致降低屏幕的总亮度。

5

发明内容

因此，本发明的目的在于解决传统技术的问题。

在本发明的一个实施例中，提供了一种液晶显示器(LCD)，包括：多个像素；信号控制器，用于根据输入图像数据来向外部输出作为输入图像数据的、所施加的输入图像数据或脉冲数据；数据驱动器，用于向像素施加对应于来自所述信号控制器的所述输出图像数据的数据电压，其中，输入图像数据的帧（称为“输入帧”）的帧频率（称为“输入帧频率”）与所述输出图像数据的帧（称为“输出帧”）的帧频率（称为“输出帧频率”）不同。

所述输出帧可以包括正常帧和附加帧，所述正常帧的所述输出图像数据可以与所述输入图像数据相同，并且附加帧的输出图像数据可以与所述输入图像数据和所述脉冲数据的其中一个相同。

所述输入图像数据可以包括第一和第二帧数据，并且，所述信号控制器可以当在第一帧数据和第二帧数据之间的差超过一个预定值时输出所述脉冲数据，并且当所述差未超过所述预定值时输出所述第一帧数据。

所述输入帧和所述输出帧的频率比可以是2:3。

所述输出帧可以包括三个连续输出帧，并且所述三个输出帧包括两个正常帧和一个附加帧。

所述输入帧和所述输出帧的频率比可以是1:2。

所述输出帧可以包括两个连续输出帧，并且所述两个输出帧包括一个正常帧和一个附加帧。

所述输入帧的频率可以是60赫兹。

所述脉冲数据可以具有小于预定灰度的灰度。

所述脉冲数据可以是用于黑色的数据。

所述信号控制器可以包括第一和第二存储器，用于分别存储所述第一和第二帧数据。

所述信号控制器可以在两个水平周期中向所述第一和第二帧存储器中写

入两个像素行的数据，并且从所述第一和第二帧存储器读取三个像素行的数据。

所述信号控制器可以在两个水平周期中向所述第一和第二帧存储器中写入两个像素行的数据，并且从所述第一和第二帧存储器读取四个像素行的数据。

所述第一和第二帧存储器可以是 DDR（双倍数据速率）RAM（随机存取存储器）。

在本发明的另一个实施例中，提供了一种包括多个像素的液晶显示器的驱动方法，包括：根据所述输入图像数据来输出作为输出图像数据的输入图像数据或脉冲数据；向像素施加对应于来自所述输出图像数据的数据电压，其中，输入图像数据的帧（称为“输入帧”）的帧频率（称为“输入帧频率”）与所述输出图像数据的帧（称为“输出帧”）的帧频率（称为“输出帧频率”）不同。

所述输出帧可以包括正常帧和附加帧，所述正常帧的所述输出图像数据与所述输入图像数据相同，并且附加帧的输出图像数据与所述输入图像数据和所述脉冲数据的其中的一个相同。

所述输入图像数据可以包括第一和第二帧数据，并且，所述输入图像数据或所述脉冲数据的所述输出包括：计算在所述第一帧数据和所述第二帧数据之间的差；将所述差与一个预定值相比较；并且当所述差超过所述预定值时输出所述脉冲数据来作为所述输入图像数据，当所述差未超过所述预定值时输出所述第一帧数据来作为所述输入图像数据。

所述脉冲数据可以具有小于预定灰度的灰度。

所述输入帧和所述输出帧的频率比可以是 2:3 或 1:2 中的其中一个。

所述输入帧的频率可以是 60 赫兹。

25

附图说明

通过参照附图详细说明本发明的实施例，本发明将会变得更加清楚，其中：

- 图 1 是按照本发明的一个实施例的 LCD 的方框图；
图 2 是按照本发明的一个实施例的 LCD 的像素的等同电路图；
图 3 是图解用于在按照本发明的一个实施例的 LCD 中产生附加帧的输出

图像数据的方法的流程图;

图 4 是按照本发明的一个实施例的 LCD 的信号控制器的方框图;

图 5 是在按照本发明的一个实施例的 LCD 中当所述输入帧和所述输出帧的频率比是 2:3 时的所述输入帧和所述输出帧的时序图;

5 图 6 是当在按照本发明的一个实施例的 LCD 中所述输入帧和所述输出帧的频率比是 2:3 时通过帧单位来表示的所述输入图像数据和所述输出图像数据的时序图;

图 7 是通过像素行单位来表示图 6 中所示的所述输入图像数据和所述输出图像数据的时序图;

10 图 8 是当在按照本发明的一个实施例的 LCD 中所述输入帧和所述输出帧的频率比是 2:3 时的所述输入帧和所述输出帧的时序图;

图 9 是当在按照本发明的一个实施例的 LCD 中所述输入帧和所述输出帧的频率比是 1:2 时的所述输入帧和所述输出帧的时序图; 以及

15 图 10 是通过像素行单位来表示的图 9 中所示的所述输入图像数据和所述输出图像数据的时序图。

具体实施方式

此后, 以下将参照附图来更全面地说明本发明, 在附图中示出了本发明的优选实施例。

20 在附图中, 为了清楚, 放大了层和区域的厚度。在全部附图中, 相同的附图标号表示相同的元件。可以明白, 当诸如层、区域或基底之类的元件被称为在另一个元件“之上”时, 它可以直接地在所述另一个元件之上, 或者也可以提供插入其间的元件。相反, 当一个元件被称为“直接在”另一个元件“之上”时, 不存在插入其间的元件。

25 将参照附图来说明按照本发明的多个实施例的液晶显示器及其驱动方法。

现在参照图 1 和图 2 来详细说明按照本发明的一个实施例的液晶显示器。

图 1 是按照本发明的一个实施例的 LCD 的方框图, 图 2 是按照本发明的一个实施例的 LCD 的像素的等同电路图。

30 参见图 1, 按照一个实施例的 LCD 包括: LC 板组件 300、连接到 LC 板组件 300 的门驱动器 400 和数据驱动器 500、连接到数据驱动器 500 的灰度

电压产生器 800、控制上述元件的信号控制器 600。

参见图 1，板组件 300 包括多条显示信号线 G_1-G_n 和 D_1-D_m ，以及与其连接并且大致以矩阵排列的多个像素。在图 2 所示的结构图中，板组件 300 包括下和上板 100 和 200 以及插入其间的 LC 层 3。

- 5 显示信号线 G_1-G_n 和 D_1-D_m 位于下板 100 上，并且包括多条传送选通信号（也称为“扫描信号”）的门线 G_1-G_n 和多条传送数据信号的数据线 D_1-D_m 。所述门线 G_1-G_n 大致在行方向上延伸，并且彼此大致平行，而所述数据线 D_1-D_m 大致在列方向上延伸，并且彼此大致平行。

- 10 每个像素包括连接到显示信号线 G_1-G_n 和 D_1-D_m 的开关元件 Q 以及连接到所述开关元件 Q 的 LC 电容器 C_{LC} 和存储电容器 C_{ST} 。存储电容器 C_{ST} 是选用的，并且可以在其他实施例中省略。

可以被实现为 TFT 的所述开关元件 Q 位于下板 100 上。开关元件 Q 具有三个端子：连接到门线 G_1-G_n 之一的控制端；连接到数据线 D_1-D_m 之一的输入端；以及连接到 LC 电容器 C_{LC} 和存储电容器 C_{ST} 的输出端。

- 15 LC 电容器 C_{LC} 包括作为两个端子的、位于下板 100 上的像素电极 190 和位于上板 200 上的公共电极 270。位于两个电极 190 和 270 之间的 LC 层 3 作为 LC 电容器 C_{LC} 的电介质。像素电极 190 连接到开关元件 Q，公共电极 270 被提供公共电压 V_{com} ，并且覆盖上板 200 的整个表面。在其他实施例中，公共电极 270 可以位于下板 100 上，电极 190 和 270 可以具有条或棒的形状。

- 20 存储电容器 C_{ST} 是 LC 电容器 C_{LC} 的辅助电容器。存储电容器 C_{ST} 包括像素电极 190 和独立的信号线，所述独立的信号线位于下板 100 上，经由绝缘器与像素电极 190 重叠，并且被提供诸如公共电压 V_{com} 的预定电压。或者，所述存储电容器 C_{ST} 包括像素电极 190 和被称为在前的门线的相邻门线，所述相邻门线经由绝缘器与像素电极 190 重叠。

- 25 对于彩色显示器，每个像素唯一地表示基色之一（即空间划分），或者每个像素依序表示基色（即时间划分），以便将基色的空间或时间的总和识别为期望的颜色。一组基色的一个示例包括红色、绿色和蓝色，并且选用地包括白色（或透明色）。一组基色的另一个示例包括青色、洋红和黄色，它们可以在具有或没有红色、绿色和蓝色的情况下被使用。图 2 示出了空间划分的一个示例，其中，每个像素包括滤色器 230，用于在面对像素电极 190 的上板
30 200 的一个区域中表示基色之一。或者，滤色器 230 位于下板 100 上的像素

电极 190 之上或之下。

一个或多个偏振器（未示出）被附加到板 100 和 200 中的至少一个。

再次参见图 1，灰度电压产生器 800 产生与像素的透射率相关联的两组多个灰度电压。在一组中的灰度电压相对于公共电压 V_{com} 具有正极性，而在另一组中的那些相对于公共电压 V_{com} 具有负极性。

门驱动器 400 连接到板组件 300 的门线 G_1-G_n ，并且根据外部器件合成门导通电压 V_{on} 和门关断电压 V_{off} 以产生要施加到门线 G_1-G_n 的选通信号。

数据驱动器 500 连接到板组件 300 的数据线 D_1-D_m ，并且向数据线 D_1-D_m 施加从自灰度电压产生器 800 提供的灰度电压中选择的数据电压。

10 门驱动器 400 或数据驱动器 500 可以被实现为集成电路（IC）芯片，所述 IC 芯片被安装在板组件 300 上或带式承载封装体（TCP）中的软性印刷电路（FPC）薄膜上，所述软性印刷电路（FPC）薄膜附加到板组件 300 上。或者，驱动器 400 和 500 可以与显示信号线 G_1-G_n 和 D_1-D_m 以及 TFT 开关元件 Q 一起被集成到板组件 300 中。

15 信号控制器 600 包括数据处理器 610 和存储器 620，并且控制门驱动器 400 和数据驱动器 500。数据处理器 610 向存储器 620 中存储外部施加的输入图像数据 R、G 和 B，并且根据输入图像数据 R、G 和 B 来产生输出图像数据 DAT。

现在，将详细说明上述的 LCD 的操作。

20 参见图 1，信号控制器 600 被提供输入图像数据 R、G 和 B 和来自外部图形控制器（未示出）的输入控制数据，所述输入控制数据用于控制所述输入图像数据 R、G 和 B 的像素，所述输入控制数据诸如垂直同步信号 V_{sync} 、水平同步信号 H_{sync} 、主时钟 MCLK 和数据使能信号 DE。在产生门控制信号 CONT1 和数据控制信号 CONT2 并且根据输入控制数据和输入图像数据 R、G 和 B 处理适合于板组件 300 的操作的图像数据 R、G 和 B 后，信号控制器 600 提供用于门驱动器 400 的门控制信号 CONT1、作为输出图像数据的处理过的图像数据 DAT 和用于数据驱动器 500 的数据控制信号 CONT2。

25 此时，输入的图像数据 R、G 和 B 的帧频率（称为“输入帧频率”）与输出图像数据 DAT 的帧频率（称为“输出帧频率”）不同。信号控制器 600 根据输出帧频率相对于输入帧频率的频率比来产生对于每个像素的输出图像数据，并且向各自的不同帧分配所述输出图像数据。

例如，当输出图像数据的帧（称为“输出帧”）相对于输入图像数据的帧（称为“输入帧”）的频率比是 2:3 时，信号控制器 600 在被输入两帧的输入图像数据 R、G 和 B 的同时输出三帧的输出图像数据 DAT。三帧中包括两帧正常帧和一帧附加帧。正常帧的输出图像数据 DAT 具有等于输入图像数据 R、G 和 B 的那些的值。附加帧的输出图像数据 DAT 与输入的图像数据 R、G 和 B 或脉冲数据相同。此时，所述脉冲数据是用于黑色或用于低灰度的数据。稍后详细说明用于产生附加帧的输出图像数据的方法。

当频率比是 1:2 时，信号控制器 600 在被输入一帧的图像数据 R、G 和 B 的同时输出两帧的输出图像数据 DAT。所述两帧中包括一个正常帧和一个附加帧。

门控制信号 CONT1 包括：扫描起始信号 STV，用于指令门驱动器 400 开始扫描；至少一个时钟信号，用于控制门导通电压 V_{on} 的输出时间。门控制信号 CONT1 可以还包括输出使能信号 OE，用于确定门导通电压 V_{on} 的持续时间。

数据控制信号 CONT2 包括：水平同步开始信号 STH，用于通知一组像素的数据传送的开始；负载信号 LOAD，用于指令数据驱动器 500 向数据线 D_1 - D_m 施加到数据电压；数据时钟信号 HCLK。所述数据控制信号 CONT2 可以还包括反相信号 RVS，用于反转数据电压的极性（相对于公共电压 V_{com} ）。

响应于来自信号控制器 600 的数据控制信号 CONT2，数据驱动器 500 从信号控制器 600 接收一个像素行的输出图像数据 DAT，将输出的图像数据 DAT 转换为从自灰度电压产生器 800 提供的灰度电压中选择的模拟数据电压，并且向数据线 D_1 - D_m 施加所述数据电压。

响应于来自信号控制器 600 的门控制信号 CONT1，门驱动器 400 向门线 G_1 - G_n 施加门导通电压 V_{on} ，由此接通与其连接的开关元件 Q。

数据电压和公共电压 V_{com} 之间的差被表示为通过 LC 电容器 C_{LC} 的电压，它被称为像素电压。在 LC 电容器 C_{LC} 中的 LC 分子根据所述像素电压的幅度而具有方向，并且所述分子方向确定通过 LC 层 3 的光的偏振。偏振器将光的偏振转换为光的透射。

通过以水平周期（它被表示为“1H”并且等于水平同步信号 Hsync 和数据使能信号 DE 的一个周期）为单位重复这个过程，在一帧期间，所有的门线 G_1 - G_n 依序被提供了门导通电压 V_{on} ，由此向所有像素施加数据电压。当结

束一帧后开始下一帧时,控制被施加到数据驱动器 500 的反转控制信号 RVS,以便反转数据电压的极性(称为“帧反转”)。所述反转控制信号 RVS 也可以被控制使得在一帧中的数据线中流动的数据电压的极性被反转(例如行反转或点反转),或者在一个分组中的数据电压的极性被反转(例如列反转和点反转)。

接着,将参照图 3 来详细说明用于在按照本发明的一个实施例的 LCD 的信号控制器中产生附加帧的输出图像数据的方法。

图 3 是图解用于在按照本发明的一个实施例的 LCD 中产生附加帧的输出图像数据的方法的流程图。

10 为了方便说明,第 N 个输入帧的输入图像数据被称为 N 帧数据 F_N 。

当输入输入图像数据 R、G 和 B 时,数据处理器 610 通过预定的数据处理过程以帧为单位向存储器 620 中存储输入的图像数据 R、G 和 B。假定存储器 620 可以存储两帧数据,诸如 N 帧数据 F_N 和 N+1 帧数据 F_{N+1} 。

15 数据处理器 610 依序读取在存储器 620 中存储的所述 N 帧数据 F_N 和 N+1 帧数据 F_{N+1} (S110)。

通过以像素为单位比较所述 N 帧数据 F_N 和 N+1 帧数据 F_{N+1} ,数据处理器 610 计算在两帧数据的图像数据之间的差(S120),并且将所述差与一个预定值相比较(S130)。

20 当所述差超过所述预定值时(S130),数据处理器 610 确定所述像素是要显示运动图像,其中,在 N 帧数据 F_N 的灰度和 N+1 帧数据 F_{N+1} 的灰度之间的差大于预定的灰度。因此,数据处理器 610 输出脉冲数据(S140)。

但是,当所述差未超过所述预定值时(S130),数据处理器 610 确定像素要显示静止图像,其中,在 N 帧数据 F_N 的灰度和 N+1 帧数据 F_{N+1} 的灰度之间的差小于预定的灰度。因此,数据处理器 610 输出 N 帧数据 F_N (S150)。

25 当像素是针对运动图像时,数据处理器 610 可以输出 N+1 帧数据 F_{N+1} 或运动补偿数据,所述运动补偿数据将 N 帧数据 F_N 或 N+1 帧数据 F_{N+1} 补偿到预定状态。因此,信号控制器 600 可以还包括处理单元,它具有运动补偿功能。

接着,参照图 4 来详细说明用于根据给定的频率比而产生输出图像数据以输出它们的操作。

30 图 4 是按照本发明的一个实施例的 LCD 的信号控制器的方框图。

如图 4 所示,按照本发明的一个实施例的 LCD 的信号控制器 600 包括数

据处理器 610 和存储器 620, 如上所述。存储器 620 包括四个行存储器 LM1-LM4 和两个帧存储器 FM1 和 FM2。

帧存储器 FM1 和 FM2 是用于存储一帧的图像数据的存储器, 并且连接到数据处理器 610。帧存储器 FM1 和 FM2 可以是 DDR(双倍数据速率)RAM (随机存取存储器)。DDR RAM 可以对于被施加到其的时钟信号的上升沿和下降沿上都可执行读取/写入操作。

行存储器 LM1-LM4 是用于存储一个像素行的图像数据的存储器, 并且可以以与帧存储器 FM1 和 FM2 相同的速度来执行读取/写入操作。在 LM1-LM4 中的两个行存储器 LM1 和 LM2 连接到帧存储器 FM1 和数据处理器 610, 并且是用于对于帧存储器 FM1 写入和读取的行存储器。其他两个行存储器 LM3 和 LM4 连接到帧存储器 FM2 和数据处理器 610, 并且是用于对于帧存储器 FM2 写入和读取的行存储器。

数据处理器 610 接收输入的图像数据 R、G 和 B, 并且通过行存储器 LM1-LM4 以帧为单位将所接收的输入图像数据 R、G 和 B 存储在存储器 FM1 和 FM2 中。数据处理器 610 通过使用预定的数据处理来产生输出图像数据以输出到数据驱动器 500。

现在, 参照图 5-7 而详细说明当频率比是 2:3 时的信号控制器 600 的操作。

图 5 是当一个输入帧和一个输出帧的频率比在按照本发明的一个实施例的 LCD 中是 2:3 时的所述输入帧和所述输出帧的时序图, 图 6 是当在按照本发明的一个实施例的 LCD 中所述输入帧和所述输出帧的频率比是 2:3 时通过帧为单位来表示的所述输入图像数据和所述输出图像数据的时序图。图 7 是通过像素行为单位来表示图 6 中所示的所述输入图像数据和所述输出图像数据的时序图。

首先, 说明输入帧和输出帧的时序。

如图 5 所示, 通过被提供一个输入帧周期 T 的垂直同步信号 Vsync 和水平同步信号 Hsync, 信号控制器 600 依序接收对应于与信号 Vsync 和 Hsync 同步的、1V 的输入图像数据 R、G 和 B。此时, 一个输入帧周期 T 被划分为数据应用部分和空部分。如图 5 所示, 所述空部分 BT1 在一个持续时间的先后, 在所述持续时间中, 垂直同步信号 Vsync 保持低电平, 并且未向其信号控制器 600 施加输入的图像数据 R、G 和 B。因此, 输入的图像数据 R、G 和 B 在数据应用部分 DT1 中被实质地施加到信号控制器 600, 但是在一个持续

时间中未被施加到信号控制器 600, 所述持续时间是从数据应用部分 DT1 的终点到开始下一个输入帧周期后的预定点。

当频率比是 2:3 时, 输出帧周期是 $(2/3)T$ 。即, 在两个输入帧周期 $2T$ 中, 信号控制器 600 接收两帧的输入图像数据 R、G 和 B, 并且输出三帧的输出图像数据 DAT。三个输出帧依序包括第一正常帧、附加帧和第二正常帧, 并且被依序重复。每个输出帧包括: 数据应用部分 DT2, 用来实质输出输出图像数据 DAT; 空部分 BT2, 不输出它们。

接着, 详细说明用于产生三个输出帧的输出图像数据 DAT 的操作。

为了方便说明, 如图 6 所示, 将说明在 TV 部分中的操作, 对于所述 TV 部分, 施加了 $N+1$ 帧数据 F_{N+1} 和 $N+2$ 帧数据 F_{N+2} 。所述 TV 部分被划分为被施加了两帧的输入图像数据 R、G 和 B 的两个子部分 TA1 和 TA2, 或者被划分为输出三帧的输出图像数据 DAT 的三个子部分 TB1-TB3。

数据处理器 610 在子部分 TA1 期间接收 $N+1$ 帧数据 F_{N+1} 并且向帧存储器 FM2 中写入所接收的帧数据 F_{N+1} , 并且在子部分 TA2 期间接收 $N+2$ 帧数据 F_{N+2} 并且向帧存储器 FM1 中写入所接收的帧数据 F_{N+2} 。

在 TB1 中, 数据处理器 610 依序从帧存储器 FM1 读取 N 帧数据 F_N , 并且向数据驱动器 500 输出所读取的 N 帧数据 F_N 来作为正常帧的输出图像数据。此时, 在前一个输入帧周期 T 中将 N 帧数据 FM 存储到帧存储器 FM1 中。

在 TB2 中, 数据处理器 610 依序分别从帧存储器 FM1 和 FM2 读取 N 帧数据 F_N 和 $N+1$ 帧数据 F_{N+1} 。接着, 数据处理器 610 将所读取的帧数据 F_N 和 F_{N+1} 相互比较, 并且根据比较结果向数据驱动器 500 输出脉冲数据或帧数据 F_N 来作为附加帧的输出图像数据 F_N' 。

在子部分 TB3 中, 数据处理器 610 再次从帧存储器 FM2 读取 $N+1$ 帧数据 F_{N+1} , 并且向数据驱动器 500 输出所读取的帧数据 F_{N+1} 来作为第二正常帧的输出图像数据。

将上述信号控制器 600 的操作重复两个输入帧周期 $2T$, 由此, 信号控制器 600 对每个输出帧产生输出图像数据 DAT。

同时, 在 TB2 的一个部分期间, 相对于帧存储器 FM1 和 FM2 的写入操作和读取操作重叠。仅仅说明帧存储器 FM1 的操作, 因为帧存储器 FM1 和 FM2 的操作在重叠部分中彼此大致相同。

为了方便说明，第 n 个像素行的数据被称为 n 行数据 L_n ，如图 7 所示，将说明在 TH 部分期间中的操作，所述操作对于 TH 部分期间，从外部施加在 $N+1$ 帧数据 F_{N+1} 中的 n 行数据 L_n 和 $(n+1)$ 行数据 L_{n+1} 。所述 TH 部分被划分为五个子部分，每个部分具有一个 $(2/5)$ 周期和三个子部分 TD1-TD3。此时，

5 行数据是 1H 周期。

数据处理器 610 在 TH 部分期间接收 n 行数据 L_n 和 $(n+1)$ 行数据 L_{n+1} ，并且向行存储器 LM3 中写入所接收的数据 L_n 和 L_{n+1} ，并且分别在子部分 TC3 和 TC5 期间从行存储器 LM3 读取行数据 L_n 和 L_{n+1} ，并且向帧存储器 FM2 中写入所接收的行数据 L_n 和 L_{n+1} 。

10 另外，数据处理器 610 分别在子部分 TC1、TC2 和 TC4 期间从帧存储器 FM2 读取 p 行数据 L_p 、 $(p+1)$ 行数据 L_{p+1} 和 $(p+2)$ 数据 L_{p+2} ，并且向行存储器 LM4 中写入所读取的数据 L_p 、 L_{p+1} 和 L_{p+2} 。所述行数据 L_p 、 L_{p+1} 和 L_{p+2} 已经被存储在帧存储器 FM2 中。

接着，数据处理器 610 对于每个子部分 TD1-TD3 从行存储器 LM4 中读

15 取行数据 L_p 、 L_{p+1} 和 L_{p+2} ，以用于产生附加帧的输出图像数据。

此时，被施加到帧存储器 FM1 和 FM2 的时钟信号的速度（被称为“时钟速度”）可以被定义如下。当被输入所述两个行数据时帧存储器 FM1 和 FM2 必须读取或写入 5 行数据。而且，帧存储器 FM1 和 FM2 可以在时钟信号的上升沿和下降沿进行写入或读取操作。因此，如果输入的图像数据 R、G 和 B

20 的频率是“A”，则时钟信号的时钟速度被定义为 $A \times 5 / (2/0.5)$ 。作为一个示例，当 LCD 的分辨率是 WXGA（宽扩展图形阵列）时，输入图像数据 R、G 和 B 的频率是大约 75 MHz，由此，时钟信号的时钟速度被定义为大约 93.75 MHz。

接着，对于频率比 1:2，参照图 8-10 来详细说明信号控制器 600 的操作。

图 8 是当在按照本发明的一个实施例的 LCD 中所述输入帧和所述输出帧

25 的频率比是 2:3 时的所述输入帧和所述输出帧的时序图。图 9 是当在按照本发明的一个实施例的 LCD 中所述输入帧和所述输出帧的频率比是 1:2 时的所述输入帧和所述输出帧的以帧为单位的时序图。图 10 是通过以像素行作为单位来表示的图 9 中所示的所述输入图像数据和所述输出图像数据的时序图。

首先，将说明输入帧和输出帧的时序。当频率比是 1:2 时，输入帧的时

30 序与当频率比是 2:3 时的相同，其详细说明被省略。

如图 8 所示，因为频率比是 1:2，所以输出帧的一个周期是 $(1/2)T$ 。即，

对于一个输入帧周期 T ，信号控制器 600 在一个输入帧周期 T 内接收一帧的输入图像数据 R 、 G 和 B ，并且输出两帧的输出图像数据 DAT 。所述两个输出帧依序包括附加帧和正常帧，并且继而被重复。每个输出帧包括：数据应用部分 $DT2$ ，用于实质地输出输出图像数据 DAT ；空部分 $BT2$ ，不输出它们。

5 接着，将详细说明用于产生所述两个输出帧的操作。

如图 9 所示，将说明在 TV 部分中的操作，对于所述 TV 部分，施加了 $N+1$ 帧数据 F_{N+1} 和 $N+2$ 帧数据 F_{N+2} 。所述 TV 部分被划分为两个子部分 $TA1$ 和 $TA2$ 或四个子部分 $TE1-TE4$ 。

10 数据处理器 610 在子部分 $TA1$ 期间接收 $N+1$ 帧数据 F_{N+1} 并且向帧存储器 $FM2$ 中写入所接收的帧数据 F_{N+1} ，并且在子部分 $TA2$ 期间接收 $N+2$ 帧数据 F_{N+2} 且向帧存储器 $FM1$ 中写入所接收的帧数据 F_{N+2} 。

15 在子部分 $TE1$ 中，数据处理器 610 分别从帧存储器 $FM1$ 和 $FM2$ 中依序读取 N 帧数据 F_N 和 $N-1$ 帧数据 F_{N-1} 。接着，数据处理器 610 比较所读取的帧数据 F_N 和 F_{N-1} ，并且根据比较结果向数据驱动器 500 输出作为附加帧的输出图像数据 F_{N-1}' 的脉冲数据或帧数据 F_{N-1} 。此时，帧数据 F_N 和 F_{N-1} 已经被存储在帧存储器 $FM1$ 中。

在 $TE2$ 部分中，数据处理器 610 再次从帧存储器 $FM1$ 读取 N 帧数据 F_N ，并且向数据驱动器 500 输出所读取的帧数据 F_N 来作为正常帧的输出图像数据。

20 在子部分 $TE3$ 中，数据处理器 610 分别从帧存储器 $FM1$ 和 $FM2$ 中依序读取 N 帧数据 F_N 和 $N+1$ 帧数据 F_{N+1} 。接着，数据处理器比较所读取的帧数据 F_N 和 F_{N+1} ，并且根据比较结果向数据驱动器 500 输出脉冲数据或 N 帧数据来作为附加帧的输出图像数据 F_N' 。

25 在子部分 $TE4$ 中，数据处理器 610 再次从数据存储器 $FM2$ 读取 $N+1$ 帧数据 F_{N+1} ，并且向数据驱动器 500 输出所读取的帧数据 F_{N+1} 来作为正常帧的输出图像数据。

将上述信号控制器 600 的操作重复 2 个输入帧周期 $2T$ ，由此信号控制器 600 为输出帧产生输出图像数据 DAT 。

30 同时，对于子部分 $TE1$ 和 $TE3$ 的每个的一部分，对于帧存储器 $FM1$ 和 $FM2$ 的写入操作和读取操作重叠。因为帧存储器 $FM1$ 和 $FM2$ 的操作在所重叠部分中大致上彼此相同，因此仅仅说明帧存储器 $FM2$ 的操作。

如图 10 所示, 将说明在 TH 部分期间的操作, 对于 TH 部分, 从外部施加了在(N+1)帧数据 F_{N+1} 中的 n 行数据 L_n 和 $(n+1)$ 行数据 L_{n+1} 。所述 TH 部分被划分为 6 个子部分 TF1-TF6, 每个部分具有 $(1/3)H$ 周期, 或被划分为四个子部分 TG1-TG4, 每个部分具有 $(1/2)H$ 周期。此时, 行数据是 $1H$ 周期。

5 数据处理器 610 在 TH 部分期间接收 n 行数据 L_n 和 $(n+1)$ 行数据 L_{n+1} , 并且向行存储器 LM3 中写入所接收的数据 L_n 和 L_{n+1} , 并且分别在 TF3 和 TF6 部分期间从行存储器 LM3 读取行数据 L_n 和 L_{n+1} , 并且向帧存储器 FM2 中写入所接收的行数据 L_n 和 L_{n+1} 。

10 另外, 数据处理器 610 分别在 TF1、TF2、TF4 和 TF5 部分期间从帧存储器 FM2 读取 p 行数据 L_p 、 $(p+1)$ 行数据 L_{p+1} 、 $(p+2)$ 行数据 L_{p+2} 和 $(p+3)$ 行数据 L_{p+3} , 并且向行存储器 LM4 中写入所读取的数据 L_p 、 L_{p+1} 、 L_{p+2} 和 L_{p+3} 。所述行数据 L_p 、 L_{p+1} 、 L_{p+2} 和 L_{p+3} 是 N -帧数据 F_{N-1} , 并且已经被存储到帧存储器 FM2 中。

15 接着, 数据处理器 610 在每个子部分 TG1-TG4 期间从行存储器 LM4 读取行数据 L_p 、 L_{p+1} 、 L_{p+2} 和 L_{p+3} , 以用于产生附加帧的输出图像数据。

20 此时, 被施加到帧存储器 FM1 和 FM2 的时钟信号的速度可以被定义如下。帧存储器 FM1 和 FM2 当被输入所述两行数据时必须读取或写入六行数据。而且, 所述帧存储器 FM1 和 FM2 可以在时钟信号的上升沿和下降沿进行写入或读取操作。因此, 如果输入的图像数据 R、G 和 B 的频率是“A”, 则时钟信号的时钟速度被定义为 $A \times 6 / (2/0.5)$ 。作为一个示例, 当 LCD 的分辨率是 WXGA (宽扩展图形阵列) 时, 输入图像数据 R、G 和 B 的频率是大约 75 MHz, 由此, 所述时钟信号的时钟速度被定义为大约 112.75 MHz。

25 同时, 如果输入帧的频率是例如大约 60 Hz, 因为频率比是 2:3, 所以输出帧的频率是大约 90 Hz, 并且因为频率比是 1:2, 所以输出帧的频率是大约 120 Hz。

按照本发明, 根据关于每个像素的前一帧和下一帧之间的灰度差, 通过显示前一帧的灰度或通过正常帧之间插入用于显示脉冲数据的附加帧, 防止了图像的模糊, 由此也防止了屏幕的总的亮度降低。

30 虽然已经在以上详细说明了本发明的优选实施例, 但是应当清楚地明白, 本领域的技术人员可以进行的、对于这里教授的基本发明思想的许多改变和/或修改仍然要在所附的权利要求所限定的本发明的精神和范围内。

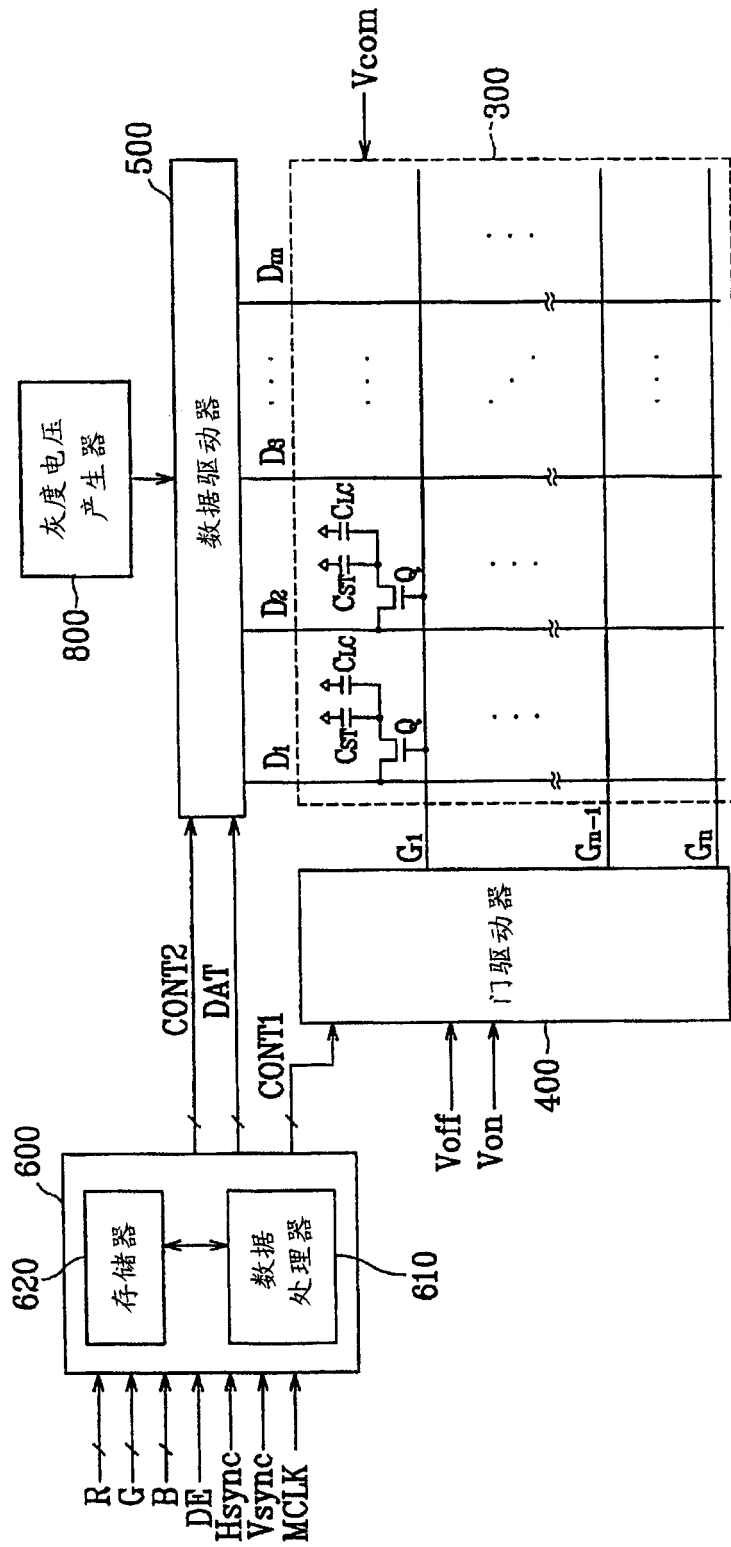


图 1

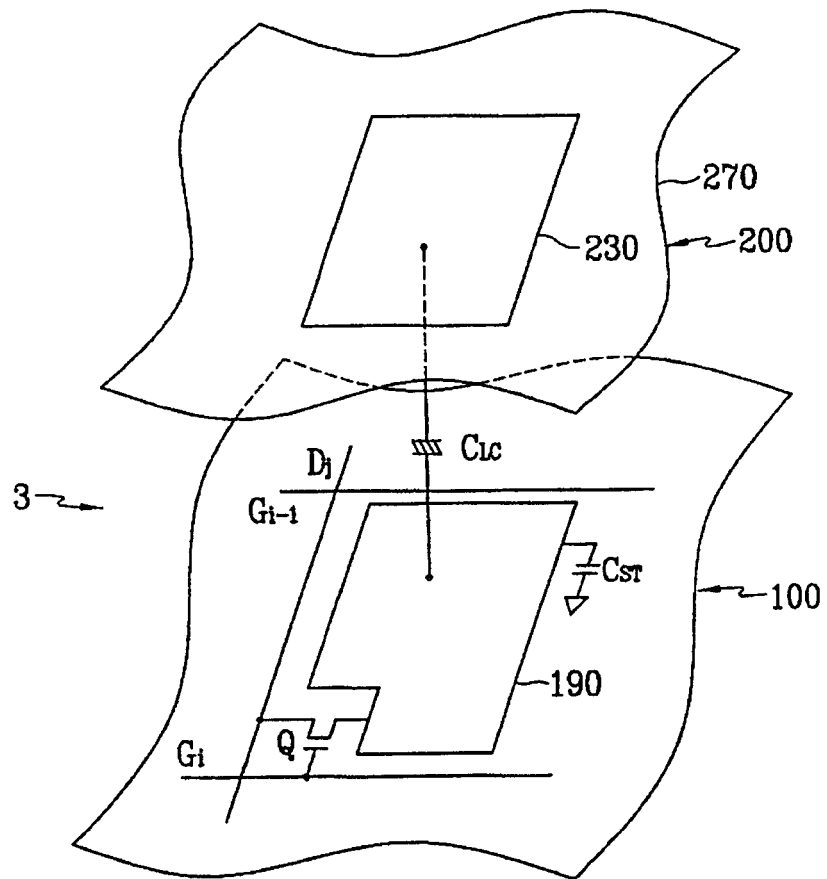


图 2

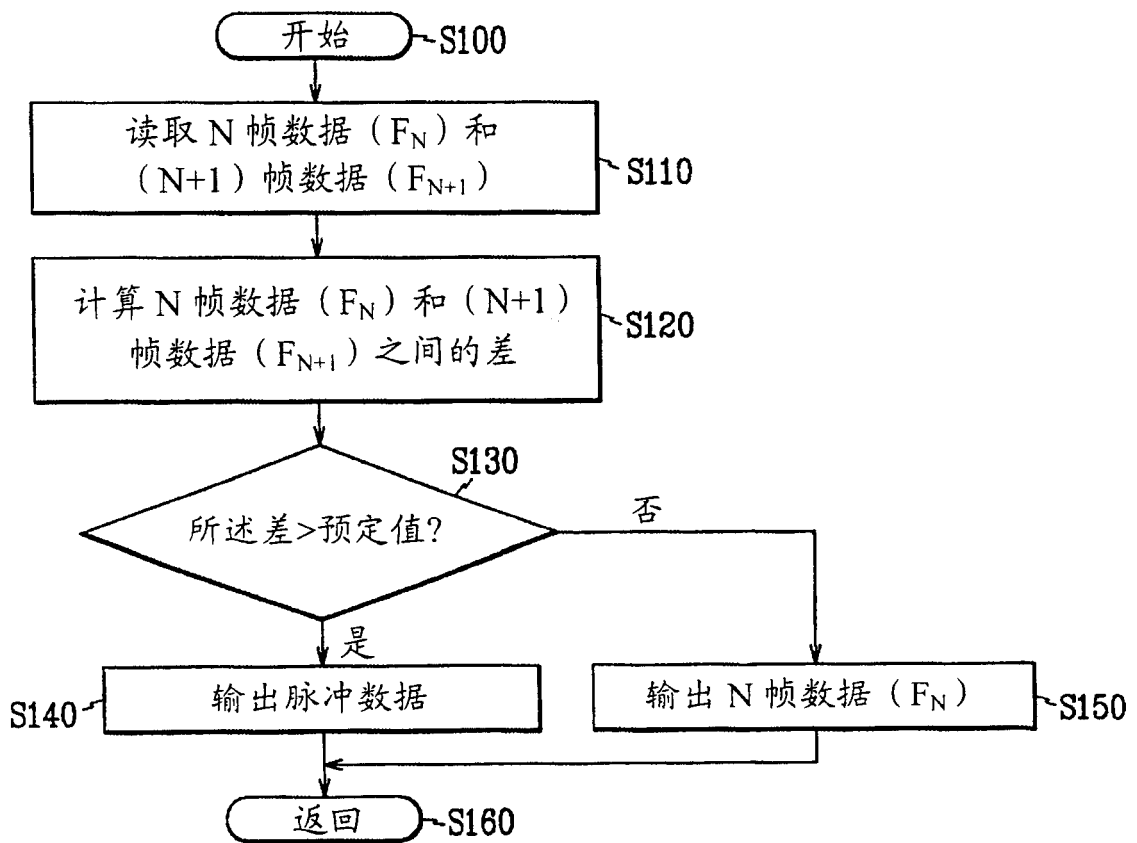


图 3

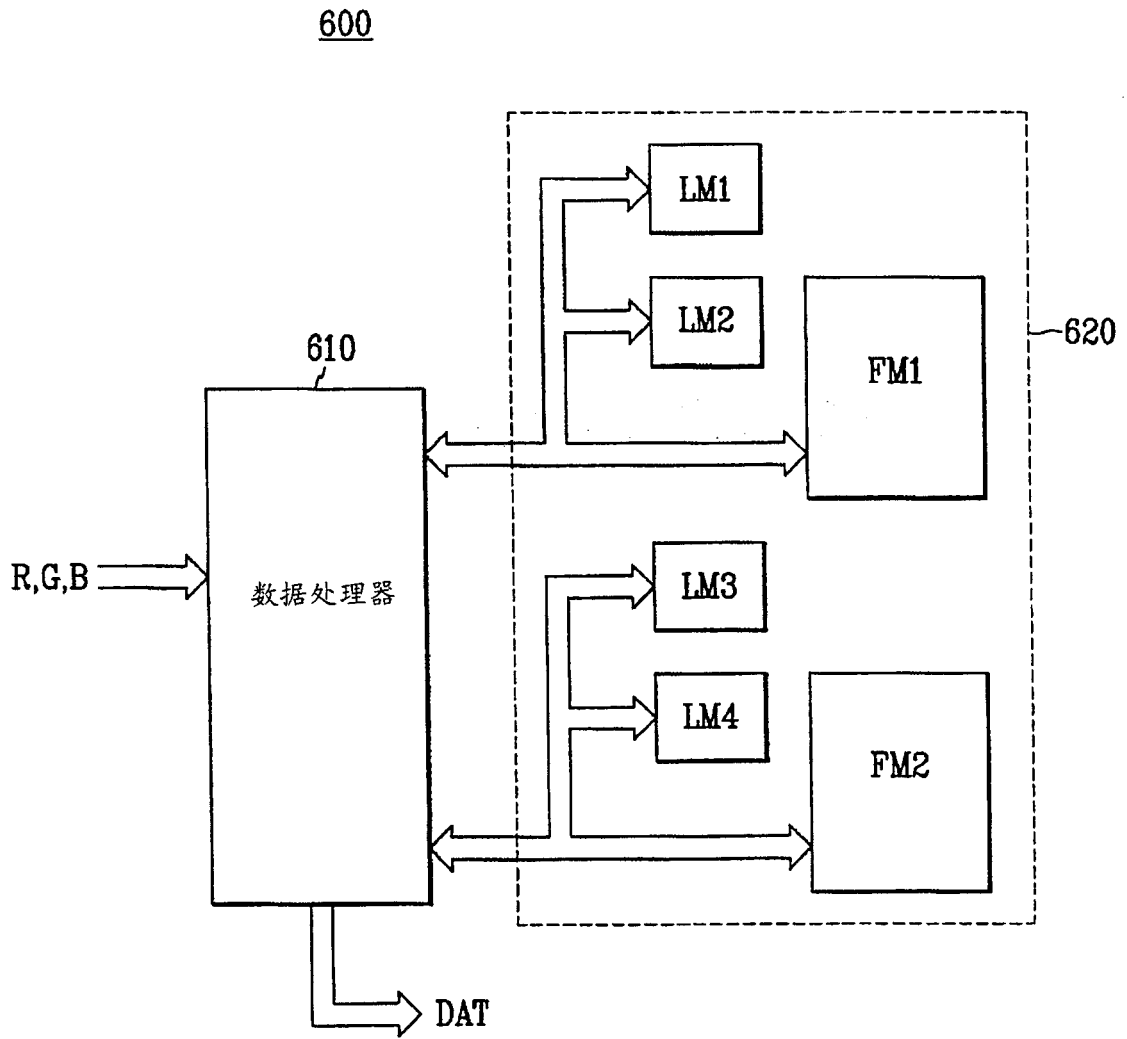


图 4

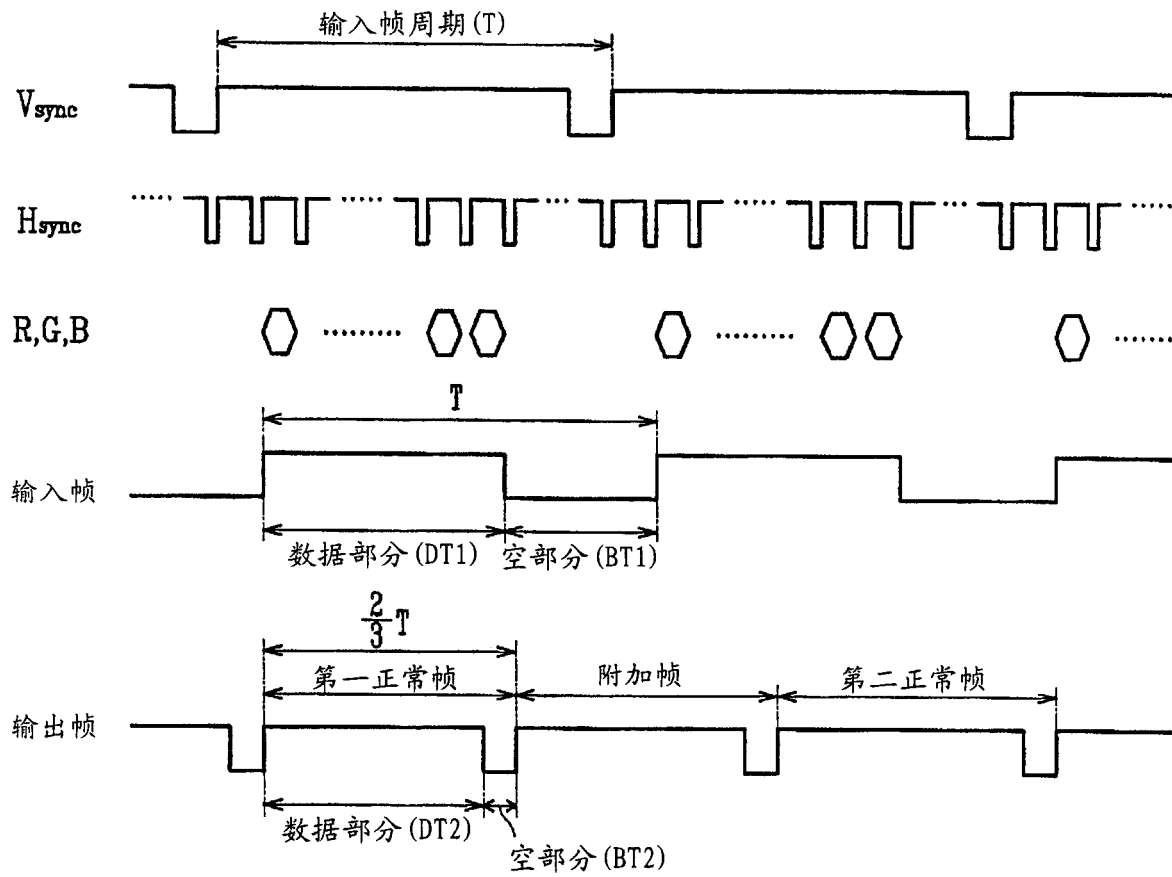


图 5

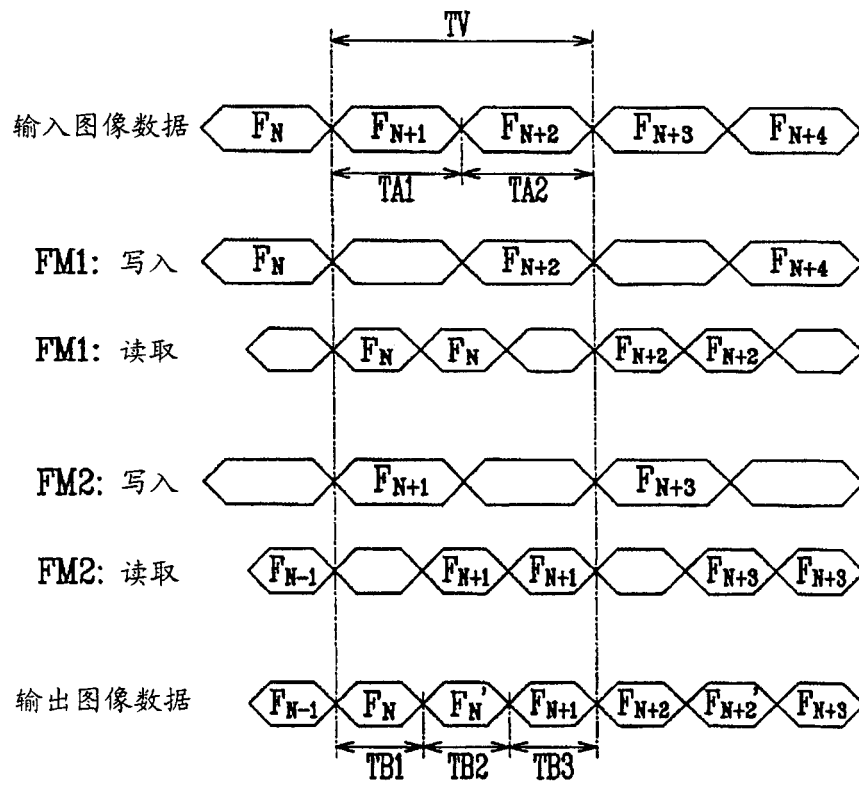


图 6

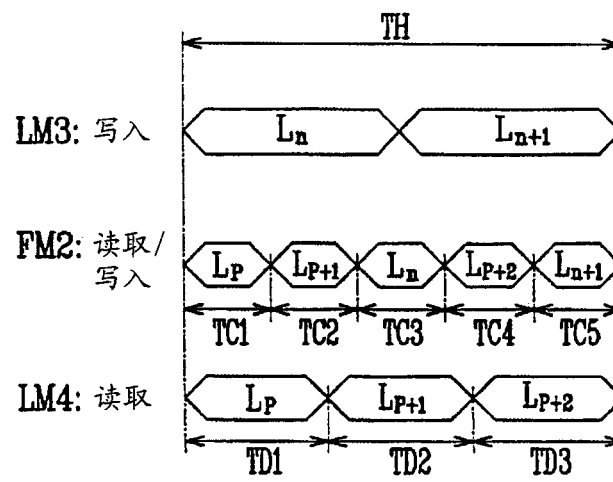


图 7

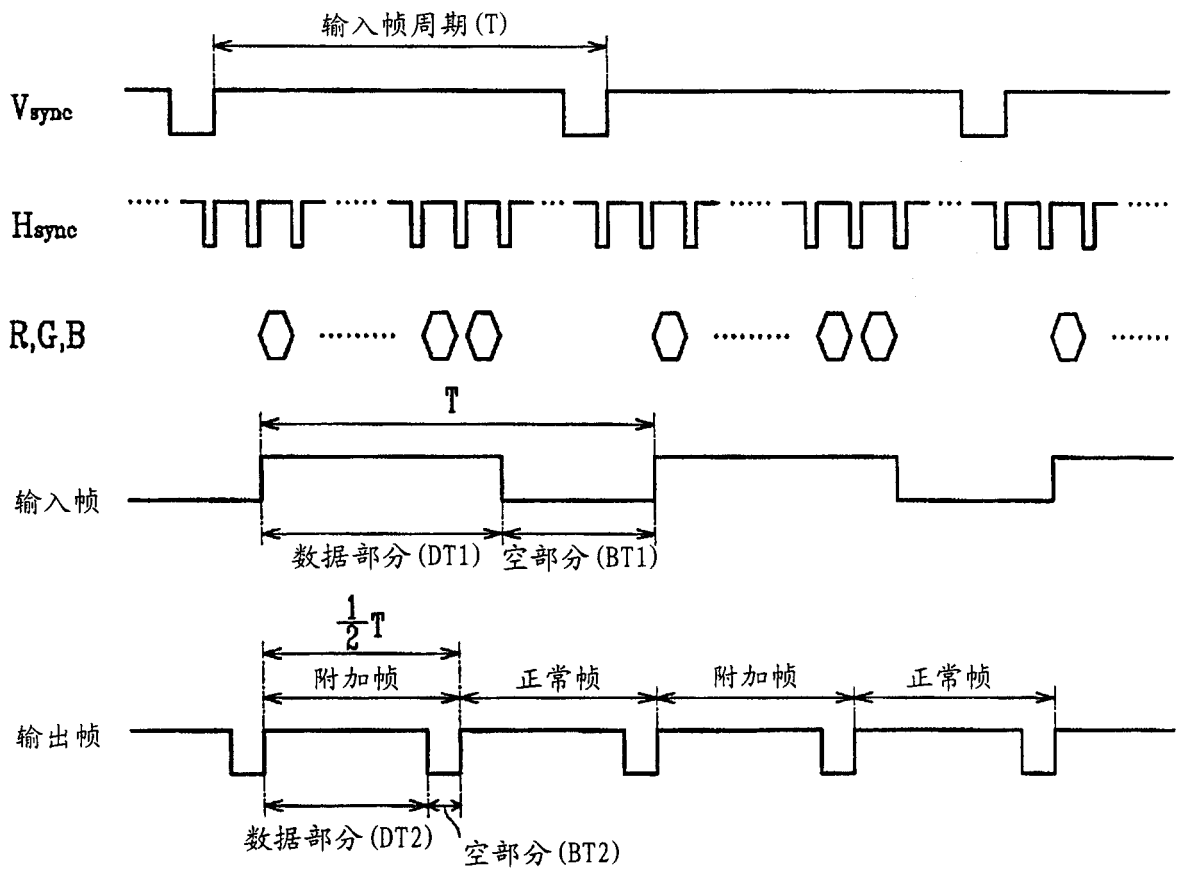


图 8

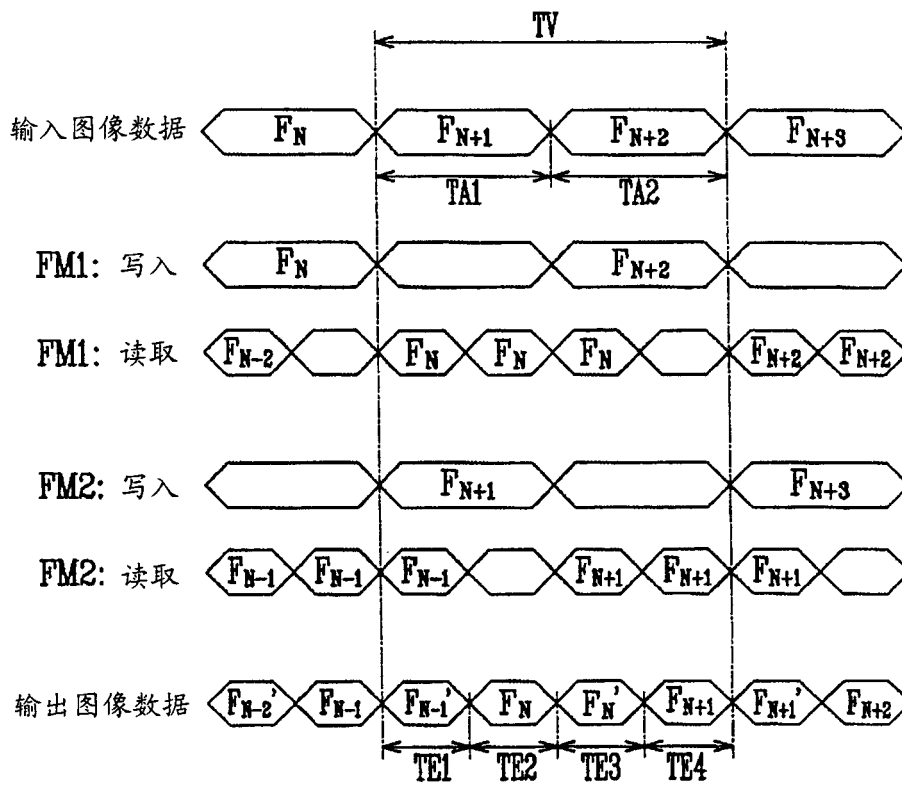


图 9

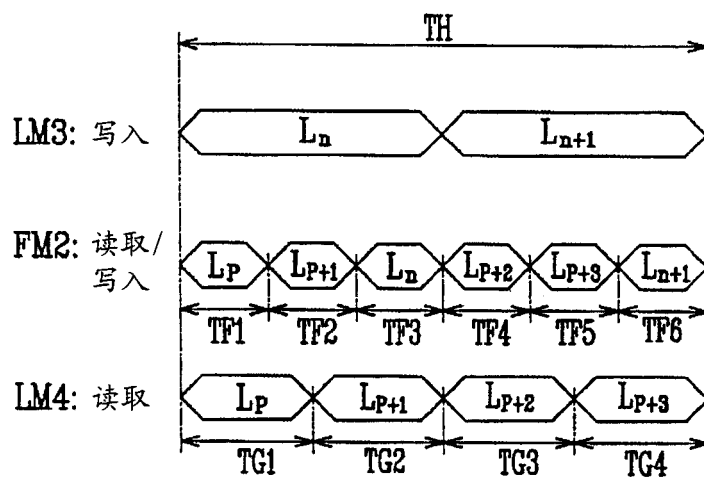


图 10

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	CN1737652A	公开(公告)日	2006-02-22
申请号	CN200510092049.5	申请日	2005-08-16
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	洪淳洸 金相洙 朴钟贤		
发明人	洪淳洸 金相洙 朴钟贤		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G2320/103 G09G3/3648 G09G2360/18 G09G2340/0435 G09G2320/0261		
代理人(译)	王志森		
优先权	1020040065842 2004-08-20 KR		
其他公开文献	CN100478747C		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种液晶显示器，包括：多个像素；信号控制器，用于根据输入图像数据来向外部输出作为输入图像数据的、所施加的输入图像数据或脉冲数据；数据驱动器，用于向像素施加对应于来自所述信号控制器的所述输出图像数据的数据电压，其中，输入图像数据的帧的帧频率与所述输出图像数据的帧的帧频率不同。

