

(12) 发明专利申请

(10) 申请公布号 CN 102598105 A

(43) 申请公布日 2012. 07. 18

(21) 申请号 201080049193. X

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322

(22) 申请日 2010. 08. 27

代理人 龙淳

(30) 优先权数据

2009-252725 2009. 11. 04 JP

(51) Int. Cl.

G09G 3/36(2006. 01)

(85) PCT申请进入国家阶段日

G02F 1/133(2006. 01)

2012. 04. 28

G09G 3/20(2006. 01)

(86) PCT申请的申请数据

PCT/JP2010/064559 2010. 08. 27

(87) PCT申请的公布数据

W02011/055584 JA 2011. 05. 12

(71) 申请人 夏普株式会社

地址 日本大阪府

(72) 发明人 森井秀树 岩本明久 水永隆行

太田裕己

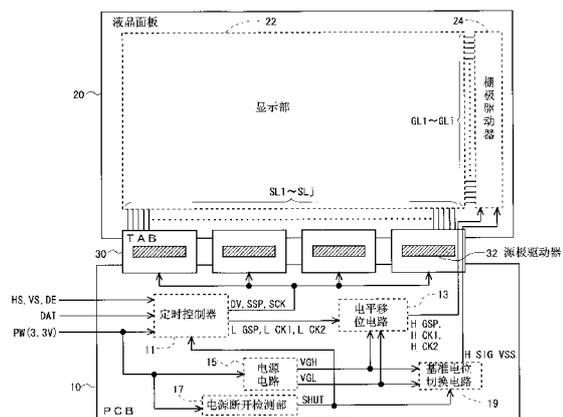
权利要求书 3 页 说明书 17 页 附图 20 页

(54) 发明名称

液晶显示装置及其驱动方法

(57) 摘要

本发明的目的在于提供一种能够在电源被断开时快速地除去像素形成部内的残留电荷并具备单片栅极驱动器的液晶显示器。在构成栅极驱动器 (24) 内的移位寄存器的双稳态电路中, 设置有薄膜晶体管, 该薄膜晶体管具有: 与栅极总线连接的漏极端子; 与传送基准电位 (H\_SIG\_VSS) 的基准电位配线连接的源极端子; 和被提供使移位寄存器动作的时钟信号 (HCK\_1、HCK\_2) 的栅极端子。当电源断开检测部 (17) 检测来自外部的电源电压 (PW) 的供给被断开时, 使时钟信号 (HCK\_1、HCK\_2) 为高电平, 使上述薄膜晶体管为接通状态, 并且基准电位切换电路 (19) 将基准电位 (H\_SIG\_VSS) 从栅极断开电位 (VGL) 切换为栅极接通电位 (VGH)。



1. 一种液晶显示装置,其特征在于,包括:

多个视频信号线,其用于分别传送表示要显示的图像的多个视频信号;

与所述多个视频信号线交叉的多个扫描信号线;

多个像素形成部,其和所述多个视频信号线与所述多个扫描信号线的交叉点分别对应地配置为矩阵状,并包含第一开关元件和与所述第一开关元件的第二导通端子连接的像素电极,其中,所述第一开关元件的控制端子与通过对应的交叉点的扫描信号线连接,所述第一开关元件的第一导通端子与通过该交叉点的视频信号线连接;

在与形成有所述多个扫描信号线的基板相同的基板上形成的扫描信号线驱动电路,该扫描信号线驱动电路基于周期性地重复第一电位与第二电位的时钟信号依次输出脉冲,并包含移位寄存器,该移位寄存器包括以与所述多个扫描信号线 1 对 1 地对应的方式设置的多个双稳态电路,所述扫描信号线驱动电路基于从该移位寄存器输出的脉冲有选择地驱动所述多个扫描信号线;

电源状态检测部,其对从外部提供的电源的接通 / 断开状态进行检测;

基准电位生成部,其生成所述多个双稳态电路的基准电位;和

基准电位配线,其用于向所述多个双稳态电路传送在所述基准电位生成部生成的基准电位,其中,

各双稳态电路包含电位电平维持部,该电位电平维持部用于将对应的扫描信号线和所述基准电位配线电连接,使得在该扫描信号线为非选择状态的期间中该扫描信号线的电位电平维持在所述基准电位的电平,

当通过所述电源状态检测部检测出所述电源的断开状态时,

包含于各双稳态电路的所述电位电平维持部,将与该各双稳态电路对应的扫描信号线和所述基准电位配线电连接,

所述基准电位生成部将所述基准电位的电平提高至所述第一开关元件成为导通状态的电平。

2. 根据权利要求 1 所述的液晶显示装置,其特征在于:

所述液晶显示装置还包括生成所述时钟信号的时钟信号生成部,

包含于各双稳态电路的所述电位电平维持部包含第二开关元件,该第二开关元件具有:与所述基准电位配线连接的第一导通端子;与和该各双稳态电路对应的扫描信号线连接的第二导通端子;和被提供所述时钟信号的控制端子,

当通过所述电源状态检测部检测出所述电源的断开状态时,所述时钟信号生成部使所述时钟信号为所述第一电位或所述第二电位,使得包含于各双稳态电路的所述第二开关元件成为导通状态。

3. 根据权利要求 2 所述的液晶显示装置,其特征在于:

包含于各双稳态电路的所述电位电平维持部包含多个所述第二开关元件,

所述时钟信号生成部生成多个所述时钟信号,该多个所述时钟信号被分别提供至包含于各所述电位维持部的多个所述第二开关元件的控制端子,

当通过所述电源状态检测部检测出所述电源的断开状态时,所述时钟信号生成部使多个所述时钟信号分别为所述第一电位或所述第二电位,使得包含于各电位电平维持部的多个所述第二开关元件成为导通状态。

4. 根据权利要求 1 所述的液晶显示装置,其特征在于:

所述基准电位生成部包含电平移位电路,该电平移位电路通过转换规定的输入信号的电位电平来向所述基准电位配线提供规定的高电平电位或规定的低电平电位,

当通过所述电源状态检测部未检测出所述电源的断开状态时,所述电平移位电路将所述低电平电位作为所述基准电位提供至所述基准电位配线,

当通过所述电源状态检测部检测出所述电源的断开状态时,所述电平移位电路将所述高电平电位作为所述基准电位提供至所述基准电位配线。

5. 一种液晶显示装置的驱动方法,其特征在于:

所述液晶显示装置包括:

多个视频信号线,其用于分别传送表示要显示的图像的多个视频信号;

与所述多个视频信号线交叉的多个扫描信号线;

多个像素形成部,其和所述多个视频信号线与所述多个扫描信号线的交叉点分别对应地配置为矩阵状,并包含第一开关元件和与所述第一开关元件的第二导通端子连接的像素电极,其中,所述第一开关元件的控制端子与通过对应的交叉点的扫描信号线连接,所述第一开关元件的第一导通端子与通过该交叉点的视频信号线连接;和

在与形成有所述多个扫描信号线的基板相同的基板上形成的扫描信号线驱动电路,该扫描信号线驱动电路基于周期性地重复第一电位与第二电位的时钟信号依次输出脉冲,并包含移位寄存器,该移位寄存器包括以与所述多个扫描信号线 1 对 1 地对应的方式设置的多个双稳态电路,所述扫描信号线驱动电路基于从该移位寄存器输出的脉冲有选择地驱动所述多个扫描信号线,

所述驱动方法包含:

对从外部提供的电源的接通 / 断开状态进行检测的电源状态检测步骤;和

生成所述多个双稳态电路的基准电位的基准电位生成步骤,

所述液晶显示装置还包括基准电位配线,该基准电位配线用于向所述多个双稳态电路传送在所述基准电位生成步骤中生成的基准电位,

当在所述电源状态检测步骤中检测出所述电源的断开状态时,

与各双稳态电路对应的扫描信号线和所述基准电位配线电连接,

在所述基准电位生成步骤中,所述基准电位的电平提高至所述第一开关元件成为导通状态的电平。

6. 根据权利要求 5 所述的驱动方法,其特征在于:

所述驱动方法还包含生成所述时钟信号的时钟信号生成步骤,

各双稳态电路包含第二开关元件,该第二开关元件具有:与所述基准电位配线连接的第一导通端子;与和各双稳态电路对应的扫描信号线连接的第二导通端子;和被提供所述时钟信号的控制端子,

当在所述电源状态检测步骤中检测出所述电源的断开状态时,在所述时钟信号生成步骤中使所述时钟信号为所述第一电位或所述第二电位,使得包含于各双稳态电路的所述第二开关元件成为导通状态。

7. 根据权利要求 6 所述的驱动方法,其特征在于:

各双稳态电路包含多个所述第二开关元件,

在所述时钟信号生成步骤中生成多个所述时钟信号,该多个所述时钟信号被分别提供至包含于各双稳态电路的多个所述第二开关元件的控制端子,

当在所述电源状态检测步骤中检测出所述电源的断开状态时,在所述时钟信号生成步骤中使多个所述时钟信号分别为所述第一电位或所述第二电位,使得包含于各双稳态电路的多个所述第二开关元件成为导通状态。

8. 根据权利要求 5 所述的驱动方法,其特征在于:

所述驱动方法还包含电平转换步骤,在该电平转换步骤中,为了向所述基准电位配线提供规定的高电平电位或规定的低电平电位,而对规定的输入信号的电位电平进行转换,

在所述电平转换步骤中,当在所述电源状态检测步骤中未检测出所述电源的断开状态时,所述输入信号的电位电平被转换为所述低电平电位,当在所述电源状态检测步骤中检测出所述电源的断开状态时,所述输入信号的电位电平被转换为所述高电平电位。

## 液晶显示装置及其驱动方法

[0001] 技术区域

[0002] 本发明涉及具备单片化的栅极驱动器的液晶显示装置及其驱动方法。

### 背景技术

[0003] 一般情况下,有源矩阵式的液晶显示装置具备液晶面板,该液晶面板由夹持液晶层的 2 块基板构成,在该 2 块基板中的 1 块基板中,多个栅极总线(扫描信号线)和多个源极总线(视频信号线)呈格状配置,设置有分别与这些多个栅极总线和多个源极总线的交叉点对应且配置为矩阵状的多个像素形成部。各像素形成部包含作为开关元件的薄膜晶体管(TFT)和用于保持像素值的像素电容等,该薄膜晶体管的栅极端子与通过对应的交差点点的栅极总线连接,并且源极端子与通过该交差点的源极总线连接。另外,在上述 2 块基板中的另一块基板上,设置有共用地设置于上述多个像素形成部的作为相对电极的共用电极。有源矩阵式的液晶显示装置中,还设置有驱动上述多个栅极总线的栅极驱动器(扫描信号线驱动电路)和驱动上述多个源极总线的源极驱动器(视频信号线驱动电路)。

[0004] 虽然显示像素值的视频信号通过源极总线传达,但各源极总线不能够同时传达显示多行像素值的视频信号。因此,视频信号的往上述的配置为矩阵状的像素形成部内的像素电容的输入只能逐行依次进行。因此,为了使多个栅极总线能够在每个规定的期间依次得到选择,栅极驱动器通过由多段组成的移位寄存器构成。

[0005] 在这种液晶显示装置中,即使用户断开电源,显示也不会立刻清除,会留下类似残影的图像。这是由于装置内的电源被断开时,像素电容中保持的电荷的放电路径被断开,像素形成部内储蓄着残留电荷。另外,如果在像素形成部内储蓄着残留电荷的状态下接通装置的电源,则会基于残留电荷的杂质的偏移而导致发生闪烁等,出现显示品质的下降。

[0006] 因此,作为抑制因断开电源而产生的残留电荷的蓄积的技术,提出有以下的技术。日本专利特开 2004-45785 号公报中,公开了电源断开时,通过使全部的栅极总线为选择状态(为接通状态),使全部的像素形成部内的残留电荷放电的液晶显示装置的发明。国际公开 2007/07768 号公报中,公开了断开电源时令栅极断开电位(在需要使像素形成部内的开关元件处于断开状态时,提供该开关元件的栅极端子的信号的电位)快速地达到接地电位的液晶显示装置的发明。日本专利特开 2007-11346 号公报中,公开了通过在断开电源时令栅极断开电位高于接地电位,缩短残留电荷的放电时间的液晶显示装置的发明。

[0007] 先行技术文献

[0008] 专利文献

[0009] 专利文献 1:日本专利特开 2004-45785 号公报

[0010] 专利文献 2:国际公开 2007/007768 号公报

[0011] 专利文献 3:日本专利特开 2007-11346 号公报

### 发明内容

[0012] 发明要解决的课题

[0013] 近年来,在采用着 a-SiTFT 液晶面板(薄膜晶体管的半导体层中使用了非晶硅的液晶面板)的液晶显示装置中,栅极驱动器的单片化得到发展。虽然现有技术中,栅极驱动器常常作为 IC(Integrated Circuit:集成电路)芯片被装载在构成液晶面板的基板的周边部,但是近年来,在基板上直接形成栅极驱动器的情况逐渐增多。这种栅极驱动器被称为“单片栅极驱动器”等,具备单片栅极驱动器的面板被称为“栅极驱动器集成面板”。

[0014] 但是,在栅极驱动器集成面板中,作为抑制因断开电源而产生的残留电荷的蓄积的技术,无法采用上述技术。关于这方面,下面会有说明。

[0015] 关于日本专利特开 2004-45785 号公报公开的技术,作为 IC 芯片的栅极驱动器(以下,称为“栅极驱动器 IC”)800,其结构一般如图 21 所示。该栅极驱动器 IC800 包括:构成逻辑部的低耐压类电路部 810;和包含对从逻辑部输出的信号的电位电平进行转换的电平移位电路 822 的高耐压类电路部 820。低耐压类电路部 810 中,包含有移位寄存器 812 和 OR 电路 816。对 OR 电路 816 的输入端子提供来自移位寄存器 812 的各段 814 的输出信号、和用于控制是否使全部的栅极总线为选择状态的信号 ALL-ON。来自 OR 电路 816 的输出信号,通过电平移位电路 822 实施电位的转换。然后,通过电平移位电路 822 转换电位后的信号作为扫描信号提供至栅极总线。在这样的结构中,通过在电源被断开时,使上述信号 ALL-ON 的逻辑电平为高电平,使全部的栅极总线成为选择状态,令全部的像素形成部内的残留电荷放电。

[0016] 但是,在单片栅极驱动器中,对薄膜晶体管的栅极端子施加直流偏压时,该薄膜晶体管的阈值电压偏移。因此,为了防止对薄膜晶体管的栅极端子施加直流偏压,单片栅极驱动器使用置位复位型触发器电路构成。具体而言,单片栅极驱动器内的移位寄存器的一段,为如图 22 所示的结构。在这种结构中,如果来自前段的输出信号  $OUT_{n-1}$ (后面称为置位信号 S) 从低电平变化为高电平,则 netA(薄膜晶体管 TI 的栅极端子,薄膜晶体管 TB 的源极端子,与薄膜晶体管 TL 的漏极端子相互连接的区域)的电位上升。然后,如果时钟信号 CK 从低电平变化为高电平,则由于电容器 CAP 的自举效果,导致 netA 的电位进一步上升。由此,对薄膜晶体管 TI 的栅极端子施加大的电压。结果,根据时钟信号 CK 的高电位的电位,输出信号  $OUT_n$ (后述为状态信号 Q) 的电位能够提高至令栅极总线成为选择状态的电位。这里,其前提是:图 22 所示的电路成为使用时钟信号 CK 和电容器 CAP 的自举电路,输出信号  $OUT_n$  的电位在大半的期间维持在低电平。因此,图 22 所示电路中,没有设置用于生成栅极接通电位(在需要使像素形成部内的开关元件处于接通状态时,提供至该开关元件的栅极端子的信号的电位)的电源。即,在单片栅极驱动器中,不存在使全部的栅极总线处于选择状态的单元(构成要素)。因此,在栅极驱动器集成面板中,无法采用日本专利特开 2004-45785 号公报公开的技术。另外,使移位寄存器以 2 相的时钟信号动作,并且,使输出信号  $OUT_n$  的电位随时低至栅极断开电位(引向栅极断开电位侧)时,移位寄存器的一段的结构如图 8 所示。

[0017] 另外,国际公开 2007/007768 号公报中公开的技术中,由于 a-SiTFT 液晶面板中的薄膜晶体管的阈值电压大,即使使栅极断开电位为接地电位,像素形成部内的残留电荷也不会充分放电。

[0018] 另外,日本专利特开 2007-11346 号公报公开的技术中,栅极驱动器 IC 中,因以下原因,无法使栅极断开电位高于接地电位。图 23 是用于说明栅极驱动器 IC 的内部电路的电

位关系的图。此外,图 23 所示的电位的具体值为一个示例。为了能通过图 23 充分理解,低耐压类(逻辑类)电路部在接地电位 GND 与电源电位 VCC 之间动作,高耐压类电路部在栅极断开电位 VGL 与栅极接通电位 VGH 之间动作。通常,由于栅极断开电位 VGL 会变为比电源电位 VCC 或接地电位 GND 低的电位,所以 PN 寄生元件中只产生逆耐压。因此,通常在 PN 寄生元件中电流不流动。但是,如果使栅极断开电位 VGL 为比电源电位 VCC 高的电位(如 5V),则 PN 寄生元件产生正向电压,电流得以流动。结果,产生栅极驱动器 IC 的异常动作。

[0019] 但是,在栅极驱动器 IC 中,扫描信号的输出部成为 CMOS 结构。即,栅极驱动器 IC 按下述方式构成,即根据提供 COMS 的栅极的电压,栅极接通电位 VGH 或栅极断开电位 VGL 的其中一方从输出部输出。因此,采用着栅极驱动器 IC 的液晶显示装置中,能够将扫描信号维持在低电平。对此,在单片栅极驱动器中,移位寄存器的一段成为图 8、图 22 所示的电路结构。这里,薄膜晶体管 TN 只在 1 垂直扫描期间中的特定期限(1 行的栅极总线成为选择状态时的期间),成为接通状态。另外,因为时钟信号在高电平和低电平间反复交替,所以薄膜晶体管 TM、TD 不会持续地维持在接通状态。即,栅极总线的电位不会固定在低电平。如上所述,单片栅极驱动器中,虽然能够使栅极断开电位 VGL 为比接地电位 GND 高的电位,但是仅是如此,像素形成部内的残留电荷并不会放电。

[0020] 因此,本发明的目的是提供一种液晶显示装置:该液晶显示装置能够抑制接通电源时的显示品质下降,能够快速地去掉断开电源时像素形成部内的残留电荷,并具备单片栅极驱动器。

[0021] 用于解决课题的手段

[0022] 本发明的第一方面是一种液晶显示装置,其特征在于,包括:

[0023] 多个视频信号线,其用于分别传送表示要显示的图像的多个视频信号;与上述多个视频信号线交叉的多个扫描信号线;

[0024] 多个像素形成部,其和上述多个视频信号线与上述多个扫描信号线的交叉点分别对应地配置为矩阵状,并包含第一开关元件和与上述第一开关元件的第二导通端子连接的像素电极,其中,上述第一开关元件的控制端子与通过对应的交叉点的扫描信号线连接,上述第一开关元件的第一导通端子与通过该交叉点的视频信号线连接;

[0025] 在与形成有上述多个扫描信号线的基板相同的基板上形成的扫描信号线驱动电路,该扫描信号线驱动电路基于周期性地重复第一电位与第二电位的时钟信号依次输出脉冲,并包含移位寄存器,该移位寄存器包括以与上述多个扫描信号线 1 对 1 地对应的方式设置的多个双稳态电路,上述扫描信号线驱动电路基于从该移位寄存器输出的脉冲有选择地驱动上述多个扫描信号线;

[0026] 电源状态检测部,其对从外部提供的电源的接通/断开状态进行检测;

[0027] 基准电位生成部,其生成上述多个双稳态电路的基准电位;和

[0028] 基准电位配线,其用于向上述多个双稳态电路传送在上述基准电位生成部生成的基准电位,其中,

[0029] 各双稳态电路包含电位电平维持部,该电位电平维持部用于将对应的扫描信号线和上述基准电位配线电连接,使得在该扫描信号线为非选择状态的期间中该扫描信号线的电位电平维持在上述基准电位的电平,

[0030] 当通过上述电源状态检测部检测出上述电源的断开状态时,

[0031] 包含于各双稳态电路的上述电位电平维持部,将与该各双稳态电路对应的扫描信号线和上述基准电位配线电连接,

[0032] 上述基准电位生成部将上述基准电位的电平提高至上述第一开关元件成为导通状态的电平。

[0033] 本发明的第二方面,在本发明第一方面的基础上还具有以下特征:

[0034] 上述液晶显示装置还包括生成上述时钟信号的时钟信号生成部,

[0035] 包含于各双稳态电路的上述电位电平维持部包含第二开关元件,该第二开关元件具有:与上述基准电位配线连接的第一导通端子;与和该各双稳态电路对应的扫描信号线连接的第二导通端子;和被提供上述时钟信号的控制端子,

[0036] 当通过上述电源状态检测部检测出上述电源的断开状态时,上述时钟信号生成部使上述时钟信号为上述第一电位或上述第二电位,使得包含于各双稳态电路的上述第二开关元件成为导通状态。

[0037] 本发明的第三方面,在本发明第二方面的基础上还具有以下特征:

[0038] 包含于各双稳态电路的上述电位电平维持部包含多个上述第二开关元件,

[0039] 上述时钟信号生成部生成多个上述时钟信号,该多个上述时钟信号被分别提供至包含于各上述电位维持部的多个上述第二开关元件的控制端子,

[0040] 当通过上述电源状态检测部检测出上述电源的断开状态时,上述时钟信号生成部使多个上述时钟信号分别为上述第一电位或上述第二电位,使得包含于各电位电平维持部的多个上述第二开关元件成为导通状态。

[0041] 本发明的第四方面,在本发明第一方面的基础上还具有以下特征:

[0042] 上述基准电位生成部包含电平移位电路,该电平移位电路通过转换规定的输入信号的电位电平来向上述基准电位配线提供规定的高电平电位或规定的低电平电位,

[0043] 当通过上述电源状态检测部未检测出上述电源的断开状态时,上述电平移位电路将上述低电平电位作为上述基准电位提供至上述基准电位配线,

[0044] 当通过上述电源状态检测部检测出上述电源的断开状态时,上述电平移位电路将上述高电平电位作为上述基准电位提供至上述基准电位配线。

[0045] 本发明的第五方面提供一种液晶显示装置的驱动方法,其特征在于:

[0046] 上述液晶显示装置包括:

[0047] 多个视频信号线,其用于分别传送表示要显示的图像的多个视频信号;与上述多个视频信号线交叉的多个扫描信号线;

[0048] 多个像素形成部,其和上述多个视频信号线与上述多个扫描信号线的交叉点分别对应地配置为矩阵状,并包含第一开关元件和与上述第一开关元件的第二导通端子连接的像素电极,其中,上述第一开关元件的控制端子与通过对应的交叉点的扫描信号线连接,上述第一开关元件的第一导通端子与通过该交叉点的视频信号线连接;和

[0049] 在与形成有上述多个扫描信号线的基板相同的基板上形成的扫描信号线驱动电路,该扫描信号线驱动电路基于周期性地重复第一电位与第二电位的时钟信号依次输出脉冲,并包含移位寄存器,该移位寄存器包括以与上述多个扫描信号线1对1地对应的方式设置的多个双稳态电路,上述扫描信号线驱动电路基于从该移位寄存器输出的脉冲有选择地驱动上述多个扫描信号线,

- [0050] 上述驱动方法包含：
- [0051] 对从外部提供的电源的接通 / 断开状态进行检测的电源状态检测步骤；和
- [0052] 生成上述多个双稳态电路的基准电位的基准电位生成步骤，
- [0053] 上述液晶显示装置还包括基准电位配线，该基准电位配线用于向上述多个双稳态电路传送在上述基准电位生成步骤中生成的基准电位，
- [0054] 当在上述电源状态检测步骤中检测出上述电源的断开状态时，
- [0055] 与各双稳态电路对应的扫描信号线和上述基准电位配线电连接，
- [0056] 在上述基准电位生成步骤中，上述基准电位的电平提高至上述第一开关元件成为导通状态的电平。
- [0057] 本发明的第六方面，在本发明的第五方面的基础上具有以下特征：
- [0058] 上述驱动方法还包含生成上述时钟信号的时钟信号生成步骤，
- [0059] 各双稳态电路包含第二开关元件，该第二开关元件具有：与上述基准电位配线连接的第一导通端子；与和该各双稳态电路对应的扫描信号线连接的第二导通端子；和被提供上述时钟信号的控制端子，
- [0060] 当在上述电源状态检测步骤中检测出上述电源的断开状态时，在上述时钟信号生成步骤中使上述时钟信号为上述第一电位或上述第二电位，使得包含于各双稳态电路的上述第二开关元件成为导通状态。
- [0061] 本发明的第七方面，在本发明的第六方面的基础上具有以下特征：
- [0062] 各双稳态电路包含多个上述第二开关元件，
- [0063] 在上述时钟信号生成步骤中生成多个上述时钟信号，该多个上述时钟信号被分别提供至包含于各双稳态电路的多个上述第二开关元件的控制端子，
- [0064] 当在上述电源状态检测步骤中检测出上述电源的断开状态时，在上述时钟信号生成步骤中使多个上述时钟信号分别为上述第一电位或上述第二电位，使得包含于各双稳态电路的多个上述第二开关元件成为导通状态。
- [0065] 本发明的第八方面，在本发明的第五方面的基础上具有以下特征：
- [0066] 还包含电平转换步骤，在该电平转换步骤中，为了对上述基准电位配线施加规定的高电平电位或规定的低电平电位，对规定的输入信号的电位电平进行转换，
- [0067] 在上述电平转换步骤中，
- [0068] 当上述电源状态检测步骤未检测出上述电源的断开状态时，上述输入信号的电位电平被转换为上述低电平电位，
- [0069] 如果上述电源状态检测步骤检测出上述电源的断开状态，则上述输入信号的电位电平被转换为上述高电平电位。
- [0070] 发明的效果
- [0071] 根据本发明的第一方面，在扫描信号线驱动电路内的构成移位寄存器的双稳态电路中设置有电位电平维持部，该电位电平维持部，在与该双稳态电路对应的扫描信号线要成为非选择状态的期间，使该扫描信号线的电位电平维持为基准电位的电平。然后，当检测出电源的断开状态时，扫描信号线与（传送基准电位的）基准电位配线通过电位电平维持部电连接。此外，在检测出电源的断开状态时，基准电位的电平能够被提高至各像素形成部中设置的开关元件成为导通状态时的电平。由此，各扫描信号线成为选择状态，设置于各像

素形成部的开关元件成为导通状态。因此,在电源断开时,各像素形成部内的残留电荷能够快速放电。结果,能够抑制在再次接通电源时因像素形成部内的残留电荷而产生的显示品质下降。

[0072] 根据本发明的第二方面,当检测出电源的断开状态时,作为用于使各扫描信号线成为选择状态的结构要素,使用电位电平维持部,为了将扫描信号线的电位维持在基准电位的电平,该电位电平维持部通过在现有技术中设计的开关元件实现。因此,能够比较容易地实现具有与本发明的第一方面相同的效果的液晶显示装置。

[0073] 根据本发明的第三方面,在具备具有基于多个时钟信号进行动作的移位寄存器的扫描信号线驱动电路的液晶显示装置中,在电源被断开时各像素形成部内的残留电荷能快速放电,能够抑制在再次接通电源时的显示品质的降低。

[0074] 根据本发明的第四方面,来自电平移位电路的输出信号的电位,作为基准电位,经由基准电位配线提供至构成移位寄存器的双稳态电路。因此,能够容易地改变向双稳态电路提供的基准电位的电平,在扫描信号线与基准电位配线通过电位电平维持部电连接时,能够通过提高基准电位的电平使扫描信号线成为选择状态。另外,在采用单片栅极驱动器(在与形成有扫描信号线的基板相同的基板上形成的扫描信号线驱动电路)的液晶显示装置中,在现有的面板的外部设置电平移位电路。因此,即使是将来自电平移位电路的输出信号用于基准电位的结构,也没有必要增加电路部件等,能够低成本地实现在断开电源时可快速地除去像素形成部内的残留电荷的液晶显示装置。

#### 附图说明

[0075] 图 1 是用于说明本发明的第一实施方式涉及的有源矩阵式的液晶显示装置中电源断开时的动作的信号波形图。

[0076] 图 2 是表示上述第一实施方式中液晶显示装置的整体结构的框图。

[0077] 图 3 是表示上述第一实施方式中像素形成部的结构的电路图。

[0078] 图 4 是表示上述第一实施方式中基准电位切换电路的结构的图。

[0079] 图 5 是用于说明上述第一实施方式中栅极驱动器的结构的框图。

[0080] 图 6 是表示上述第一实施方式中栅极驱动器内的移位寄存器的结构的框图。

[0081] 图 7 是用于说明上述第一实施方式中的栅极驱动器的动作的信号波形图。

[0082] 图 8 是表示上述第一实施方式中,移位寄存器中包含的双稳态电路的结构的电路图。

[0083] 图 9 是用于说明上述第一实施方式中,双稳态电路的动作的信号波形图。

[0084] 图 10 是表示本发明第二实施方式的液晶显示装置的整体结构的框图。

[0085] 图 11 是表示用于说明上述第二实施方式的效果的图。

[0086] 图 12 是用于说明上述第二实施方式的效果的图。

[0087] 图 13 是用于说明上述第二实施方式的变形例的图。

[0088] 图 14 是表示基于 4 相的时钟信号动作的移位寄存器的一个结构例的框图。

[0089] 图 15 是表示基于 4 相的时钟信号动作的移位寄存器中包含的双稳态电路的结构的电路图。

[0090] 图 16 是 4 相的时钟信号波形图。

[0091] 图 17 是用于说明基于 4 相的时钟信号动作的移位寄存器中包含的双稳态电路的动作的信号波形图。

[0092] 图 18 是用于说明在显示部的两侧具备栅极驱动器的液晶显示器的框图。

[0093] 图 19 是用于说明其源极驱动器由 1 个 IC 芯片构成的液晶显示装置的框图。

[0094] 图 20 是用于说明具备一个芯片驱动器的液晶显示装置的框图。

[0095] 图 21 是表示栅极驱动器 IC 的一般构成的框图。

[0096] 图 22 是表示单片栅极驱动器内的移位寄存器的一段的结构图。

[0097] 图 23 是用于说明栅极驱动器 IC 的内部电路中的电位关系的图。

## 具体实施方式

[0098] 下面,参照附图,说明本发明的实施方式。

[0099] <1. 第一实施方式>

[0100] <1.1 整体结构和动作>

[0101] 图 2 是表示本发明的第一实施方式涉及的有源矩阵式的液晶显示装置的整体结构的框图。如图 2 所示,该液晶显示装置包括液晶面板 20、PCB(印刷电路板)10 和连接液晶面板 20 与 PCB 10 的 TAB(Tape Automated Bonding:卷带自动结合)30。

[0102] 在液晶面板 20 上,形成有用于显示图像的显示部 22。显示部 22 中包含:多个( $j$  条)源极总线(视频信号线)SL1 ~ SL $j$ ;多个( $i$  条)栅极总线(扫描信号线)GL1 ~ GL $i$ ;和分别与这些源极总线 SL1 ~ SL $j$  和栅极总线 GL1 ~ GL $i$  的交叉点对应地设置的多个( $i \times j$  个)像素形成部。图 3 是表示像素形成部的结构的电路图。如图 3 所示,各像素形成部中包含:薄膜晶体管(TFT)220,其栅极端子(控制端子)与通过对应的交叉点的栅极总线 GL 连接且其源极端子(第一导通端子)与通过该交叉点的源极总线 SL 连接;与该薄膜晶体管 220 的漏极端子(第二导通端子)连接的像素电极 221;上述多个像素形成部中共用地设置的共用电极 222 和辅助电容电极 223;由像素电极 221 和共用电极 222 形成的液晶电容 224;和由像素电极 221 和辅助电容电极 223 形成的辅助电容 225。另外,由液晶电容 224 和辅助电容 225 形成像素电容 CP。然后,各薄膜晶体管 220 的栅极端子,从栅极总线 GL 接收到有效的扫描信号时,该薄膜晶体管 220 的源极端子根据从源极总线 SL 接收的视频信号,在像素电容 CP 保持显示像素值的电压。

[0103] 在液晶面板 20 中,如图 2 所示,形成有驱动栅极总线 GL1 ~ GL $i$  用的栅极驱动器 24。即,栅极驱动器 24 单板地形成在构成液晶面板 20 的玻璃基板上。用于驱动源极总线 SL1 ~ SL $j$  的源极驱动器 32 以 IC 芯片的状态搭载于 TAB30。在 PCB10 形成有定时控制器 11、电平移位电路 13、电源电路 15、电源断开检测部 17 和基准电位切换电路 19。此外,在以下的说明中,将成为栅极驱动器 24 所包含的移位寄存器动作时的基准的电位(但是在本实施方式中,该电位是可变的)称为“基准电位”。

[0104] 从外部向该液晶显示装置提供水平同步信号 HS、垂直同步信号 VS、数据启用信号 DE 等的定时信号;图像信号 DAT;和电源电压 PW。电源电压 PW 被施加到定时控制器 11、电源电路 15 和电源断开检测部 17。并且,在本实施方式中,电源电压 PW 为 3.3V。

[0105] 电源电路 15,基于电源电压 PW,生成使栅极总线成为选择状态用的栅极接通电位 VGH 和使栅极总线成为非选择状态用的栅极断开电位 VGL。将栅极接通电位 VGH 和栅极断

开电位 VGL 提供至电平移位电路 13 和基准电位转换电路 19。电源断开检测部 17 输出表示电源电压 PW 的供给状态（电源的接通 / 断开状态）的电源状态信号 SHUT。电源状态信号 SHUT 被提供至定时控制器 11 和基准电位切换电路 19。基准电位切换电路 19 构成为使用晶体管等实现图 4 所示的切换开关。即，基准电位切换电路 19 根据电源状态信号 SHUT 的电压的大小，将栅极接通电位 VGH 和栅极断开电位 VGL 中的任意一个作为基准电位 H\_SIG\_VSS 输出。具体来说，如果电源状态信号 SHUT 为低电平，则栅极断开电位 VGL 作为基准电位 H\_SIG\_VSS 输出，如果电源状态信号 SHUT 为高电平，则栅极接通电位 VGH 作为基准电位 H\_SIG\_VSS 输出。基准电位 H\_SIG\_VSS，通过基准电位配线传送，而提供至栅极驱动器 24。

[0106] 定时控制器 11，接收：水平同步信号 HS、垂直同步信号 VS、数据启用信号 DE 等的定时信号；图像信号 DAT；电源电压 PW；和电源状态信号 SHUT，生成数字视频信号 DV、源极启动脉冲信号 SSP、源极时钟信号 SCK、栅极启动脉冲信号 L\_GSP、第一栅极时钟信号 L\_CK1 和第二栅极时钟信号 L\_CK2。数字视频信号 DV、源极启动脉冲信号 SSP 和源极时钟信号 SCK 提供至源极驱动器 32，栅极启动脉冲信号 L\_GSP、第一栅极时钟信号 L\_CK1 和第二栅极时钟信号 L\_CK2 提供至电平移位电路 13。另外，在栅极启动脉冲信号 L\_GSP、第一栅极时钟信号 L\_CK1 和第二栅极时钟信号 L\_CK2 中，高电平侧的电位为电源电压 (3.3V)PW，低电平侧的电位为接地电位 (0V)GND。

[0107] 电平移位电路 13，使用从电源电路 15 提供的栅极接通电位 VGH 和栅极断开电位 VGL，进行从定时控制器 11 输出的栅极启动脉冲信号 L\_GSP、第一栅极时钟信号 L\_CK1 和第二栅极时钟信号 L\_CK2 的电位电平的转换。将经电平移位电路 13 进行的电位电平的转换后的栅极启动脉冲信号 H\_GSP、第一栅极时钟信号 H\_CK1 和第二栅极时钟信号 H\_CK2 提供至栅极驱动器 24。此外，电平移位电路 13 进行电位电平的转换时，如果第一栅极时钟信号 L\_CK1 为低电平，则使第一栅极时钟信号 H\_CK1 的电位变成栅极断开电位 VGL，如果第一栅极时钟信号 L\_CK1 为高电平，则使第一栅极时钟信号 H\_CK1 的电位变成栅极接通电位 VGH。第二栅极时钟信号 L\_CK2 和栅极启动脉冲信号 L\_GSP 也能够进行同样的转换。

[0108] 源极驱动器 32 接收从定时控制器 11 输出的数字视频信号 DV、源极启动脉冲信号 SSP 和源极时钟信号 SCK，对各源极总线 SL1 ~ SLj 施加驱动用的视频信号。

[0109] 栅极驱动器 24，基于从电平移位电路 13 输出的栅极启动脉冲信号 H\_GSP、第一栅极时钟信号 H\_CK1、第二栅极时钟信号 H\_CK2 和从基准电位切换电路 19 输出的基准电位 H\_SIG\_VSS，以 1 垂直扫描期间为周期，反复对各栅极总线 GL1 ~ GLi 施加有效的扫描信号。此外，后面将详细说明该栅极驱动器 24。

[0110] 如上所述，通过对各源极总线 SL1 ~ SLj 施加驱动用的视频信号，对各栅极总线 GL1 ~ GLi 施加扫描信号，基于从外部传送来的图像信号 DAT 的图像，显示在显示部 22 中。

[0111] 另外，在本实施方式中，通过电源断开检测部 17 实现电源状态检查部，通过基准电位切换电路 19 实现基准电位生成部，通过定时控制器 11 和电平移位电路 13 实现时钟信号生成部。

[0112] <1.2 栅极驱动器的结构和动作 >

[0113] 其次，说明本实施方式中的栅极驱动器 24 的结构和动作。如图 5 所示，栅极驱动器 24 包括具有多段的移位寄存器 240。在显示部 22 中，形成有 i 行 × j 行的像素矩阵，按照与这些像素矩阵的各行 1 对 1 对应的方式设置有移位寄存器 240 的各段。此外，移位寄

寄存器 240 的各段,在各时刻,成为 2 个状态中的任意一个状态,成为输出显示该状态的信号(以下,称为“状态信号”)的双稳态电路。另外,从移位寄存器 240 的各段输出的状态信号,作为扫描信号提供至对应的栅极总线。

[0114] 图 6 是表示栅极驱动器 24 内的移位寄存器 240 的结构框图。另外,在图 6 中,表示有移位寄存器 240 的第 (n-1) 段、第 n 段和第 (n+1) 段的双稳态电路 SR<sub>n-1</sub>、SR<sub>n</sub> 和 SR<sub>n+1</sub> 的结构。各双稳态电路中,设置有用接收基准电位 VSS、第一时钟 CKa、第二时钟 CKb、置位信号 S 和复位信号 R 的输入端子;和用于输出状态信号 Q 的输出端子。在本实施方式中,从基准电位切换电路 19 输出的基准电位 H\_SIG\_VSS 作为基准电位 VSS 被提供,从电平移位电路 13 输出的一方的第一栅极时钟信号 H\_CK1 和第二时钟信号 H\_CK2 作为第一时钟 CKa 被提供,另一方的第一栅极时钟信号 H\_CK1 和第二时钟信号 H\_CK2 作为第二时钟 CKb 被提供。另外,从前段输出的状态信号 Q 作为置位信号 S 被提供,从下一段输出的状态信号 Q 作为复位信号 R 被提供。即,当着眼于第 n 段时,向第 (n-1) 行的栅极总线提供的扫描信号 OUT<sub>n-1</sub> 作为置位信号 S 被提供,向第 (n+1) 行的栅极总线提供的扫描信号 OUT<sub>n+1</sub> 作为复位信号 R 被提供。

[0115] 在如上所述的结构中,当对移位寄存器 240 的第一段提供作为置位信号 S 的栅极启动脉冲信号 H\_GSP 的脉冲时,根据使占空比的值处于 50% 左右的第一栅极时钟信号 H\_CK1 和第二栅极时钟信号 H\_CK2 (参照图 7),栅极启动脉冲信号 H\_GSP 中包含的脉冲(该脉冲包含于从各段输出的状态信号 Q 中)从第一段依次传送至第 i 段。然后,根据该脉冲的传送,从各段输出的状态信号 Q 依次成为高电平。然后,这些从各段输出的状态信号 Q,作为扫描信号 OUT<sub>1</sub> ~ OUT<sub>i</sub> 提供至各栅极总线 GL<sub>1</sub> ~ GL<sub>i</sub>。由此,如图 7 所示,在各规定期间依次成为高电平的扫描信号 OUT<sub>1</sub> ~ OUT<sub>i</sub> 被提供至显示部 22 内的栅极总线 GL<sub>1</sub> ~ GL<sub>i</sub>。

[0116] <1.3 双稳态电路的结构和动作>

[0117] 图 8 是表示包含于移位寄存器 240 的双稳态电路的结构(移位寄存器 240 的第 n 段的结构)的电路图。如图 8 所示,该双稳态电路 SR<sub>n</sub> 具备 7 个薄膜晶体管 TI、TB、TL、TN、TE、TM 和 TD、电容器 CAP 和 AND 电路 242。此外,在图 8 中,对用于接收第一时钟 CKa 的输入端子附加编号 41,对用于接收第二时钟 CKb 的输入端子附加编号 42,对用于接收置位信号 S 的输入端子附加编号 43,对用于接收复位信号 R 的输入端子附加编号 44,对用于输出状态信号 Q 的输出端子附加编号 45。

[0118] 薄膜晶体管 TB 的源极端子、薄膜晶体管 TL 的漏极端子、薄膜晶体管 TI 的栅极端子、薄膜晶体管 TE 的源极端子与电容器 CAP 的一端彼此相互连接。并且,为了便于说明,将这些相互连接在一起的区域(配线)称为“netA”。

[0119] 关于薄膜晶体管 TI,其栅极端子连接于 netA,漏极端子连接于输入端子 41,源极端子连接于输出端子 45。关于薄膜晶体管 TB,其栅极端子和漏极端子连接于输入端子 43(即为二极管连接),源极端子连接于 netA。关于薄膜晶体管 TL,其栅极端子连接于输入端子 44,漏极端子连接于 netA,源极端子连接于基准电位配线。关于薄膜晶体管 TN,其栅极端子连接于输入端子 44,漏极端子连接于输出端子 45,源极端子连接于基准电位配线。关于薄膜晶体管 TE,其栅极端子连接于输入端子 41,漏极端子连接于输出端子 45,源极端子连接于 netA。关于薄膜晶体管 TM,其栅极端子连接于 AND 电路 242 的输出端子,漏极端子连接于输出端子 45,源极端子连接于基准电位配线。关于薄膜晶体管 TD,其栅极端子连接

于输入端子 42,漏极端子连接于输出端子 45,源极端子连接于基准电位配线。关于电容器 CAP,其一端连接于 netA,另一端连接于输出端子 45。AND 电路 242 构成为向薄膜晶体管 TM 的栅极端子提供表示状态信号 Q 的逻辑反转信号的逻辑值与第一时钟 CKa 的逻辑值的逻辑积。

[0120] 其次,说明各构成要素的双稳态电路的功能。薄膜晶体管 TI,在 netA 的电位成为高电平时,向输出端子 45 提供第一时钟 CKa 的电位。薄膜晶体管 TB,在置位信号 S 成为高电平时,使 netA 的电位为高电平。薄膜晶体管 TL,在复位信号 R 成为高电平时,使 netA 的电位为低电平。薄膜晶体管 TN,在复位信号 R 成为高电平时,使状态信号 Q(输出端子 45)的电位为低电平。薄膜晶体管 TE,在处于接通状态时,使 netA 的电位和状态信号 Q 的电位相等。电容器 CAP 作为用于得到自举效果的电容而发挥功能,该自举效果即随着状态信号 Q 的电位的上升而提高 netA 的电位。

[0121] AND 电路 242,向薄膜晶体管 TM 的栅极端子提供表示状态信号 Q 的逻辑反转信号的逻辑值与第一时钟 CKa 的逻辑值的逻辑积的信号。即,在状态信号 Q 为低电平时,向薄膜晶体管 TM 的栅极端子提供第一时钟 CKa。薄膜晶体管 TM,在来自 AND 电路 242 的输出信号为高电平时,使状态信号 Q 的电位为低电平。薄膜晶体管 TD,在第二时钟 CKb 成为高电平时,使状态信号 Q 的电位为低电平。这些 AND 电路 242、薄膜晶体管 TM 和薄膜晶体管 TD 的设置目的在于:在与该双稳态电路 SRn 连接的栅极总线要处于非选择状态的期间中,使状态信号 Q 的电位电平降低至随时基准电位(在电源电压 PW 正常供给的期间,基准电位的电平成为栅极断开电位的电平)的电平。换言之,设置 AND 电路 242、薄膜晶体管 TM 和薄膜晶体管 TD,使得:即使状态信号 Q 的电位电平在极短的时间内稍高于基准电位的电平,当着眼于较长的时间时状态信号 Q 的电位也维持在基准电位的电平。由此,在本实施方式中,通过 AND 电路 242、薄膜晶体管 TM 和薄膜晶体管 TD 实现了电位电平维持部 241。

[0122] 然后,参照图 9,说明从外部正常供给电源电压 PW 时的双稳态电路 SRn 的动作。在该液晶显示装置动作的期间中,向双稳态电路 SRn 提供使占空比的值为 50%左右的第一时钟 CKa 和第二时钟 CKb。另外,在第一时钟 CKa 和第二时钟 CKb 中,高电平侧的电位成为栅极接通电位 VGH,低电平侧的电位成为栅极断开电位 VGL。此外,在以下的说明中,虽然以基准电位 VSS 与栅极断开电位 VGL 为相同电位为前提,但基准电位 VSS 与栅极断开电位 VGL 也可以是不同的电位(例如:基准电位 VSS 为 -7V,栅极断开电位为 -10V)。

[0123] 当到达时刻 t1 置位信号 S 从低电平变至高电平时,如图 8 所示,薄膜晶体管 TB 成为二极管连接,从而变成接通状态。由此,电容器 CAP 得到充电,netA 的电位由低电平变为高电平。由此,薄膜晶体管 TI 变成接通状态。这里,在 t1 ~ t3 的期间中,第一时钟 CKa 成为低电平。因此,在此期间中,状态信号 Q 维持在低电平。此外,在此期间中,复位信号 R 成为低电平,因此薄膜晶体管 TL 维持在断开状态。因此,在此期间中,不会出现 netA 的电位下降。

[0124] 在时刻 t2,置位信号 S 从高电平变至低电平后,到达时刻 t3 时,第一时钟 CKa 从低电平变为高电平。此时,因为薄膜晶体管 TI 变为接通状态,所以在输入端子 41 的电位上升的同时,输出端子 45 的电位也上升。在这里,如图 8 所示,在 netA 与输出端子 45 之间设置有电容器 CAP,因此输出端子 45 的电位上升的同时,netA 的电位也上升(netA 被引导)。netA 的电位在理想状态下,能上升到栅极接通电位 VGH 的两倍电位。其结果,对薄膜晶体管

TI 的栅极端子施加大的电压,输出端子 45 的电位上升至第一时钟 CKa 的高电位的电位即栅极接通电位 VGH。由此,与该双稳态电路 SRn 的输出端子 45 连接的栅极总线成为选择状态。另外,在  $t_3 \sim t_4$  的期间中,因为复位信号 R 为低电平,所以薄膜晶体管 TN 维持在断开状态,因为第二时钟 CKb 为低电平,所以薄膜晶体管 TD 维持在断开状态。此外,在此期间中,因为状态信号 Q 为高电平,所以来自 AND 电路 242 的输出信号成为低电平,薄膜晶体管 TM 成为断开状态。因此,在此期间中,不会存在状态信号 Q 的电位下降的情况。而且,在  $t_3 \sim t_4$  的期间中,虽然第一时钟 CKa 为高电平,但因 netA 的电位成为栅极接通电位 VGH 的大约两倍的电位,状态信号 Q 的电位成为栅极接通电位 VGH,因此薄膜晶体管 TE 为断开状态。此外,在此期间中,复位信号 R 成为低电平,因此薄膜晶体管 TL 维持在断开状态。因此,在此期间中,不会存在 netA 的电位下降的情况。

[0125] 当到达时刻  $t_4$  时,第一时钟 CKa 从高电平变化为低电平。由此,输入端子 41 的电位下降的同时,输出端子 45 的电位即状态信号 Q 的电位下降。因此,netA 的电位也经由电容器 CAP 而下降。当到达时刻  $t_5$  时,复位信号 R 从低电平向高电平变化。由此,薄膜晶体管 TL 和薄膜晶体管 TN 成为接通状态。其结果,netA 的电位和状态信号 Q 的电位成为低电平。

[0126] 通过利用移位寄存器 240 内的各双稳态电路进行如上所述的动作,向显示部 22 内的栅极总线 GL1 ~ GLi 提供在每个规定期间依次成为高电平的扫描信号 OUT1 ~ OUTi。另外,在本实施方式中,第一时钟 CKa 与第二时钟 CKb 如图 9 所示在每一个规定期间内交替成为高电平。因此,薄膜晶体管 TD 与薄膜晶体管 TM 在每一规定期间交替成为接通状态。由此,各栅极总线在每个规定期间(但是,应为选择状态的期间除外)与基准电位配线电连接,在要为非选择状态期间,状态信号 Q 维持在低电平。

[0127] <1.4 电源断开时的动作>

[0128] 以下,参照图 1、图 2 和图 8,说明从外部供给的电源电压 PW 被断开时的液晶显示装置的动作。在图 1 中表示电源电压 PW、电源状态信号 SHUT、栅极接通电位 VGH、栅极断开电位 VGL、第一栅极时钟信号 H\_CK1、第二栅极时钟信号 H\_CK2 和基准电位 H\_SIG\_VSS 的波形。此外,在图 1 中,编号 T-on 所示的期间表示电源电压 PW 正常供给的期间,编号 tz 所示时刻表示电源电压 PW 的供给被断开时的时刻,编号 T-off 所示的期间表示没有供给电源电压 PW 的期间。

[0129] 在电源电压 PW 正常供给的期间,从电源电路 15 向电平移位电路 13 和基准电位切换电路 19 提供的栅极接通电位 VGH、栅极断开电位 VGL 各自维持在例如 22V、-10V。此外,在此期间中,电源断开检测部 17 令电源状态信号 SHUT 维持在低电平(这里指接地电位 GND)。根据该电源状态信号 SHUT,基准电位切换电路 19 使基准电位 H\_SIG\_VSS 维持在栅极断开电位 VGL。此外,定时控制器 11,根据电源状态信号 SHUT,使第一栅极时钟信号 L\_CK1 与第二栅极时钟信号 L\_CK2 在每个规定期间交替成为高电平。另外,如上所述,在第一栅极时钟信号 L\_CK1 和第二栅极时钟信号 L\_CK2 中,使高电平侧的电位为电源电压 PW,低电平侧的电位为接地电位 GND。第一栅极时钟信号 L\_CK1 和第二栅极时钟信号 L\_CK2,如上所述,通过电平移位电路 13 进行电位电平的转换。如上所述,在电源电压 PW 正常供给的期间,如图 1 所示,在第一栅极时钟信号 H\_CK1 和第二栅极时钟信号 H\_CK2 中,栅极接通电位 VGH 与栅极断开电位 VGL 反复交替,在基准电位 H\_SIG\_VSS 中,维持在栅极断开电位 VGL。

[0130] 当在时刻  $t_z$  断开电源电压 PW 的供给时,如图 1 所示,栅极接通电位 VGH 和栅极断开电位 VGL 逐渐接近接地电位 GND。此外,电源断开检测部 17,当检测出电源电压 PW 的供给被断开(电源的断开状态)时,使电源状态信号 SHUT 为高电平。定时控制器 11,当检测出电源状态信号 SHUT 成为高电平时,使第一栅极时钟信号 L\_CK1 和第二栅极时钟信号 L\_CK2 为高电平。这些第一栅极时钟信号 L\_CK1 和第二栅极时钟信号 L\_CK2,通过电平移位电路 13 进行电位电平的转换。此时,第一栅极时钟信号 L\_CK1 和第二栅极时钟信号 L\_CK2 双方都成为高电平,因此第一栅极时钟信号 H\_CK1 和第二栅极时钟信号 H\_CK2 变成栅极接通电位 VGH。此外,基准电位切换电路 19,根据电源状态信号 SHUT,将基准电位 H\_SIG\_VSS 从栅极断开电位 VGL 切换至栅极接通电位 VGH。如上所述,在电源电压 PW 的供给被断开的时刻  $t_z$ ,如图 1 所示,基准电位 H\_SIG\_VSS、第一栅极时钟信号 H\_CK1 和第二栅极时钟信号 H\_CK2 成为栅极接通电位 VGH。

[0131] 当第一栅极时钟信号 H\_CK1 和第二栅极时钟信号 H\_CK2 双方都变为栅极接通电位 VGH 时,向各双稳态电路(参照图 8)提供的第一时钟 CKa 和第二时钟 CKb 同时成为高电平。然后,通过使第二时钟 CKb 成为高电平,薄膜晶体管 TD 成为接通状态。此外,因为各栅极总线只在 1 垂直扫描期间中的少量期间成为选择状态,所以大部分的双稳态电路的状态信号 Q 成为低电平。因此,通过使第一时钟 CKa 成为高电平,在大部分的双稳态电路中,来自 AND 电路 242 的输出信号成为高电平,薄膜晶体管 TM 成为接通状态。由此,与各双稳态电路连接的栅极总线与传送基准电位 H\_SIG\_VSS 的基准电位配线电连接。而且,在本实施方式中,在电源电压 PW 的供给被断开的时刻  $t_z$ ,基准电位 H\_SIG\_VSS 从栅极断开电位 VGL 上升至栅极接通电位 VGH。由此,从各双稳态电路输出的状态信号 Q 的电位得到提高,在显示部 22 内的各像素形成部(参照图 4)中,薄膜晶体管 220 成为接通状态。其结果,使各像素形成部内的残留电荷迅速放电。

[0132] <1.5 效果>

[0133] 根据本实施方式,在构成栅极驱动器 24 内的移位寄存器 240 的双稳态电路中,设置有电位电平维持部 241,该电位电平维持部,在与该双稳态电路连接的栅极总线要成为非选择状态的期间,使状态信号 Q 的电位维持在低电平(严格地说,使状态信号 Q 的电位降低到随时基准电位的电平)。该电位电平维持部 241 包括:向薄膜晶体管 TM 的栅极端子提供表示逻辑积的信号的 AND 电路 242,该逻辑积是状态信号 Q 的逻辑反转信号的逻辑值与第一时钟 CKa 的逻辑值的逻辑积;在来自 AND 电路 242 的输出信号成为高电平时,用于电连接栅极总线与基准电位配线的薄膜晶体管 TM;在第二时钟 CKb 成为高电平时,用于电连接栅极总线与基准电位配线的薄膜晶体管 TD。在这样的结构中,当断开来自外部的电源电压 PW 的供给时,第一时钟 CKa 和第二时钟 CKb 成为高电平。由此,在各双稳态电路中,薄膜晶体管 TM 和薄膜晶体管 TD 成为接通状态,栅极总线与基准电位配线成为电连接状态。此外,当断开来自外部的电源电压 PW 的供给时,向各双稳态电路提供的基准电位 VSS 的电平从栅极断开电位 VGL 提高至栅极接通电位 VGH。由此,各栅极总线成为选择状态,各像素形成部的薄膜晶体管 220 变为接通状态,因此各像素形成部内的残留电荷快速地放电。结果,即使该液晶显示装置的电源再度接通,也能抑制因像素形成部内蓄积的残留电荷而引起的显示品质的降低。

[0134] <2. 第二实施方式>

[0135] 说明本发明的第二实施方式。另外,详细说明与上述第一实施方式不同的点,简略说明与上述第一实施方式同样的点。

[0136] <2.1 整体结构和动作>

[0137] 图 10 是表示本发明的第二实施方式的有源矩阵式液晶显示装置的整体结构的框图。关于液晶面板 20 和 TAB30 的结构与上述第一实施方式相同。在 PCB50 中形成有定时控制器 51、电平移位电路 53、电源电路 55 和电源断开检测部 57。

[0138] 电源电路 55 根据电源电压 PW 生成栅极接通电位 VGH 和栅极断开电位 VGL。向电平移位电路 53 提供栅极接通电位 VGH 和栅极断开电位 VGL。电源断开检测部 57 输出表示电源电压 PW 的供给状态(电源的接通/断开状态)的电源状态信号 SHUT。向定时控制器 51 提供电源状态信号 SHUT。

[0139] 定时控制器 51,接收电平同步信号 HS、垂直同步信号 VS、数据启用信号 DE 等的定时信号、图像信号 DAT、电源电压 PW 和电源状态信号 SHUT,生成数字视频信号 DV、源极启动脉冲信号 SSP、源极时钟信号 SCK、栅极启动脉冲信号 L\_GSP、第一栅极时钟信号 L\_CK1、第二栅极时钟信号 L\_CK2 和基准电位 L\_SIG\_VSS。向源极驱动器 32 提供数字视频信号 DV、源极启动脉冲信号 SSP 和源极时钟信号 SCK,向电平移位电路 53 提供栅极启动脉冲信号 L\_GSP、第一栅极时钟信号 L\_CK1、第二栅极时钟信号 L\_CK2 和基准电位 L\_SIG\_VSS。另外,在基准电位 L\_SIG\_VSS 中,高电平侧的电位为电源电压 PW,低电平侧的电位为接地电位 GND。

[0140] 电平移位电路 53,使用从电源电路 55 提供的栅极接通电位 VGH 和栅极断开电位 VGL,对从定时控制器 51 输出的栅极启动脉冲信号 L\_GSP、第一栅极时钟信号 L\_CK1、第二栅极时钟信号 L\_CK2 和基准电位 L\_SIG\_VSS 的电位电平进行转换。基于电平移位电路 53 进行电位电平转换后的栅极启动脉冲信号 H\_GSP、第一栅极时钟信号 H\_CK1、第二栅极时钟信号 H\_CK2 和基准电位 L\_SIG\_VSS,提供至栅极驱动器 24。另外,在电平移位电路 53 进行电位电平的转换时,如果基准电位 L\_SIG\_VSS 为低电平,则基准电位 H\_SIG\_VSS 成为栅极断开电位 VGL,如果基准电位 L\_SIG\_VSS 为高电平,则基准电位 H\_SIG\_VSS 成为栅极接通电位 VGH。

[0141] 在源极驱动器 32 和栅极驱动器 24 中,进行与上述第一实施方式相同的动作。由此,对各源极总线 SL1 ~ SLj 施加驱动用的视频信号,对各栅极总线 GL1 ~ SLi 施加扫描信号,在显示部 22 显示基于从外部输入的视频信号 DAT 的图像。

[0142] 另外,在本实施方式中,通过电源断开检测部 57 实现电源状态检测部,通过定时控制器 51 和电平移位电路 53 实现基准电位生成部和时钟信号生成部。

[0143] 移位寄存器 240 和双稳态电路是与上述第一实施方式相同的结构(参照图 6 及图 8)。因此,移位寄存器 240 的动作和双稳态电路的动作也与上述第一实施方式相同(参照图 7 和图 9)。

[0144] <2.2 改变基准电位的方法>

[0145] 在上述第一实施方式中,使用包括晶体管等的基准电位切换电路 19,在栅极断开电位 VGL 与栅极接通电位 VGH 之间切换向基准电位配线提供的基准电位 H\_SIG\_VSS 的电平。即,在上述第一实施方式中,在断开电源电压 PW 的供给时,用于提高基准电位 H\_SIG\_VSS 的电平的结构是通过模拟的方式实现的。相对于此,在本实施方式中,用于提高基准电位 H\_SIG\_VSS 的电平的结构是通过数字的方式实现的。以下,将就此展开说明。

[0146] 在电源电压 PW 正常供给的期间,从电源断开检测部 57 输出的电源状态信号 SHUT

成为低电平。由此,从定时控制器 51 向电平移位电路 53 提供的基准电位 L\_SIG\_VSS 变为低电平。此处,如上所述,在电平移位电路 53 进行电位电平的转换时,如果基准电位 L\_SIG\_VSS 为低电平,则基准电位 H\_SIG\_VSS 成为栅极断开电位 VGL。因此,在电源电压 PW 正常供给的期间,向基准电位配线提供的基准电位 H\_SIG\_VSS 成为栅极断开电位 VGL。

[0147] 当断开电源电压 PW 的供给时,从电源断开检测部 57 输出的电源状态信号 SHUT 成为高电平。由此,从定时控制器 51 向电平移位电路 53 提供的基准电位 L\_SIG\_VSS 成为高电平。此处,如上所述,在电平移位电路 53 进行电位电平的转换时,如果基准电位 L\_SIG\_VSS 为高电平,则基准电位 H\_SIG\_VSS 成为栅极接通电位 VGH。因此,从电平移位电路 53 输出的基准电位 H\_SIG\_VSS,从栅极断开电位 VGL 变化为栅极接通电位 VGH。如此,当断开电源电压 PW 的供给时,向基准电位配线提供的基准电位 H\_SIG\_VSS 成为栅极接通电位 VGH。

[0148] 另外,当断开电源电压 PW 的供给时,与上述第一实施方式同样地,第一栅极时钟信号 H\_CK1 和第二栅极时钟信号 H\_CK2 成为栅极接通电位 VGH。即,在断开电源电压 PW 的供给时,与上述第一实施方式同样地,基准电位 H\_SIG\_VSS、第一栅极时钟信号 H\_CK1 和第二栅极时钟信号 H\_CK2 成为栅极接通电位 VGH(参照图 1)。

[0149] <2.3 效果>

[0150] 根据本实施方式,与上述第一实施方式同样地,当断开来自外部的电源电压 PW 的供给时,栅极总线与基准电位配线电连接,并且基准电位 VSS 的电平从栅极断开电位 VGL 提高至栅极接通电位 VGH。由此,各栅极总线成为选择状态,各像素形成部内的残留电荷得以快速放电。结果,能够抑制因像素形成部内蓄积的残留电荷而产生的显示品质的降低。

[0151] 此外,根据本实施方式,能够比较低成本地实现在断开电源时可快速地除去像素形成部内的残留电荷的液晶显示装置。对此,进行以下说明。在现有的结构中,例如图 11 所示,从电源电路 75 输出的栅极断开电位 VGL 被作为基准电位 VSS 提供至移位寄存器 740。此外,在栅极驱动器集成面板中,为了在面板内能得到较高的电压,如图 11 所示,需要在面板的外部配置电平移位电路 73。根据这样的现有的结构,向移位寄存器 740 提供的基准电位 VSS 成为固定的电位。在该情况下,即使使图 8 所示的薄膜晶体管 TD、TM 处于接通状态,也不能够提高从各双稳态电路输出的状态信号 Q 的电位。因此,在本实施方式中,如图 12 所示,设为来自电平移位电路 53 的输出信号 H\_SIG\_VSS 被作为基准电位 VSS 提供至移位寄存器 240 的结构。根据该结构,能够容易地改变向移位寄存器 240 提供的基准电位 VSS 的电平,在上述薄膜晶体管 TD、TM 成为接通状态时,能够提高从各双稳态电路输出的状态信号 Q 的电位。此处,如上所述,在栅极驱动器单片面板中,在现有的面板的外部设置有电平移位电路。因此,是将来自电平移位电路的输出信号用于基准电位的结构,也不需增加电路元件等。因此,能够低成本地实现可快速地除去像素形成部内的残留电荷的液晶显示装置。此外,通过使用电平移位电路而使数字处理成为可能,因此能够简单地进行电路的控制。

[0152] <2.4 变形例>

[0153] 在上述第二实施方式中,虽然设为在断开电源电压 PW 的供给时向移位寄存器 240 提供的基准电位 VSS 的电平从栅极断开电位 VGL 提高至栅极接通电位 VGH,但是本发明并不限于此。例如,在辅助电容电极 223(参照图 3)的电位被设定为较高的电位的情况下,当断开电源电压 PW 的供给时,像素形成部内的薄膜晶体管 220 的漏极电位大大降低。因此,即使向栅极总线提供的电位比栅极接通电位 VGH 还低,也能够成为接通状态。因此,如图 13

所示,作为从电源电路 15 向电平移位电路 13 提供作为比栅极接通电位 VGH(例如 22V) 低的电位的第二栅极接通电位 VGH2(例如 10V) 的结构,向移位寄存器 240 提供的基准电位 VSS 的电平也可以在断开电源电压 PW 的供给时从栅极断开电位 VGL 提高至第二栅极接通电位 VGH2。

[0154] <3. 其他的结构>

[0155] <3.1 时钟信号的相数>

[0156] 在上述各实施方式中,移位寄存器 240 根据 2 相的时钟信号进行动作,但时钟信号的相数并不限定于 2 相。以下,说明在具备移位寄存器 640 的液晶显示装置中适用本发明的例子,该移位寄存器 640 是基于 4 相的时钟信号进行动作的移位寄存器。图 14 是表示根据 4 相的时钟信号进行动作的移位寄存器 640 的一结构例的框图。另外,图 14 表示从移位寄存器 640 的第一段到第四段的双稳态电路 SR1 ~ SR4 的结构。在各双稳态电路中,除上述第一实施方式中的输入输出端子之外,还设置有用于接收第三时钟 CKc 的输入端子和用于接收第四时钟 CKd 的输入端子。如图 14 所示,传送至该移位寄存器 640 的第一~第四栅极时钟信号 H\_CK1 ~ H\_CK4 分别提供至各双稳态电路。图 15 是表示包含于该移位寄存器 640 的双稳态电路的结构的电路图。在上述第一实施方式中,通过 AND 电路 242、薄膜晶体管 TM 和薄膜晶体管 TD 实现了用于将状态信号 Q 的电位维持在低电位的电位电平维持部 241(参照图 8)。相对于此,在图 15 所示的结构中,由与上述第一实施方式同样的结构的薄膜晶体管 TD、其栅极端子被提供第三时钟 CKc 的薄膜晶体管 TP 和其栅极端子被提供第四时钟 CKd 的薄膜晶体管 TQ 实现了电位电平维持部 245。

[0157] 在上述结构中,图 16 所示的波形的第一~第四栅极时钟信号 H\_CK1 ~ H\_CK4 提供至移位寄存器 640。由此,各双稳态电路按以下方式动作(参照图 17)。

[0158] 当到达时刻 t1 置位信号 S 从低电平变为高电平时,薄膜晶体管 TB 成为接通状态,netA 的电位从低电平变为高电平。由此,薄膜晶体管 TI 成为接通状态。在时刻 t2,置位信号 S 从高电平变为低电平后,达到时刻 t3 时,第一时钟 CKa 从低电平变为高电平。由此,根据电容器 CAP 的自举效果,netA 的电位得到提高,对薄膜晶体管 TI 的栅极端子施加大的电压。结果,状态信号 Q 的电位成为栅极接通电位 VGH。当达到时刻 t4 第一时钟 CKa 从高电平变为低电平时,状态信号 Q 的电位和 netA 的电位降低。当达到时刻 t5 复位信号 R 和第二时钟 CKb 从低电平变为高电平时,薄膜晶体管 TL 和薄膜晶体管 TD 成为接通状态,netA 的电位和信号状态 Q 的电位成为低电平。在时刻 t6,第二时钟 CKb 从高电平变化为低电平之后,到达时刻 t7 时,第三时钟 CKc 从低电平向高电平变化。由此,薄膜晶体管 TP 成为接通状态,状态信号 Q 的电位被减低至基准电位 VSS。在时刻 t8,第三时钟 CKc 从高电平变化为低电平之后,到达时刻 t9 时,第四时钟 CKd 从低电平变化为高电平。由此,薄膜晶体管 TQ 成为接通状态,状态信号 Q 的电位被减低至基准电位 VSS。

[0159] 此处,当断开从外部供给的电源电压 PW 时,第一~第四栅极时钟信号 H\_CK1 ~ H\_CK4 全都成为高电平。由此,在各双稳态电路中,薄膜晶体管 TD、薄膜晶体管 TP 和薄膜晶体管 TQ 成为接通状态。此外,与上述第一和第二实施方式同样地,基准电位 VSS 的电平从栅极断开电位 VGL 提高至栅极接通电位 VGH。由此,从各双稳态电路输出的状态信号 Q 的电位得到提高,使各像素形成部内的残留电荷得以快速放电。这样,在具备基于 4 相的时钟信号进行动作的移位寄存器 640 的液晶显示装置,也能够适用本发明。

[0160] 另外,就具备基于 4 相的时钟信号进行动作的移位寄存器的液晶显示装置而言,在具备按下述方式构成的移位寄存器的液晶显示装置中,也能够适用本发明,上述移位寄存器的结构方式为,其第奇数段基于图 16 所示波形的第一栅极时钟信号 H\_CK1 和第三栅极时钟信号 H\_CK3 进行动作,其第偶数段基于图 16 所示波形的第二栅极时钟信号 H\_CK2 和第四栅极时钟信号 H\_CK4 进行动作。

[0161] <3.2 驱动电路的实现方法>

[0162] 在上述各实施方式中,举例说明了仅在显示部 22 的单侧(图 2、图 10 中,是右侧)具备栅极驱动器 24 的液晶显示装置,但是本发明并不限于此。如图 18 所示,在显示部的两侧(图 18 中,是左侧和右侧)都具备栅极驱动器 24 的液晶显示器中,也能够适用本发明。

[0163] 此外,在上述各实施方式中,举例说明了源极驱动器 32 由多个 IC 芯片构成的液晶显示装置,但在本发明中并不限于此。如图 19 所示,在源极驱动器 32 由 1 个 IC 芯片构成的液晶显示装置中,也能够适用本发明。而且,在具备 1 芯片驱动器(参照图 20)的液晶显示装置中,也能够适用本发明,所谓 1 芯片驱动器是指不仅源极驱动器 32,例如上述第一实施方式中的定时控制器 11、电平移位电路 13、电源电路 15、电源断开检测部 17 和基准电位切换电路 19 等也收纳于 1 个 IC 芯片中。

[0164] 而且,移位寄存器 240 的结构并不限于图 6 或图 14 所示的结构,移位寄存器 240 内的双稳态电路的具体结构也不限于图 8 或图 16 所示的结构。

[0165] 附图标记说明

[0166] 11、15 :定时控制器

[0167] 13、53 :电平移位电路

[0168] 15、55 :电源电路

[0169] 17、57 :电源断开检测部

[0170] 19 :基准电位切换电路

[0171] 20 :液晶面板

[0172] 22 :显示部

[0173] 24 :栅极驱动器(扫描信号线驱动电路)

[0174] 32 :源极驱动器(视频信号线驱动电路)

[0175] 220 :(像素形成部内的)薄膜晶体管 220

[0176] 240、640 :移位寄存器

[0177] 241、245 :电位电平维持部

[0178] PW :电源电压

[0179] SHUT :电源状态信号

[0180] VGH :栅极接通电位

[0181] VGL :栅极断开电位

[0182] L\_CK1、H\_CK1 :第一栅极时钟信号

[0183] L\_CK2、H\_CK2 :第二栅极时钟信号

[0184] L\_SIG\_VSS、H\_SIG\_VSS、VSS :基准电位

[0185] TB、TD、TE、TI、TL、TM、TN、TP、TQ :(双稳态电路内的)薄膜晶体管

[0186] CKa :第一时钟

- [0187] CKb :第二时钟
- [0188] S :置位信号
- [0189] R :复位信号
- [0190] Q :状态信号

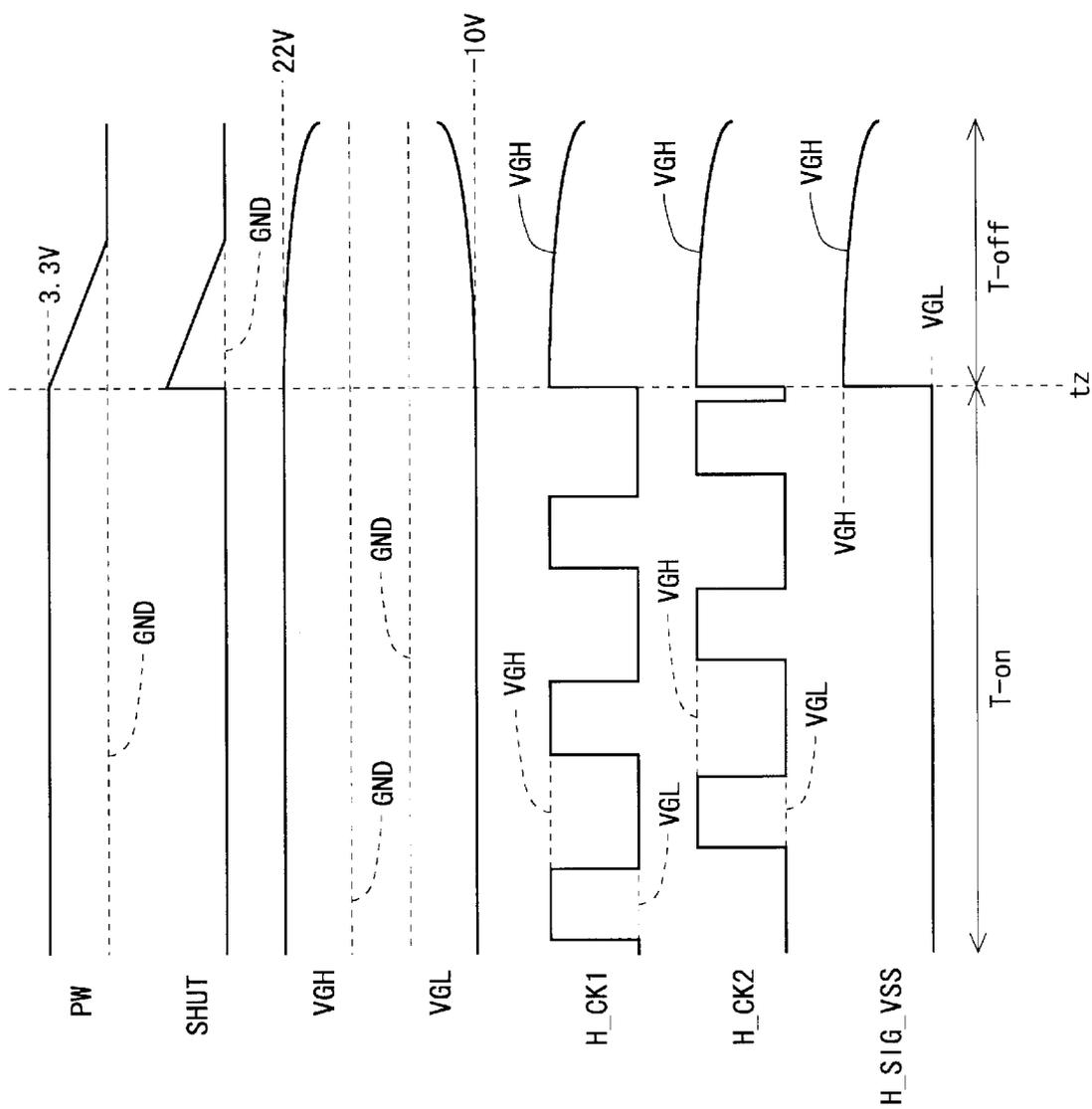


图 1



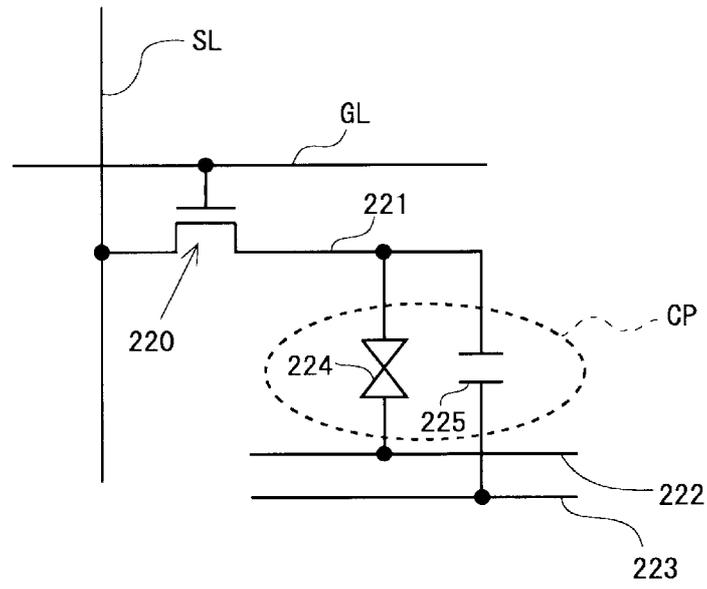


图 3

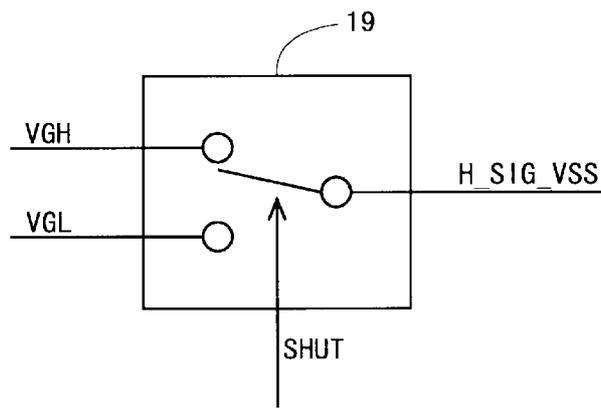


图 4

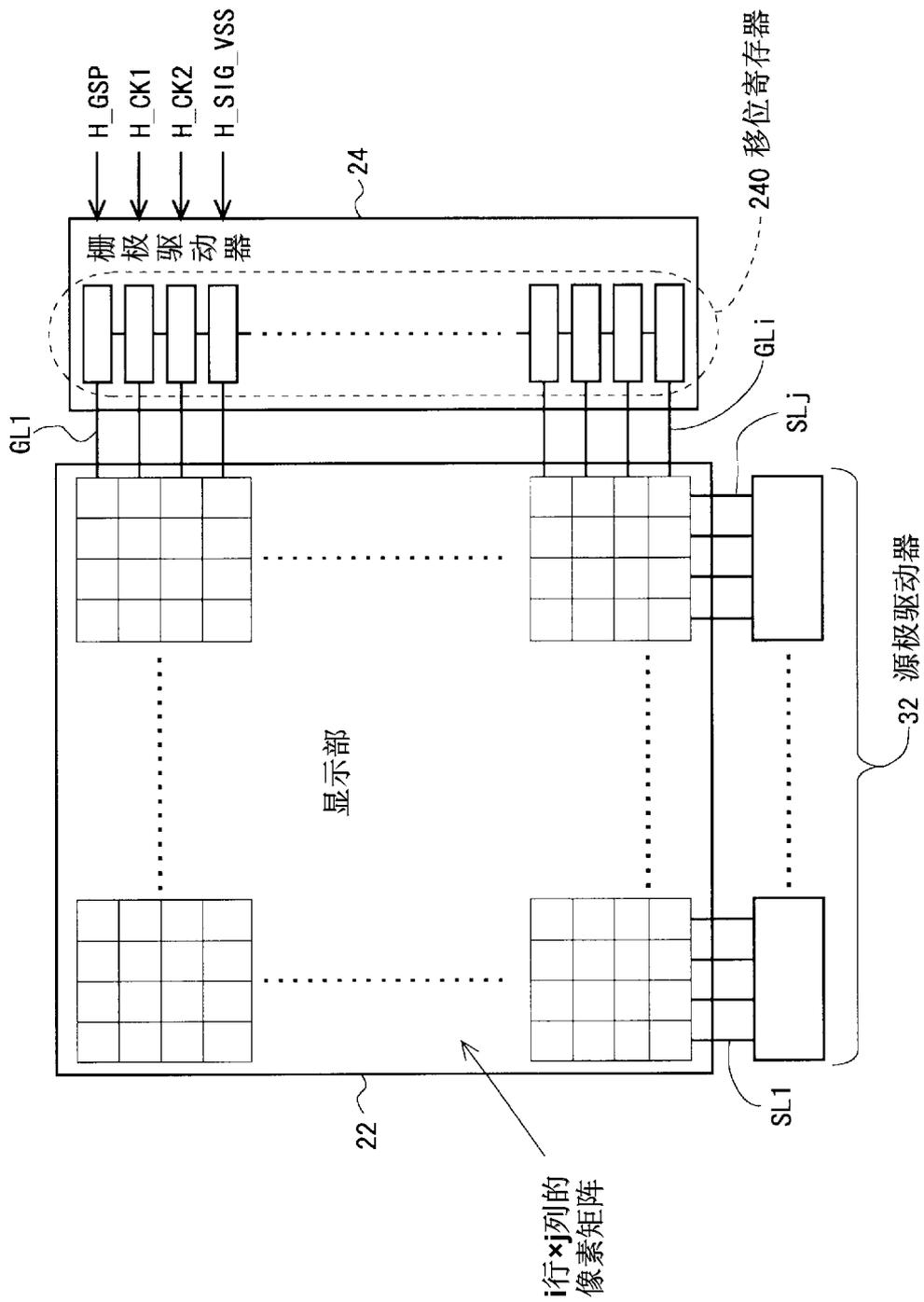


图 5

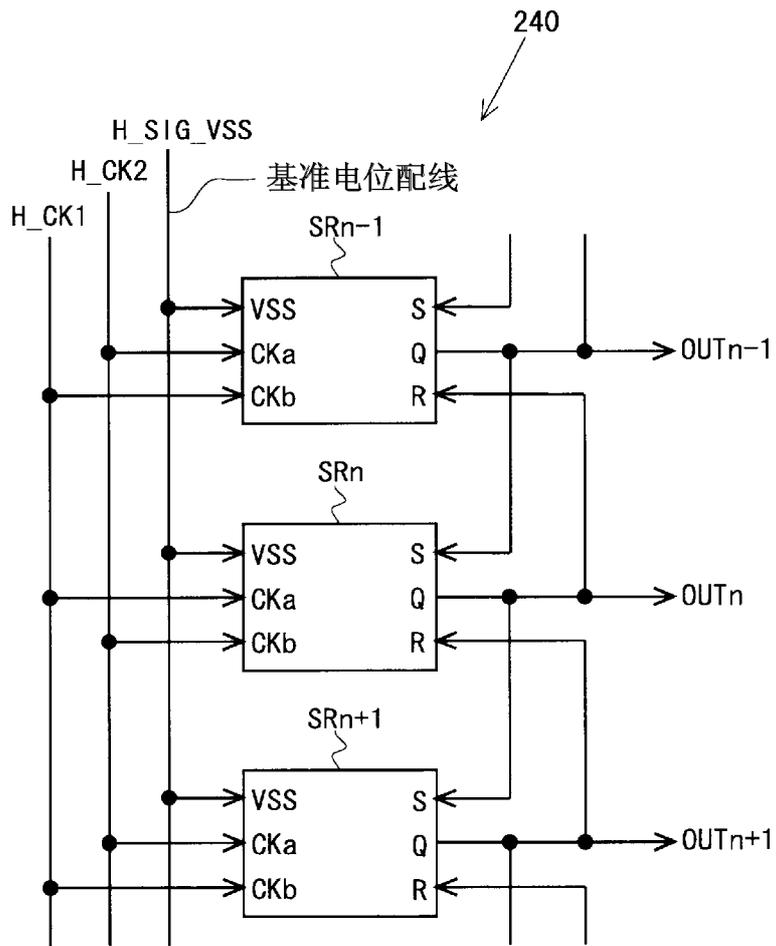


图 6

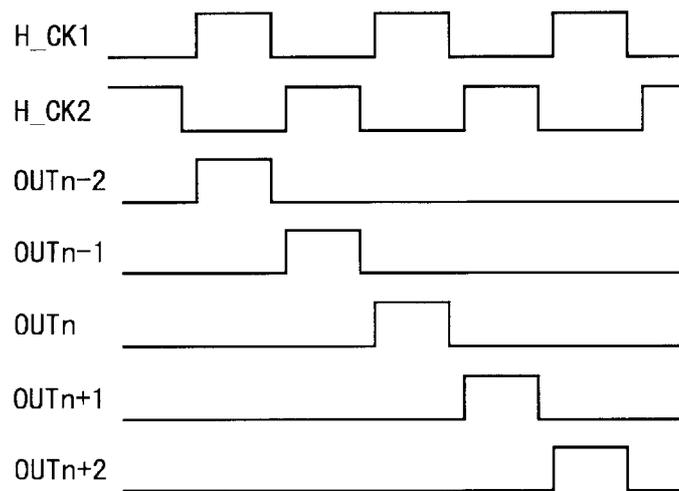


图 7

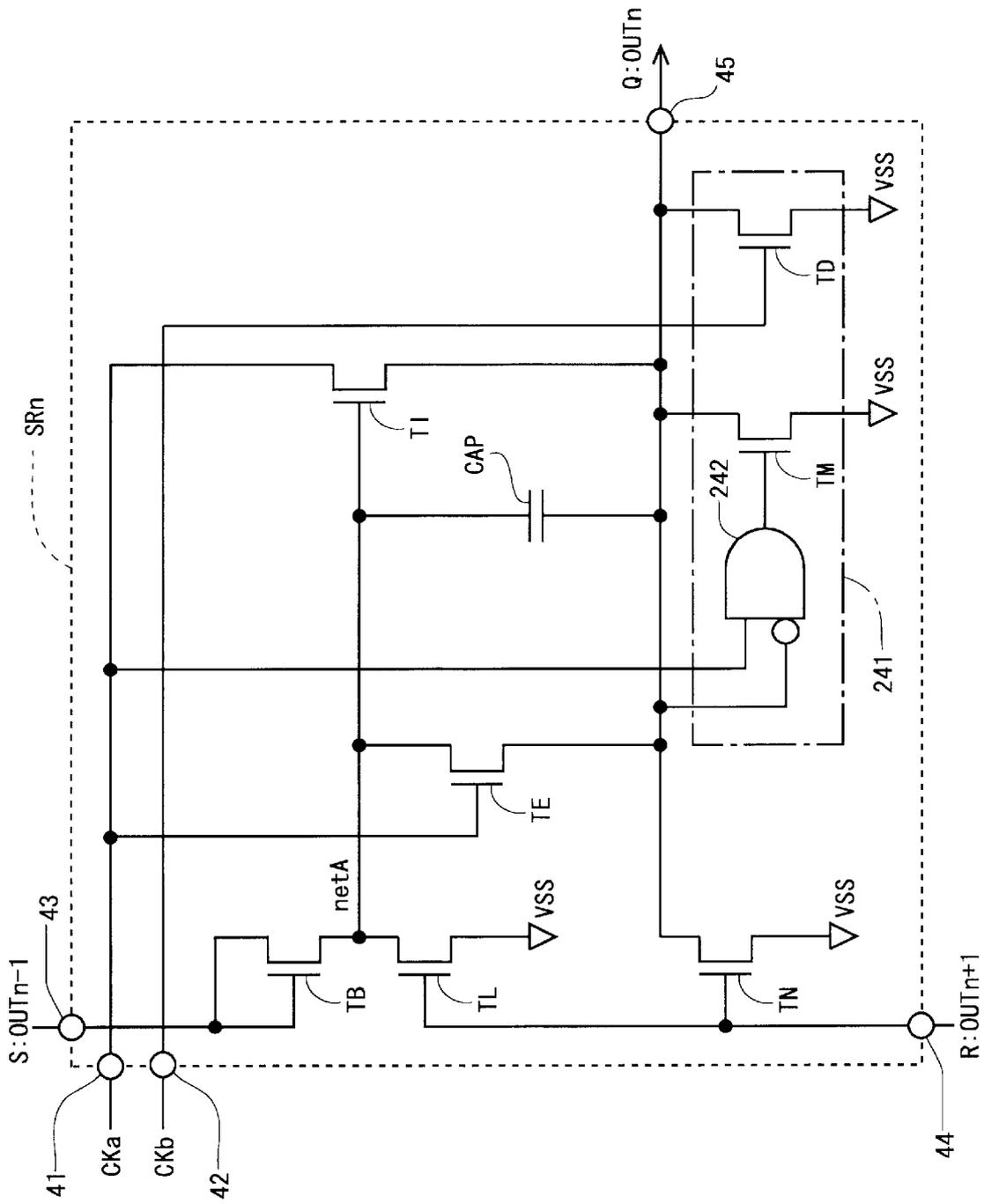


图 8

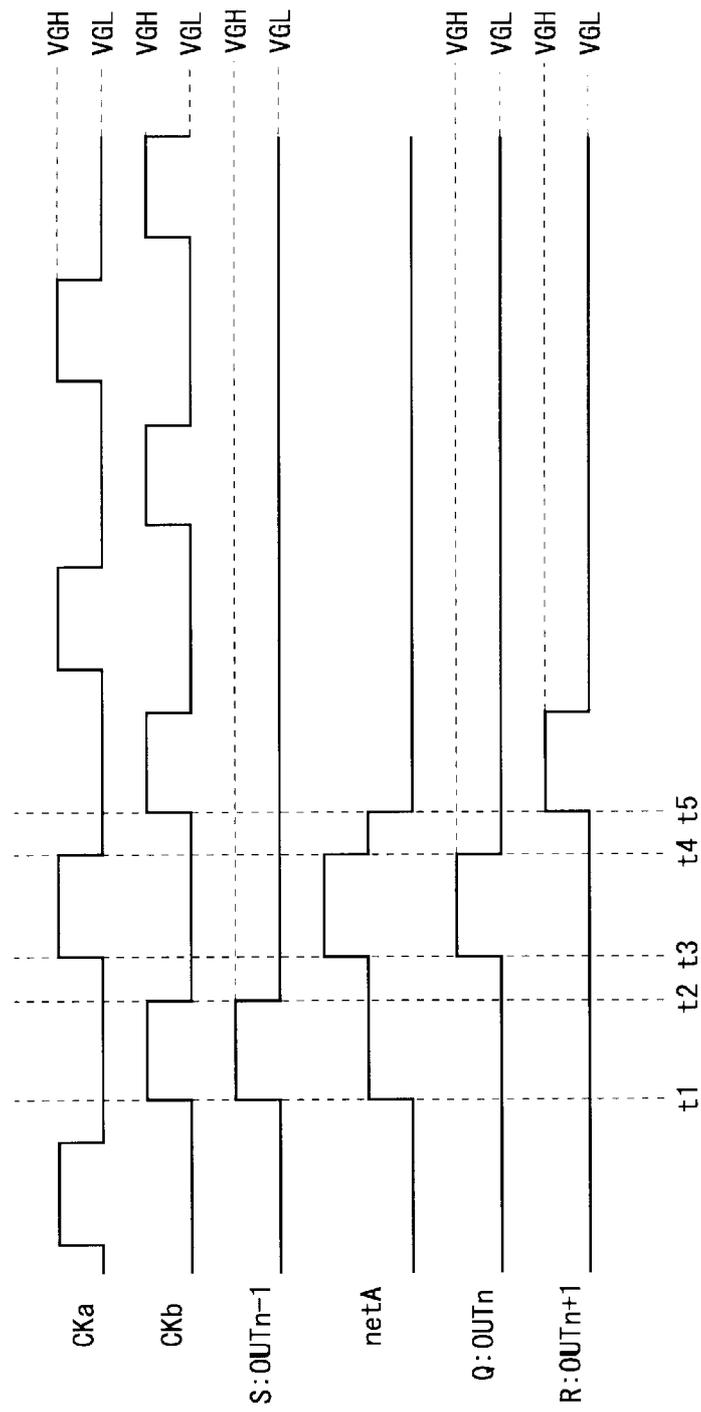


图 9

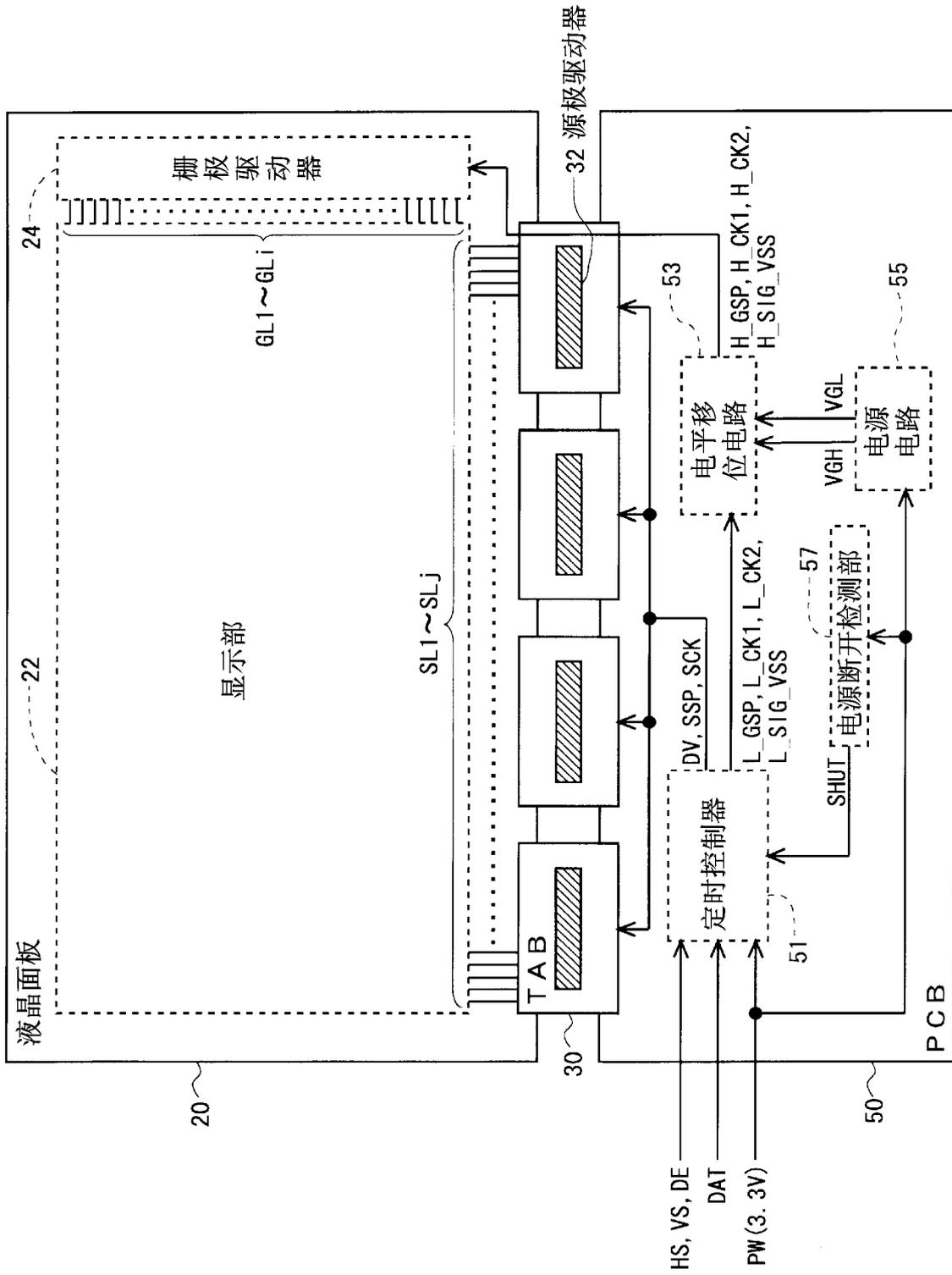


图 10

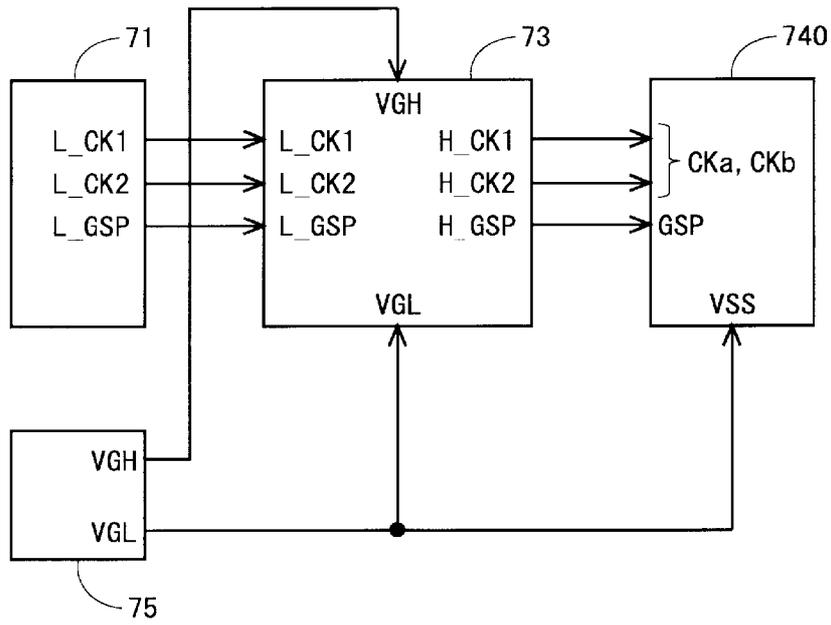


图 11

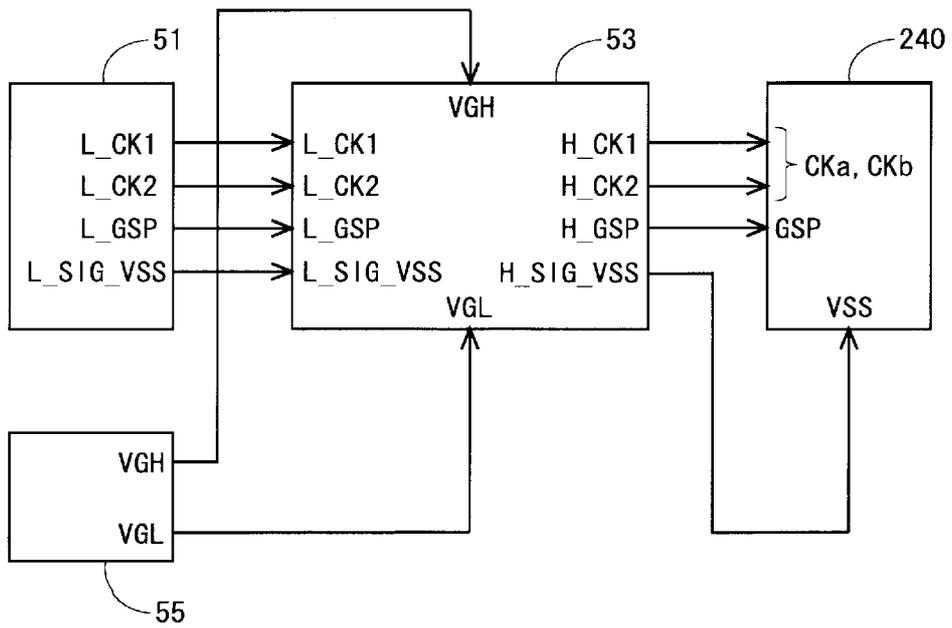


图 12

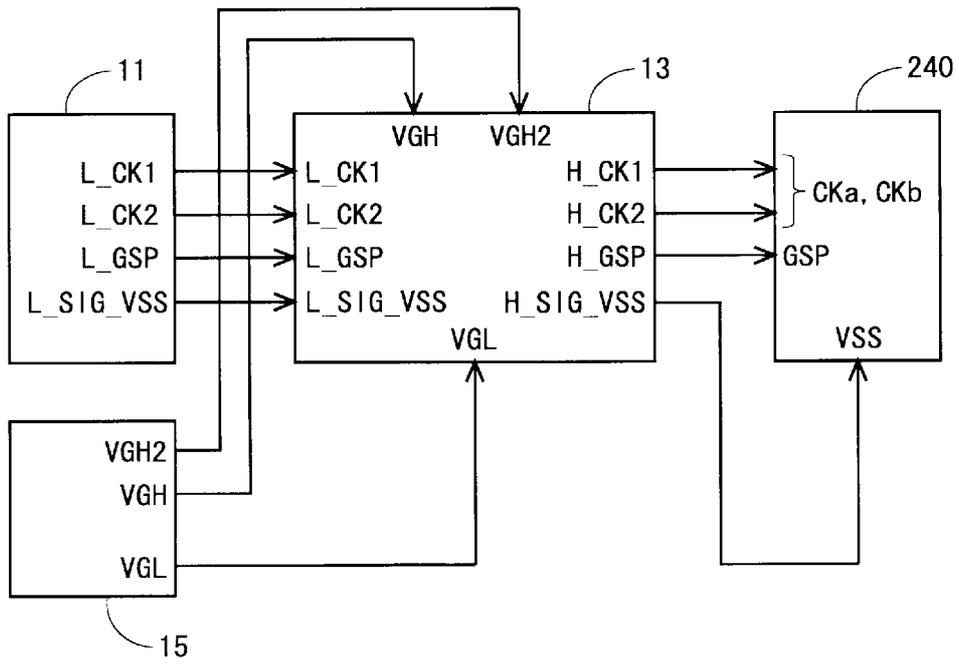


图 13

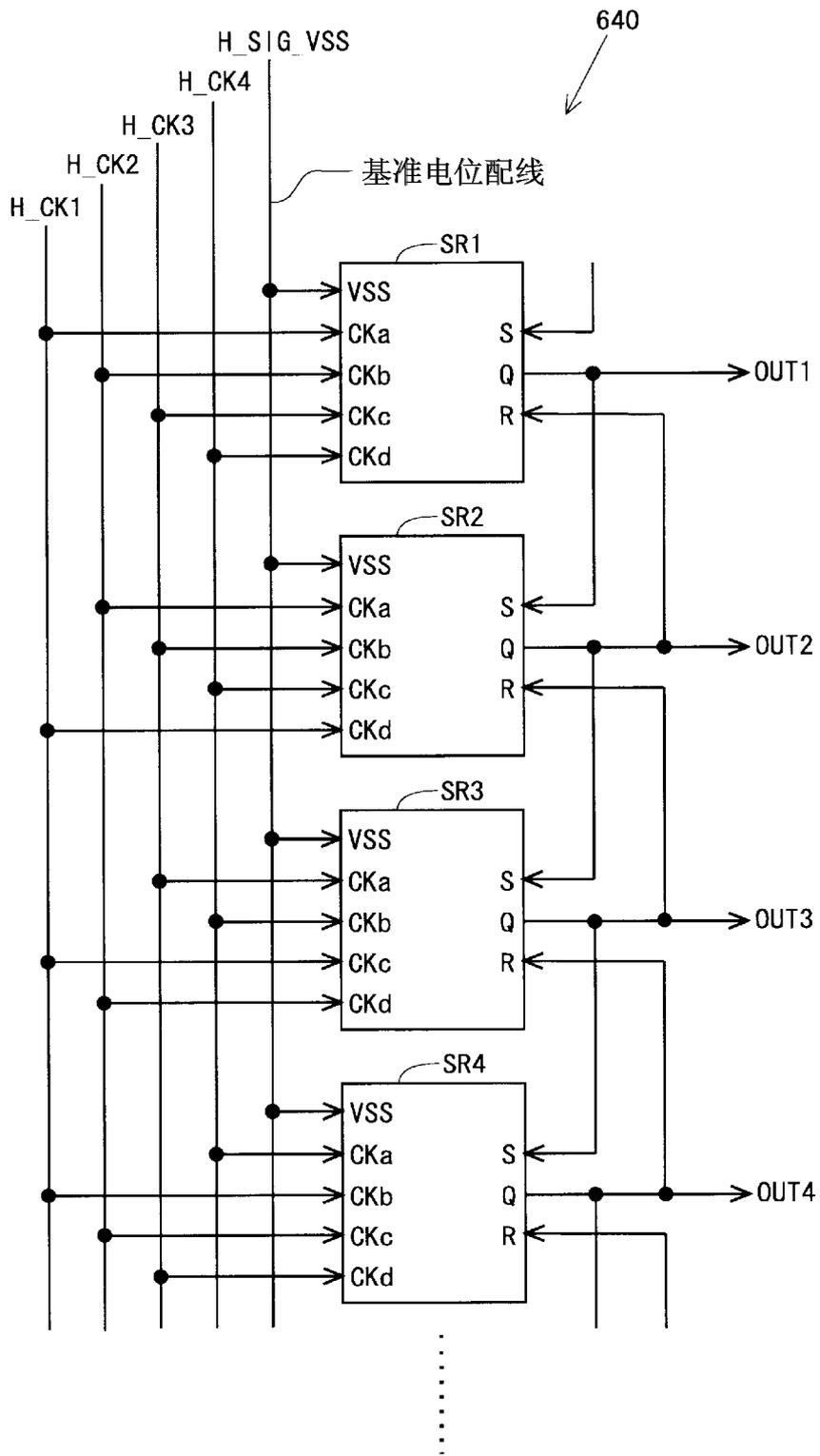


图 14

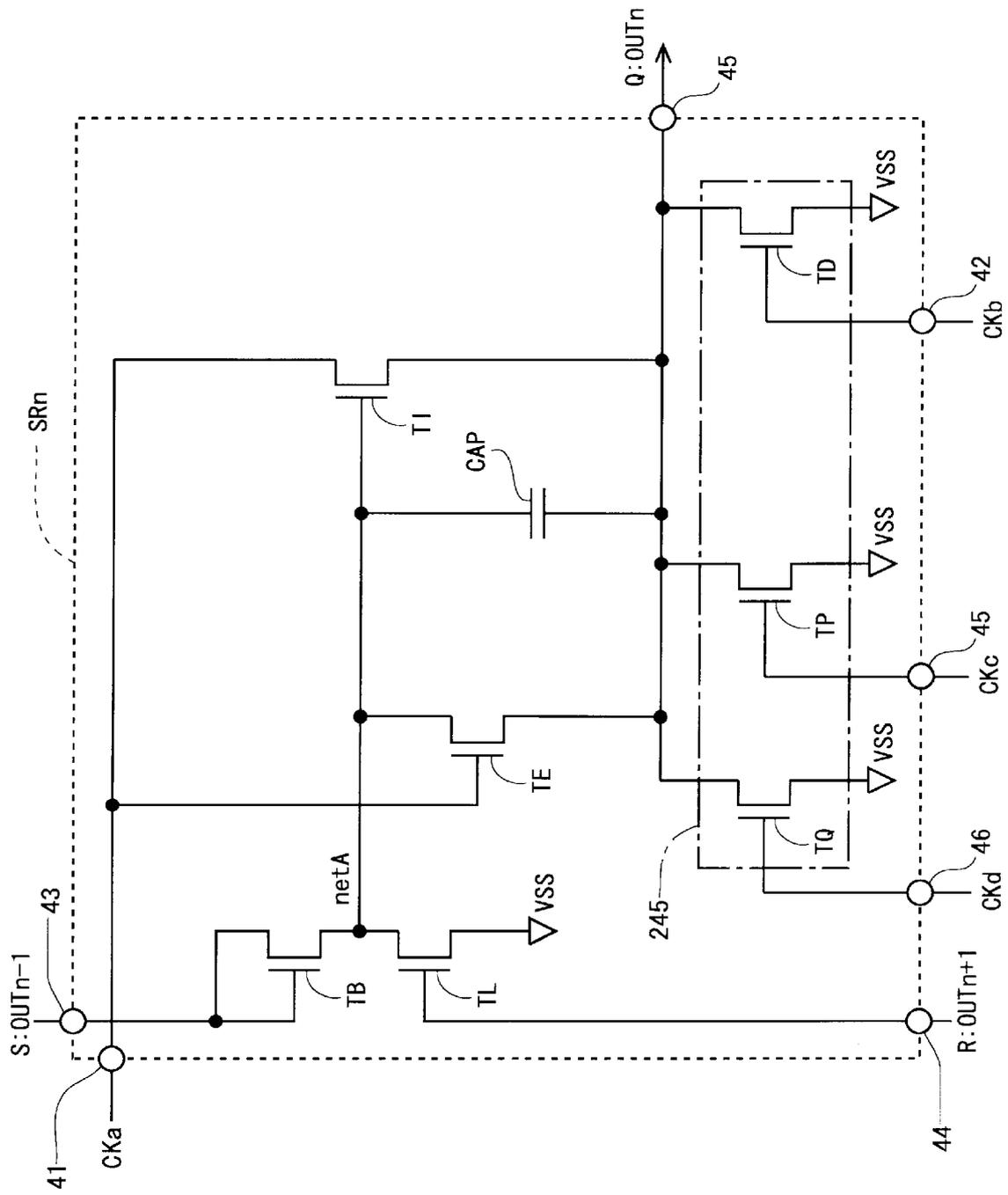


图 15

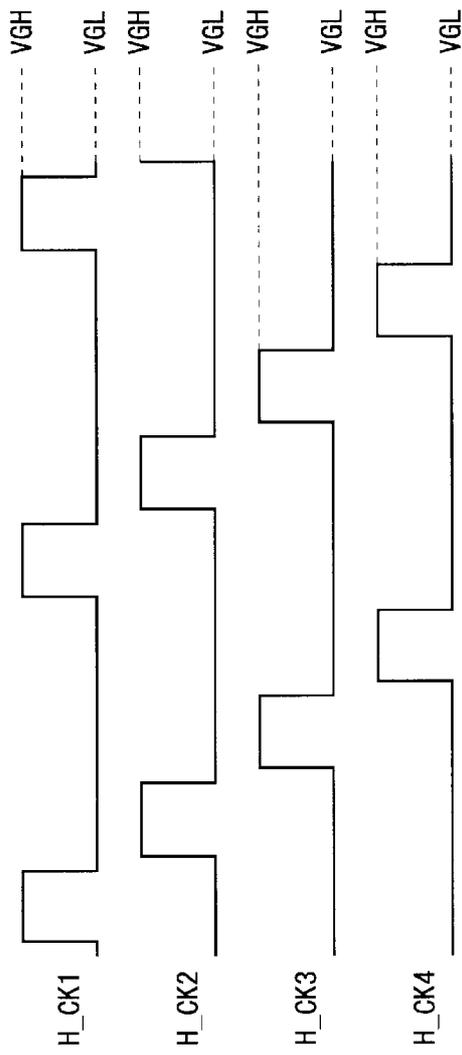


图 16

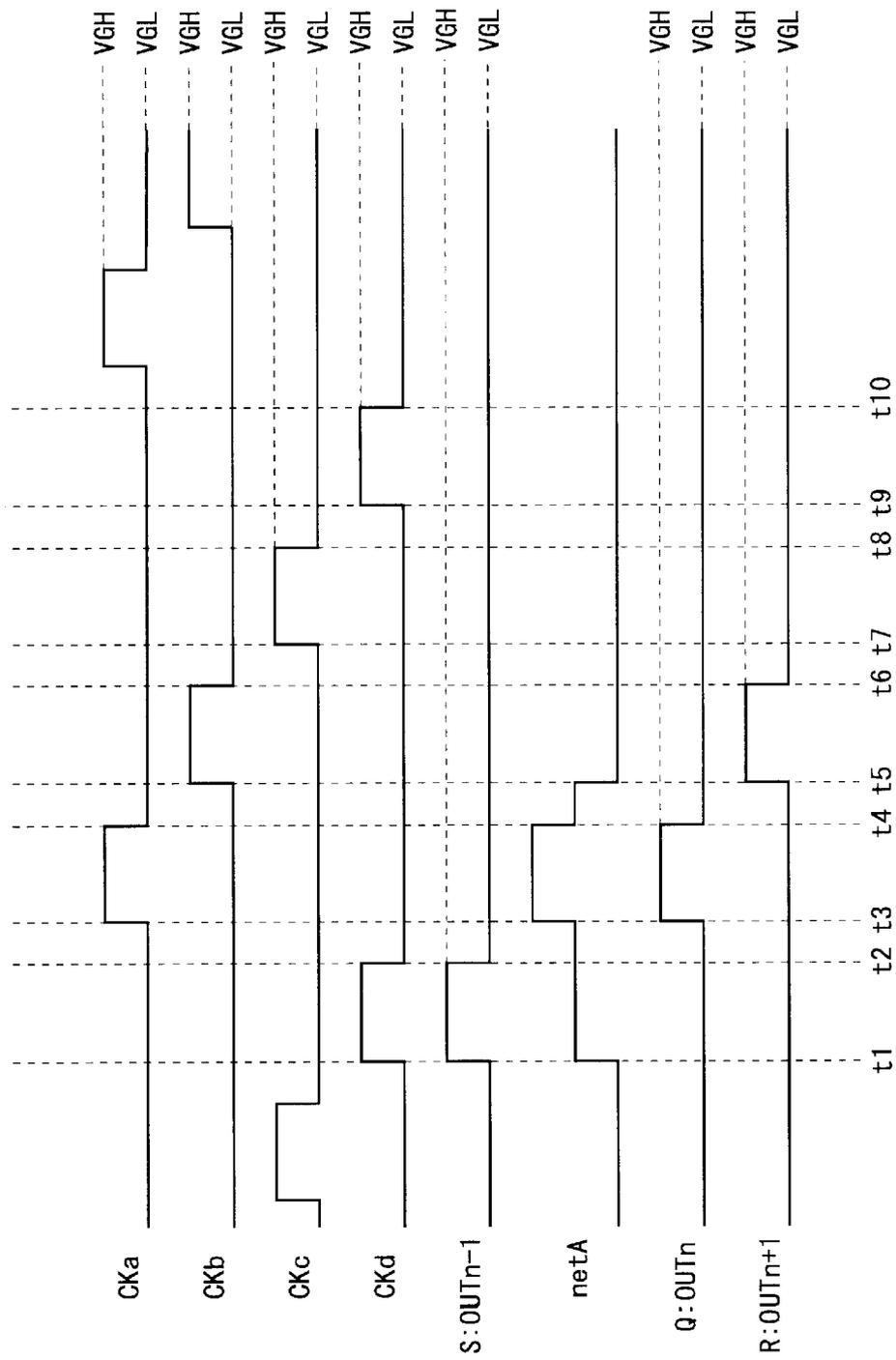


图 17

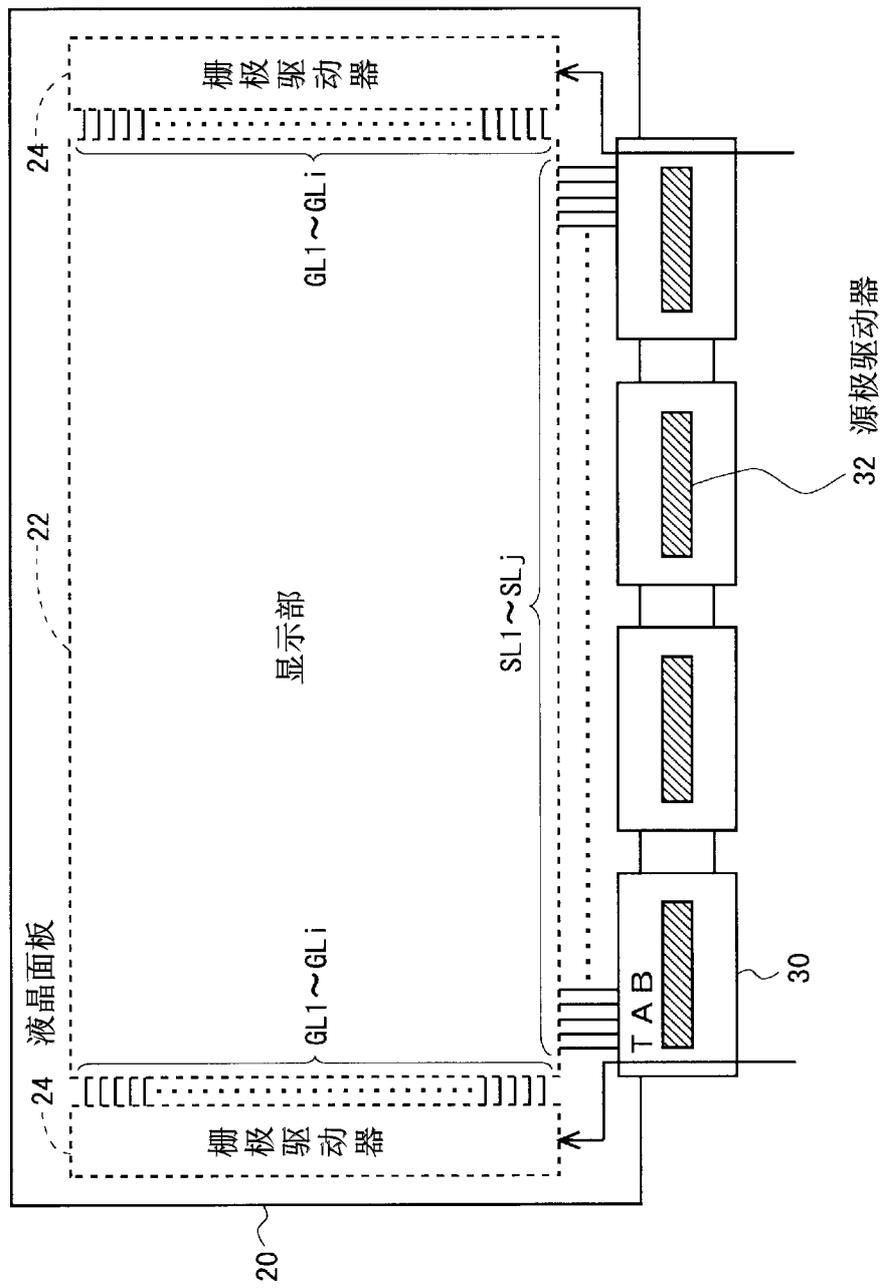


图 18

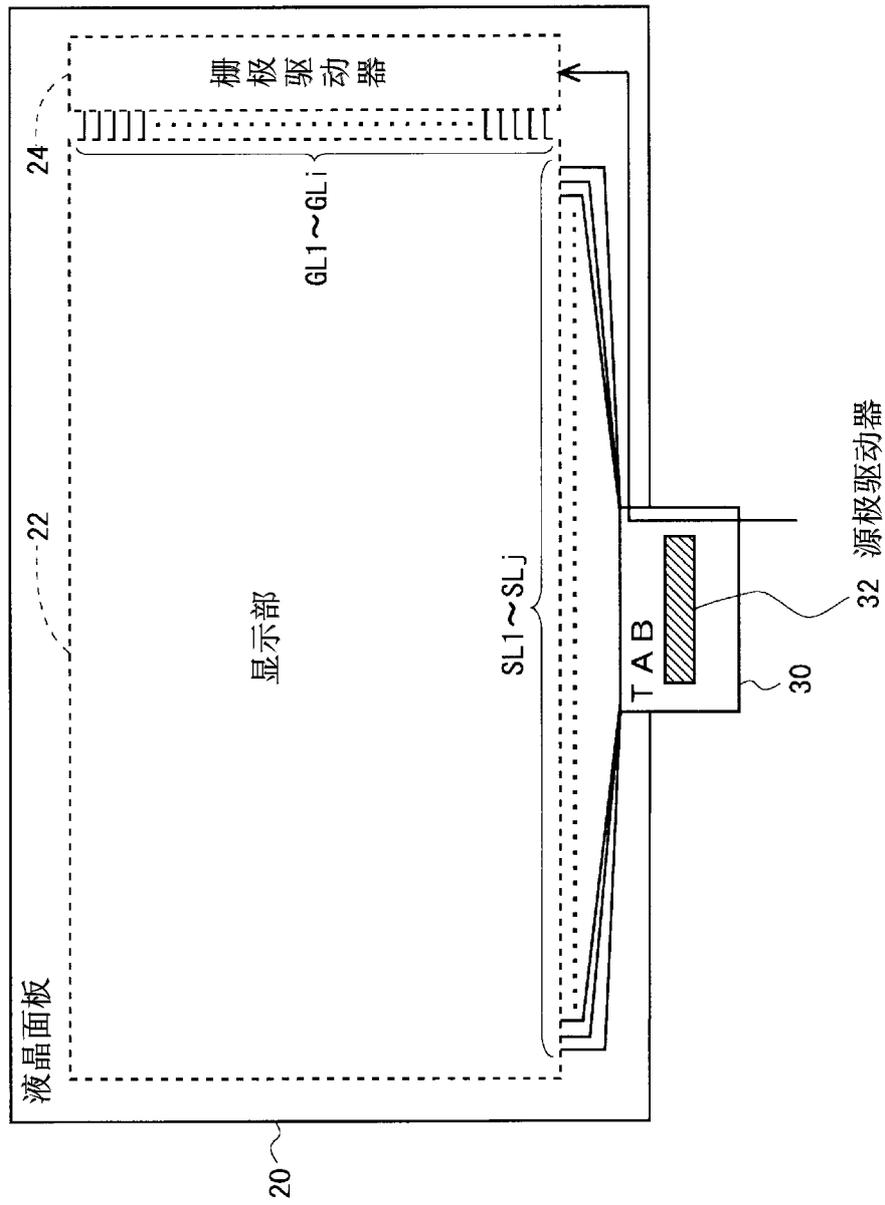


图 19

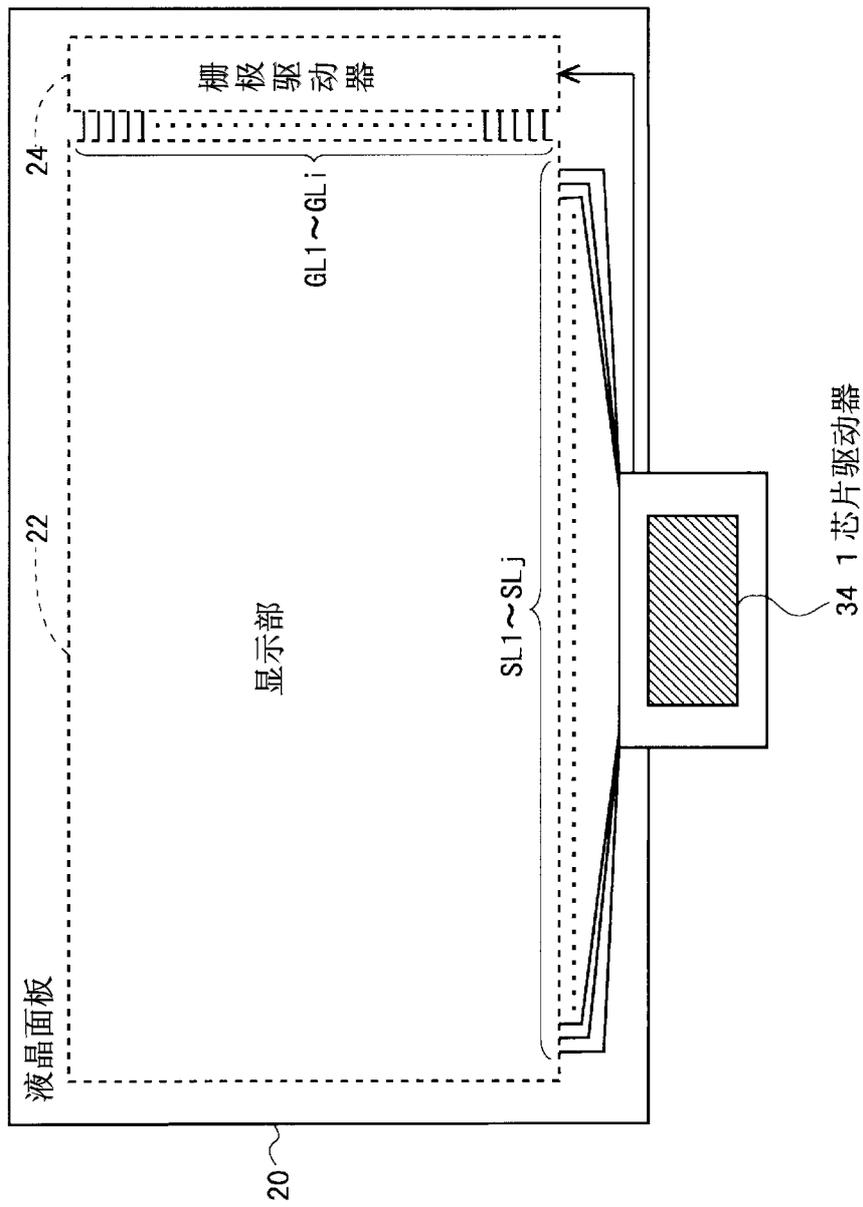


图 20

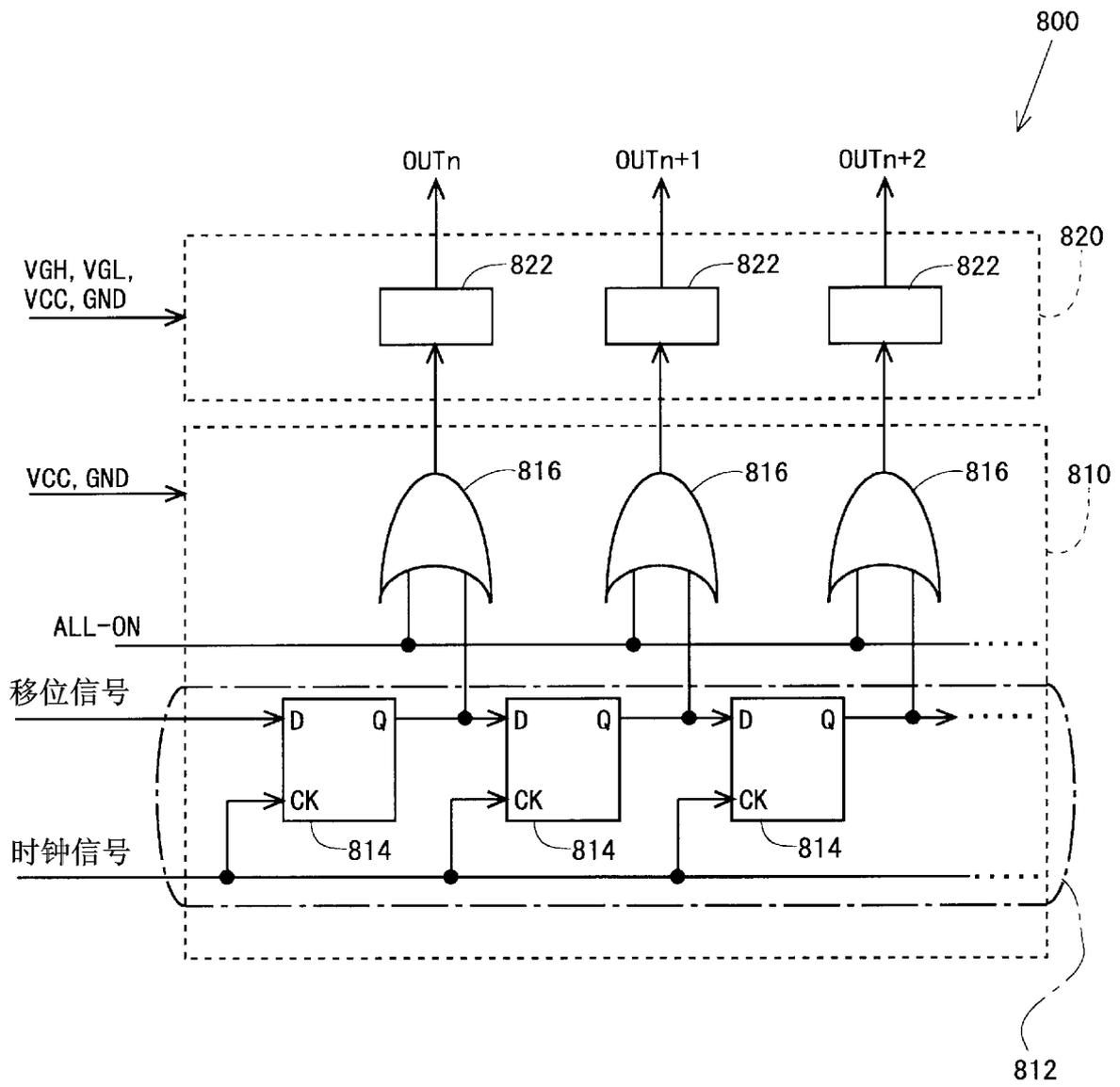


图 21

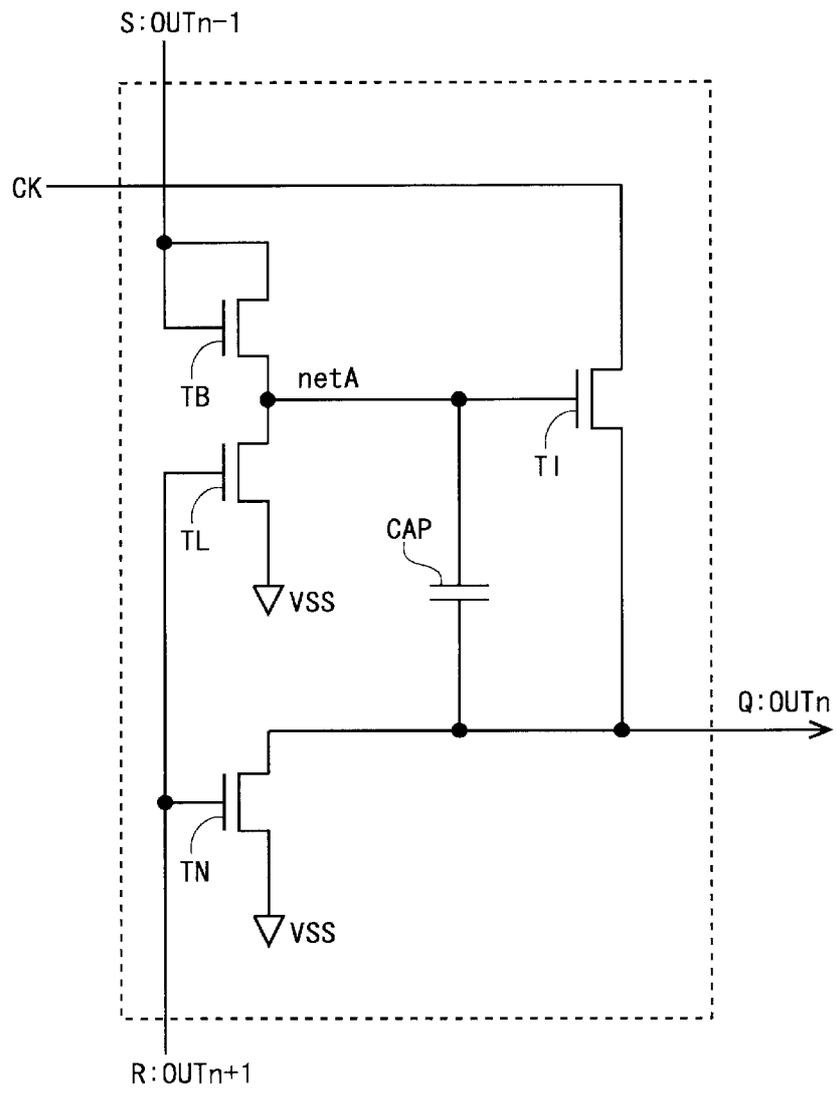


图 22

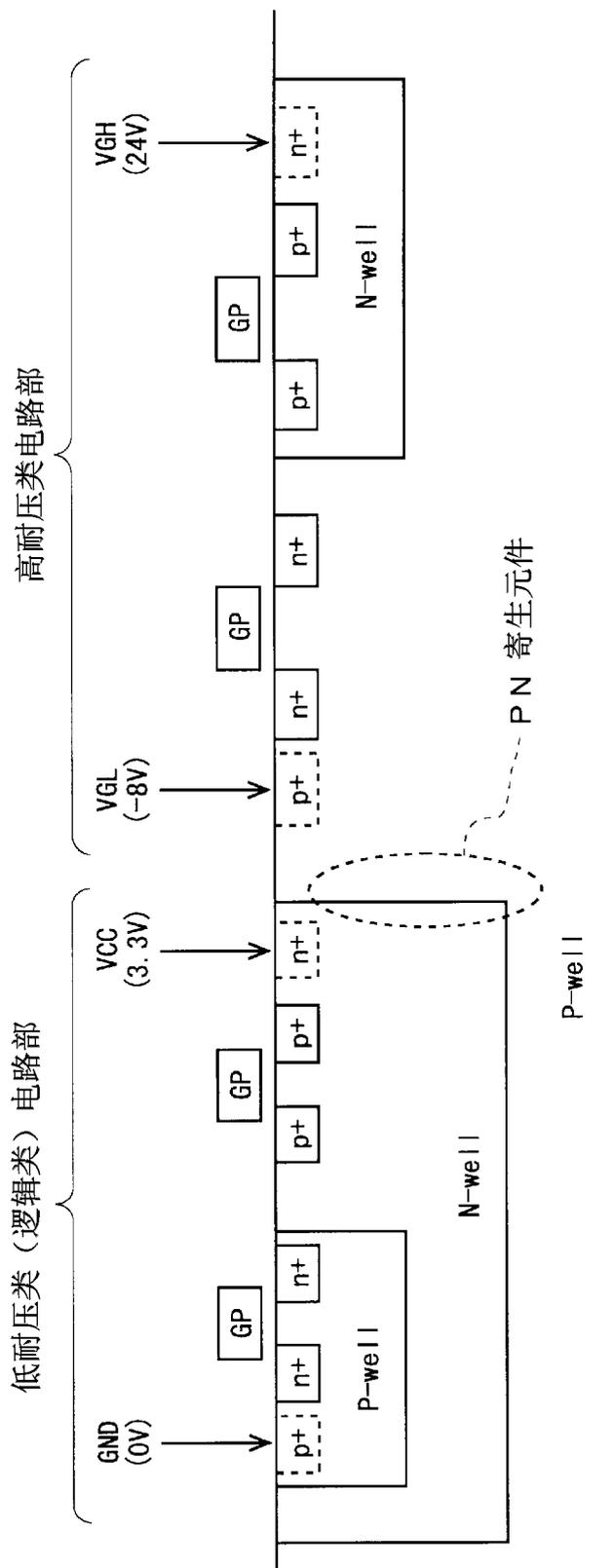


图 23

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">CN102598105A</a>	公开(公告)日	2012-07-18
申请号	CN201080049193.X	申请日	2010-08-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	森井秀树 岩本明久 水永隆行 太田裕己		
发明人	森井秀树 岩本明久 水永隆行 太田裕己		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2330/027 G09G3/3677		
优先权	2009252725 2009-11-04 JP		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明的目的在于提供一种能够在电源被断开时快速地除去像素形成部内的残留电荷并具备单片栅极驱动器的液晶显示器。在构成栅极驱动器(24)内的移位寄存器的双稳态电路中,设置有薄膜晶体管,该薄膜晶体管具有:与栅极总线连接的漏极端子;与传送基准电位(H\_SIG\_VSS)的基准电位配线连接的源极端子;和被提供使移位寄存器动作的时钟信号(HCK\_1、HCK\_2)的栅极端子。当电源断开检测部(17)检测出来自外部的电源电压(PW)的供给被断开时,使时钟信号(HCK\_1、HCK\_2)为高电平,使上述薄膜晶体管为接通状态,并且基准电位切换电路(19)将基准电位(H\_SIG\_VSS)从栅极断开电位(VGL)切换为栅极接通电位(VGH)。

