



(12) 发明专利申请

(10) 申请公布号 CN 102368380 A

(43) 申请公布日 2012.03.07

(21) 申请号 201110272708.9

(22) 申请日 2011.09.14

(71) 申请人 深圳市华星光电技术有限公司

地址 518000 广东省深圳市光明新区公明办
事处塘家社区观光路汇业科技园综合
楼1 第一层B区

(72) 发明人 周秀峰 徐正兴

(74) 专利代理机构 广东国欣律师事务所 44221

代理人 李文

(51) Int. Cl.

G09G 3/36 (2006.01)

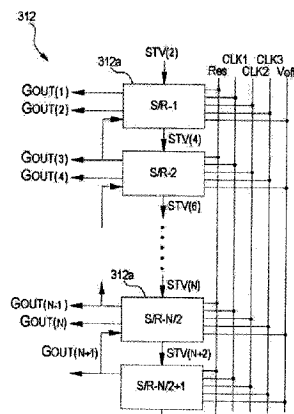
权利要求书 2 页 说明书 4 页 附图 6 页

(54) 发明名称

液晶显示面板与栅极驱动电路

(57) 摘要

一种液晶显示面板包含： N 条栅极线，其中 N 为大于2的偶数；一第一栅极驱动电路，包含 $N/2+1$ 个串接的第一移位缓存单元，用以输出 N 个栅极信号至该 N 条栅极线。本发明仅需要 $N/2+1$ 个移位缓存单元 (shift register) 即可实现输出 N 个栅极信号至该 N 条栅极线。极大地简化了栅极驱动电路，减小输入的频率讯号（时钟讯号）的电阻电容失真 (RC distortion)，减小栅极驱动电路所占用的基板 (Board) 区域，提高栅极驱动电路的信赖性。



1. 一种液晶显示面板的栅极驱动电路,其特征在于,包含:

一第一栅极驱动电路,包含 $N/2+1$ 个串接的第一移位缓存单元,用以输出 N 个栅极信号至 N 条栅极线,其中该 N 条栅极线,其中 N 为大于 2 的偶数。

2. 根据权利要求 1 所述的液晶显示面板的栅极驱动电路,其特征在于第 $N/2$ 个该移位缓存单元由外部输入第 N 个起始脉冲讯号、多个频率讯号、一关闭电压讯号及第 $N+1$ 个栅极讯号,并输出第 N 个栅极讯号、第 $N+2$ 个起始脉冲讯号及第 $N-1$ 个栅极讯号。

3. 根据权利要求 2 所述的液晶显示面板的栅极驱动电路,其特征在于第 $N/2$ 个该第一移位缓存单元包含第一及第十五晶体管为上拉单元,以输出第 N 个栅极讯号及第 $N-1$ 个栅极讯号;一第四晶体管为进位单元,以输出第 $N+2$ 个起始脉冲讯号;第二、第六、第八和第十一晶体管为保持单元,使该栅极讯号的输出保持在所需的电位;第三、第五、第十二、第十三及第十六晶体管为放电单元,将高的电位拉至低电位;第十四晶体管为放电复位单元;以及第十晶体管提供起始脉冲讯号的信号进入的缓冲作用,其中第一晶体管的栅极通过电容分别与第二及第三晶体管的漏极、第一晶体管的源极、第十五晶体管的栅极相连接;第一晶体管的栅极与第五晶体管的漏极、第四晶体管的栅极、第十一晶体管的漏极、第十三晶体管的源极、第十四晶体管的漏极、第十晶体管的源极相连接;第一晶体管的漏极分别与第四及第六晶体管的漏极、第八及第十一晶体管的栅极相连接;第二晶体管的栅极与第六晶体管的栅极相连接;第二晶体管的源极与第十六、第五、第七、第九、第十二及第十四晶体管的源极相连接;第三晶体管的栅极与第五晶体管的栅极相连接;第六晶体管的栅极与第八晶体管的源极、第九晶体管的漏极相连接;第七晶体管的栅极与第九晶体管的栅极、第十一晶体管的源极、第十二晶体管的漏极相连接;第十晶体管的栅极与第十及第十三晶体管的漏极相连接;第十二晶体管的栅极与第十三及第十六晶体管的栅极相连接;以及第十五晶体管的源极与第十六晶体管的漏极相连接。

4. 一种液晶显示器,其特征在于,包括如权利要求 1-3 任一所述的栅极驱动电路。

5. 根据权利要求 4 所述的液晶显示面板,其特征在于另包含一第二栅极驱动电路,其包含 $N/2+1$ 个串接的第二移位缓存单元,用以输出 N 个栅极信号至该 N 条栅极线。

6. 根据权利要求 5 所述的液晶显示面板,其特征在于上述第一栅极驱动电路和第二栅极驱动电路分别位在所述的液晶显示面板的右侧和左侧。

7. 根据权利要求 5 所述的液晶显示面板,其特征在于第 $N/2$ 个该第二移位缓存单元由外部输入第 N 个起始脉冲讯号、多个频率讯号、一关闭电压讯号及第 $N+1$ 个栅极讯号,并输出第 N 个栅极讯号、第 $N+2$ 个起始脉冲讯号及第 $N-1$ 个栅极讯号。

8. 根据权利要求 2 所述的液晶显示面板的栅极驱动电路,其特征在于第 $N/2$ 个该第二移位缓存单元包含第一及第十五晶体管为上拉单元,以输出第 N 个栅极讯号及第 $N-1$ 个栅极讯号;一第四晶体管为进位单元,以输出第 $N+2$ 个起始脉冲讯号;第二、第六、第八和第十一晶体管为保持单元,使该栅极讯号的输出保持在所需的电位;第三、第五、第十二、第十三及第十六晶体管为放电单元,将高的电位拉至低电位;第十四晶体管为放电复位单元;以及第十晶体管提供起始脉冲讯号的信号进入的缓冲作用,其中第一晶体管的栅极通过电容分别与第二及第三晶体管的漏极、第一晶体管的源极、第十五晶体管的栅极相连接;第一晶体管的栅极与第五晶体管的漏极、第四晶体管的栅极、第十一晶体管的漏极、第十三晶体管的源极、第十四晶体管的漏极、第十晶体管的源极相连接;第一晶体管的漏极分

别与第四及第六晶体管的漏极、第八及第十一晶体管的栅极相连接；第二晶体管的栅极与第六晶体管的栅极相连接；第二晶体管的源极与第十六、第五、第七、第九、第十二及第十四晶体管的源极相连接；第三晶体管的栅极与第五晶体管的栅极相连接；第六晶体管的栅极与第八晶体管的源极、第九晶体管的漏极相连接；第七晶体管的栅极与第九晶体管的栅极、第十一晶体管的源极、第十二晶体管的漏极相连接；第十晶体管的栅极与第十及第十三晶体管的漏极相连接；第十二晶体管的栅极与第十三及第十六晶体管的栅极相连接；以及第十五晶体管的源极与第十六晶体管的漏极相连接。

9. 根据权利要求4所述的液晶显示面板，其特征在于另包含一缓冲电路，其包含 $N/2+1$ 个串接的缓冲单元，用以输出 N 个栅极信号至该 N 条栅极线。

10. 根据权利要求9所述的液晶显示面板，其特征在于上述第一栅极驱动电路和缓冲电路分别位在所述的液晶显示面板的右侧和左侧。

11. 根据权利要求9所述的液晶显示面板，其特征在于第 $N/2$ 个该缓冲单元由外部输入多个频率讯号、一接地电压讯号及第 $N+1$ 个栅极讯号，并输出第 N 个栅极讯号、第 $N+2$ 个起始脉冲讯号及第 $N-1$ 个栅极讯号。

12. 根据权利要求11所述的液晶显示面板，其特征在于该缓冲单元包含第一至第三晶体管，以输出第 N 个栅极讯号及第 $N-1$ 个栅极讯号，其中第十七晶体管的栅极与第十八晶体管的漏极相连接；以及第十七晶体管的源极与第十九晶体管的漏极相连接；以及第十八晶体管的漏极与第十九晶体管的漏极相连接。

液晶显示面板与栅极驱动电路

技术领域

[0001] 本发明是有关于液晶显示面板,特别是有关于一种液晶显示面板的栅极驱动电路。

背景技术

[0002] 液晶显示器 (liquid crystal display ;LCD) 具有低辐射、体积小及低耗能等优点,已逐渐取代传统的阴极射线管 (cathode ray tube display ;CRT) 显示器,因而被广泛地应用在笔记型计算机、个人数字助理 (personal digital assistant ;PDA)、平面电视,或行动电话等信息产品上。传统液晶显示器的方式是利用外部驱动芯片来驱动面板上的画素以显示影像,但为了减少组件数目并降低制造成本,近年来逐渐发展成将驱动电路的结构直接制作于显示面板上,例如应用将栅极驱动电路整合于液晶面板 (gate on array ;GOA) 的技术。

[0003] 请参阅图 1,中国台湾专利公开的第 201044368 号先前技术中一采用 GOA 技术的液晶显示装置 100。液晶显示装置 100 包含一源极驱动电路 110、一栅极驱动电路 120、一时序控制器 130、数条数据线 DL(1) ~ DL(M)、数条栅极线 GL(1) ~ GL(N),以及一像素矩阵。像素矩阵包含数个像素单元 PX,每一像素单元 PX 包含一薄膜晶体管 (thin film transistor ; TFT) 开关 TFT、一液晶电容 CLC 和一储存电容 CST,分别耦接于相对应的数据线、相对应的栅极线,以及一共同电压 VCOM。时序控制电路 130 可产生源极驱动电路 110 和栅极驱动电路 120 运作所需的讯号,例如起始脉冲讯号 VST 和频率讯号 CK、XCK。源极驱动电路 110 可产生对应于显示影像的之数据驱动讯号 SD(1) ~ SD(M)。栅极驱动电路 120 包含有复数级串接的移位缓存单元 SR(1) ~ SR(N),其输出端 OUT(1) ~ OUT(N) 分别耦接于相对应的之栅极线 GL(1) ~ GL(N),可依据频率讯号 CK、XCK 和起始脉冲讯号 VST,依序输出开启晶体管开关所需的栅极驱动讯号 SG(1) ~ SG(N)。为了提供足够的驱动能力,移位缓存单元 SR(1) ~ SR(N) 一般会使用大尺寸的输出薄膜晶体管。

[0004] 请参阅图 2,中国台湾专利公开第 201112211 号公开了先前技术中一液晶显示装置 200 的简化方块示意图。图 2 仅显示了液晶显示装置 200 的部分结构,包含数条栅极线 GL(1) ~ GL(N)、一栅极驱动电路 210 和一时序控制器 (timing controller) 220。栅极线 GL(1) ~ GL(N) 设于液晶显示装置 200 的显示区域 230 内,可分别依据栅极驱动讯号 GS(1) ~ GS(N) 来驱动画素。栅极驱动电路 210 设于液晶显示装置 200 的非显示区域 240 内,其包含复数级移位缓存单元 SR(1) ~ SR(N),可依据时序控制器 220 所产生的起始脉冲讯号 VST(1) 和频率讯号 CK、XCK 来输出栅极驱动讯号 GS(1) ~ GS(N) 至相对应的栅极线 GL(1) ~ GL(N),其中 N 为正整数。液晶显示装置 200 采用单边布局单端驱动的架构,亦即栅极驱动电路 210 系设置于栅极线 GL(1) ~ GL(N) 的一侧,并从同一侧来驱动栅极线 GL(1) ~ GL(N)。

[0005] 图 3 为先前技术的液晶显示装置 200 在运作时的时序图。在驱动液晶显示装置 200 时,第一级移位缓存单元 SR(1) 依据时序控制器 220 所产生的起始脉冲讯号 VST(1) 来

输出第一级栅极驱动讯号 GS(1), 而第二级至第 N 级移位缓存单元 SR(2) ~ SR(N) 则分别依据前一级移位缓存单元 SR(1) ~ SR(N-1) 所产生的起始脉冲讯号 VST(2) ~ VST(N) 来输出第二级至第 N 级栅极驱动讯号 GS(2) ~ GS(N)。图 3 说明了液晶显示装置 200 在显示数个画面中两相邻画面 F(N) 和 F(N+1) 时, 起始脉冲讯号 VST(1) ~ VST(N) 的时序图。

[0006] 众所周知, 将栅极驱动电路在液晶显示装置 (TFT-LCD) 面板上的技术 (GOA: Gate on Array/GIP: Gate in panel) 能降低集成电路 (IC) 成本, 可减小面板 (Panel) 周边基板面积 (Board Area) 大小, 但是同时面板上 GOA 的复杂电路的稳定性, 信赖性, 功耗等等, 也成了设计者们很头疼的问题。一般的 GOA 电路输出一个栅极讯号 (Gate line signal) 就需要至少一个移位缓存单元 (shift register) 实现, 故 N 条栅极线 (gate line), 就会需要 N 个以上的移位缓存单元 (shift register) 单元才能形成完成的电路循环结构。而外部的讯号线也会因为需要同时进入到 N 个以上的移位缓存单元 (shift register) 而使讯号 (signal) 的功耗及延迟更严重。

[0007] 为了降低输入讯号的电阻电容失真 (RC distortion), 提高电路的信赖性, 同时在满足保证电路驱动的前提下, 进一步简化 GOA 的电路, 也能进一步减小电路所占空间, 便有需要提供一种 GOA 电路架构, 能够解决前述问题。

发明内容

[0008] 本发明提供一种液晶显示面板, 包含: N 条栅极线, 其中 N 为大于 2 的偶数; 一第一栅极驱动电路, 包含 N/2+1 个串接的第一移位缓存单元, 用以输出 N 个栅极信号至该 N 条栅极线。

[0009] 本发明仅需要 N/2+1 个移位缓存单元 (shift register) 即可实现输出 N 个栅极信号至该 N 条栅极线。极大地简化了栅极驱动电路, 减小输入的频率讯号 (时钟讯号) 的电阻电容失真 (RC distortion), 减小栅极驱动电路所占用的基板 (Board) 区域, 提高栅极驱动电路的信赖性。

[0010] 本发明更提供一种栅极驱动电路, 只包含: N/2+1 个串接的移位缓存单元, 用以输出 N 个栅极信号至 N 条栅极线, 其中 N 为大于 2 的偶数。

[0011] 为了让本发明的上述和其它目的、特征、和优点能更明显, 下文将配合所附图示, 作详细说明如下。

附图说明

[0012] 图 1 为先前技术采用 GOA 技术的液晶显示装置的示意图;

[0013] 图 2 为先前技术的液晶显示装置的简化方块示意图;

[0014] 图 3 为先前技术的液晶显示装置在运作时的时序图;

[0015] 图 4 为本发明第一实施例的液晶显示面板的平面示意图;

[0016] 图 5 为本发明第一实施例的栅极驱动电路的示意图;

[0017] 图 6 为本发明第一实施例的移位缓存单元 (shift register) 示意图;

[0018] 图 7 为本发明第一实施例的移位缓存单元的输入讯号波形时序图;

[0019] 图 8 为本发明第一实施例的移位缓存单元的输出讯号波形时序图;

[0020] 图 9 为本发明第二实施例的液晶显示面板的平面示意图;

- [0021] 图 10 为本发明第三实施例的液晶显示面板的平面示意图；
[0022] 图 11 为本发明第三实施例的缓冲 (Buffer) 电路的示意图；以及
[0023] 图 12 为本发明第三实施例的缓冲 (Buffer) 单元的示意图。

具体实施方式

[0024] 请参阅图 4, 其显示本发明第一实施例的液晶显示面板 310。液晶显示面板 310 具有 N 条栅极线 (扫描线) GL(1) ~ GL(N), 以及 M 条数据线 DL(1) ~ DL(M)。栅极线 (gate line) GL(1) ~ GL(N) 与数据线 (data line) DL(1) ~ DL(M) 定义出 N*M 个画素, 其中 N 及 M 为大于 2 的偶数。栅极线 GL(1) ~ GL(N) 电性连接于栅极驱动电路 312, 而数据线 DL(1) ~ DL(M) 电性连接于源极驱动电路 314。

[0025] 液晶显示面板 310 包含排列为数组的多个画素单元, 各个画素单元至少包括栅极线、数据线、薄膜晶体管、液晶电容以及储存电容。薄膜晶体管是用来作为画素单元的开关组件, 而栅极线与数据线则是用来提供其所选定的画素单元适当的操作电压, 以分别驱动各个画素单元而显示影像。此外, 液晶电容是由一画素电极 (pixel electrode)、一共享电极 (common electrode) 及两电极之间的液晶层所构成, 且当施加电压于画素电极与共享电极时, 液晶层中的液晶分子会依电场方向及大小重新排列, 而使透过液晶显示面板的光线呈现不同的亮度阶调。

[0026] 请参阅图 5, 其显示本发明第一实施例的栅极驱动电路 312 示意图。栅极驱动电路包含 N/2+1 个串接的移位缓存单元 312a, 该些移位缓存单元 312a 用以输出 N 个栅极信号 Gout(1) ~ Gout(N) 至该 N 条栅极线 GL(1) ~ GL(N)。本发明仅需要 N/2+1 个移位缓存单元 (shift register) 312a 即可实现输出 N 个栅极信号 Gout(1) ~ Gout(N) 至该 N 条栅极线 GL(1) ~ GL(N)。极大地简化了栅极驱动电路, 减小输入的频率讯号 (时钟讯号) 的电阻电容失真 (RC distortion), 减小栅极驱动电路所占用的基板 (Board) 区域, 提高栅极驱动电路的信赖性。

[0027] 请参阅图 6, 其显示本发明第一实施例的移位缓存单元 (shift register) 312a。第 N/2 个移位缓存单元 (shift register) 312a 由外部输入起始脉冲讯号 [STV(N)]、频率讯号 (CLK1、CLK2、CLK3)、关闭电压 (Voff) 讯号与栅极讯号 [Gout(N+1)], 通过上述移位缓存单元 (shift register) 312a, 输出栅极讯号 [Gout(N)]、起始脉冲讯号 [STV(N+2)] 与栅极讯号 [Gout(N-1)]。晶体管 T1 及 T15 为上拉单元, 以输出栅极讯号 [Gout(N)] 与栅极讯号 [Gout(N-1)]。晶体管 T4 为进位单元, 以输出起始脉冲讯号 [STV(N+2)]。晶体管 T2、T6、T7、T8、T9 及 T11 为保持单元, 使栅极讯号的输出保持在所需的电位。晶体管 T3、T5、T12、T13 及 T16 为放电单元, 将高 (High) 的电位拉至低 (Low) 的电位。晶体管 T14 为放电复位 (Reset) 单元。晶体管 T10 提供起始脉冲讯号 (STV) 的信号进入的缓冲作用。详细而言, 晶体管 T1 的栅极 (gate electrode) 通过电容分别与晶体管 T2、T3 的漏极 (drain electrode)、晶体管 T1 的源极 (source electrode)、晶体管 T15 的栅极相连接; 晶体管 T1 的栅极与晶体管 T5 的漏极、晶体管 T4 的栅极、晶体管 T11 的漏极、晶体管 T13 的源极、晶体管 T14 的漏极、晶体管 T10 的源极相连接。晶体管 T1 的漏极分别与晶体管 T4、T6 的漏极、晶体管 T8、T11 的栅极相连接。晶体管 T2 的栅极与晶体管 T6 的栅极相连接。晶体管 T2 的源极与晶体管 T16、T5、T7、T9、T12、T14 的源极相连接。晶体管 T3 的栅极与晶体管 T5 的栅极相连接。晶体管

T6 的栅极与晶体管 T8 的源极、晶体管 T9 的漏极相连接。晶体管 T7 的栅极与晶体管 T9 的栅极、晶体管 T11 的源极、晶体管 T12 的漏极相连接。晶体管 T10 的栅极与晶体管 T10、T13 的漏极相连接。晶体管 T12 的栅极与晶体管 T13、T16 的栅极相连接。晶体管 T15 的源极与晶体管 T16 的漏极相连接。

[0028] 移位缓存单元 (shift register) 312a 的输入讯号波形时序如图 7 所示, 移位缓存单元 (shift register) 312a 的输出讯号波形如图 8 所示。由于讯号输入的移位缓存单元数目减半, 因此讯号的延迟效应也会大大的降低, 提升了栅极驱动电路的信赖性和稳定性。

[0029] 请参阅图 9, 其显示本发明第二实施例的液晶显示面板 410 的平面示意图。第二实施例的液晶显示面板 310' 大体上类似于第一实施例的液晶显示面板 310, 第二实施例的液晶显示面板 310' 与第一实施例之液晶显示面板 310 的差异为液晶显示面板 310' 采用双边驱动的设计, 以提升栅极驱动电路 312、312' 的充电和放电的速度。在左侧的栅极驱动电路 312' 中可设计成与右侧相同的栅极驱动电路 312, 亦即栅极驱动电路 312' 亦包含 $N/2+1$ 个串接的移位缓存单元, 且栅极驱动电路 312' 的移位缓存单元大体上类似于栅极驱动电路 312 的移位缓存单元 312a, 可输出 N 个栅极信号至该 N 条栅极线, 以提升栅极驱动电路的驱动能力。

[0030] 请参阅图 10, 其显示本发明的第三实施例的液晶显示面板 510。第三实施例的液晶显示面板 510 大体上类似于第二实施例之液晶显示面板 310', 第三实施例的液晶显示面板 510 与第二实施例的液晶显示面板 310' 的差异在液晶显示面板 510 左侧仅设计充电和放电的缓冲 (Buffer) 电路 520, 亦即栅极驱动电路 512 和缓冲电路 520 分别位在液晶显示面板 510 的右侧和左侧, 以提升电路的驱动能力。

[0031] 请参阅图 11, 其显示本发明第三实施例的缓冲 (Buffer) 电路 520。类似地, 要输出 N 条栅极信号 $G_{out}(1) \sim G_{out}(N)$, 亦仅需要 $N/2+1$ 个串接的缓冲 (Buffer) 单元 520a 即可实现输出 N 个栅极信号至该 N 条栅极线。请参阅图 12, 其显示本发明第三实施例的缓冲 (Buffer) 单元 520a。第 $N/2$ 个缓冲 (Buffer) 单元 520a 由外部输入频率讯号 (CLK2、CLK3)、接地电压 V_{GL} 讯号与栅极讯号 $[G_{out}(N+1)]$, 通过上述缓冲 (Buffer) 单元 520a, 输出栅极讯号 $[G_{out}(N)]$ 与栅极讯号 $[G_{out}(N-1)]$ 。通过晶体管 T17、T18 及 T19, 以输出栅极讯号 $[G_{out}(N)]$ 与栅极讯号 $[G_{out}(N-1)]$ 。详细而言, 晶体管 T17 的栅极 (gate electrode) 与晶体管 T18 的漏极 (drain electrode) 相连接。晶体管 T17 的源极 (source electrode) 与晶体管 T19 的漏极相连接。晶体管 T18 的漏极与晶体管 T19 的漏极相连接。

[0032] 综上所述, 仅记载本发明为呈现解决问题所采用的技术手段的实施方式或实施例而已, 并非用来限定本发明专利实施的范围。即凡与本发明专利申请范围文义相符, 或依本发明专利范围所做的均等变化与修饰, 皆为本发明专利范围所涵盖。

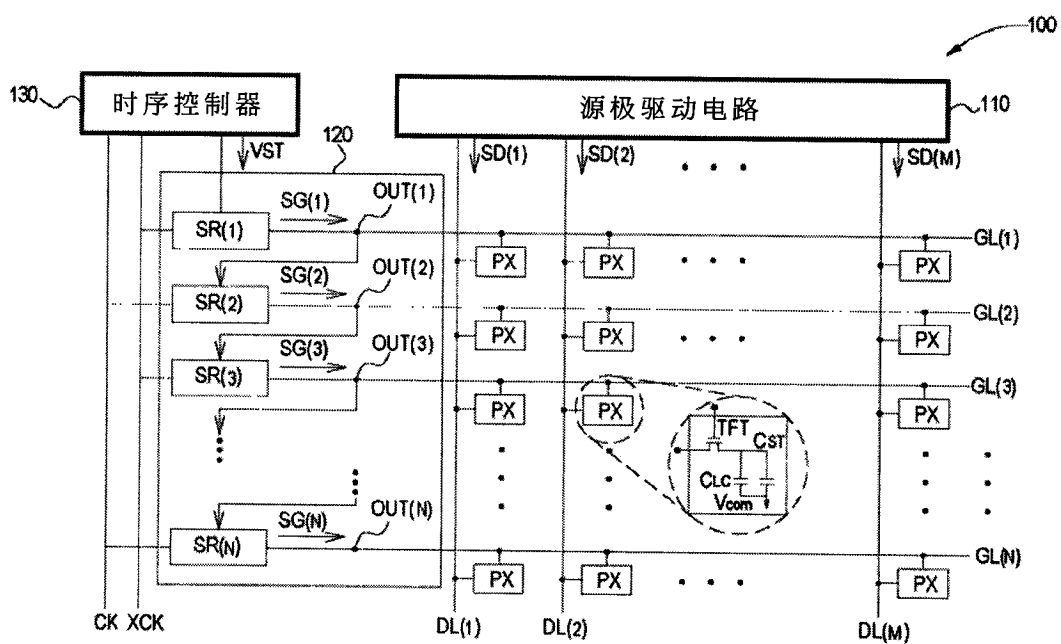


图 1

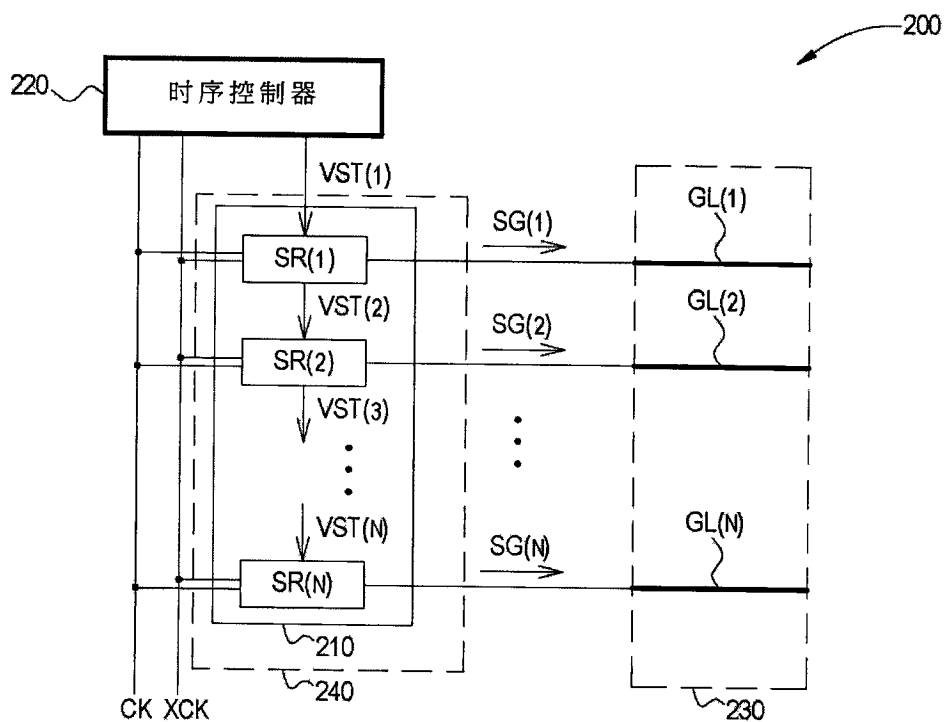


图 2

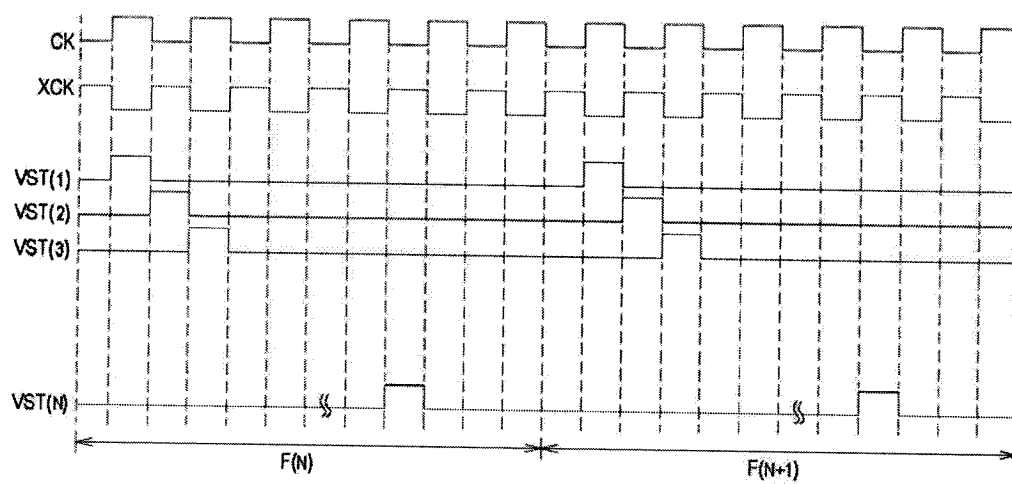


图 3

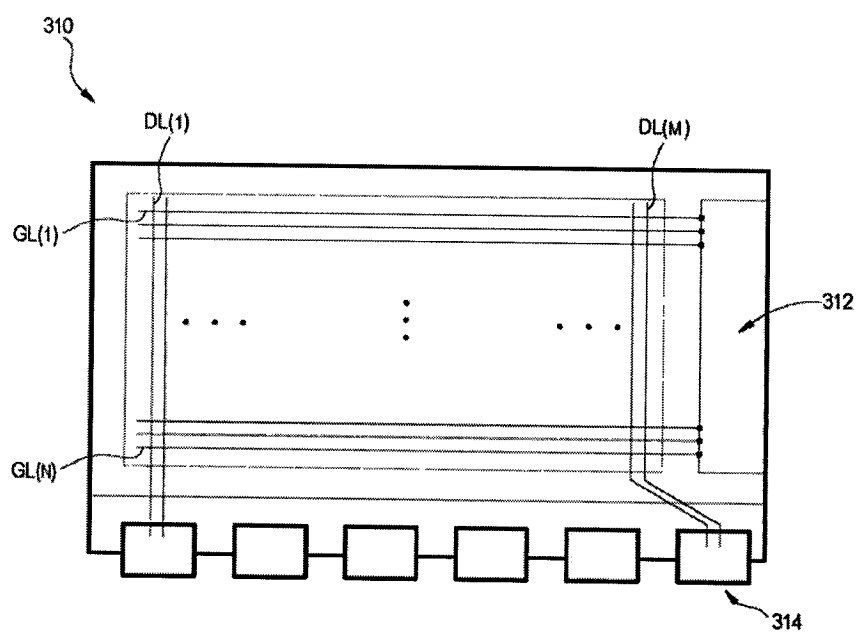


图 4

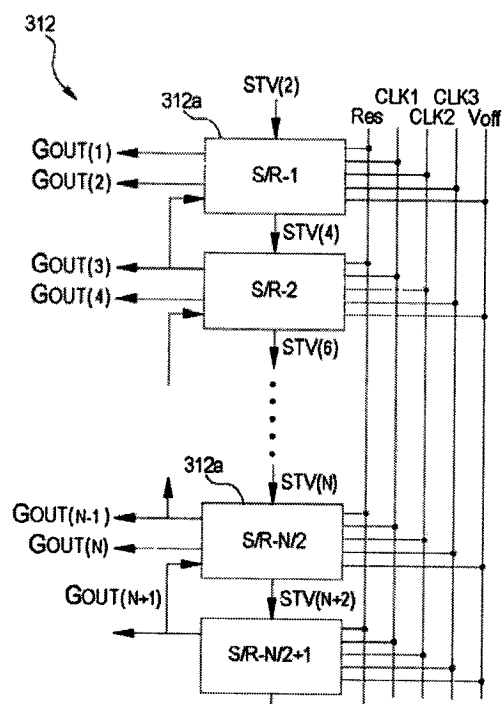


图 5

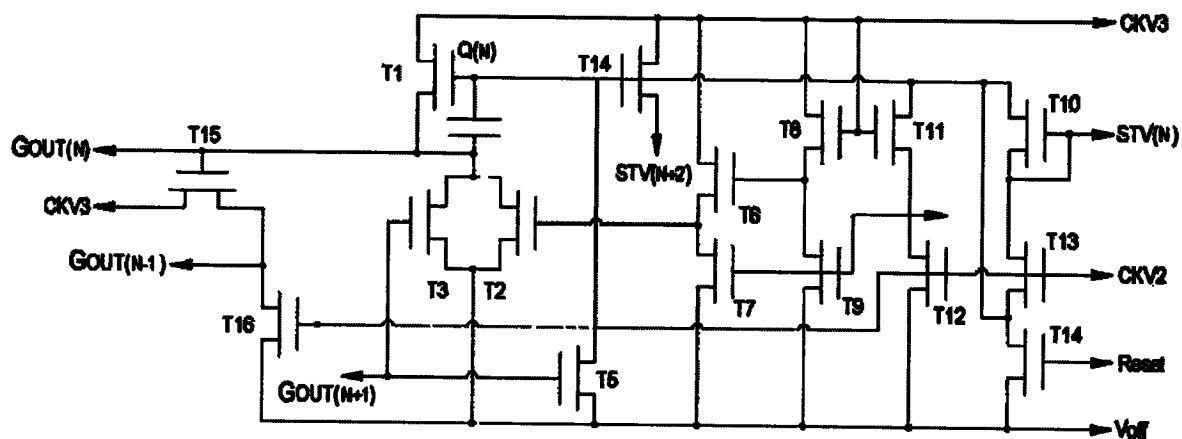


图 6

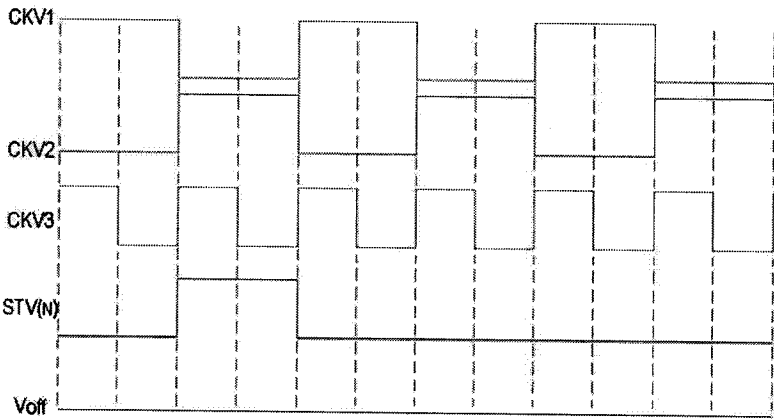


图 7

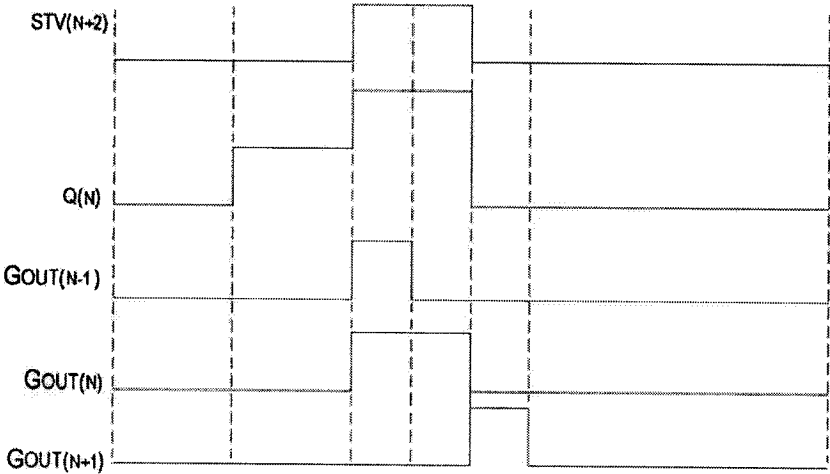


图 8

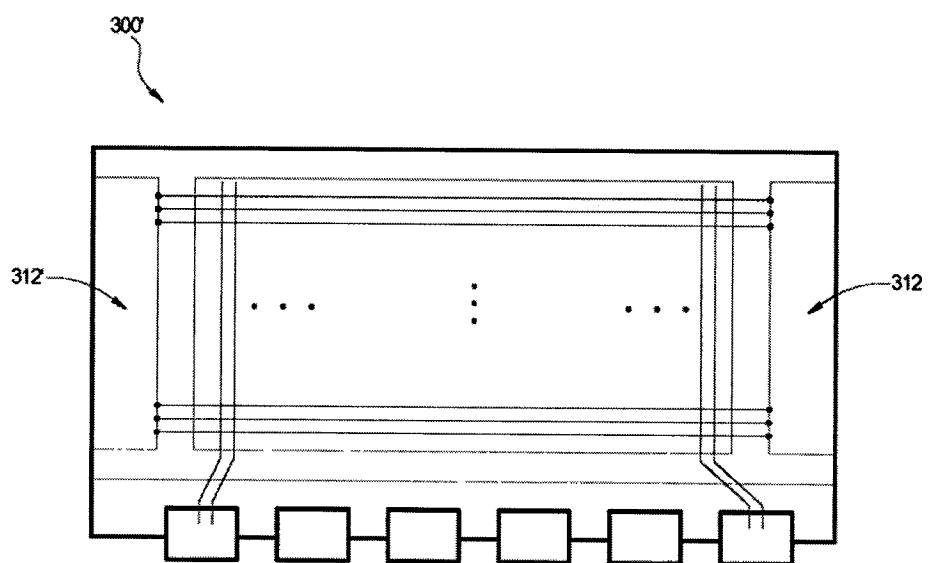


图 9

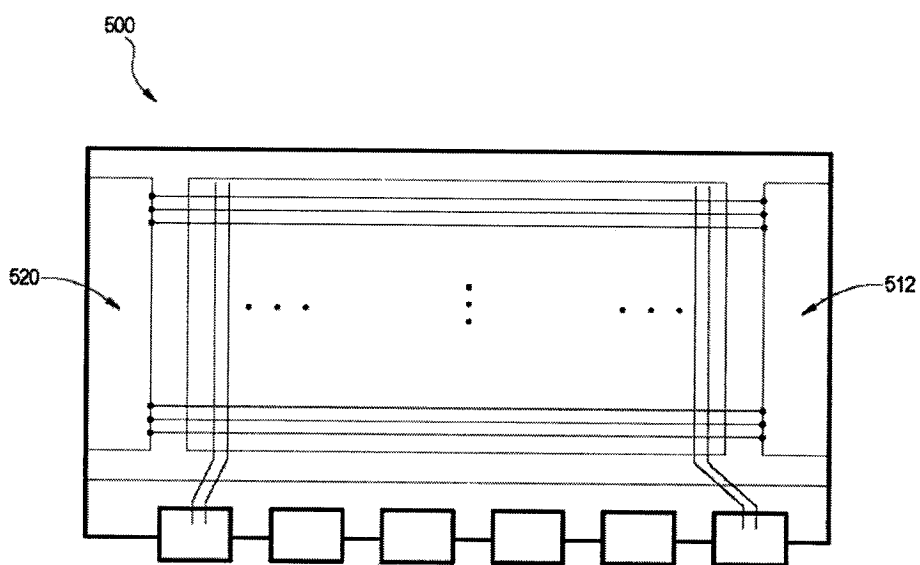


图 10

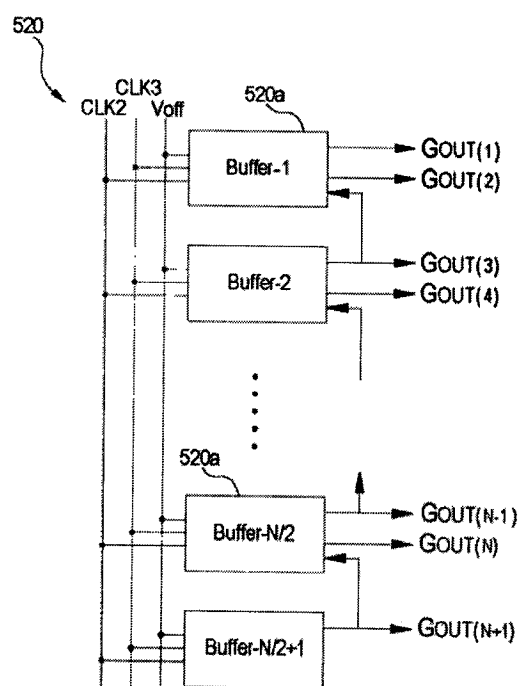


图 11

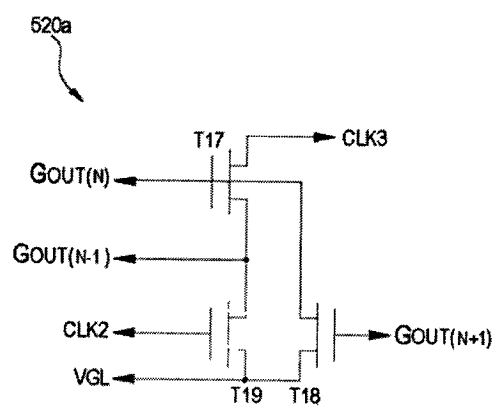


图 12

专利名称(译)	液晶显示面板与栅极驱动电路		
公开(公告)号	CN102368380A	公开(公告)日	2012-03-07
申请号	CN201110272708.9	申请日	2011-09-14
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	周秀峰 徐正兴		
发明人	周秀峰 徐正兴		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G09G3/3677 G09G2310/0281 G09G2310/0286 G09G2320/0223 G09G2330/021 G11C19/28		
代理人(译)	李文		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示面板包含：N条栅极线，其中N为大于2的偶数；一第一栅极驱动电路，包含N/2+1个串接的第一移位缓存单元，用以输出N个栅极信号至该N条栅极线。本发明仅需要N/2+1个移位缓存单元(shift register)即可实现输出N个栅极信号至该N条栅极线。极大地简化了栅极驱动电路，减小输入的频率讯号(时钟讯号)的电阻电容失真(RC distortion)，减小栅极驱动电路所占用的基板(Board)区域，提高栅极驱动电路的信赖性。

