



(12) 发明专利申请

(10) 申请公布号 CN 101971241 A

(43) 申请公布日 2011.02.09

(21) 申请号 200880128020.X

代理人 张鑫

(22) 申请日 2008.12.04

(51) Int. Cl.

(30) 优先权数据

G09G 3/36 (2006.01)

2008-072419 2008.03.19 JP

G02F 1/133 (2006.01)

(85) PCT申请进入国家阶段日

G09G 3/20 (2006.01)

2010.09.10

G11C 19/00 (2006.01)

(86) PCT申请的申请数据

PCT/JP2008/072079 2008.12.04

(87) PCT申请的公布数据

W02009/116211 JA 2009.09.24

(71) 申请人 夏普株式会社

地址 日本大阪府

(72) 发明人 太田裕己 森井秀树 岩本明久

水永隆行 广兼正浩

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

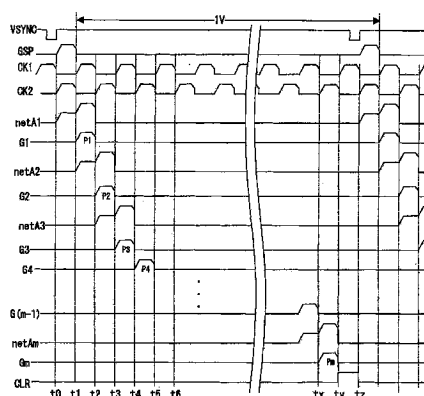
权利要求书 2 页 说明书 14 页 附图 16 页

(54) 发明名称

显示面板驱动电路、液晶显示装置、及显示面板的驱动方法

(57) 摘要

本发明的目的在于提供一种显示面板驱动电路及显示面板的驱动方法。所述显示面板驱动电路包括由输出信号线选择信号 (G1 ~ Gm) 的单位电路级联连接而构成的移位寄存器,向所述单位电路输入时钟信号 (CK1、CK2)、和起始脉冲信号 (GSP) 或从其他级输出的信号线选择信号 (G1 ~ Gm),所述时钟信号 (CK1、CK2) 激活后的倒钩部分包括斜坡状的第一区域和比所述第一区域更陡的第二区域。根据所述结构,能够实现可以抑制栅极导通脉冲信号的异常,并且可以提高像素充电率和使时钟信号高频化的显示面板驱动电路及显示面板驱动方法。



1. 一种显示面板的驱动电路，
包括由输出信号线选择信号单位电路级联连接而构成的移位寄存器，其特征在于，
向所述单位电路输入时钟信号、和起始脉冲信号或从其他级输出的信号线选择信号，
该时钟信号激活后的倒钩部分包括斜坡状的第一区域和比所述第一区域更陡的第二区域。
2. 如权利要求 1 所述的显示面板驱动电路，其特征在于，
所述第二区域与时间轴实质性地垂直。
3. 如权利要求 1 所述的显示面板驱动电路，其特征在于，
所述时钟信号伴随激活上升的部分或伴随激活下降的部分倾斜。
4. 如权利要求 1 至 3 的任一项所述的显示面板驱动电路，其特征在于，
在成为除了最后级以外的级的单位电路中，包括置位用晶体管、输出用晶体管、复位用晶体管、电位提供用晶体管、及电容，在所述单位电路中，
向置位用晶体管的控制端子输入所述起始脉冲信号或前一级的信号线选择信号，
向复位用晶体管的控制端子输入后一级的信号线选择信号，
向输出用晶体管的第一导通端子输入所述时钟信号，
向电位提供用晶体管的控制端子输入与所述时钟信号不同的时钟信号，
输出用晶体管的第二导通端子与电容的第一电极相连接，置位用晶体管的控制端子及第一导通端子相连接，并且置位用晶体管的第二导通端子与输出用晶体管的控制端子和电容的第二电极相连接，
复位用晶体管的第一导通端子与输出用晶体管的控制端子相连接，并且复位用晶体管的第二导通端子与恒压源相连接，
电位提供用晶体管的第一导通端子与输出用晶体管的第二导通端子相连接，并且电位提供用晶体管的第二导通端子与恒压源相连接，
输出用晶体管的第二导通端子为输出端子。
5. 如权利要求 1 至 4 的任一项所述的显示面板驱动电路，其特征在于，
在成为最后级的单位电路中，包括置位用晶体管、输出用晶体管、复位用晶体管、电位提供用晶体管、及电容，在所述单位电路中，
向置位用晶体管的控制端子输入前一级的信号线选择信号，
向复位用晶体管的控制端子输入清零信号，
向电位提供用晶体管的控制端子输入与所述时钟信号不同的时钟信号，
向输出用晶体管的第一导通端子输入时钟信号，
输出用晶体管的第二导通端子与电容的第一电极相连接，置位用晶体管的控制端子及第一导通端子相连接，并且置位用晶体管的第二导通端子与输出用晶体管的控制端子和电容的第二电极相连接，
复位用晶体管的第一导通端子与输出用晶体管的控制端子相连接，并且复位用晶体管的第二导通端子与恒压源相连接，
电位提供用晶体管的第一导通端子与输出用晶体管的第二导通端子相连接，并且电位提供用晶体管的第二导通端子与恒压源相连接，
输出用晶体管的第二导通端子为输出端子。
6. 如权利要求 1 至 5 的任一项所述的显示面板驱动电路，其特征在于，

向所述移位寄存器提供彼此相位不同的两个以上的时钟信号,将其中两个时钟信号中的一个输入到成为奇数级的单位电路,将所述两个时钟信号中的另一个输入到成为偶数级的单位电路。

7. 如权利要求 6 所述的显示面板驱动电路,其特征在于,
所述两个时钟信号各自的相位彼此偏移半个周期。

8. 如权利要求 4 所述的显示面板驱动电路,其特征在于,
所述置位用晶体管、输出用晶体管、复位用晶体管、及电位提供用晶体管分别为 N 沟道晶体管。

9. 如权利要求 8 所述的显示面板驱动电路,其特征在于,
所述各晶体管的控制端子为栅极端子,第一导通端子为漏极端子,第二导通端子为源极端子。

10. 如权利要求 5 所述的显示面板驱动电路,其特征在于,
所述各晶体管的控制端子为栅极端子,第一导通端子为源极端子,第二导通端子为漏极端子。

11. 如权利要求 1 至 10 的任一项所述的显示面板驱动电路,其特征在于,
包括基于所输入的同步信号来生成所述时钟信号及起始脉冲信号的定时控制器。

12. 如权利要求 1 至 11 的任一项所述的显示面板驱动电路,其特征在于,
包括用于在时钟信号的所述倒钩部分中形成第一及第二区域的斜坡电路。

13. 一种液晶显示装置,其特征在于,
包括权利要求 1 至 12 中的任一项所述的液晶面板驱动电路和液晶面板。

14. 如权利要求 13 所述的液晶显示装置,其特征在于,
所述移位寄存器在液晶面板中形成单片。

15. 如权利要求 14 所述的液晶显示装置,其特征在于,
所述液晶面板使用非晶硅形成。

16. 如权利要求 14 所述的液晶显示装置,其特征在于,
所述液晶面板使用多晶硅形成。

17. 一种显示面板的驱动方法,
用于驱动包含由输出信号线选择信号的单位电路级联连接而构成的移位寄存器的显示面板,其特征在于,

向所述单位电路输入起始脉冲信号或从其他级输出的信号线选择信号、以及

时钟信号,该时钟信号激活后的倒钩部分包括斜坡状的第一区域和比所述第一区域要陡的第二区域。

显示面板驱动电路、液晶显示装置、及显示面板的驱动方法

技术领域

[0001] 本发明涉及显示面板（例如液晶面板）的驱动电路及驱动方法。

背景技术

[0002] 图 14 是表示液晶显示装置的栅极驱动器所采用的已有的移位寄存器的电路图。如图 13 所示，已有的移位寄存器 100 由多个移位电路（单位电路） $sc1$ 、 $sc2$ 、 $\cdots$ scm 、 scd 级联连接而构成，移位电路 sci ($i = 1, 2, 3, \dots, m$) 包括输入用的节点 qfi 、 qbi 、 $CKAi$ 及输出用的节点 qoi ，虚拟的移位电路 scd 包括输入用的节点 qfd 、 $CKAd$ 及输出用的节点 qod 。

[0003] 此处，移位电路 $sc1$ 的节点 $qf1$ 与栅极起始脉冲信号 GSP 的输出端相连接，节点 $qb1$ 与移位电路 $sc2$ 的节点 $qo2$ 相连接，节点 $CKA1$ 与提供第一时钟信号的第一时钟线 $CKL1$ 相连接，从节点 $qo1$ 输出栅极起始脉冲信号（信号线选择信号） $g1$ 。另外，移位电路 sci ($i = 2, 3, \dots, m-1$) 的节点 qfi 与移位电路 $sc(i-1)$ 的节点 $fo(i-1)$ 相连接，节点 qbi 与移位电路 $sc(i+1)$ 的节点 $qo(i+1)$ 相连接，节点 $CKAi$ 与上述第一时钟线 $CKL1$ 或提供第二时钟信号的第二时钟线 $CKL2$ 相连接，从节点 qoi 输出栅极起始脉冲信号（信号线选择信号） gi 。此外，若 i 为奇数，则节点 $CKAi$ 与第一时钟线 $CKL1$ 相连接，若 i 为偶数，则节点 $CKAi$ 与第二时钟线 $CKL2$ 相连接。

[0004] 而且，移位电路 scm 的节点 qfm 与移位电路 $sc(m-1)$ 的节点 $qo(m-1)$ 相连接，节点 qbm 与虚拟移位电路 scd 的节点 qod 相连接，节点 $CKAm$ 与第一时钟线 $CKL1$ 或第二时钟线 $CKL2$ 相连接，从节点 qom 输出栅极起始脉冲信号（信号线选择信号） gm 。此外，若 m 为奇数，则节点 $CKAi$ 与第一时钟线 $CKL1$ 相连接，若 m 为偶数，则节点 $CKAi$ 与第二时钟线 $CKL2$ 相连接。另外，虚拟移位电路 scd 的节点 qfd 与移位电路 scm 的节点 qom 相连接，节点 $CKAd$ 与第一时钟线 $CKL1$ 或第二时钟线 $CKL2$ 相连接。此外，若 m 为奇数，则节点 $CKAd$ 与第二时钟线 $CKL2$ 相连接，若 m 为偶数，则节点 $CKAd$ 与第一时钟线 $CKL1$ 相连接。

[0005] 图 15 是表示垂直同步信号 VSYNC、栅极起始脉冲信号 GSP、第一时钟信号 $CK1$ 、第二时钟信号 $CK2$ 、栅极导通脉冲信号 gi ($i = 1 \sim m$) 及节点 qod 的输出的各波形的时序图。此外，第一时钟信号 $CK1$ 及第二时钟信号 $CK2$ 在一个周期中的“H(High:高)”（激活）期间都为时钟期间，“L(Low:低)”（非激活）期间都为时钟期间，与 $CK1$ 及 $CK2$ 中的一方激活（上升）同步地，另一方非激活（下降）。

[0006] 在第一级移位电路 $sc1$ 中，因栅极起始脉冲信号 GSP 的激活使得节点 $qf1$ 的电位上升，从而处于向节点 $qo1$ 输出第一时钟信号 $CK1$ 的状态，栅极导通脉冲信号 $g1$ 被激活。另外，在后一级移位电路 $sc2$ 中，因栅极导通脉冲信号 $g1$ 的激活使得节点 $qf2$ 的电位上升，从而处于向节点 $qo2$ 输出第二时钟信号 $CK2$ 的状态，栅极导通脉冲信号 $g2$ 被激活。然后，在移位电路 $sc1$ 中，因栅极导通脉冲信号 $g2$ 的激活，处于不向节点 $qo1$ 输出第一时钟信号 $CK1$ 的状态，并且向节点 $qo1$ 提供低电位侧电源电位。因此，在使栅极导通脉冲信号 $g1$ 激活一定期间后，使其非激活，从而形成脉冲 $P1$ 。

[0007] 即，在移位电路 sci ($i = 2, 3, \dots, m-1$) 中，因栅极导通脉冲信号 $g(i-1)$ 的激活使得

节点 qfi 的电位上升,从而处于向节点 qoi 输出时钟信号 (CK1 或 CK2) 的状态,栅极导通脉冲信号 gi 被激活。另外,在后一级移位电路 sc(i+1) 中,因栅极导通脉冲信号 gi 激活使得节点 qf(i+1) 的电位上升,从而处于向节点 qo(i+1) 输出时钟信号 (CK2 或 CK1) 的状态,栅极导通脉冲信号 g(i+1) 被激活。然后,在移位电路 sci 中,因栅极导通脉冲信号 g(i+1) 的激活,处于不向节点 qoi 输出时钟信号的状态,并且向节点 qoi 提供低电位侧电源电位。因此,在使栅极导通脉冲信号 gi 激活一定期间后,使其非激活,从而形成脉冲 Pi。

[0008] 另外,在移位电路 scm 中,因栅极导通脉冲信号 g(m-1) 的激活使得节点 qfm 的电位上升,从而处于向节点 qom 输出时钟信号 (CK1 或 CK2) 的状态,栅极导通脉冲信号 gm 被激活。另外,在后一级的虚拟移位电路 scd 中,因栅极导通脉冲信号 gm 的激活使得节点 qfd 的电位上升,从而处于向节点 qod 输出时钟信号 (CK2 或 CK1) (节点 qod 的电位上升) 的状态。然后,在移位电路 scm 中,因节点 qod 的电位上升,处于不向节点 qom 输出时钟信号的状态,并且向节点 qom 提供低电位侧电源电位。因此,在使栅极导通脉冲信号 gm 激活一定期间后,使其非激活,从而形成脉冲 Pm。

[0009] 由此,在移位寄存器 100 中,来自各移位电路的栅极导通脉冲信号依次激活一定期间,从第一级的移位电路 sc1 到最后级的移位电路 scm 依次输出脉冲。此外,能够列举出以下的专利文献 1 至 3 作为相关的公知文献。

[0010] 此处,在专利文献 4 中揭示了以下方法:即,如图 16 所示,为了降低像素晶体管截止时产生的馈通(注意,夏普刚来指令,“引き込み電圧”的正确翻译是“馈通电压”,以后注意。)电压的偏差(进而抑制闪烁或烧屏),使输入到移位寄存器的时钟信号的下降沿(激活后的倒钩部分)倾斜。

[0011] 专利文献 1:日本公开专利公报“特开 2001-273785 号公报(2001 年 10 月 5 日公开)”

[0012] 专利文献 2:日本公开专利公报“特开 2006-24350 号公报(2006 年 1 月 26 日公开)”

[0013] 专利文献 3:日本公开专利公报“特开 2007-114771 号公报(2007 年 5 月 10 日公开)”

[0014] 专利文献 4:日本公开专利公报“特开 2006-276409 号公报(2006 年 10 月 12 日公开)”

发明内容

[0015] 本发明人发现通过使输入到移位寄存器的时钟信号的下降沿(激活后的倒钩部分)倾斜,还能减少栅极导通脉冲信号的异常(例如,非激活期间的波形紊乱)。这是由于在时钟信号下降时在移位电路内产生的噪声(振铃)减少。另一方面,若使时钟信号的下降沿倾斜,则可能存在以下问题:即,栅极导通脉冲信号的下降沿倾斜,因而像素充电率下降,或由于时钟信号的下降沿耗费时间,因而时钟信号的周期变长(频率下降)。

[0016] 在本发明中,提出了一种显示面板驱动电路及显示面板的驱动方法,上述显示面板驱动电路可以抑制栅极导通脉冲信号的异常,并且可以提高像素充电率和使时钟信号高频化。

[0017] 本显示面板驱动电路包括由输出信号线选择信号的单位电路级联连接而构成的

移位寄存器,其特征在于,向上述单位电路输入时钟信号(脉冲信号)、和起始脉冲信号或从其他级输出的信号线选择信号,该时钟信号激活后的倒钩部分包括斜坡状的第一区域和比该第一区域要陡的第二区域。

[0018] 对于输入到本显示面板驱动电路的移位寄存器的时钟信号,其倒钩部分的一部分(第一区域)倾斜,剩余部分(第二部分)比第一区域要陡(例如,与时间轴垂直),因此能够缩短时钟信号的周期,从而能使其高频化。另外,栅极导通脉冲信号的倒钩部分的一部分也倾斜,且剩余部分也比上述部分要陡,因此与使整个倒钩部分相同地倾斜的情况相比,能够提高包括本显示面板驱动电路的显示装置的像素充电率。

[0019] 本显示面板驱动电路也能够采用使上述第二区域与时间轴实质性地垂直的结构。

[0020] 另外,本显示面板驱动电路也能够采用上述时钟信号伴随激活上升的部分或伴随激活下降的部分倾斜的结构。

[0021] 本显示面板驱动电路也能够采用以下结构:即,在成为除了最后级以外的级的单位电路中,包括置位用晶体管、输出用晶体管、复位用晶体管、电位提供用晶体管、及电容,在该单位电路中,向置位用晶体管的控制端子输入上述起始脉冲信号或前一级的信号线选择信号,向复位用晶体管的控制端子输入后一级的信号线选择信号,向电位提供用晶体管的控制端子输入与上述时钟信号不同的时钟信号,向输出用晶体管的第一导通端子输入时钟信号,输出用晶体管的第二导通端子与电容的第一电极相连接,置位用晶体管的控制端子及第一导通端子相连接,并且置位用晶体管的第二导通端子与输出用晶体管的控制端子和电容的第二电极相连接,复位用晶体管的第一导通端子与输出用晶体管的控制端子相连接,并且复位用晶体管的第二导通端子与恒压源相连接,电位提供用晶体管的第一导通端子与输出用晶体管的第二导通端子相连接,并且电位提供用晶体管的第二导通端子与恒压源相连接,输出用晶体管的第二导通端子为输出端子。此外,在本申请中,将晶体管的源极端子及漏极端子中的一方记为第一导通端子,另一方记为第二导通端子,根据各晶体管的设计,可能所有晶体管的第一导通端子都为漏极端子,也可能所有晶体管的第一导通端子都为源极端子,还有可能某些晶体管的第一导通端子为漏极端子,而剩下晶体管的第一导通端子为源极端子。

[0022] 本显示面板驱动电路也能够采用以下结构:即,在成为最后级的单位电路中,包括置位用晶体管、输出用晶体管、复位用晶体管、电位提供用晶体管、及电容,在该单位电路中,向置位用晶体管的控制端子输入前一级的信号线选择信号,向复位用晶体管的控制端子输入清零信号,向电位提供用晶体管的控制端子输入与上述时钟信号不同的时钟信号,向输出用晶体管的第一导通端子输入时钟信号,输出用晶体管的第二导通端子与电容的第一电极相连接,置位用晶体管的控制端子及第一导通端子相连接,并且置位用晶体管的第二导通端子与输出用晶体管的控制端子和电容的第二电极相连接,复位用晶体管的第一导通端子与输出用晶体管的控制端子相连接,并且复位用晶体管的第二导通端子与恒压源相连接,电位提供用晶体管的第一导通端子与输出用晶体管的第二导通端子相连接,并且电位提供用晶体管的第二导通端子与恒压源相连接,输出用晶体管的第二导通端子为输出端子。

[0023] 本显示面板驱动电路也能够采用以下结构:即,向上述移位寄存器提供与上述移位寄存器相位不同的两个以上时钟信号,将其中两个时钟信号中的一个输入到成为奇数级

的单位电路,将所述两个时钟信号中的另一个输入到成为偶数级的单位电路。

[0024] 本显示面板驱动电路也能够采用将上述两个时钟信号各自的相位相互偏移半个周期的结构。

[0025] 本显示面板驱动电路也能够采用置位用晶体管、输出用晶体管、复位用晶体管、及电位提供用晶体管分别为 N 沟道晶体管的结构。

[0026] 本显示面板驱动电路也能够采用以下结构:即,上述各晶体管的控制端子为栅极端子,第一导通端子为漏极端子,第二导通端子为源极端子。另外,还能采用以下结构:即,上述控制端子为栅极端子,第一导通端子为源极端子,第二导通端子为漏极端子。

[0027] 本显示面板驱动电路也能够采用包括定时控制器的结构,该定时控制器基于所输入的同步信号,生成上述时钟信号及起始脉冲信号。

[0028] 本显示面板驱动电路也能够采用包括斜坡电路的结构,该斜坡电路用于在时钟信号的上述倒钩部分中形成第一及第二区域。

[0029] 本液晶显示装置的特征在于,包括上述显示面板驱动电路和液晶面板。在这种情况下,也能够采用上述移位寄存器在液晶面板中形成单片的结构。另外,也能够采用上述液晶面板使用非晶硅来形成的结构。另外,也能够采用上述液晶面板使用多晶硅来形成的结构。

[0030] 另外,本显示面板的驱动方法用于驱动显示面板,上述显示面板包括由输出信号线选择信号的单位电路级联连接而构成的移位寄存器,其特征在于,向上述单位电路输入起始脉冲信号或从其他级输出的信号线选择信号、及时钟信号,该时钟信号激活后的倒钩部分包括斜坡状的第一区域和比该第一区域要陡的第二区域。

[0031] 由此,根据本显示面板驱动电路,能够缩短时钟信号的周期,从而能使其高频化。另外,能提高使用本显示面板驱动电路的显示装置的像素充电率。

附图说明

[0032] 图 1 是表示本移位寄存器的动作的时序图。

[0033] 图 2 是表示本寄存器的结构的框图。

[0034] 图 3(a)、(b) 是表示移位寄存器的各级(单位电路)的结构的电路图。

[0035] 图 4 是表示本移位寄存器的结构的电路图。

[0036] 图 5 是表示本移位寄存器的其他结构的电路图。

[0037] 图 6(a)、(b) 是表示图 5 的移位寄存器的单位电路结构的电路图。

[0038] 图 7 是表示图 5 的移位寄存器的动作的时序图。

[0039] 图 8 是表示本液晶显示装置的结构框图。

[0040] 图 9(a)、(b) 是表示斜坡电路的结构例的电路图。

[0041] 图 10(a)、(b) 是表示斜坡电路的结构例的电路图。

[0042] 图 11 是表示本显示面板驱动电路的其他结构的框图。

[0043] 图 12(a) ~ (c) 是输入到本显示面板驱动电路的移位寄存器的时钟信号的波形图。

[0044] 图 13(a) ~ (c) 是输入到本显示面板驱动电路的移位寄存器的时钟信号的波形图。

- [0045] 图 14 是表示现有的移位寄存器的结构的框图。
- [0046] 图 15 是表示图 14 的移位寄存器的动作的时序图。
- [0047] 图 16 是表示输入到现有的移位寄存器的时钟信号的波形图。
- [0048] 标号说明
- [0049] 1 液晶显示装置（显示装置）
- [0050] 3 液晶面板
- [0051] 10a 移位寄存器
- [0052] 10f 移位寄存器
- [0053] 10g 移位寄存器
- [0054] 11 显示面板驱动电路
- [0055] 13 斜坡电路
- [0056] β 第一区域
- [0057] γ 第二区域
- [0058] GSP 栅极起始脉冲信号
- [0059] G1 ~ Gm 栅极导通脉冲（信号线选择信号）
- [0060] SC1 ~ SCm 移位电路（单位电路）
- [0061] GSP 栅极起始脉冲
- [0062] CK1 第一时钟信号
- [0063] CK2 第二时钟信号
- [0064] CK3 第三时钟信号
- [0065] CK4 第四时钟信号
- [0066] CLR 清零信号
- [0067] Tra 置位用晶体管
- [0068] Trb 输出用晶体管
- [0069] Trd 复位用晶体管
- [0070] Tre ~ Trg 电位提供用晶体管

具体实施方式

- [0071] 如下所述，基于图 1 至图 13 说明本发明的一个实施方式。
- [0072] 图 8 是表示本液晶显示装置的结构框图。如图 8 所示，本液晶显示装置 1 包括液晶面板 3、栅极驱动器 5、源极驱动器 6、定时控制器 7、及数据处理电路 8。此外，在栅极驱动器 5 中设置有移位寄存器 10 和具有斜坡电路 13 的电平移位器 4，利用栅极驱动器 5 及定时控制器 7 构成液晶面板驱动电路 11。
- [0073] 在本液晶面板 3 中，设置有由栅极驱动器 5 驱动的扫描信号线 16、由源极驱动器 6 驱动的数据信号线 15、像素 P、保持电容布线（未图示）等，并且移位寄存器 10 形成于单片。在各像素 P 中设置有与扫描信号线 16 及数据信号线 15 相连接的晶体管（TFT）、和与该晶体管相连接的像素电极。此外，对于各像素的晶体管或移位寄存器的晶体管的形成，使用非晶硅或多晶硅（例如 CG 硅）等。
- [0074] 从液晶显示装置 1 的外部向定时控制器 7 输入同步信号即垂直同步信号 VSYNC、水

平同步信号 HSYNC、及数据使能信号 DE。另外,从液晶显示装置 1 的外部向数据处理电路 8 输入视频数据 (RGB 数字数据)。定时控制器 7 基于各同步信号生成多个源时钟信号 (ck1、ck2 等)、源清零信号 (clr)、源栅极起始脉冲信号 (gsp)。而且,源时钟信号 (ck1、ck2 等) 及源栅极起始脉冲信号 (gsp) 经电平移位器 6 进行电平移位,且使伴随激活上升的部分和倒钩部分 (下降的部分) 倾斜,并且使激活后的倒钩部分以两个阶段 (斜坡状的第一区域和比该第一区域更陡的第二区域) 的方式倾斜,分别成为时钟信号 (CK1、CK2 等) 及栅极起始脉冲信号 (GSP)。此外,源清零信号 (clr) 由电平移位器 6 进行电平移位,成为清零信号 (CLR)。另外,定时控制器 7 基于输入的同步信号 (VSYNC、HSYNC、及 DE),向数据处理电路 8 输出控制信号,并且向源极驱动器 6 输出源极定时信号。

[0075] 将时钟信号 (CKA、CKB 等)、清零信号 (CLR)、及栅极起始脉冲信号 (GSP) 输入到移位寄存器 10。清零信号 (CLR) 是用于对最后级的移位寄存器进行复位的信号。移位寄存器 10 使用这些信号 (CKA、CKB 等、CLR、GSP) 生成栅极导通脉冲信号,将其输出到液晶面板 3 的扫描信号线。移位寄存器 10 与输出栅极导通脉冲信号的移位电路级联连接,使各级 (移位电路) 的栅极导通脉冲信号依次激活一定期间,从第一级到最后级依次输出脉冲 (导通脉冲)。然后,在液晶面板 3 中,利用该脉冲依次选择扫描信号线。

[0076] 数据处理电路 8 对视频数据实施预定的处理,基于来自定时控制器 7 的控制信号,向源极驱动器 6 输出数据信号。源极驱动器 6 使用来自数据处理电路 8 的数据信号和来自定时控制器 7 的源极定时信号生成信号电位,将其输出到液晶面板 3 的数据信号线。将该信号电位通过各像素的晶体管写入到该像素的像素电极。

[0077] (实施方式 1)

[0078] 图 2 表示本实施方式 1 的移位寄存器 10a 的结构。如图 2 所示,移位寄存器 10a 由多个移位电路 (单位电路) SC1、SC2、... SCm 级联连接而构成,移位电路 SCi ($i = 1, 2, 3, \dots, m-1$) 包括输入用的节点 Qfi、Qbi、CKAi、CKBi 及输出用的节点 Qoi, 移位电路 SCm 包括输入用的节点 Qfm、CKAm、CKBm、CL 及输出用的节点 Qom。

[0079] 此处,移位电路 SC1 的节点 Qf1 与电平移位器 (参照图 8) 的 GSP 输出端 R0 相连接,节点 Qb1 与移位电路 SC2 的节点 Qo2 相连接,节点 CKA1 与提供第一时钟信号 CK1 的第一时钟线 CKL1 相连接,节点 CKB1 与提供第二时钟信号 CK2 的第二时钟线 CKL2 相连接,从节点 Qo1 输出栅极导通脉冲信号 (信号线选择信号) G1。

[0080] 另外,移位电路 SCi ($i = 2 \sim m-1$) 的节点 Qfi 与移位电路 SC(i-1) 的节点 Qo(i-1) 相连接,节点 Qbi 与移位电路 SC(i+1) 的节点 Qo(i+1) 相连接,若 i 为奇数,则节点 CKAi 与第一时钟线 CKL1 相连接,并且节点 CKBi 与第二时钟线 CKL2 相连接,若 i 为偶数,则节点 CKAi 与第二时钟线 CKL2 相连接,并且节点 CKBi 与第一时钟线 CKL1 相连接,从节点 Qoi 输出栅极导通脉冲信号 (信号线选择信号) Gi。

[0081] 而且,移位电路 SCm 的节点 Qfm 与移位电路 SC(m-1) 的节点 Qo(m-1) 相连接,节点 CKAm 与第二时钟线 CKL2 相连接,并且节点 CKBm 与第一时钟线 CKL1 相连接,节点 CL 与上述清零线 CLRL 相连接,从节点 Qom 输出栅极导通脉冲信号 (信号线选择信号) Gm。

[0082] 图 3(a) 是表示 SCi ($i = 1 \sim m-1$) 的具体结构的电路图。如图 3(a) 所示, SCi ($i = 1 \sim m-1$) 包含置位用晶体管 Tra、输出用晶体管 Trb、复位用晶体管 Trd、电位提供用晶体管 Tre、及电容 C。此外,晶体管 Tra、Trb、Trd、Tre 分别是 N 沟道晶体管,电容 C 可以是寄

生电容。

[0083] 此处, Trb 的源极端子与电容 C 的第一电极相连接, Tra 的栅极端子(控制端子)及漏极端子相连接, 并且 Tra 的源极端子与 Trb 的栅极端子和电容 C 的第二电极相连接。另外, Trd 的漏极端子与 Trb 的栅极端子相连接, 并且 Trd 的源极端子与低电位侧电源 Vss 相连接。另外, Tre 的漏极端子与 Trb 的源极端子相连接, 并且 Tre 的源极端子与低电位侧电源 Vss 相连接。而且, Tra 的控制端子与节点 Qfi 相连接, Trb 的漏极端子与节点 CKAi 相连接, Tre 的栅极端子与节点 CKBi 相连接, Trd 的栅极端子与节点 Qbi 相连接, Trb 的源极端子与节点 Qoi 相连接。此外, 将 Tra 的源极端子、电容 C 的第二电极、及 Trb 的栅极端子的连接点作为节点 netAi。

[0084] 另外, 图 3(b) 是表示 SCm 的具体结构的电路图。如图 3(b) 所示, SCm 包含置位用晶体管 Tra、输出用晶体管 Trb、复位用晶体管 Trd、电位提供用晶体管 Tre、及电容 C。此外, 晶体管 Tra、Trb、Trd、Tre 分别是 N 沟道晶体管, 电容 C 可以是寄生电容。

[0085] 此处, Trb 的源极端子与电容 C 的第一电极相连接, Tra 的栅极端子(控制端子)及漏极端子相连接, 并且 Tra 的源极端子与 Trb 的栅极端子和电容 C 的第二电极相连接。另外, Trd 的漏极端子与 Trb 的栅极端子相连接, 并且 Trd 的源极端子与低电位侧电源 Vss 相连接。另外, Tre 的漏极端子与 Trb 的源极端子相连接, 并且 Tre 的源极端子与低电位侧电源 Vss 相连接。而且, Tra 的控制端子与节点 Qfm 相连接, Trb 的漏极端子与节点 CKAm 相连接, Trd 的栅极端子与节点 CL 相连接, Tre 的栅极端子与节点 CKBm 相连接, Trb 的源极端子与节点 Qom 相连接。此外, 将 Tra 的源极端子、电容 C 的第二电极、及 Trb 的栅极端子的连接点作为节点 netAm。

[0086] 此外, 移位电路 SCi ($i = 1 \sim m-1$) 的各节点 (Qfi、Qbi、CKAi、CKBi、Qoi)、及移位电路 SCm 的各节点 (Qfm、CKAm、CKBm、CL、Qom) 的连接目标如图 2 所示, 本移位寄存器 10a 整体的具体结构如图 4 所示。

[0087] 以下, 说明移位寄存器 10a 的动作。图 1 是表示同步信号中无异常的情况下的垂直同步信号 VSYNC、栅极起始脉冲信号 GSP、第一时钟信号 CK1、第二时钟信号 CK2、栅极导通脉冲信号 Gi ($i = 1 \sim m$) 及清零信号 (CLR) 的各波形的时序图。此外, 第一时钟信号 CK1 及第二时钟信号 CK2 在一个周期中的“H”(激活) 期间都为一个时钟期间, “L”(非激活) 期间都为一个时钟期间, 与 CK1 及 CK2 中的一方上升同步地, 另一方下降。此处, CK1、CK2 如图 12(a) 所示, 伴随激活上升的部分 α 倾斜(倾斜), 倒钩部分为折线形状。即, 倒钩部分的一部分 β (第一区域) 倾斜(倾斜), 倒钩部分的剩余部分 γ (第二区域) 与时间轴垂直。

[0088] 首先, 在图 1 的 t0, 若通过 GSP 的缓慢上升(激活)使 Qf1 的电位上升, 则 SC1 的 Tra 导通, netA1 的电位从“L”变为“H”。因此, SC1 的 Trb 也导通, 向 Qo1 输出 CK1。

[0089] 在从 t0 经过了一个时钟期间后的 t1, GSP 呈折线状地下降(使其非激活)成为“L”, 但 netA1 的电位因 SC1 的电容 C, 而不下降, SC1 的 Trb 也仍保持导通。因此, 由于 CK1 的缓慢上升, G1 也被激活成“H”。此时, netA1 的电位因电容 C 而被升压到高于“H”的电位。由此, 获得具有足够振幅(电位)的 G1。另一方面, 若通过 G1 的激活使 Qf2 的电位上升, 则 SC2 的 Tra 导通, netA2 的电位从“L”变为“H”。因此, SC2 的 Trb 也导通, 向 Qo2 输出 CK2。即, G2 保持“L”不变。

[0090] 在从 t_1 经过了一个时钟期间后的 t_2 , 由于 CK2 缓慢上升, 因此, G2 也被激活成“H”。此时, netA2 的电位因电容 C 而被升压到高于“H”的电位。由此, 获得具有足够振幅 (电位) 的 G2。另一方面, 若通过 G2 的激活使 Qb1 的电位上升, 则 SC1 的 Trd 导通, netA1 与 Vss 相连接, 其电位从“H”变为“L”。因此, SC1 的 Trb 截止, 不向 Qo1 输出 CK1。在 t_2 , CK2 缓慢地上升, 因此 SC1 的 Tre 导通, Qo1 与 Vss 相连接, 其电位从“H”变为“L”。因此, G1 从“H”变为“L”即非激活, 并维持非激活。此外, 即使使 G1 非激活而成为“L”, netA2 的电位因 SC2 的电容 C 而维持, SC2 的 Trb 保持导通。另外, 若通过 G2 的激活使 Qf3 的电位上升, 则 SC3 的 Tra 导通, netA3 的电位从“L”变为“H”。因此, SC3 的 Trb 也导通, 向 Qo3 输出 CK1。即, G3 保持“L”不变。

[0091] 在从 t_2 经过了一个时钟期间后的 t_3 , 由于 CK1 缓慢地上升, 因此, G3 也被激活成“H”。另一方面, 若通过 G3 的激活使 Qb2 的电位上升, 则 SC2 的 Trd 导通, netA2 与 Vss 相连接, 其电位从“H”变为“L”。因此, SC2 的 Trb 截止, 不向 Qo2 输出 CK2。另外, 在 t_3 , CK1 缓慢地上升, 因此 SC2 的 Tre 导通, Qo2 与 Vss 相连接, 其电位从“H”变为“L”。因此, G2 从“H”变为“L”即非激活, 并维持非激活。

[0092] 此外, 在移位寄存器 10a 中, 在 $t_4 \sim t_5$ 及 $t_6 \sim t_7$, 由于 CK2 成为“H”, 因此, SC1 的 Tre 导通, Qo1 与 Vss 相连接, 能使 G1 再次回落到“L” (所谓的拉回到“L”)。同样, 在 $t_5 \sim t_6$, 由于 CK1 成为“H”, 因此, SC2 的 Tre 导通, Qo2 与 Vss 相连接, 能够使 G2 再次回落到“L” (拉回到“L”)。

[0093] 而且, 在 t_x , 由于 CK2 缓慢地上升, 因此, Gm 也被激活成“H”。此时, netAm 的电位因电容 C 而被升压到高于“H”的电位。

[0094] 在从 t_x 起经过一个时钟期间后的 t_y , 由于清零信号 CLR 被激活成“H”, 因此, SCm 的 Trd 导通, netAm 与 Vss 相连接, 其电位回落到“L”。因此, SCm 的 Trb 截止, 不向 Qom 输出 CK2。而且, 在 t_y , 由于 CK1 缓慢地上升, 因此, SCm 的 Tre 导通, Qom 与 Vss 相连接。因此, 使 Gm 非激活而成为“L”。

[0095] 由此, 在移位寄存器 10a 中, 来自各移位电路 SCi ($i = 1 \sim m$) 的栅极导通脉冲信号 Gi 依次激活一定期间, 从第一级的移位电路 SC1 到最后级的移位电路 SCm 依次输出脉冲。

[0096] 此处, 在各移位电路 SCi ($i = 1 \sim m$) 中, 若 CK1、CK2 的上升沿 (伴随激活的上升沿) 及下降沿 (倒钩) 急剧变化, 则会有以下现象发生: 即, 即使晶体管 Trb 的栅极端子为“L”, 其源极-漏极端子间也有电流流过, 或因晶体管 Tre 的导通 / 截止使得节点 Qoi 的电位摆动, 从而在栅极导通脉冲信号 Gi 中产生非激活时的电位紊乱等异常。然而, 在本移位寄存器 10a 中, 由于 CK1、CK2 的上升沿 (伴随激活的上升沿) 及下降沿 (倒钩) 缓慢变化, 因此可以抑制上述现象的发生, 栅极导通脉冲信号不易发生异常。

[0097] 另外, 各时钟信号的倒钩部分的一部分 (第一区域) 倾斜, 剩余部分 (第二区域) 与时间轴垂直, 因此可使时钟信号高频化。另外, 栅极导通脉冲信号的倒钩部分的一部分也倾斜, 剩余部分也与时间轴垂直, 因此与使整个倒钩部分相同地倾斜的情况相比, 能够提高像素充电率。

[0098] 此外, 在移位寄存器中, 一般存在以下问题: 即, 随着级 (向移位方向) 的升高, 栅极导通脉冲信号 Gi 的波形钝化, 其激活电位降低。此处, 如图 11 所示, 向移位寄存器的前半部分的级输入第一时钟信号 CK1(x)、第二时钟信号 CK2(x), 向移位寄存器的后半部分的

级输入第一时钟信号 CK2(y)、第二时钟信号 CK2(y), 将 CK1(x) 及 CK2(x) 设为图 12(a) 那样的波形, 将 CK1(y) 及 CK2(y) 设为图 12(b) 那样的波形, 从而能够改变前半部分的级和后半部分的级的上升时 (激活时) 的倾斜量 (设相位相同)。在这种情况下, 使输入到后半部分的级的时钟信号的倾斜量比输入到前半部分的级的时钟信号的倾斜量要小。另外, 也能够将 CK1(x) 及 CK2(x) 设为图 12(a) 那样的波形, 将 CK1(y) 及 CK2(y) 设为图 12(c) 那样的波形, 在前半部分的级和后半部分的级改变脉冲的高度 (使相位相同)。在这种情况下, 使输入到后半部分的级的时钟信号的脉冲高度比输入到前半部分的级的时钟信号的脉冲高度要大。

[0099] 另外, 在本实施方式中, 如图 13(a) 所示, 能够使用以下信号作为各时钟信号: 即, 倒钩部分 (下降部分) 以两个阶段的方式倾斜, 即倒钩部分的一部分 β (第一区域) 为缓和的斜坡, 剩余部分 γ (第二区域) 为陡峭的斜坡。另外, 如图 13(b) 所示, 也可以使用以下信号作为各时钟信号: 即, 伴随激活上升的部分不倾斜, 仅倒钩部分 (下降部分) 的一部分倾斜。此外, 也可以根据移位寄存器的晶体管的极性, 使用如图 13(b) 那样的信号: 即, 伴随激活下降的部分倾斜, 倒钩部分 (上降沿部分) 只有一部分倾斜。

[0100] (实施方式 2)

[0101] 图 5 表示本实施方式 2 的液晶面板的结构。如图 5 所示, 在本液晶面板中, 在面板的左端设置有移位寄存器 10f, 在面板的右端设置有移位寄存器 10g。移位寄存器 10f 由多个移位电路 SC_i ($i = 1, 3, 5 \dots 2n-1$) 级联连接而构成, (移位寄存器 10g) 由移位电路 SC_i ($i = 2, 4, 6 \dots 2n$) 级联连接而构成。移位电路 SC_i ($i = 1, 2, 3 \dots 2n-2$) 包括输入用的节点 Qf_i、Qb_i、CKA_i、CKB_i、CKC_i、CKD_i 及输出用的节点 Qo_i, 移位电路 SC_(2n-1) 包括输入用的节点 Qf_(2n-1)、CKA_(2n-1)、CKB_(2n-1)、CKC_(2n-1)、CKD_(2n-1)、CL 及输出用的节点 Qo_(2n-1)。另外, 移位电路 SC_(2n) 包括输入用的节点 Qf_(2n)、CKA_(2n)、CKB_(2n)、CKC_(2n)、CKD_(2n)、CL 及输出用的节点 Qo_(2n)。

[0102] 此处, 移位电路 SC₁ 的节点 Qf₁ 与电平移位器 (参照图 8) 的 GSP1 的输出端 R0 1 相连接, 节点 Qb₁ 与移位电路 SC₃ 的节点 Qo₃ 相连接, 节点 CKA₁ 与提供第一时钟信号的第一时钟线 CKL₁ 相连接, 节点 CKB₁ 与提供第三时钟信号的第三时钟线 CKL₃ 相连接, 节点 CKC₁ 与提供第二时钟信号的第二时钟线 CKL₂ 相连接, 节点 CKD₁ 与提供第四时钟信号的第四时钟线 CKL₄ 相连接, 从节点 Qo₁ 输出栅极导通脉冲信号 (信号线选择信号) G₁。

[0103] 另外, 移位电路 SC₂ 的节点 Qf₂ 与电平移位器的 GSP2 的输出端 R02 相连接, 节点 Qb₂ 与移位电路 SC₄ 的节点 Qo₄ 相连接, 节点 CKA₂ 与提供第二时钟信号的第二时钟线 CKL₂ 相连接, 节点 CKB₂ 与提供第四时钟信号的第四时钟线 CKL₄ 相连接,

[0104] 节点 CKC₂ 与提供第一时钟信号的第一时钟线 CKL₁ 相连接, 节点 CKD₂ 与提供第三时钟信号的第三时钟线 CKL₃ 相连接, 从节点 Qo₂ 输出栅极导通脉冲信号 (信号线选择信号) G₂。

[0105] 另外, 移位电路 SC_i ($i = 3 \sim 2n-2$) 的节点 Qf_i 与移位电路 SC_(i-2) 的节点 Qo_(i-2) 相连接, 节点 Qb_i 与移位电路 SC_(i+2) 的节点 Qo_(i+2) 相连接, 另外, 若 i 为 4 的倍数 +1, 则节点 CKA_i 与第一时钟线 CKL₁ 相连接, 并且节点 CKB_i 与第三时钟信号 CKL₃ 相连接, 且节点 CKC_i 与第二时钟线 CKL₂ 相连接, 并且节点 CKD_i 与第四时钟线 CKL₄ 相连接, 若 i 为 4 的倍数 +2, 则节点 CKA_i 与第二时钟线 CKL₂ 相连接, 并且节点 CKB_i 与第四时钟线

CKL4 相连接, 且节点 CKCi 与第一时钟线 CKL1 相连接, 并且节点 CKDi 与第三时钟线 CKL3 相连接, 若 i 为 4 的倍数 +3, 则节点 CKAi 与第三时钟线 CKL3 相连接, 并且节点 CKBi 与第一时钟线 CKL1 相连接, 且节点 CKCi 与第二时钟线 CKL2 相连接, 并且节点 CKDi 与第四时钟线 CKL4 相连接, 若 i 为 4 的倍数, 则节点 CKAi 与第四时钟线 CKL4 相连接, 并且节点 CKBi 与第二时钟线 CKL2 相连接, 且节点 CKCi 与第一时钟线 CKL1 相连接, 并且节点 CKDi 与第三时钟线 CKL3 相连接。而且, 从节点 Qoi 输出栅极导通脉冲信号 (信号线选择信号) Gi。

[0106] 移位电路 SC(2n-1) 的节点 Qf(2n-1) 与移位电路 SC(2n-3) 的节点 Qo(2n-3) 相连接, 节点 CKA(2n-1) 与第三时钟线 CKL3 相连接, 节点 CKB(2n-1) 与第一时钟线 CKL1 相连接, 节点 CKC(2n-1) 与第二时钟线 CKL2 相连接, 节点 CKD(2n-1) 与第四时钟线 CKL4 相连接, 节点 CL 与第一清零线 CLRL1 相连接, 从节点 Qo(2n-1) 输出栅极导通脉冲信号 (信号线选择信号) G(2n-1)。

[0107] 另外, 移位电路 SC(2n) 的节点 Qf(2n) 与移位电路 SC(2n-2) 的节点 Qo(2n-2) 相连接, 节点 CKA(2n) 与第四时钟线 CKL4 相连接, 节点 CKB(2n) 与第二时钟线 CKL2 相连接, 节点 CKC(2n) 与第一时钟线 CKL1 相连接, 节点 CKD(2n) 与第三时钟线 CKL3 相连接, 节点 CL 与第二清零线 CLRL2 相连接, 从节点 Qo(2n) 输出栅极导通脉冲信号 (信号线选择信号) G(2n)。

[0108] 图 6(a) 是表示 SCi ($i = 1 \sim 2n-2$) 的具体结构的电路图。如图 6(a) 所示, SCi ($i = 1 \sim 2n-2$) 包含置位用晶体管 Tra、输出用晶体管 Trb、复位用晶体管 Trd、电位提供用晶体管 Tre ~ Trg、短路用晶体管 Trk、及电容 C。此外, 晶体管 Tra、Trb、Trd ~ Trg、Trk 分别是 N 沟道晶体管。

[0109] 此处, Trb 的源极端子与电容 C 的第一电极相连接, Tra 的栅极端子 (控制端子) 及漏极端子相连接, 并且 Tra 的源极端子与 Trb 的栅极端子和电容 C 的第二电极相连接。另外, Trk 的漏极端子与 Trb 的栅极端子相连接, 并且 Trk 的源极端子与 Trb 的源极端子相连接, 且 Trk 的栅极端子与 Trb 的漏极端子相连接。另外, Trd 的漏极端子与 Trb 的栅极端子相连接, 并且 Trd 的源极端子与低电位侧电源 Vss 相连接。另外, Tre ~ Trg 的各漏极端子与 Trb 的源极端子相连接, 并且 Tre ~ Trg 的各源极端子与低电位侧电源 Vss 相连接。而且, Tra 的控制端子与节点 Qfi 相连接, Trb 的漏极端子与节点 CKAi 相连接, Tre 的栅极端子与节点 CKBi 相连接, Trf 的栅极端子与节点 CKCi 相连接, Trg 的栅极端子与节点 CKDi 相连接, Trd 的栅极端子与节点 Qbi 相连接, Trb 的源极端子与节点 Qoi 相连接。此外, 将 Tra 的源极端子、电容 C 的第二电极、及 Trb 的栅极端子的连接点作为节点 netAi。

[0110] 另外, 图 6(b) 是表示 SCj ($j = (2n-1)$ 或 $2n$) 的具体结构的电路图。如图 6(b) 所示, SCj 包含置位用晶体管 Tra、输出用晶体管 Trb、复位用晶体管 Trd、电位提供用晶体管 Tre ~ Trg、短路用晶体管 Trk、及电容 C。此外, 晶体管 Tra、Trb、Trd ~ Trg、Trk 分别是 N 沟道晶体管。

[0111] 此处, Trb 的源极端子与电容 C 的第一电极相连接, Tra 的栅极端子 (控制端子) 及漏极端子相连接, 并且 Tra 的源极端子与 Trb 的栅极端子和电容 C 的第二电极相连接。另外, Trk 的漏极端子与 Trb 的栅极端子相连接, 并且 Trk 的源极端子与 Trb 的源极端子相连接, 且 Trk 的栅极端子与 Trb 的漏极端子相连接。另外, Trd 的漏极端子与 Trb 的栅极端子相连接, 并且 Trd 的源极端子与低电位侧电源 Vss 相连接。另外, Tre ~ Trg 的各漏极端子

与 Trb 的源极端子相连接,并且 Tre ~ Trg 的各源极端子与低电位侧电源 Vss 相连接。而且, Tra 的控制端子与节点 Qfj 相连接, Trb 的漏极端子与节点 CKAj 相连接, Tre 的栅极端子与节点 CKBj 相连接, Trf 的栅极端子与节点 CKCj 相连接, Trg 的栅极端子与节点 CKDj 相连接, Trd 的栅极端子与节点 CL 相连接, Trb 的源极端子与节点 Qoj 相连接。此外,将 Tra 的源极端子、电容 C 的第二电极、及 Trb 的栅极端子的连接点作为节点 netAj。

[0112] 此外,移位电路 SCi ($i = 1 \sim 2n-2$) 的各节点 (Qfi、Qbi、CKAi、CKBi、CKCi、CKDi、Qoi) 及移位电路 SCj ($j = (2n-1) \sim 2n$) 的各结点 (Qfj、CAj、CKBj、CKCj、CKDj、CL、Qoj) 的连接目标如图 5 所示。

[0113] 以下,说明移位寄存器 10f、10g 的动作。图 7 是表示垂直同步信号 VSYNC、栅极起始脉冲信号 GSP1、GSP2、第一时钟信号 CK1、第二时钟信号 CK2、第三时钟信号 CK3、第四时钟信号 CK4、栅极导通脉冲信号 Gi ($i = 1 \sim 2n$)、第一清零信号 CLR1 及第二清零信号 CLR2 的各波形的时序图。此外,CK1 ~ CK4 各自在一个周期中的“H”期间为一个时钟期间,“L”期间为三个时钟期间,与 CK1 下降同步地,CK2 上升,与 CK2 下降同步地,CK3 上升,与 CK3 下降同步地,CK4 上升,与 CK4 下降同步地,CK1 上升。另外,GSP2 的上升沿是从 GSP1 的上升沿起经过了一个时钟期间后。此处,CK1 ~ CK4 伴随激活上升的部分倾斜,倒钩部分为折线形状。即,倒钩部分的一部分(第一区域)倾斜,倒钩部分的剩余部分(第二区域)与时间轴垂直。

[0114] 首先,在图 7 的 t0,若通过 GSP1 的缓慢激活使 Qf1 的电位上升,则 SC1 的 Tra 导通,netA1 的电位从“L”变为“H”。因此,SC1 的 Trb 也导通,向 Qo1 输出 CK1。即,G1 保持“L”不变。

[0115] 在从 t0 经过了一个时钟期间后的 t1,GSP1 呈折线状地下降成为“L”,但 netA1 的电位因 SC1 的电容 C 而维持在“H”,SC1 的 Trb 也保持导通。另外,在 t1,若通过 GSP2 的激活使得 Qf2 的电位上升,则 SC2 的 Tra 导通,netA2 的电位从“L”变为“H”。因此,SC2 的 Trb 也导通,向 Qo2 输出 CK2。即,G2 保持“L”不变。

[0116] 在从 t1 经过了一个时钟期间后的 t2,由于 CK1 缓慢地上升,因此,G1 也被激活成“H”。此时,netA1 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G1 的激活使得 Qf3 的电位上升,则 SC3 的 Tra 导通,netA3 的电位从“L”变为“H”。因此,SC3 的 Trb 也导通,向 Qo3 输出 CK3。即,G3 保持“L”不变。另外,在 t2,GSP2 呈折线状地下降成为“L”,但 netA2 的电位因 SC2 的电容 C 而维持在“H”,SC1 的 Trb 也保持导通。

[0117] 在从 t2 开始经过了一个时钟期间后的 t3,CK1 呈折线状地下降成为“L”,netA1 的电位也变回“H”,但是由于 SC1 的 Trb 仍然导通,因此,持续向 Qo1 输出 CK1。因此,G1 从“H”变为“L”即非激活,并维持非激活。此外,即使使 G1 非激活而成为“L”,但 netA3 的电位因 SC3 的电容 C 而维持在“H”,SC3 的 Trb 保持导通。另外,在 t3,由于 CK2 缓慢地上升,因此,使 G2 也被激活成“H”。此时,netA2 的电位因电容 C 而被升压到高于“H”的电位。另外,在 t3,若通过 G2 的激活使 Qf4 的电位上升,则 SC4 的 Tra 导通,netA4 的电位从“L”变为“H”。因此,SC4 的 Trb 也导通,向 Qo4 输出 CK4。即,G4 保持“L”不变。此外,在 t3 时 CK2 缓慢上升,SC1 的 Qo1 与 Vss 相连接,G1 被拉回“L”。

[0118] 在从 t3 经过了一个时钟期间后的 t4,由于 CK3 缓慢地上升,因此,G3 也被激活成“H”。此时,netA3 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G3 的激

活使 Qb 1 的电位上升,则 SC1 的 Trd 导通,netA1 与 Vss 相连接,其电位从“H”变为“L”。因此,SC1 的 Trb 截止,不向 Qo1 输出 CK1。另外,在 t4,CK3 缓慢地上升,因此 SC1 的 Tre 导通,Qo1 与 Vss 相连接,其电位回落到“L”(G1 被拉回到“L”)。另外,在 t4,CK2 呈折线状地下降成为“L”,netA2 的电位也变回“H”,但是由于 SC2 的 Trb 仍然导通,因此,持续向 Qo2 输出 CK2。因此,G2 从“H”变为“L”即非激活,并维持非激活。此外,在 t4,CK3 缓慢地上升,SC2 的 Qo2 与 Vss 相连接,G2 也被拉回到“L”。

[0119] 在从 t4 经过了一个时钟期间后的 t5,由于 CK4 缓慢地上升,因此,G4 也被激活成“H”。此时,netA4 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G4 的激活使 Qb2 的电位上升,则 SC2 的 Trd 导通,netA2 与 Vss 相连接,其电位从“H”变为“L”。因此,SC2 的 Trb 截止,不向 Qo2 输出 CK2。另外,在 t5,CK4 缓慢地上升,因此 SC2 的 Tre 导通,Qo2 与 Vss 相连接,其电位回落到“L”(G2 被拉回到“L”)。另外,在 t5,CK3 呈折线状地下降成为“L”,netA3 的电位也变回“H”,但是由于 SC3 的 Trb 仍然导通,因此,持续向 Qo3 输出 CK3。因此,G3 从“H”变为“L”即非激活,并维持非激活。此外,在 t5,CK4 缓慢上升,SC 1 的 Qo1 与 Vss 相连接,G1 也被拉回“L”。另外,SC3 的 Qo3 与 Vss 相连接,G3 也被拉回到“L”。

[0120] 在从 t5 经过了一个时钟期间后的 t6,由于 CK1 缓慢上升,因此 G5 也被激活成为“H”。此时,netA5 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G5 的激活使 Qb3 的电位上升,则 SC3 的 Trd 导通,netA3 与 Vss 相连接,其电位从“H”变为“L”。因此,SC3 的 Trb 截止,不向 Qo3 输出 CK3。另外,在 t6,CK1 缓慢地上升,因此 SC3 的 Tre 导通,Qo3 与 Vss 相连接,其电位回落到“L”(G3 被拉回到“L”)。另外,在 t6,CK4 呈折线状地下降成为“L”,netA4 的电位也变回“H”,但是由于 SC4 的 Trb 仍然导通,因此,持续向 Qo4 输出 CK4。因此,G4 从“H”变为“L”即非激活,并维持非激活。此外,在 t6,CK1 缓慢地上升,SC3 的 Qo3 与 Vss 相连接,G3 被拉回到“L”。另外,SC2 的 Qo2 与 Vss 相连接,G2 也被拉回到“L”。另外,SC4 的 Qo4 与 Vss 相连接,G4 也被拉回到“L”。

[0121] 在从 t6 经过了一个时钟期间后的 t7,由于 CK2 缓慢上升,因此 G6 也被激活成为“H”。此时,netA6 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若 G6 的激活引起 Qb4 的电位上升,则 SC4 的 Trd 导通,netA4 与 Vss 相连接,其电位从“H”变为“L”。因此,SC4 的 Trb 截止,不向 Qo4 输出 CK4。另外,在 t7,CK2 缓慢地上升,因此 SC4 的 Tre 导通,Qo4 与 Vss 相连接,其电位回落到“L”(G4 被拉回到“L”)。

[0122] 而且,在 tx,由于 CK3 缓慢地上升,因此,G(2n-1) 也被激活成“H”。此时,netA(2n-1) 的电位因电容 C 而被升压到高于“H”的电位。

[0123] 另外,在从 tx 经过了一个时钟期间后的 ty,由于 CK4 缓慢地上升,因此,G(2n) 也被激活成“H”。此时,netA(2n) 的电位因电容 C 而被升压到高于“H”的电位。另外,在 ty,CK3 呈折线状地下降成为“L”,netA(2n-1) 的电位也变回“H”,但是由于 SC(2n-1) 的 Trb 仍然导通,因此,持续向 Qo(2n-1) 输出 CK4。因此,G(2n-1) 从“H”变为“L”即非激活,并维持非激活。

[0124] 在从 ty 经过了一个时钟期间后的 tz,由于第一清零信号 CLR1 被激活成“H”,因此 SC(2n-1) 的 Trd 导通,netA(2n-1) 与 Vss 相连接,其电位从“H”变为“L”。因此,SC(2n-1) 的 Trb 截止,不向 Qo(2n-1) 输出 CK3。而且,CK1 缓慢地上升,因此 SC(2n-1) 的 Tre 导通,

$Q_0(2n-1)$ 与 V_{ss} 相连接,其电位回落到“L”(G(2n-1)被拉回到“L”)。另外,在 t_z , CK4 呈折线状地下降成为“L”, $netA(2n)$ 的电位也变回“H”,但是由于 SC(2n) 的 Trb 仍然导通,因此,持续向 $Q_0(2n)$ 输出 CK4。因此, G(2n) 从“H”变为“L”即非激活,并维持非激活。

[0125] 在从 t_y 经过了一个时钟期间后的 t_w ,由于第二清零信号 CLR2 被激活成为“H”,因此 SC(2n) 的 Trd 导通, $netA(2n)$ 与 V_{ss} 相连接,其电位从“H”变为“L”。因此, SC(2n) 的 Trb 截止,不向 $Q_0(2n)$ 输出 CK4。而且, CK2 缓慢地上升,因此 SC(2n) 的 Tre 导通, $Q_0(2n)$ 与 V_{ss} 相连接,其电位回落到“L”(G(2n)被拉回到“L”)。

[0126] 由此,在移位寄存器 10f 中,来自各移位电路 $SC_i (i = 1, 3, 5 \dots 2n-1)$ 的栅极导通脉冲信号 G_i 依次激活一定期间,从第一级的移位电路 SC1 到最后级的移位电路 SC(2n-1) 依次输出脉冲 $P_1, P_3 \dots P(2n-1)$ 。另外,在移位寄存器 10g 中,来自各移位电路 $SC_i (i = 2, 4, 6 \dots 2n)$ 的栅极导通脉冲信号 G_i 依次激活一定期间,从第一级的移位电路 SC2 到最后级的移位电路 SC(2n) 依次输出脉冲 $P_2, P_4 \dots P(2n)$ 。

[0127] 此处,在各移位电路 $SC_i (i = i \sim 2n)$ 中,若 CK1 ~ CK4 的上升沿(伴随激活的上升沿)及下降沿(倒钩)急剧变化,则会有以下现象发生:即,即使晶体管 Trb 的栅极端子为“L”,其源极-漏极端子间也有电流流过,或晶体管 Tre ~ Trg 的导通/截止导致节点 Q_{oi} 的电位摆动,由此,在栅极导通脉冲信号 G_i 中发生非激活时的电位紊乱等异常。然而,在本移位寄存器 10f、10g 中,由于 CK1 ~ CK4 的上升沿(伴随激活的上升沿)及下降沿(倒钩)缓慢变化,因此可以抑制上述现象的发生,栅极导通脉冲信号不易发生异常。

[0128] 另外,各时钟信号的倒钩部分的一部分(第一区域)为斜坡,剩余部分(第二区域)相对于时间轴垂直,因此可使时钟信号高频化。另外,栅极导通脉冲信号的倒钩部分的一部分也为斜坡,其剩余部分也相对于时间轴垂直,因此与使整个倒钩部分相同地倾斜的情况相比,能够提高像素充电率。

[0129] 此外,在图 8 的斜坡电路 13 中能够使用例如图 9(a)、(b) 那样的电路。在图 9(a) 中,将 IN1 与晶体管 Tr3(N 沟道)的栅极相连接,将 IN2 与晶体管 Tr4(N 沟道)的栅极相连接,将晶体管 Tr3 的漏极与 VGH 相连接,将晶体管 Tr4 的源极与 V_{ss} 相连接,将晶体管 Tr3 的源极和 Tr4 的漏极与 OUT 相连接。在该结构中,若向 IN1 输入上升沿及下降沿都倾斜的脉冲信号 X,向 IN2 输入在 X 的下降沿途中急剧地上升的矩形波信号 Y(强制低电平(Low)信号),则能够从 OUT 得到伴随激活上升的部分倾斜、倒钩部分只有一部分倾斜的信号。此外,脉冲信号 X 可以由例如图 9(b) 的电路得到。在图 9(b) 中,电阻 R2 的一端与 IN1 相连接,电阻 R2 的另一端与电容 C2 的一个电极及晶体管 Tr1(N 沟道)的栅极相连接,电容 C2 的另一个电极与 V_{ss} 相连接,电阻 R3 的一端与 IN2 相连接,电阻 R3 的另一端与电容 C3 的一个电极及晶体管 Tr2(N 沟道)的栅极相连接,电容 C3 的另一个电极与 V_{ss} 相连接,晶体管 Tr1 的漏极与 VGH 相连接,晶体管 Tr2 的源极与 V_{ss} 相连接,晶体管 Tr1 的源极和 Tr2 的漏极与 OUT 相连接。在该结构中,若向 IN1、IN2 输入相位相反的矩形波信号(时钟信号),则能够从 OUT 获得伴随激活上升的部分及倒钩部分都倾斜的信号(脉冲信号 X)。

[0130] 此外,在图 8 的斜坡电路 13 中能够使用例如图 10(a)、(b) 那样的电路。在图 10(a) 中,将 IN1 与晶体管 Tr5(N 沟道)的栅极相连接,将 IN2 与晶体管 Tr6(N 沟道)的栅极相连接,将晶体管 Tr5 的漏极与 VGH 相连接,将晶体管 Tr6 的源极与 V_{ss} 相连接,将晶体管 Tr5 的源极和 Tr6 的漏极与 OUT 相连接,将 OUT 通过电容 C4 与 V_{ss} 相连接。在该结构中,若向

IN1 输入仅上升沿倾斜的脉冲信号 Z, 向 IN2 输入在脉冲信号 Z 下降后急剧地上升的矩形波信号 Y (强制低电平 (Low) 信号), 则能够从 OUT 得到伴随激活上升的部分倾斜、倒钩部分只有一部分倾斜的信号。此外, 脉冲信号 Z 可以由例如图 10(b) 的电路得到。即, 电阻 R2 的一端与 IN1 相连接, 电阻 R2 的另一端与电容 C2 的一个电极及晶体管 Tr1 (N 沟道) 的栅极相连接, 电容 C2 的另一个电极与 Vss 相连接, 电阻 R3 的一端与 IN2 相连接, 电阻 R3 的另一端与晶体管 Tr2 (N 沟道) 的栅极相连接, 晶体管 Tr1 的漏极与 VGH 相连接, 晶体管 Tr2 的源极与 Vss 相连接, 晶体管 Tr1 的源极和 Tr2 的漏极与 OUT 相连接。在该结构中, 若向 IN1、IN2 输入相反相位的矩形波信号 (时钟信号), 则能够从 OUT 获得仅伴随着激活上升的部分倾斜的信号 (脉冲信号 Z)。

[0131] 本发明并不限于上述实施方式, 基于技术常识对上述实施方式进行适当变更或将其组合而得到的方式也包括在本发明的实施方式内。

[0132] 工业上的实用性

[0133] 本显示面板驱动电路及晶体管适用于液晶显示装置。

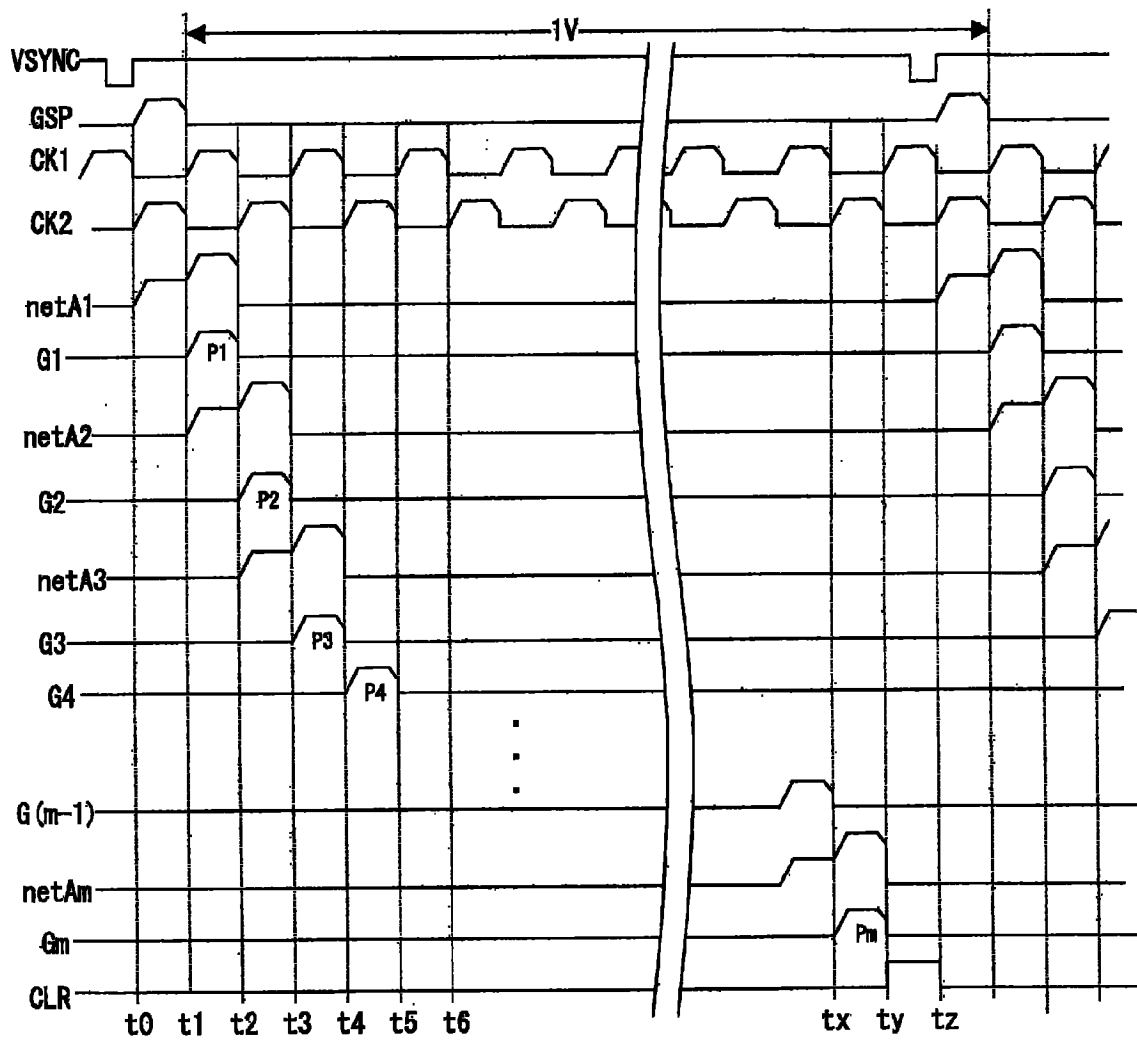


图 1

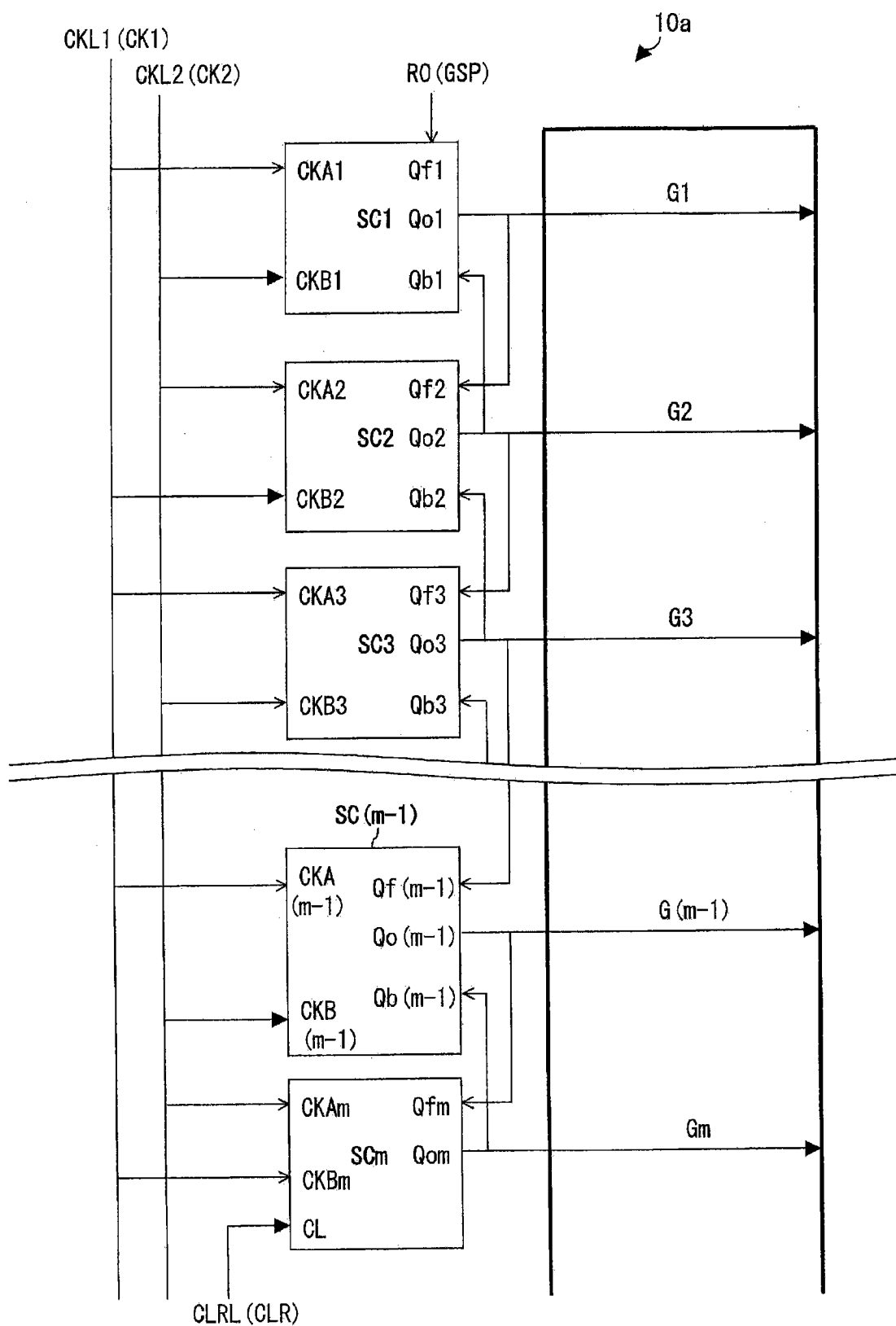


图 2

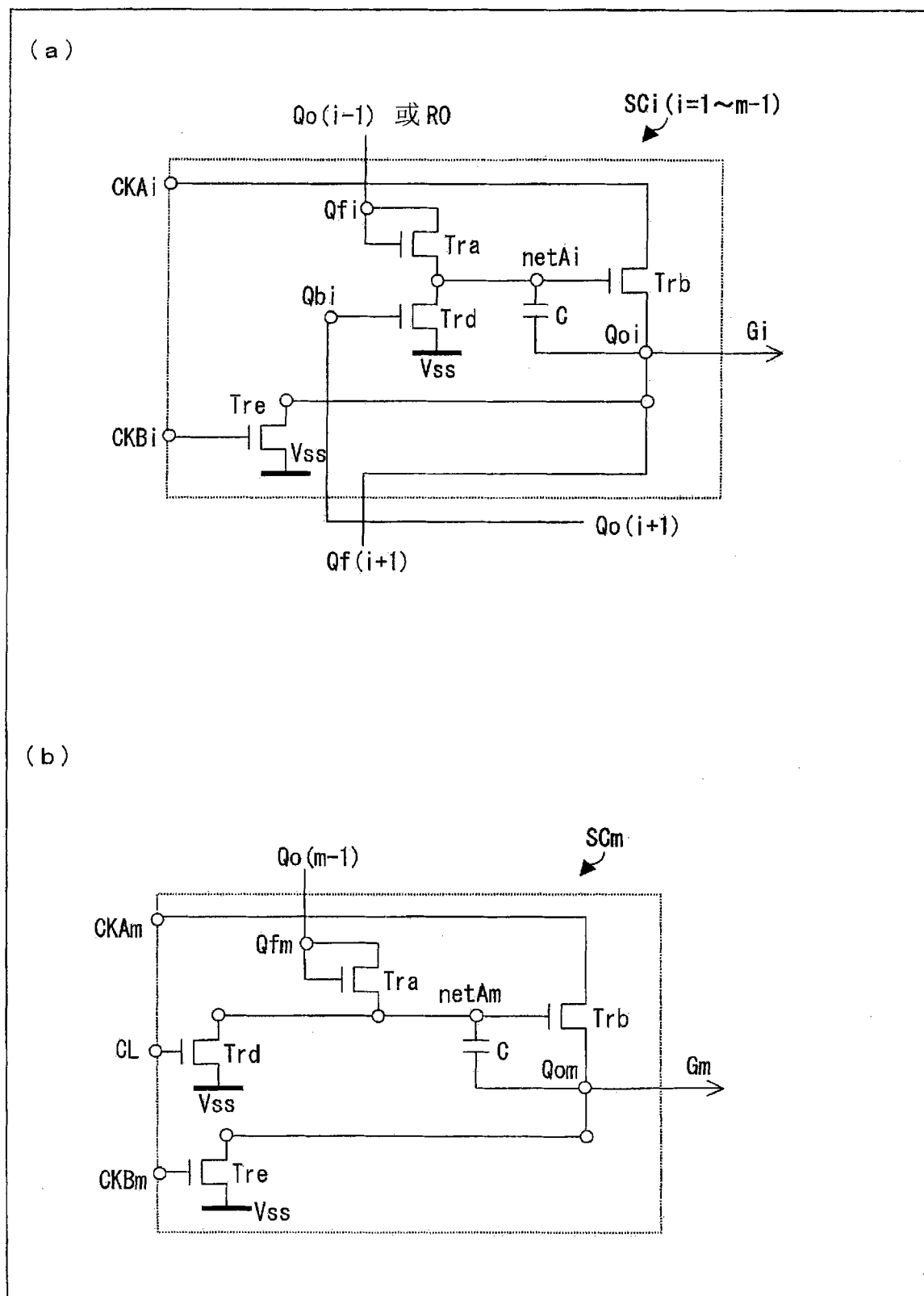


图 3

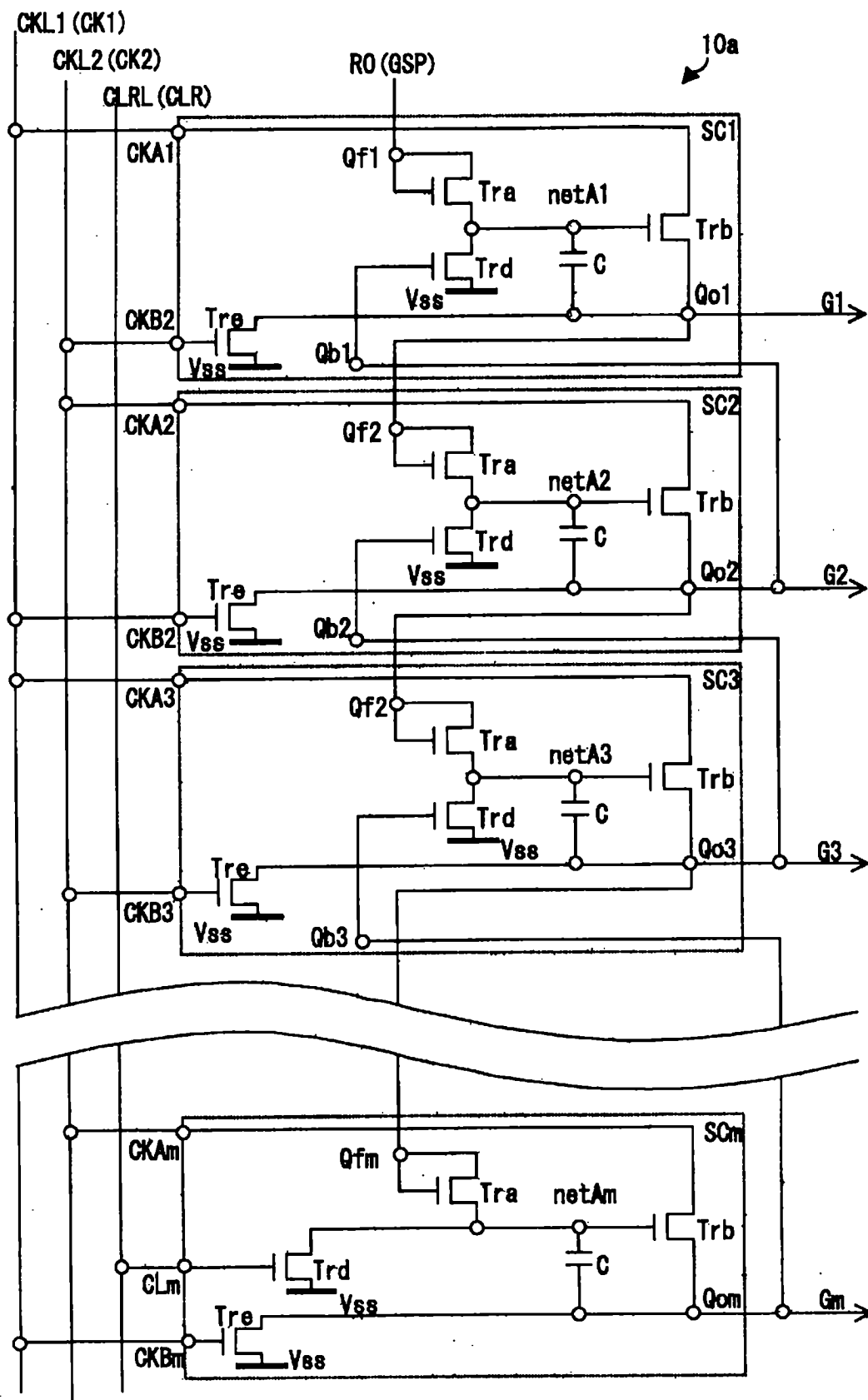


图 4

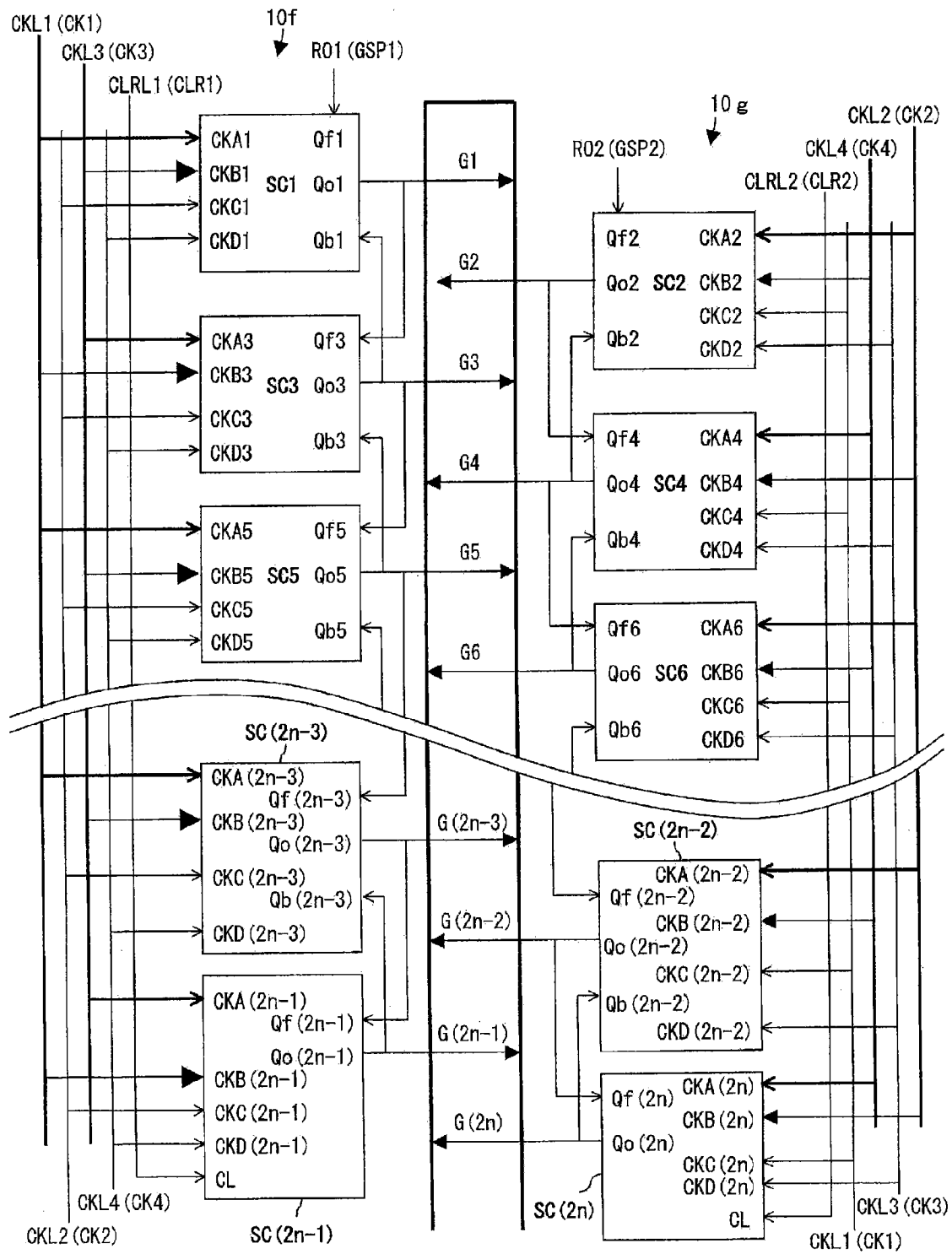


图 5

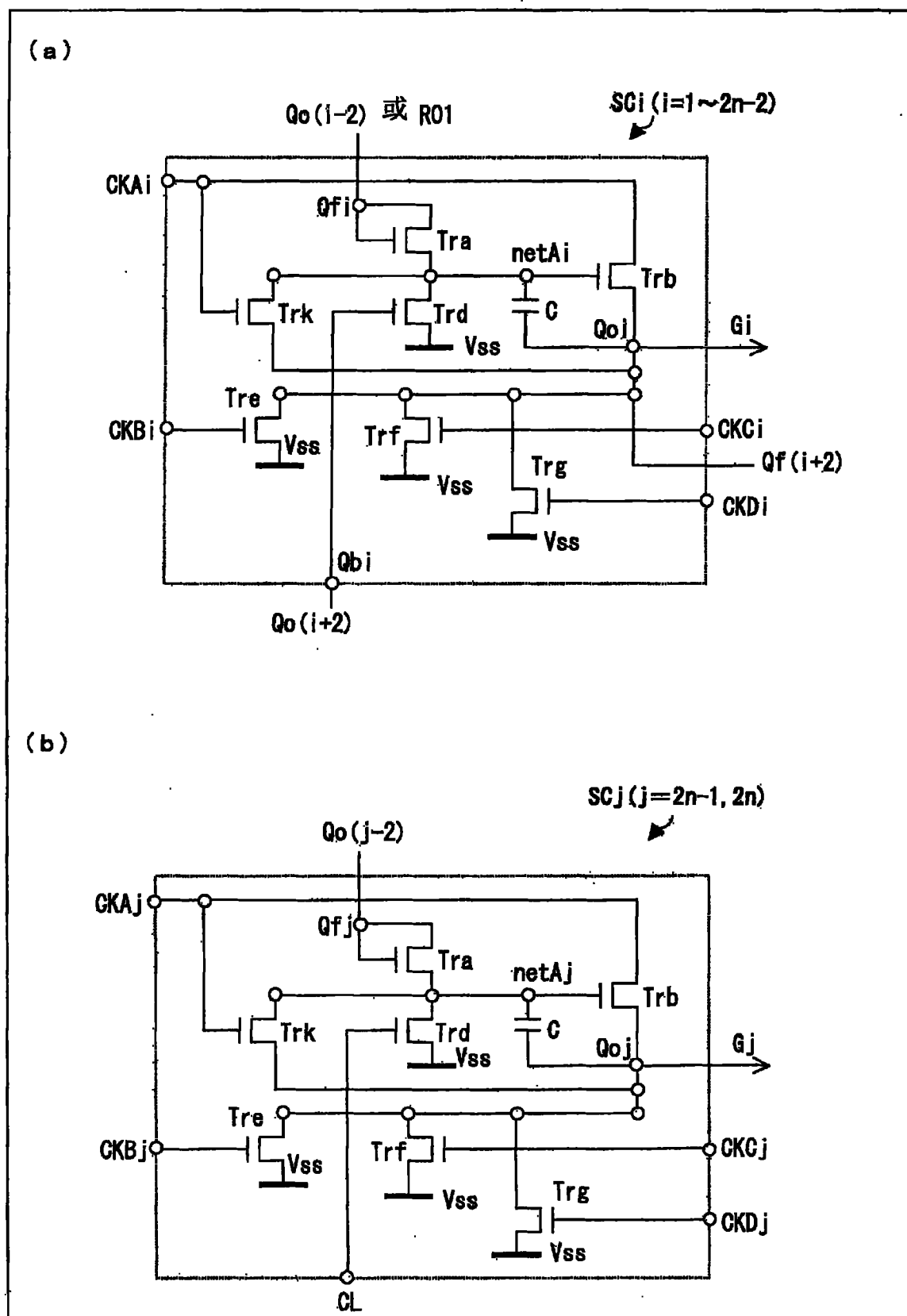


图 6

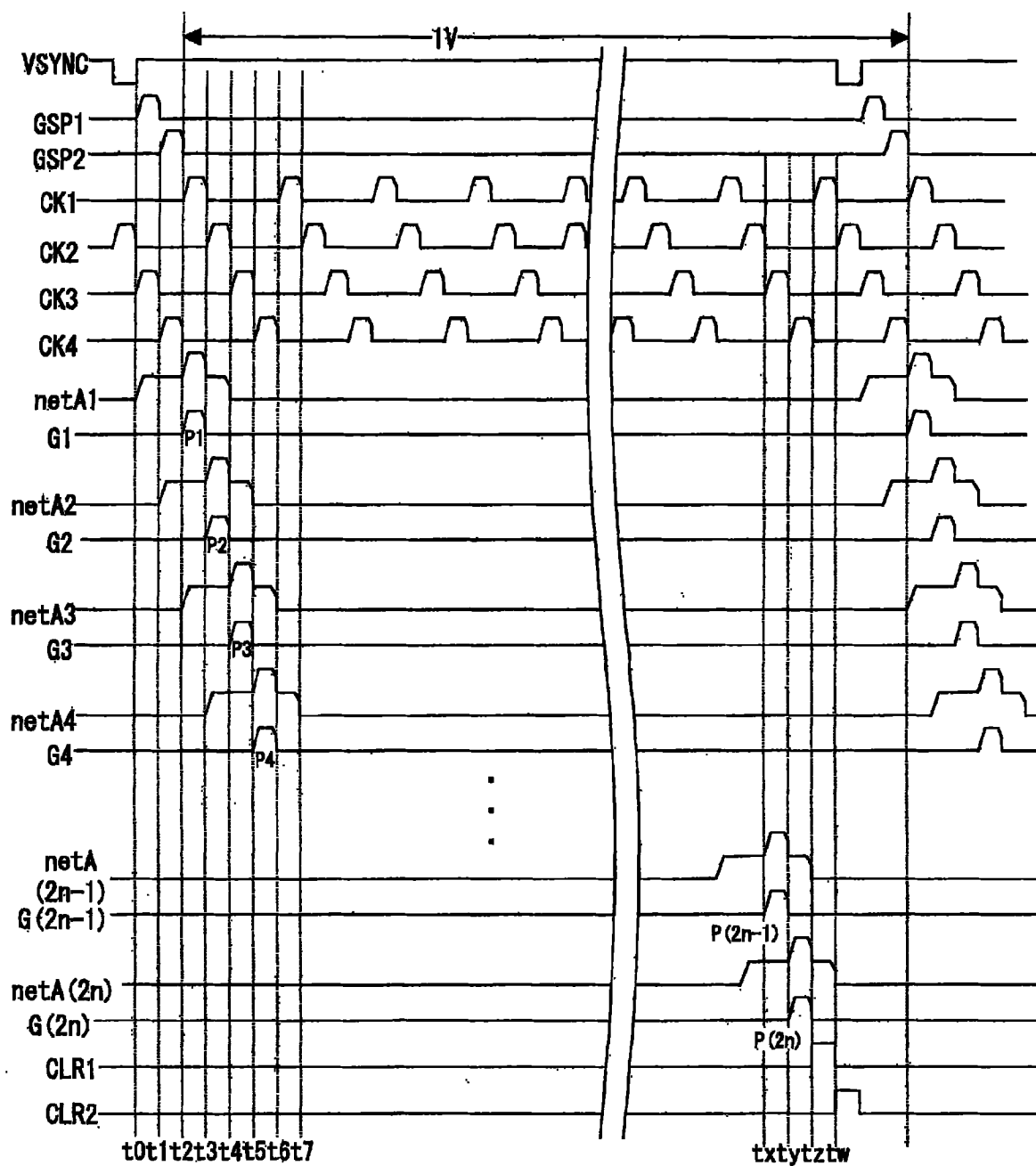


图 7

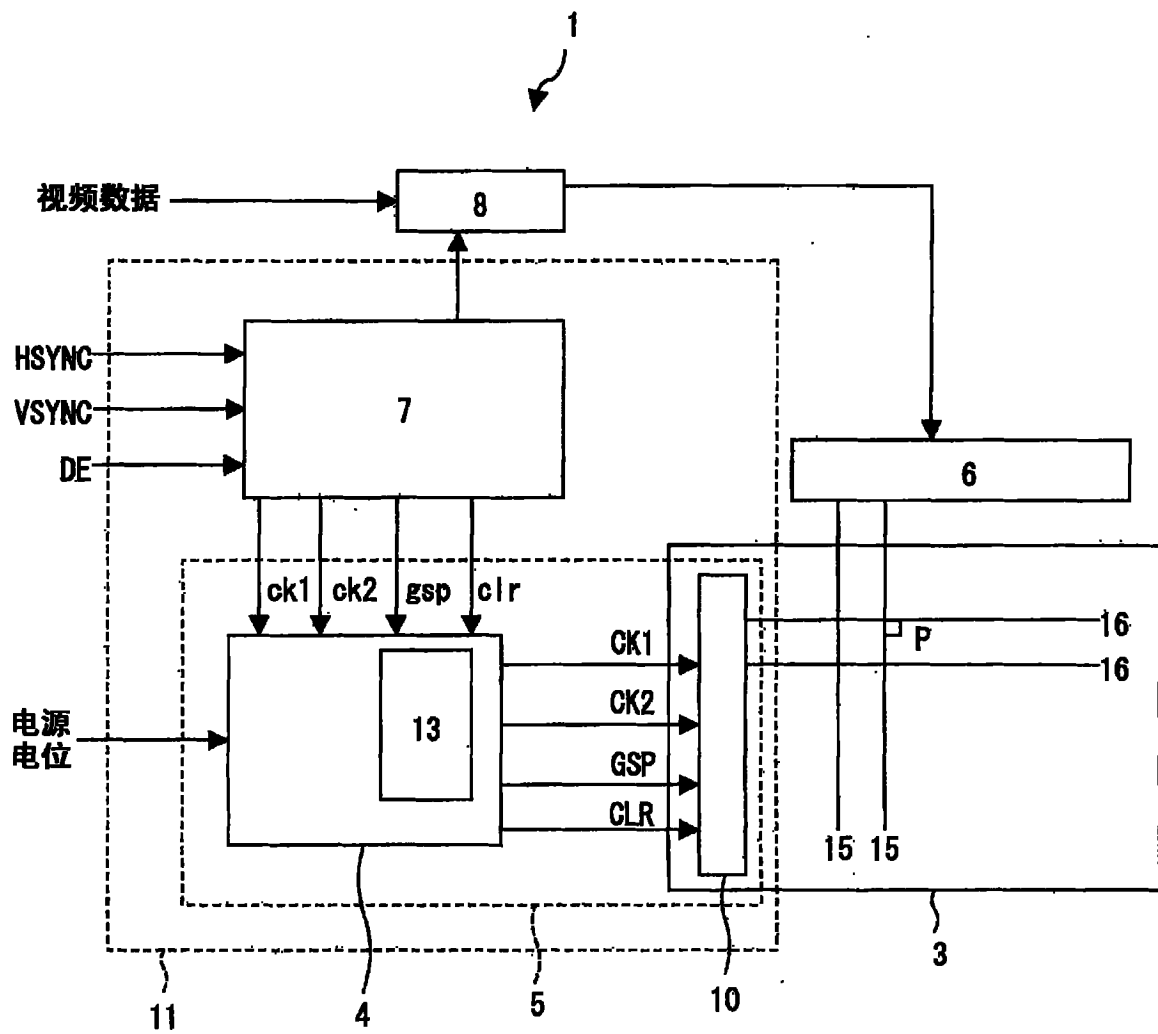


图 8

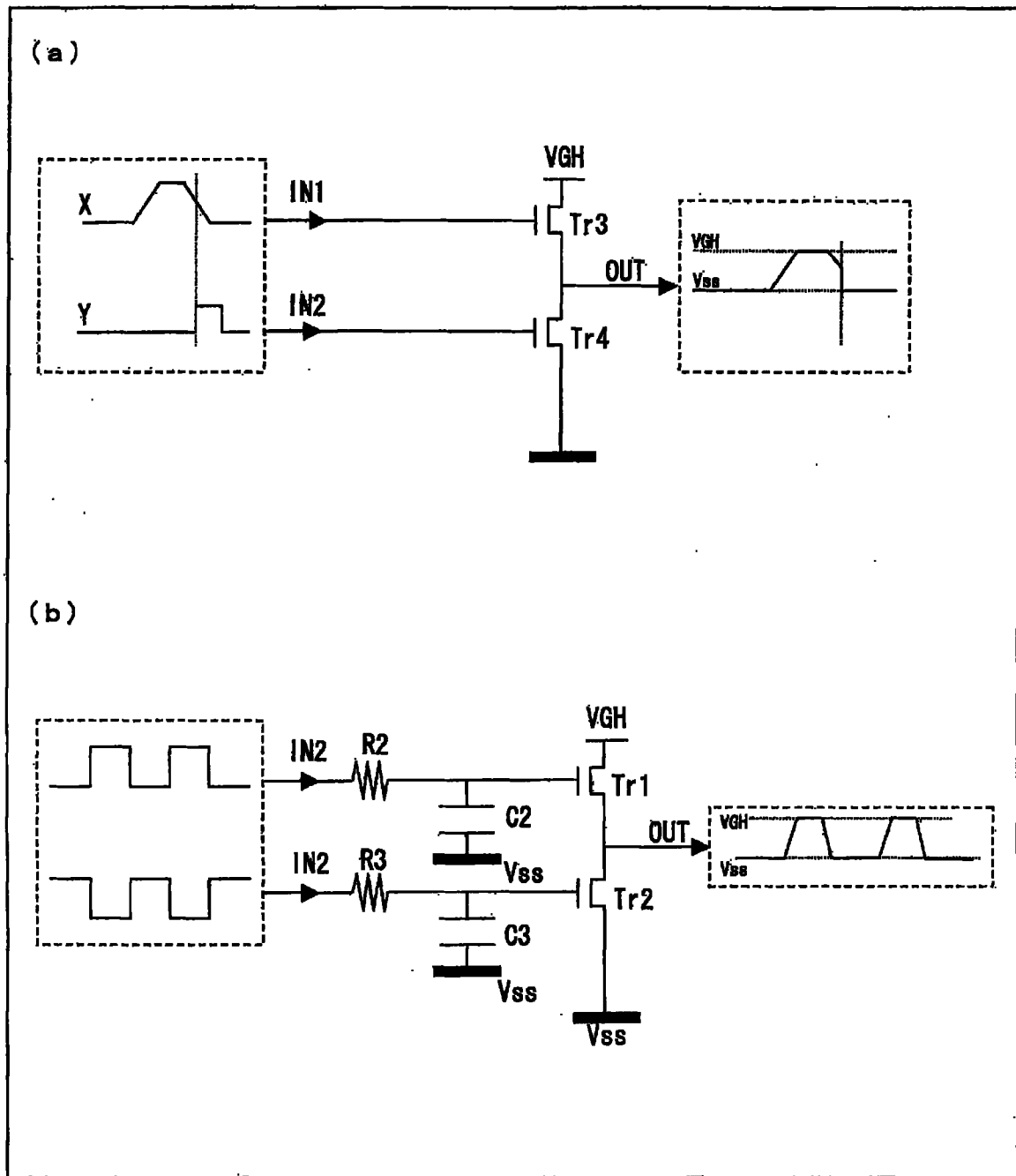


图 9

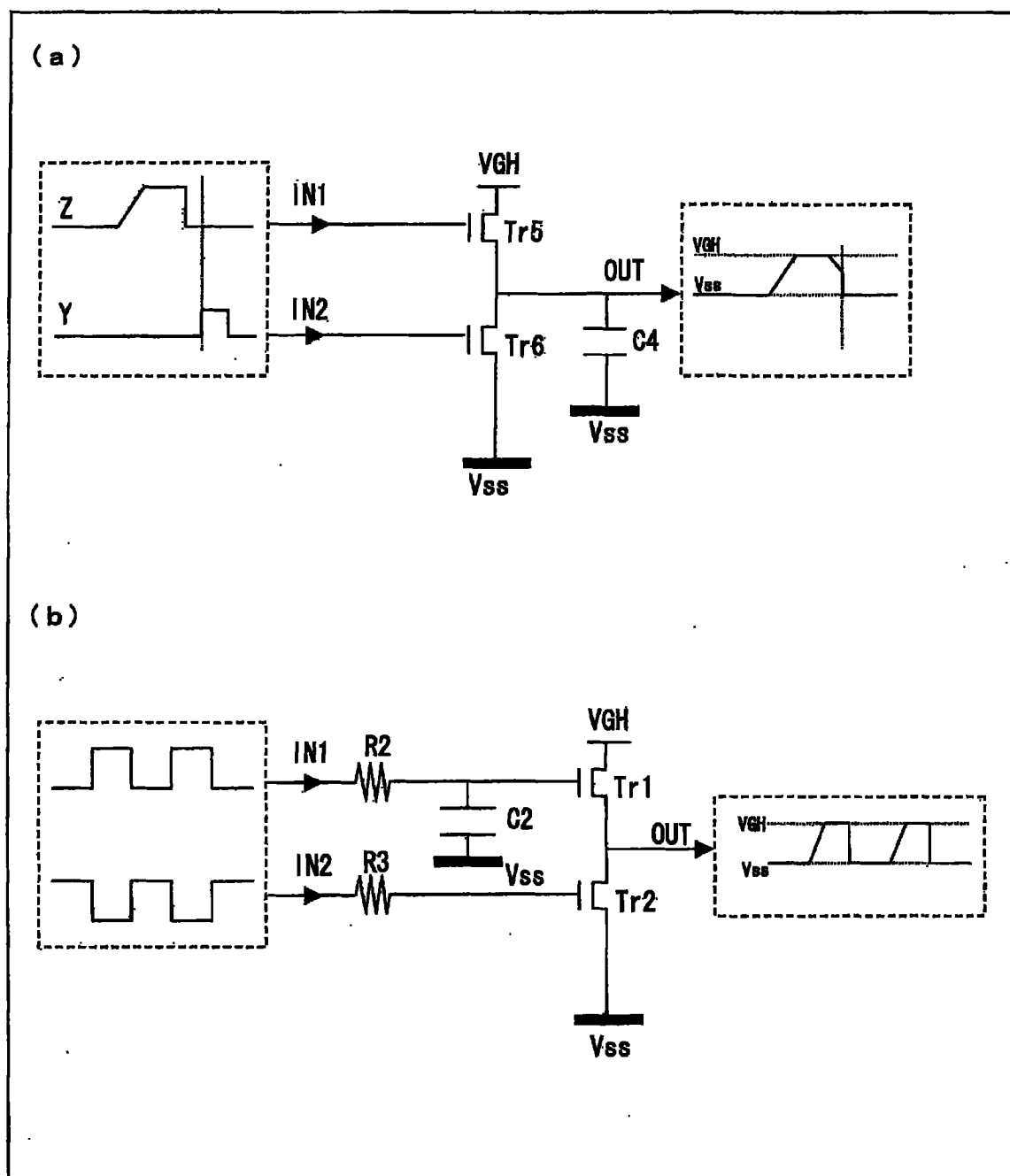


图 10

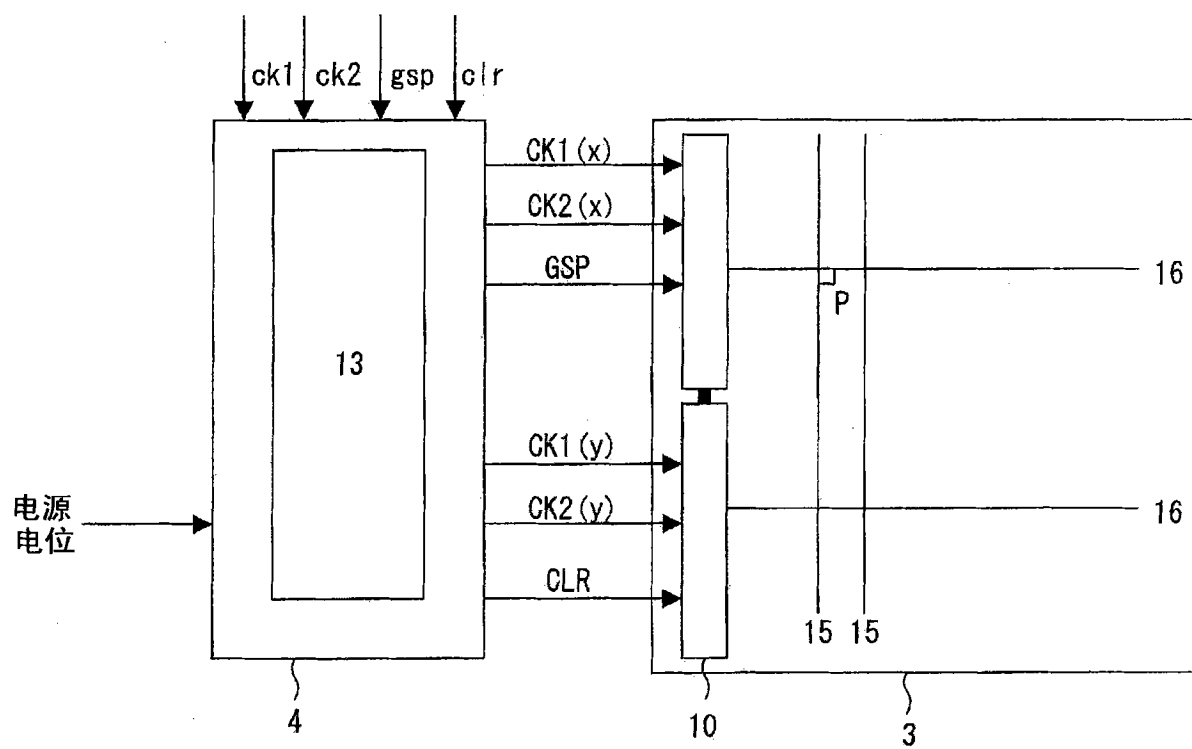


图 11

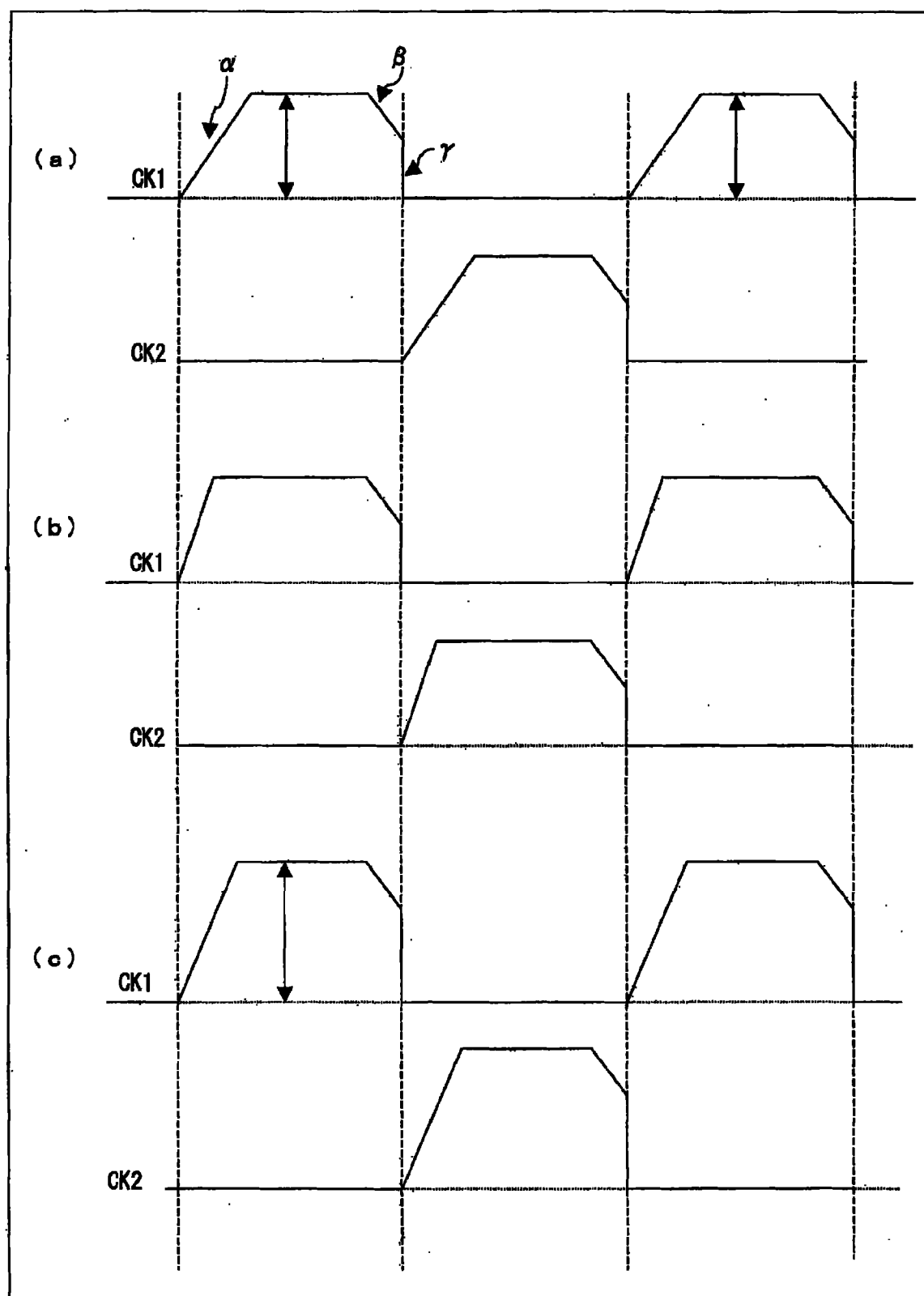


图 12

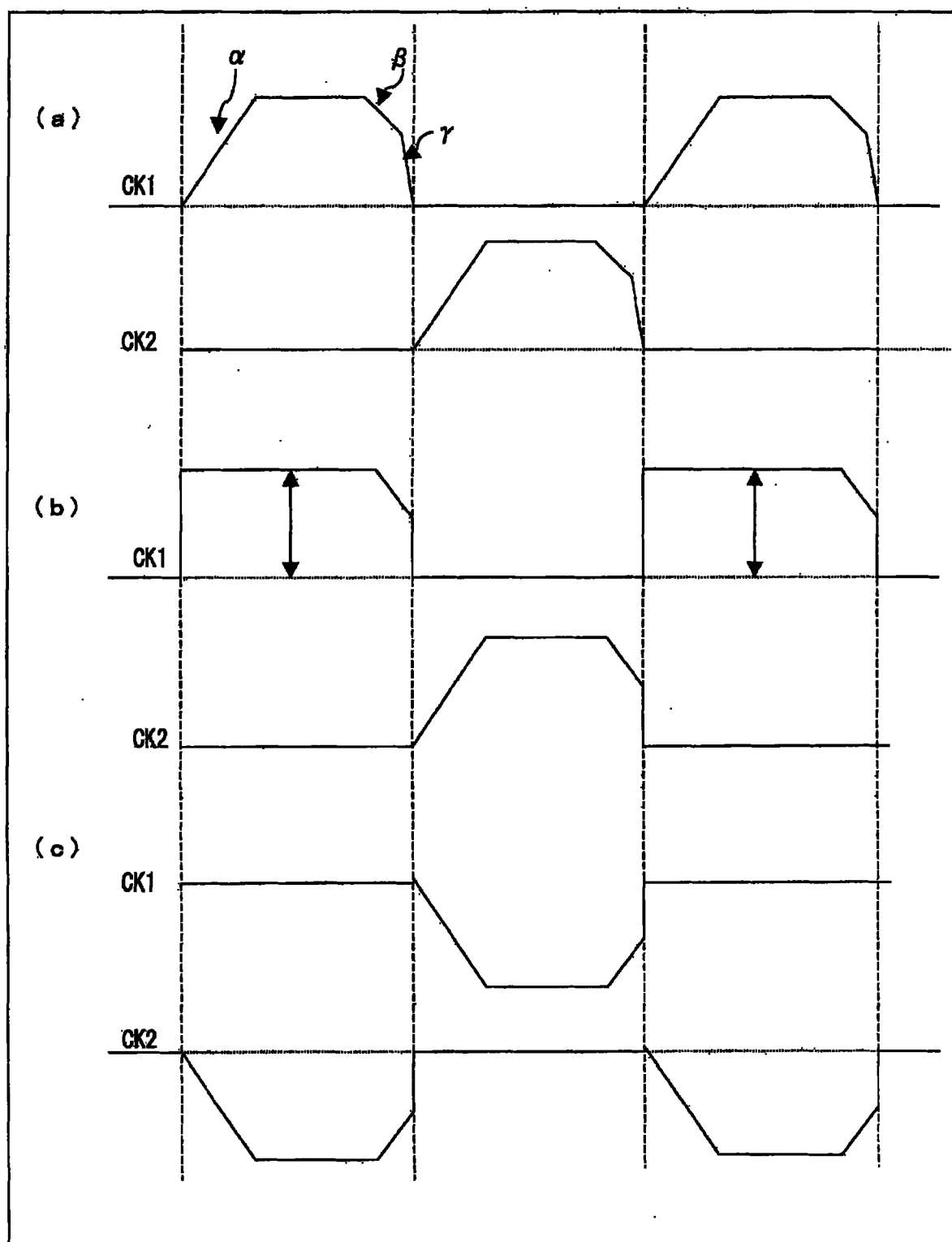


图 13

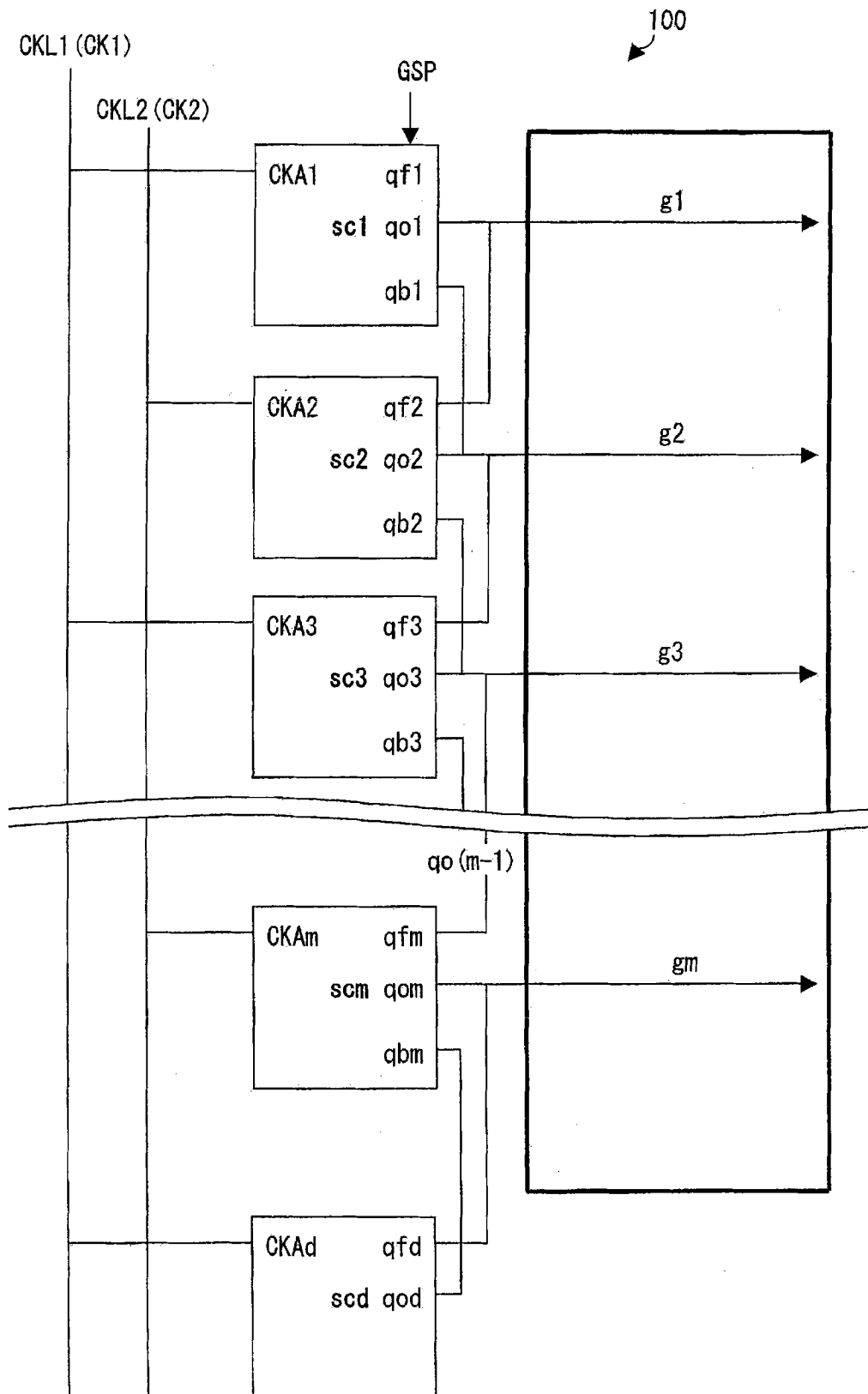


图 14

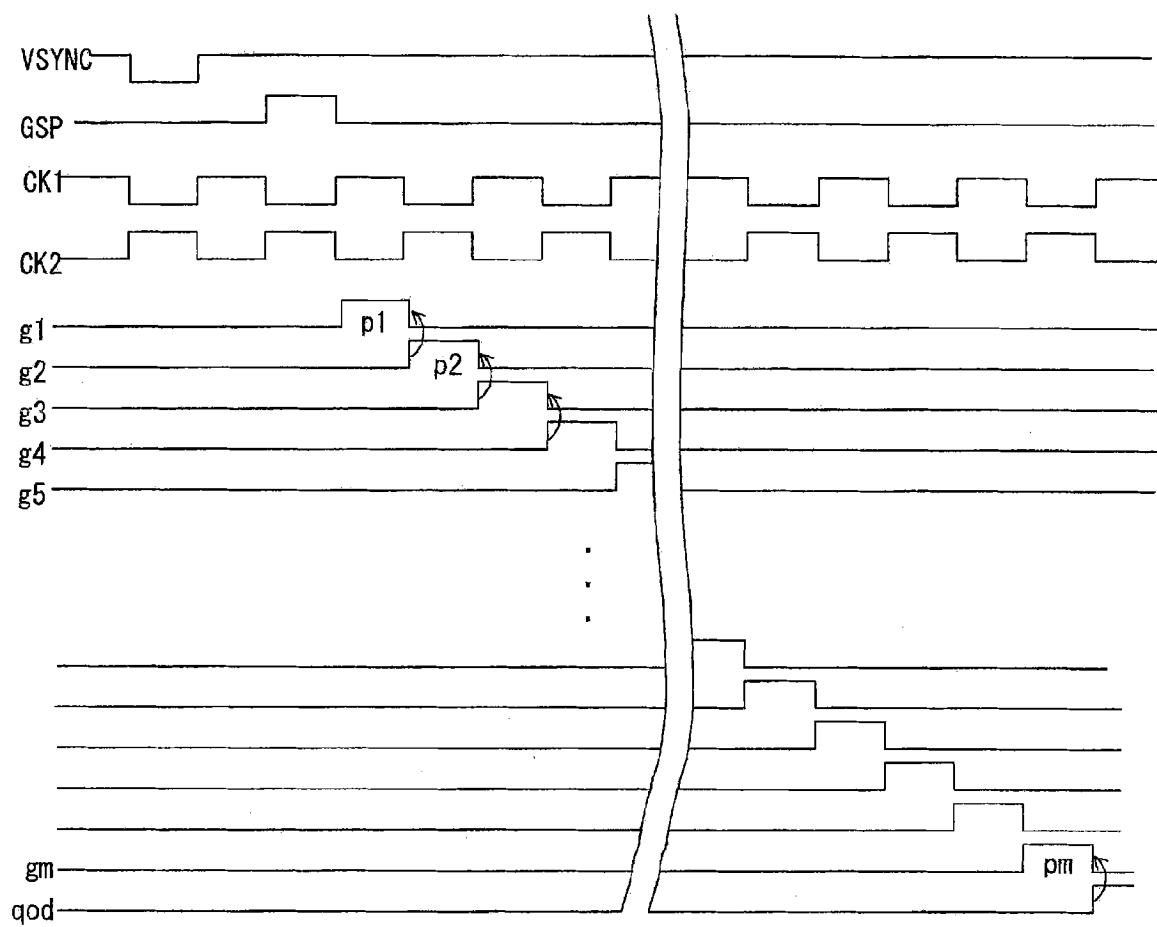


图 15

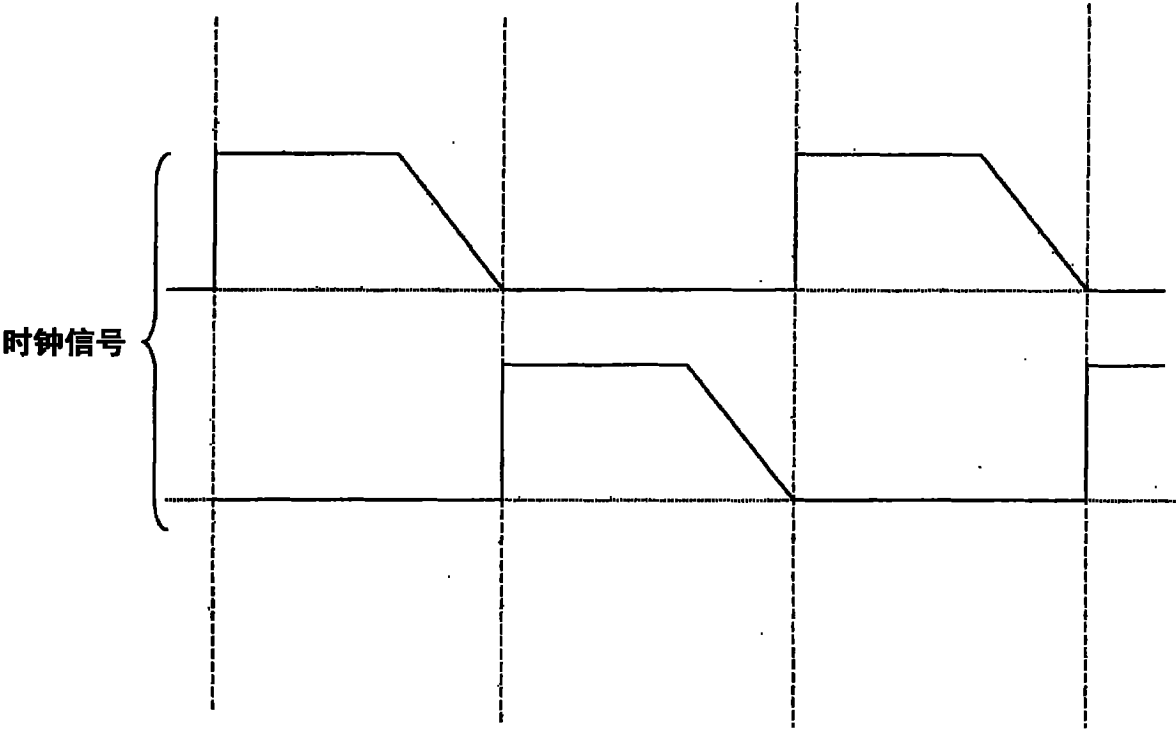


图 16

专利名称(译)	显示面板驱动电路、液晶显示装置、及显示面板的驱动方法		
公开(公告)号	CN101971241A	公开(公告)日	2011-02-09
申请号	CN200880128020.X	申请日	2008-12-04
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	太田裕己 森井秀树 岩本明久 水永隆行 广兼正浩		
发明人	太田裕己 森井秀树 岩本明久 水永隆行 广兼正浩		
IPC分类号	G09G3/20 G09G3/36 G11C19/00 G02F1/133		
CPC分类号	G09G3/3677 G11C19/28 G09G2300/0417 G09G2310/0289 G09G3/2096 G09G3/3666 G09G2310/0286		
代理人(译)	张鑫		
优先权	2008072419 2008-03-19 JP		
其他公开文献	CN101971241B		
外部链接	Espacenet SIPO		

摘要(译)

本发明的目的在于提供一种显示面板驱动电路及显示面板的驱动方法。所述显示面板驱动电路包括由输出信号线选择信号(G1~Gm)的单位电路级联连接而构成的移位寄存器，向所述单位电路输入时钟信号(CK1、CK2)、和起始脉冲信号(GSP)或从其他级输出的信号线选择信号(G1~Gm)，所述时钟信号(CK1、CK2)激活后的倒钩部分包括斜坡状的第一区域和比所述第一区域更陡的第二区域。根据所述结构，可以实现可以抑制栅极导通脉冲信号的异常，并且可以提高像素充电率和使时钟信号高频化的显示面板驱动电路及显示面板驱动方法。

