



(12) 发明专利

(10) 授权公告号 CN 101788741 B

(45) 授权公告日 2011. 11. 30

(21) 申请号 201010003771. 8

CN 1314671 A, 2001. 09. 26,

(22) 申请日 2007. 01. 18

CN 1673837 A, 2005. 09. 28,

(30) 优先权数据

审查员 李慧

5260/06 2006. 01. 18 KR

16105/06 2006. 02. 20 KR

(62) 分案原申请数据

200710126697. 7 2007. 01. 18

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 梁容豪 尹柱善 郑基勋

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 钱大勇

(51) Int. Cl.

G02F 1/1362(2006. 01)

G09G 3/36(2006. 01)

(56) 对比文件

JP 2001282170 A, 2001. 10. 12,

CN 1319833 A, 2001. 10. 31,

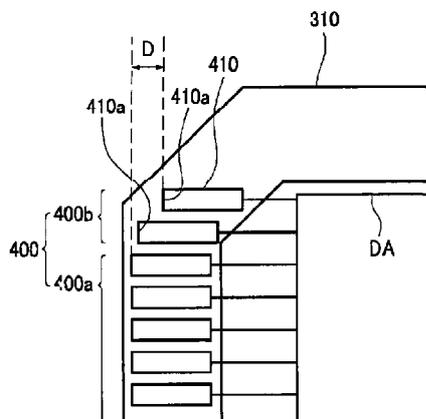
权利要求书 1 页 说明书 12 页 附图 8 页

(54) 发明名称

液晶显示器

(57) 摘要

根据本发明的实施例中的液晶显示器,包括一基板,按照矩阵的形式排列在基板上的多个像素,其中每个像素包括一开关元件,连接到开关元件并且在行方向上延伸的多条栅极线,以及连接到栅极线并且作为集成电路形成在基板上的栅极驱动器。在液晶显示器内,栅极驱动器包括第一区域和不对齐的第二区域。



1. 一种液晶显示器,包括:  
基板;  
显示区域,在这个区域中多个像素以矩阵形式排列在基板上,每一像素包括开关元件;  
多条栅极线,连接到所述开关元件上并且在行方向上延伸;  
围绕所述多个像素形成并且包括具有圆形或斜切形的至少一个边缘部分的密封层;以及  
栅极驱动器,其作为集成电路形成在所述基板上并且被密封层覆盖,  
其中所述栅极驱动器形成在除了密封层的至少一个边缘部分之外的部分中。
2. 如权利要求 1 所述的液晶显示器,其中所述栅极驱动器包括:  
多个主栅极驱动电路,用来传送栅极信号到所述栅极线,以及  
多个子栅极驱动电路,用来协助所述主栅极驱动电路运行。
3. 如权利要求 2 所述的液晶显示器,其中所述主栅极驱动电路位于所述显示区域的一侧,所述子栅极驱动电路位于所述显示区域的上侧或下侧之一。
4. 如权利要求 2 所述的液晶显示器,  
其中,所述主栅极驱动电路和子栅极驱动电路分别包括连接到所述栅极线的电路部分以及连接到所述电路部分的布线部分,以及  
其中,所述主栅极驱动电路的布线部分连接到所述子栅极驱动器电路的布线部分。
5. 如权利要求 2 所述的液晶显示器,其中,所述主栅极驱动电路包括连接到所述栅极线中的奇数栅极线上的第一部分和连接到所述栅极线中的偶数栅极线的第二部分。
6. 如权利要求 5 所述的液晶显示器,其中,所述第一部分和第二部分彼此相对放置,其间插入有所述显示区域。

## 液晶显示器

[0001] 本申请为申请日为 2007 年 1 月 18 日、申请号为 200710126697.7、发明名称为“液晶显示器”的申请案的分案申请。

### 技术领域

[0002] 本发明涉及显示装置，特别涉及液晶显示器。

### 背景技术

[0003] 液晶显示器是一种面板显示器，近年来逐渐得到广泛应用。液晶显示器一般来说包括两个显示面板，通过在其间插入液晶层，在其上形成例如像素电极和公共电极的电场产生电极。在液晶显示器内，当电压被施加到电场产生电极时，在液晶层中产生电场。液晶层内部的液晶分子的方向被确定并且入射光的偏振由电场控制，由此显示所期望的图像。

[0004] 液晶显示器一般包括开关元件，它们被连接到像素电极和多条信号线上，例如栅极线和数据线，以控制开关元件将电压加到像素电极上。栅极线传送由栅极驱动电路产生的栅极信号，数据线传送由数据驱动电路产生的数据电压。另外，开关元件根据栅极信号将数据电压传送到像素电极。栅极驱动器 and 数据驱动器可以以芯片的形式安装在显示板上。然而，近年来，栅极驱动器已经被集成到显示板中以便减少显示装置的总的尺寸和提高它的生产率。

[0005] 在上述背景部分中披露的信息仅用来增强对本发明背景技术的理解，因此它可以包含没有形成现有技术的信息，现有技术对于本领域的普通技术人员是已知的。

### 发明内容

[0006] 本发明的实施例记载能够有效的防止集成显示面板的栅极驱动器不受外界环境影响的液晶显示器。根据本发明的示例性实施例，液晶显示器包括：基板；多个像素，其在基板上排列成矩阵，其中每个像素包括一开关元件；多个栅极线，这些栅极线连接到开关元件且在列方向上延伸；以及栅极驱动器，连接到栅极线上并且作为集成电路形成在基板上。在液晶显示器内，栅极驱动器包括第一区域和第二区域，第二区域不和第一区域对齐。

[0007] 在上述实施例中，第二区域可以包括排列在第一区域两侧的第三区域和第四区域。第一区域和像素之间的第一距离可以大于第二区域和像素之间的第二距离。栅极驱动器可以包括第一栅极驱动器，它连接到栅极线中的奇数的栅极线，和第二栅极驱动器，连接到栅极线中的偶数的栅极线。第一栅极驱动器和第二栅极驱动器彼此相对设置，其间插入所述像素。

[0008] 在上述实施例中，栅极驱动器包括多个电路部分，它们连接到栅极线；多个布线部分，它们连接到电路部分，其中每个布线部分具有多个导线用来传输信号。各个电路部分中的至少两个排列成一行，且多个电路部分中的至少另一个不与电路部分中排列成一行的至少两个对齐。导线可以在第一和第二区域中弯曲。该实施例进一步包括密封层以便包围像素。密封层可以覆盖在栅极驱动器上。密封层可以覆盖在所有栅极驱动器的导线上。第一

区域的布线部分和第二区域的布线部分之间的距离可以小于 300  $\mu\text{m}$  (微米)。

[0009] 根据本发明的另一个示例性实施例,液晶显示器包括基板;多个像素,其在基板上排列成矩阵,其中每个像素包括开关元件;多条栅极线,这些栅极线连接到开关元件且在行方向上延伸;栅极驱动器,它连接到栅极线上并且作为集成电路形成在基板上;以及密封层,覆盖在栅极驱动器上。在液晶显示器内,栅极驱动器包括第一区域和第二区域,第二区域不和第一区域对齐。

[0010] 根据本发明的另一个示例性实施例,液晶显示器包括:基板;显示区域,在显示区域内,多个像素在基板上排列成矩阵,上述的每个像素包括:开关元件;多个栅极线,这些栅极线连接到开关元件且在行方向上延伸;形成密封层,以便围绕在多个像素周围,以及该密封层包括具有圆形或斜切形的至少一个边缘部分;和作为集成电路形成在基板上并且被密封层覆盖的栅极驱动器。在液晶显示器内,栅极驱动器形成于除密封层边缘部分之外的部分中。

[0011] 在上述具体实施例中,栅极驱动器包括:多个主栅极驱动电路,它们传送栅极信号到栅极线;以及多个子栅极驱动电路,用来协助主栅极驱动电路的运行。主栅极驱动电路可以放置在显示区域的一侧,子栅极驱动电路可以放置在显示区域上侧或者下侧之一。主栅极驱动电路和子栅极驱动电路可以分别包括连接到栅极线的和连接到电路部分的布线部分,其中主栅极驱动电路的布线部分连接到子栅极驱动部分的布线部分上。主栅极驱动电路包括第一部分,连接到栅极线中的奇数栅极线,以及第二部分,连接到栅极线中的偶数栅极线上。第一部分和第二部分可以彼此相对放置同时显示区域插入其中。

[0012] 本发明的范围由权利要求限定,通过参考将其引入这部分。通过如下的详细说明,本发明的实施例的更加完整理解将提供给本领域的技术人员,同时也意识到它的其他优点。参考所附的附图,将首先简要说明该附图。

## 附图说明

[0013] 图 1 的框图示例说明了根据本发明的示例性实施例的液晶显示器。

[0014] 图 2 的等效电路图示例说明了根据本发明的示例性实施例的液晶显示器的像素。

[0015] 图 3 的框图示例说明了根据本发明的另一个示例性实施例的液晶显示器。

[0016] 图 4 的平面图示例说明了根据本发明的示例性实施例中的液晶组件板装置。

[0017] 图 5 是图 4 中所示的液晶组件板装置沿着 V-V 的截面图。

[0018] 图 6 是图 4 中所示的液晶板装置的一部分详细平面图。

[0019] 图 7 的平面图示例说明了根据本发明的另一个示例性实施例中液晶板装置组件。

[0020] 图 8 是图 7 中所示的液晶板装置的详细平面图。

[0021] 图 9 的框图示例说明了根据本发明的示例性实施例的栅极驱动器。

[0022] 图 10 的电路框图示例说明了如图 7 中所示的栅极驱动器的移位寄存器的第 j 级。

[0023] 图 11 是表示图 4 所示的栅极驱动器的布线示意图。

[0024] 图 12 是表示图 7 所示的栅极驱动器的布线示意图。

## 具体实施方式

[0025] 参考附图在下文中充分描述本发明的具体实施例,在附图中,示出了本发明优选

实施例。本领域的技术人员将意识到,在不脱离本发明的精神和范围的前提下可对所述实施例进行不同方式的修改。在附图中,层、薄膜、板、区域等等的厚度将被夸大以便清楚。整个说明书中,相同的参考数字表示相同的元件。应当注意,当一个元件,例如层、薄膜、区域、或者基板,被称为“在”(on)另一个元件上时,是指直接在另一个元件上或者也可能存在插入元件。相反地,当一个元件被提到“直接在”(directly on)另一个元件上时,并不存在插入元件。

[0026] 首先,下面参考图 1 和 2 描述根据本发明的示例性实施例中的液晶显示器。这里以示例的术语描述了一个示例性实施例而不必须是理想的实施例。图 1 的框图示例说明了根据本发明的一个示例性实施例中的液晶显示器,图 2 的等效电路图示例说明了根据本发明的一个示例性实施例的液晶显示器的像素。如图 1 和图 2 所示,根据本发明的示例性实施例中的液晶显示器包括:液晶显示面板组件 300;一对栅极驱动器 400 和数据驱动器 500,其连接到液晶显示器组件 300;灰度电压发生器 800,其连接到数据驱动器 500;以及信号控制器 600,用来控制上述元件。

[0027] 在该等效电路图中,液晶面板组件 300 包括多条信号线  $G_1$  到  $G_n$  和  $D_1$  到  $D_m$  以及连接多条信号线上并且基本上排列成矩阵形状的多个像素 PX。如图 2 所示,液晶面板组件 300 包括彼此相对的下面板 100 和上面板 200 以及插入其中的液晶层 3。信号线包括多个栅极线  $G_1$  到  $G_n$ ,用来传送栅极信号(也称之为“扫描信号”)以及多个数据线  $D_1$  到  $D_m$ ,用来传送数据信号。栅极线  $G_1$  到  $G_n$  基本上是在列的方向上延长并且基本上互相平行,而数据线  $D_1$  到  $D_m$  大体上是在行方向上延长并且基本上互相平行。每个像素 PX 包括开关元件 Q,其与信号线之一连接;液晶电容器  $C_{lc}$ ,其与开关元件 Q 连接;和存储电容器  $C_{st}$ 。该存储电容器  $C_{st}$  可以省略。开关元件 Q 是三端元件,例如薄膜晶体管,并且置于下面板 100 上。开关元件 Q 的控制端连接到栅极线  $G_i$ ,其输入端连接到数据线  $D_j$ ,输出端与液晶电容器  $C_{lc}$  和存储电容器  $C_{st}$  连接。

[0028] 液晶电容器  $C_{lc}$  具有作为两端的下面板 100 的像素电极 191 和上面板 200 的公共电极 270,并且在电极 191 和 270 之间具有液晶层 3 作为电介质材料。像素电极 191 连接到开关元件 Q,公共电极 270 覆盖上面板 200 的整个表面并且施加公共电压  $V_{com}$ 。不同于图 2 的结构,公共电极 270 可以设置在下面板 100 上。在这种情况下,至少两个电极 191 和 270 中的一个具有条状或者带状。用作液晶电容器  $C_{lc}$  的辅助电容器的存储电容器  $C_{st}$ ,由设置在下面板 100 上的信号线(未示出)、像素电极 191 以及插入其间的绝缘体组成。预定电压,例如公共电压  $V_{com}$ ,施加到信号线。可选的,存储电容器  $C_{st}$  可以为像素电极 191、绝缘体、以及预先形成于绝缘体上的栅极线的分层结构。

[0029] 其间,为了进行彩色显示,每个像素 PX 特定地显示一种原色(空间分割)或者像素 PX 在整个时间交替地显示原色(时间分割),其使原色在空间或者时间上被合成,因此显示所期望的颜色。一组原色的例子例如可以由红、绿、蓝组成。作为空间分割的例子,图 2 示出了每个像素 PX 具有滤色器 230 用来显示在对应于像素电极 191 的上面板 200 的区域中显示一原色。可选地,如图 2 所示的结构,滤色器 230 置于下面板 100 的像素电极 191 之上或之下。用来偏振光的一个或多个偏光器(未示出)附着于液晶板组件 300 的外表面上。

[0030] 再次参考图 1,灰度电压发生器 800 产生涉及像素 PX 透射率的满数值灰度电压或

者有限数值的灰度电压（下文中被称作“参考灰度电压”）。（参考的）灰度电压中的一些相对于公共电压  $V_{com}$  为正极性，而另一些（参考）灰度电压相对于公共电压为负极性。栅极驱动器 400 连接到液晶板组件 300 的栅极线  $G_1$  到  $G_n$ ，且将栅极导通电压  $V_{on}$  和栅极截止电压  $V_{off}$  合成以产生实加到栅极线  $G_1$  到  $G_n$  的栅极信号。栅极驱动器 400 基本上是用作移位寄存器，并且包括多个排列成行的级。栅极驱动器 400 被形成并且和信号线  $G_1$  到  $G_n$  和  $D_1$  到  $D_m$  以及薄膜晶体管开关元件  $Q$  一起通过同样的处理集成到液晶板组件 300 中。数据驱动器 500 连接到液晶板组件 300 的数据线  $D_1$  到  $D_m$ ，选择由灰度电压发生器 800 产生的灰度电压，并且施加选择的灰度电压到数据线  $D_1$  到  $D_m$  作为数据信号。然而，当灰度电压发生器 800 仅产生一数值减小的参考灰度电压而不是所有的灰度电压时，数据驱动器 500 可以分解参考灰度电压以便产生灰度电压中的数据电压。信号控制器 600 控制例如栅极驱动器 400 和数据驱动器 500。

[0031] 每一驱动器 500, 600 和 800 可以以至少一 IC 芯片的形式直接安装在液晶板组件 300 上，可以安装在柔性印刷板电路薄膜上（未示出）以及可以以带载封装 (tape carrier package TCP) 的形式安装在液晶板组件 300 中，或者安装在单独的印刷电路板上（未示出）。可选地，驱动器 500, 600 和 800 可以与诸如信号线  $G_1$  到  $G_n$  和  $D_1$  到  $D_m$  和薄膜晶体管开关元件  $Q$  一起集成到液晶板组件 300 上。驱动器 500, 600 和 800 可以集成到单个芯片中。在这种情况下，至少一个驱动器或者至少一个形成驱动器的电路可以被安置在单个芯片的外面。

[0032] 下面，参考图 3，描述根据本发明的另一个示例性实施例的液晶显示器。图 3 的框图示例说明了根据本发明的另一个示例性实施例的液晶显示器。参考图 3，根据本发明该示例性实施例中的液晶显示器包括液晶板组件 300；栅极驱动器 400 和连接到液晶显示板组件 300 的数据驱动器 500；灰度电压发生器 800，其连接到数据驱动器 500；以及信号控制器 600，用来控制这些组件。

[0033] 图 3 中所示的液晶显示器不同于图 1 中所示的液晶显示器之处在于为每行像素设置了一对栅极线  $G_1$  到  $G_{2n}$ 。栅极驱动器 400 被分成了第一和第二栅极驱动器 400L 和 400R，放置在液晶板 300 左右两侧。第一栅极驱动 400L 连接到奇数栅极线  $G_1, G_3, \dots, G_{2n-1}$ ，第二栅极驱动器 400R 连接到偶数栅极线  $G_2, G_4, \dots, G_{2n}$ 。然而，这并不被认为一种限定。例如，奇数栅极线  $G_1, G_3, \dots, G_{2n-1}$  可以连接到第二栅极驱动 400R，而偶数栅极线  $G_2, G_4, \dots, G_{2n}$  可以连接到第一栅极驱动器 400L。第一和第二栅极驱动器 400L 和 400R 连接到液晶板组件 300 的栅极线  $G_1$  到  $G_{2n}$ ，且提供栅极信号，每一个将栅极导通电压  $V_{on}$  和栅极截止电压  $V_{off}$  合成以产生实加到栅极线  $G_1$ - $G_{2n}$  的栅极信号。以这种方式，能够从液晶板组件 300 的两侧到栅极信号提供到  $G_1$  到  $G_{2n}$ ，这将阻止栅极信号在每一栅极线  $G_1$  到  $G_{2n}$  一侧的延迟。因此，能够有效地通过所有的栅极线  $G_1$  到  $G_{2n}$  传送栅极信号。

[0034] 接下来，在下面详细描述液晶显示器的工作过程。信号控制器 600 施加有外部图形控制器（未示出）提供的输入图像信号 R、G 和 B，以及用来显示输入的图像信号的输入控制信号。输入图像信号 R、G 和 B 包含像素 PX 的亮度信息，其中该亮度具有预定的灰度或者灰度级，例如， $1024 (= 2^{10})$ ， $256 (= 2^8)$ ，或者  $64 (= 2^6)$  灰度。输入控制信号包括垂直同步信号  $V_{sync}$ ，水平同步信号  $H_{sync}$ ，主时钟信号 MCLK，以及数据使能信号 DE。

[0035] 信号控制器 600 根据输入的控制信号处理输入图像信号 R、G 和 B 以便适合液晶板

组件 300 的运行环境,并且产生例如栅极控制信号 CONT1 和数据控制信号 CONT2。然后,信号控制器 600 传送栅极控制信号 CONT1 到栅极驱动器 400 和传送数据控制信号 CONT2 和处理的图像信号 DAT 到数据驱动器 500。栅极控制信号 CONT1 包括用来指示开始扫描的扫描开始信号 STV 和至少一个用来控制栅极导通电压  $V_{on}$  的输出周期的时钟信号。栅极控制信号 CONT1 还包括用于确定栅极导通电压  $V_{on}$  的延续时间的输出使能信号 OE。数据控制信号 CONT2 包括水平同步起始信号 STH,用来通知对于一行(组)像素 PX 起始的数据传输的开始,负载信号 LOAD,用来指示施加数据电压到数据线  $D_1$  到  $D_m$ ,以及数据时钟信号 HCLK。数据控制信号 CONT2 可以进一步包括反相信号 RVS,用来相对于公共电压  $V_{com}$  反相数据电压的电压极性(下文中,“关于公共电压的数据信号电压的极性”简单地被称为“数据信号的极性”)。

[0036] 数据驱动器 500 响应从信号控制器 600 传输的数据控制信号 CONT2 接收用于一行(组)像素 PX 的数字图像信号 DAT,选择对应每个数字图像信号 DAT 的灰度电压,转换数字图像信号 DAT 为模拟数据信号,并且施加模拟数据信号到相应的数据线  $D_1$  到  $D_m$ 。栅极驱动器 400 响应来自信号控制器 600 的栅极控制信号 CONT1 施加栅极导通电压  $V_{on}$  到栅极线  $G_1$  到  $G_{2n}$ ,以便导通连接到栅极线  $G_1$  到  $G_{2n}$  的开关元件 Q。然后,施加到数据线  $D_1$  到  $D_m$  的数据信号通过导通状态下的开关元件 Q 被施加到相应的像素 PX。施加到像素 PX 的数据信号的电压和公共电压  $V_{com}$  之间的差是液晶电容器  $C_{lc}$  的充电电压,也就是像素电压。液晶分子的排列方向取决于像素电压的电平,其导致通过液晶层 3 的光线的偏振的变化。偏振的变化导致通过安装在液晶板组件 300 内的偏光器的光的透射率的变化。

[0037] 在每个水平周期(其被称为“1H”且等于水平同步信号 Hsync 和数据使能信号 DE 的一周期)重复执行这些过程。以这种方式,栅极导通电压  $V_{on}$  顺序地施加到所有的栅极线  $G_1$  到  $G_{2n}$ ,并且数据信号施加到所有的像素 PX,由此显示一帧图像。当一帧结束时,下一帧开始。在这种情况下,施加到数据驱动器 500 的反相信号 RVS 的状态被控制,以便施加到每个像素 PX 的数据信号的极性与前帧(“帧反相”)中的数据信号的极性相反。依据反相信号 RVS(例如,行反相和点反相)的特点,施加到一数据线上的数据信号的极性在同一帧内被反相,并且施加到一行像素的数据信号的极性可以彼此(例如,列反相和点反相)不同。

[0038] 接下来,将参考图 4 到 9 详细描述根据本发明的示例性实施例中的液晶板组件和形成于液晶板组件的栅极驱动器。图 4 是俯视平面图,其示例说明了根据本发明的示例性实施例中的液晶显示器的组件,图 5 是图 4 中所示的液晶显示器的组件沿着 V-V 线的截面图,图 6 是图 4 中所示的液晶显示器的部分详细俯视平面图。

[0039] 参考图 4 到图 6,根据本发明的示例性实施例中的液晶板组件包括薄膜晶体管排列板 100、公共电极板 200(参考图 1)、插入两个显示板 100 和 200 之间的液晶层 3(参考图 1)、和用来密封液晶层 3 的密封层 310。液晶板组件 300 具有显示区域 DA 和放置在显示区域 DA 一侧的外围区域 PA。连接到数据线  $D_1$  到  $D_m$  的数据驱动器 500 安装在基板 110 的外围区域 PA。例如,栅极线  $G_1$  到  $G_n$ 、交叉于栅极线  $G_1$  到  $G_n$  的数据线  $D_1$  到  $D_m$ 、连接到栅极线  $G_1$  到  $G_n$  和数据线  $D_1$  到  $D_m$  的薄膜晶体管(未示出)、以及连接到薄膜晶体管的像素电极 191 在基板 110 的显示区域 DA 中形成。

[0040] 栅极驱动器 400 集成在显示区域 DA 的两侧。栅极驱动器 400 的每一个具有多个栅极驱动电路 410。栅极驱动器 400 的每个包括:第一区域 400a,在这个区域中,栅极驱动电

路 410 排列成一行；以及第二区域 400b，它不和第一区域 400a 对齐。第二区域 400b 配置在第一区域 400a 的上侧或者下侧。在第二区域 400b 中，至少一个栅极驱动电路 410 配置得比第一区域 400a 的栅极驱动电路 410 更靠近显示区域 DA。最好是，第二区域 400b 的最上面栅极驱动电路 410 和第一区域 400a 的栅极驱动电路 410 之间的距离 D 最好小于  $300\ \mu\text{m}$ （微米）。在显示区域 DA 的外围形成密封层 310，并且考虑到后续处理密封层 310 边缘部分 311 是圆形的或者斜切的。栅极驱动器 400 的第二区域 400b 的位置与密封层 310 的边缘部分 311 的位置基本上相同。因此，栅极驱动器 400 被密封层 310 覆盖。以这种方式，可以阻止栅极驱动器 400 被暴露在空气、水和在处理等中产生的其他材料中并因此被腐蚀。特别地，与显示区域 DA 相对的栅极驱动器 400 的部分 410a，包括密封层 310 的边缘部分 311，其用密封层 310 覆盖。公共电极板 200 通过密封层 310 粘结到薄膜晶体管阵列板 100。光屏蔽层 220 形成在公共电极板 200 的基板 210 上，且公共电极 270 形成在光屏蔽层 220 上。滤色器（未示出）可以形成在基板 210 和公共电极 270 之间。可选地，滤色器可以形成在薄膜晶体管阵列板 100 上。

[0041] 接下来，参考图 7 和 8，详细描述了根据本发明的另一个示例性实施例中的液晶板组件。图 7 是俯视平面图，其示例说明了根据本发明的另一个示例性实施例的液晶显示器的组件，图 8 是图 7 所示的液晶显示器的边缘部分的详细俯视平面图。由于图 7 中所示的结构基本上类似于图 5 所示的截面结构，图 7 中所示的组件具有与图 5 中组件相同的标号。

[0042] 参考图 7 和 8，根据本发明示例性实施例的液晶板组件包括薄膜晶体管阵列板 100、公共电极板 200、插入两个显示板 100 和 200 之间的液晶层 3、以及用来密封液晶层 3 的密封层 310。液晶板组件 300 包括用来显示图像的显示区域 DA 和配置在显示区域 DA 一侧的外围区域 PA。连接到数据线  $D_1$  到  $D_m$  的数据驱动器 500 置于基板 110 的外围区域 PA。例如，栅极线  $G_1$  到  $G_n$ ，与栅极线  $G_1$  到  $G_n$  交叉的数据线  $D_1$  到  $D_m$ 、连接到栅极线  $G_1$  到  $G_n$  和数据线  $D_1$  到  $D_m$  的薄膜晶体管（未示出）、以及连接到薄膜晶体管的像素电极 191 在基板 110 的显示区域 DA 形成。

[0043] 栅极驱动器 400L、400R 和 400D 作为集成电路形成在 PA 外围区域。栅极驱动器 400L、400R 和 400D 的每一个包括多个栅极驱动电路 410 和 420。更详细地说，第一和第二栅极驱动器 400L 和 400R 在置于显示区域 DA 两侧的外围区域 PA 形成，并且第三栅极驱动器 400D 在置于显示区域 DA 下侧的外围区域 PA 中形成。第三栅极驱动器 400D 可在置于显示区域 DA 下侧的部分外围区域 PA 中形成。连接数据驱动器 500 到显示区域 DA 的信号线在置于显示区域 DA 上侧的外围区域 PA 形成。第一和第二栅极驱动器 400R 和 400L 连接到形成在显示区域 DA 内的栅极线  $G_1$  到  $G_n$  以便充分的施加栅极信号到栅极线  $G_1$  到  $G_n$ 。第三栅极驱动器 400D 为虚拟驱动器，用来补偿显示区域 DA 和具有在其中形成的第一和第二栅极驱动器 400R 和 400L 的外围区域的 PA 步差 (step different)。因此，第三栅极驱动器 400D 不连接到在显示区域 DA 形成的栅极线  $G_1$  到  $G_n$ 。第三栅极驱动器 400D 通过与栅极线或者数据线同样材料制成的导线连接到第一栅极驱动器 400L 和第二栅极驱动器 400R。用来连接数据线  $D_1$  到  $D_m$  到数据驱动器 500 的信号线不在位于显示区域 DA 的上侧的外围区域 PA 形成。因此，在上部外围区域 PA 中不需要用于步差的补偿。

[0044] 如图 7 所示，数据驱动器 500 提供在置于显示区域 DA 上侧的外围区域 PA，且第三

栅极驱动器 400D 提供在置于显示区域 DA 下侧的外围区域 PA。然而,数据驱动器 500 和第三栅极驱动器 400D 之间的位置关系可以改变。同时,第一和第二栅极驱动器 400L 和 400R 连接到第三栅极驱动器 400D。密封层 310 在显示区域 DA 的外围形成,且鉴于随后的处理,密封层 310 的边缘部分 311 为圆形的或者斜切形的。栅极驱动器 400 不在密封层 310 的边缘部分 311 形成。也就是说,第一和第二栅极驱动器 400L 和 400R 沿着平行于显示区域 DA 的直线部分的密封层 310 的部分 312 而形成,并且在从平行于显示区域 DA 的直线部分的密封层 310 的部分 312 弯曲的边缘部分 311 中不提供栅极驱动器 400。因此,栅极驱动器 400 完全由密封层 310 覆盖。以这种方式,可以阻止栅极驱动器 400 暴露在外边而被腐蚀。公共电极板 200 通过密封层 310 被联接到薄膜晶体管阵列板 100。光屏蔽层 220 在公共电极板 200 的基板 210 上形成,且公共电极 270 在光屏蔽层 220 上形成。滤色器(未示出)可以在基板 210 和公共电极 270 之间形成。可选地,滤色器可以在薄膜晶体管阵列板 100 上形成。

[0045] 接下来,将参考图 9 和 10 详细描述根据本发明的示例性实施例中的液晶板组件的栅极驱动器 400。图 9 的框图示例说明了根据本发明的示例性实施例的栅极驱动器,图 10 的电路框图示例说明了根据本发明示例性实施例的栅极驱动器的移位寄存器的第 j 级。参考图 9 和 10,第一和第二扫描开始信号 LSTV 和 RSTV、以及第一到第四时钟信号 LCLK1, RCLK1, LCLK2, 和 RCLK2 被输入到用作栅极驱动器 400 的移位寄存器 400L 和 400R。移位寄存器 400L 和 400R 的每一个包括连接到栅极线的多个级 ST1 到 ST<sub>j+3</sub>。多个级 ST1 到 ST<sub>j+3</sub> 用级联方式互相连接,并且施加有第一和第二扫描开始信号 LSTV 和 RSTV 以及第一到第四时钟信号 LCLK1, RCLK1, LCLK2, 和 RCLK2。

[0046] 输入到左边的移位寄存器 400L 的第一扫描开始信号 LSTV 和输入到右边的移位寄存器 400R 的第二扫描开始信号 RSTV 为具有一帧周期的信号,其中,一帧内包括宽度为 1H 的脉冲。在移位寄存器 400L 和 400R 的每一个中,不同的时钟信号 LCLK1、RCLK1、LCLK2、和 RCLK2 被输入到两个相邻级。例如,第一时钟信号 LCLK1 输入到左边移位寄存器 400L 中的第一级,第三个时钟信号 LCLK2 输入到它的第二级。第二时钟信号的 RCLK1 输入到右边移位寄存器 400R 的第一级,第四个时钟信号 RCLK2 输入到它的第二级。当时钟信号 LCLK1、RCLK1、LCLK2、和 RCLK2 的每个都处在高电平时,它可以是用来驱动像素的开关元件 Q 的栅极导通电压  $V_{on}$ 。相反地,当时这些钟信号处在低电平时,它们可以是栅极截止电压  $V_{off}$ 。

[0047] 这些级的每一级都具有置位端 S、栅极电压端 GV、一对时钟端 CK1 和 CK2、复位端 R、帧复位端 FR、栅极输出端 OUT1、以及进位输出端 OUT2。例如,前级 ST(j-2) 的进位输出  $C_{out}(j-2)$  输入到第 j 级 ST<sub>j</sub> 的置位端 S,且下一级 ST(j+2) 的栅极输出  $G_{out}(j+2)$  输入到第 j 级 ST<sub>j</sub> 的复位端 R。另外,时钟信号 LCLK1 和 LCLK2 分别输入到第 j 级 ST<sub>j</sub> 的时钟端 CK1 和 CK2,并且栅极截止电压  $V_{off}$  输入到它的栅极电压端 GV。栅极输出端 OUT1 输出栅极输出  $G_{out}(j)$ ,且进位输出端 OUT2 输出进位输出  $C_{out}(j)$ 。然而,代替前面的执行,扫描开始信号 LSTV 和 RSTV 分别输入到移位寄存器 400L 和 400R 的第一级。另外,当时钟信号 LCLK1 输入到第 j 级 ST<sub>j</sub> 的时钟端 CK1 且时钟信号 LCLK2 输入到它的时钟端 CK2 时,时钟信号 LCLK2 输入到相邻第 j 级 ST<sub>j</sub> 的第 (j-2) 级和第 (j+2) 级 ST(j-2) 和 ST(j+2) 的时钟端 CK1,且时钟信号 LCLK1 输入到它的时钟端 CK2。

[0048] 参考图 10,根据本发明的示例性实施例中的栅极驱动器 400 的每一级,如第 j 级,

包括输入部分 420、上拉驱动器 430、下拉驱动器 440、和输出部分 450。这些组件的每一个都包括至少一个 NMOS 晶体管 T1 到 T14, 并且上拉驱动器 430 和输出部分 450 进一步包括电容器 C1 到 C3。然而, PMOS 晶体管可以用来代替 NMOS 晶体管。电容器 C1 到 C3 基本上可以为在制造过程中形成的栅极和漏极 / 源极之间的寄生电容。输入部分 420 包括三个串接在置位端 S 和栅极电压端 GV 之间的晶体管 T11, T10 和 T5。每个晶体管 T11 和 T5 的栅极连接到时钟端 CK2, 且晶体管 T10 的栅极连接到时钟端 CK1。晶体管 T11 和晶体管 T10 之间的结点连接到结点 J1, 且晶体管 T10 和晶体管 T5 之间的结点连接到结点 J2。

[0049] 上拉驱动器 430 包括连接在置位端 S 和结点 J1 之间的晶体管 T4, 连接在时钟端 CK1 和结点 J3 之间的晶体管 T12, 以及连接在时钟端 CK1 和结点 J4 之间的晶体管 T7。晶体管 T4 的栅极和漏极连接在置位端 S, 并且它的源极连接到结点 J1。晶体管 T12 的栅极和漏极连接到时钟端 CK1, 它的源极连接到结点 J3。晶体管 T7 的栅极连接到结点 J3 并且通过电容器 C1 还连接到时钟端 CK1。另外, 晶体管 T7 的漏极连接到时钟端 CK1, 且它的源极连接到结点 J4。电容器 C2 连接在结点 J3 和 J4 之间。

[0050] 下拉驱动器 440 包括多个晶体管 T6、T9、T13、T8、T3 和 T2, 它们接收栅极截止电压  $V_{off}$  且通过它们的漏极将其输出到结点 J1、J2、J3 和 J4。晶体管 T6 的栅极连接到帧复位端 FR, 且它的漏极连接到结点 J1。晶体管 T9 的栅极连接到复位端 R, 并且它的漏极连接到结点 J1。晶体管 T13 和 T8 的栅极连接到结点 J2, 它们的漏极分别连接到结点 J3 和 J4。晶体管 T3 的栅极连接到结点 J4, 晶体管 T2 的栅极连接到复位端 R。晶体管 T3 和 T2 的漏极连接到结点 J2。

[0051] 输出部分 450 包括一对晶体管 T1 和 T14, 每一个具有分别连接在时钟端 CK1 以及输出端 OUT1 和 OUT2 之间的漏极和源极, 连接到结点 J1 的栅极, 以及连接在晶体管 T1 的栅极和漏极之间, 即, 连接在结点 J1 和 J2 之间的电容器 C3。晶体管 T1 的源极连接到结点 J2。接下来, 将描述该级的工作过程。为了更好地理解和说明容易起见, 对应于时钟信号 LCLK1、LCLK2、RCLK1、或 RCLK2 的高电平的电压称为高电压, 对应于时钟信号 LCLK1、LCLK2、RCLK1、或 RCLK2 的低电平的电压称为低电压。低电平的值等于栅极截止电压  $V_{off}$ 。

[0052] 首先, 当时钟信号 LCLK2 和前一级的进位输出  $C_{out}(j-2)$  变成高电平, 或者上升时, 晶体管 T11, T5, 和 T4 导通。然后, 两晶体管 T11 和 T4 传送高电压到结点 J1, 且晶体管 T5 传送低电压到结点 J2。晶体管 T1 和 T14 被导通以使时钟信号 CLK1 从输出端 OUT1 和 OUT2 输出。此时, 由于结点 J2 和时钟信号 LCLK1 的电压电平为低, 所以输出电压  $G_{out}(j)$  和  $C_{out}(j)$  变低。同时, 用与高电压和低电压之间的电压差相应的电压给电容器 C3 充电。在这种情况下, 由于时钟信号 LCLK1 和下一个栅极输出  $G_{out}(j+2)$  为低电平且结点 J2 为低电平, 所以具有与其相互连接的栅极的晶体管 T10, T9, T12, T13, T8 和 T2 为截止状态。

[0053] 当时钟信号 LCLK2 变成低电平或者下降时, 晶体管 T11 和 T5 截止。同时, 当时钟信号 LCLK1 变成高电平时, 晶体管 T1 的输出电压和结点 J2 的电平变为高电平。此时, 高电压施加到晶体管 T10 的栅极, 且连接到结点 J2 的源极电位为高电平。因此, 栅极和源极之间的电位差为零, 因此晶体管 T10 保持在截止的状态。因此, 结点 J1 为悬浮状态, 从而利用电容器 C3 的高电压提高电位。

[0054] 同时, 由于时钟信号 LCLK1 和结点 J2 的电位为高电平, 晶体管 T12, T13 和 T8 导通。在这个状态下, 晶体管 T12 和 T13 相互串接在高电平和低电平之间, 因此当晶体管 T12 和

T13 导通时, 结点 J3 具有由电阻值分压的电压值。然而, 如果当晶体管 T13 导通时的阻抗明显高于晶体管 T12 导通时的阻抗, 例如, 如果晶体管 T13 导通时的阻抗是晶体管 T12 导通时的阻抗的一万倍, 则结点 J3 的电压基本等于高电压。因此, 晶体管 T7 导通且串接到晶体管 T8, 从而导致当晶体管 T7 和 T8 导通时, 使结点 J4 具有由电阻值分压得到的电压值。此时, 当晶体管 T7 和 T8 导通时的阻抗值被设置成彼此基本相等, 结点 J4 具有高电压和低电压之间的中间电压, 这将使晶体管 T3 保持在截止状态。这时, 由于下一个栅极输出  $G_{out}(j+2)$  处在低电平, 晶体管 T9 和 T2 保持在截止状态。因此, 输出端 OUT1 和 OUT2 仅仅连接到时钟端 CK1 且与低电平端截止, 因此从输出端 OUT1 和 OUT2 输出高电平。同时, 用相应于它们之间的电压差给电容器 C1 和电容器 C2 充电, 并且结点 J3 的电压比结点 J5 的电压低。

[0055] 随后, 当下一个栅极输出  $G_{out}(j+1)$  和时钟信号 CLK2 变成高电平且时钟信号 CLK1 变成低电平时, 晶体管 T9 和 T2 导通以施加低电压到结点 J1 和 J2。同时, 由于电容器 C3 放电, 结点 J1 的电压降低到低电平, 并且电容器 C3 放电导致电压下降到低电平需要预定量的时间, 或者引起延迟。因此, 下一个栅极输出  $G_{out}(j+1)$  改变成高电平后, 两晶体管 T1 和 T14 保持导通一段时间, 因此输出端 OUT1 和 OUT2 连接到时钟端 CK1, 并且从输出端 OUT1 和 OUT2 输出低电压。当电容器 C3 完成放电且结点 J1 的电位达到低电平时, 晶体管 T14 截止而导致输出端 OUT2 有效地与时钟端 CK1 脱离连接。因此, 进位输出  $C_{out}(j)$  变成悬浮状态, 因此低电平被保持。同时, 即使当晶体管 T1 截止时, 输出端 OUT1 通过晶体管 T2 连接到低电平端。因此, 低电压从输出端 OUT1 连续输出。

[0056] 同时, 当晶体管 T12 和 T13 截止时, 结点 J3 变成悬浮状态。另外, 结点 J5 的电压比结点 J4 的电压低, 由于电容器 C1, 结点 J3 的电压保持得比结点 J5 的电压低, 这导致了晶体管 T7 截止。同时, 晶体管 T8 截止, 结点 J4 的电压被降低, 或者造成结点 J4 的电压低, 这导致晶体管 T3 保持在截止状态。另外, 由于低电平时钟信号 CLK1 输入到晶体管 T10 的栅极且结点 J2 的电压为低, 所以晶体管 T10 保持在截止状态。然后, 当时钟信号 CLK1 变成高电平时, 晶体管 T12 和 T7 导通, 结点 J4 的电压增加, 导致晶体管 T3 导通。然后, 低电压被传送到结点 J2, 因此低电压连续地从输出端 OUT1 输出。也就是说, 即使当下一个栅极输出  $G_{out}(j+1)$  处在低电平时, 结点 J2 电压也可以是低电平。

[0057] 同时, 由于高电平时钟信号 CLK1 输入到晶体管 T10 的栅极且结点 J2 的电压为低, 所以晶体管 T10 导通, 然后结点 J2 的低电压被施加到结点 J1。同时, 由于两晶体管 T1 和 T14 的漏极连接到时钟端 CK1, 因此时钟信号 CLK1 连续施加到漏极。特别地, 晶体管 T1 的尺寸大于其他晶体管的尺寸, 在晶体管 T1 栅极和漏极之间引入寄生电容。其结果, 漏极的电压变化可影响栅极电压。因此, 当时钟信号 CLK1 变成高电平时, 栅极电压因为栅极和漏极之间的寄生电容而增加, 这导致晶体管 T1 导通。因此, 通过施加结点 J2 的低电压到结点 J1 晶体管 T1 的栅极电压保持在低电平, 其防止晶体管 T1 被导通。然后, 结点 J1 的电压保持在低电压直到下一个移位输出  $C_{out}(j-2)$  变成高电平。当时钟信号 CLK1 在高电平以及时钟信号 CLK2 在低电平时, 结点 J2 电平通过晶体管 T3 变低。当时钟信号 CLK1 在低电平以及时钟信号 CLK2 在高电平时, 结点 J2 电平通过晶体管 T5 保持在低电平。同时, 晶体管 T6 接收到最后虚拟级 (未示出) 产生的初始化信号 INT 且传送栅极截止电压  $V_{off}$  到结点 J1, 因此再次设定结点 J1 电压到低电平。以这种方式, 依据前一进位信号  $C_{out}(j-2)$  和下一个栅极信号  $G_{out}(j+2)$ , 与时钟信号 LCLK1 和 LCLK2 同步, 级 410 产生进位信号  $C_{out}(j)$

以及栅极信号  $G_{out}(j)$ 。

[0058] 接下来,分别参考图 11 和 12,详细描述图 4 和 7 中所示的薄膜晶体管阵列板 100 上的栅极驱动器 400 的配置。图 11 的布线图简要示出了图 4 所示的栅极驱动器 400,和图 12 的布线图简要示出了图 7 中的栅极驱动器 400。参见图 11,根据本发明的示例性实施例的栅极驱动器 400 包括由级 ST1 到 ST $j+3$  组成的电路部分 CS 以及用来传送输入到级 ST1 到 ST $j+3$  的各种信号  $V_{off}$ 、LCKV1、RCKV1、LCKV2、RCKV2、和 INT 的布线部分 LS。然而,图 11 中只显示了形成在显示区域 DA 左边的栅极驱动器 400。

[0059] 布线部分 LS 的每一部分都包括:栅极截止电压线 SL1,其用来传送栅极截止电压  $V_{off}$ ;第一和第二时钟信号线 SL2 和 SL3,其分别用来传送第一和第二时钟信号 LCKV1、RCKV1、LCKV2 和 RCKV2;和初始化信号线 SL4,其用来传送初始信号 INT。信号线 SL1 到 SL4 基本上在垂直方向延伸。栅极截止电压线 SL1、时钟信号线 SL2 和 SL3、以及初始信号线 SL4 按这个顺序从左排列,以便初始信号线 SL4 最靠近移位寄存器 400,其后为时钟信号线 SL3 和 SL2 以及栅极截止线 SL1。栅极截止线 SL1 和初始信号线 SL4 之间的位置关系可以变换。另外,信号线 SL1 到 SL4 具有延长线,其在水平方向向级 ST1, ST3, ST5 和 ST7 延伸。栅极截止电压线 SL1 和初始信号线 SL4 的延长线向每一级 ST1, ST3, ST5 和 ST7 延伸。第一和第二时钟信号线 SL2 和 SL3 的延长线交替在级 ST1, ST3, ST5 和 ST7 的边缘向级 ST1, ST3, ST5 和 ST7 延伸。

[0060] 在电路部分 CS 中,级 ST1、ST3、ST5 和 ST7 中的第一级 ST1 中的晶体管 T1 到 T13 以及 T15 的排列中,输入有在先进位信号  $C_{out}(j-1)$  的晶体管 T4 位于第一级 ST 左上侧,它最靠近前级,且第一时钟信号 LCKV1 输入的晶体管 T1 到 T15 沿着第一时钟信号线 SL2 的延长线排列,第一时钟信号线 SL2 在水平方向上在晶体管 T1 到 T15 的上面延伸。另外,第一时钟信号 LCKV1 输入的晶体管 T7, T10, T12 位于晶体管 T15 下面。晶体管 T11 和 T5 位于第一级 ST1 左下侧并且连接到下一级中的第二时钟信号线 SL3 的延长线以便接收第二时钟信号 LCKV2。连接到初始化信号线 SL4 的晶体管 T6 安排在最左边,上述的初始化信号线 SL4 从左边延伸并且接收初始信号 INT。栅极截止电压  $V_{off}$  输入的晶体管 T2, T3, T8, T9 和 T13 沿着在水平方向上延伸的栅极截止电压线 SL1 的延伸线置于第一级 ST1 的下侧。

[0061] 在相邻第一级 ST1 的第三级 ST3 内,除了第一时钟信号线 SL2 和第一时钟信号 LCKV1 分别被第一时钟信号线 SL3 和第二时钟信号 LCKV2 代替,且第二时钟信号线 SL3 和第二时钟信号 LCKV2 分别用第一时钟信号线 SL2 和第一时钟信号 LCKV1 代替之外,晶体管的排列相似于第一级 ST1 中晶体管的排列。电路部分 CS 和布线部分 LS 中的一些排列成一行,并且其他电路部分 CS 和布线部分 LS 在垂直方向不和排列成一行的电路部分 CS 和布线部分 LS 对齐。也就是说,第一级 ST1 最靠近显示区域 DA,紧跟着的为第三级 ST3 和第五级 ST5。第五级 ST5 和显示区域 DA 之间的距离是最大的。第七级 ST7 之后的级与第五级对齐。因此,在与第五级 ST5 相邻的级中的布线部分 LS 排列成一行。然而,邻近第三级 ST3 的布线部分 LS 向显示区域 DA 弯曲并且不和邻近的第五级 ST5 的布线部分 LS 对齐,并且邻近第一级 ST1 的布线部分 LS 向显示区域 DA 弯曲并且不和邻近的第三级 ST3 的布线部分 LS 对齐。因此,栅极驱动器 400 具有第一区域 400a,在这个区域中,布线部分 LS 排列成一行且第二区域 400b 不和第一区域 400a 对齐。第一和第三级 ST1 和 ST3 和与其邻近的布线部分 LS 形成第二区域 400b,且第五和第七级 ST5 和 ST7 和与其邻近的布线部分 LS 形成第一

区域 400a。尽管图 11 中没有详细显示,如图 4 中所示,栅极驱动器 400 的下面具有如图 11 中同样的结构。

[0062] 根据本发明的一个或几个实施例,集成到显示板的栅极驱动器在密封层的边缘被密封层覆盖。因此,它可能有效地隔离外界环境保护了栅极驱动器。参考图 12,根据本发明的示范性实施例中的栅极驱动器 400 包括:由级 ST1 到 ST $j+3$  组成的电路部分 CS 以及用来传送各种信号  $V_{off}$ , LCKV1, RCKV1, LCKV2, RCKV2, 以及输入到级 ST1 到 ST $j+3$  的 INT 的布线部分。然而,图 12 中只显示了在显示区域 DA 左边形成的栅极驱动器 400。

[0063] 每一布线部分 LS 包括:栅极截止电压线 SL1,其用来传送栅极截止电压  $V_{off}$ ;第一和第二时钟信号线 SL2 和 SL3,它们分别用来传送第一和第二时钟信号 LCKV1、RCKV1、LCKV2 和 RCKV2;和初始化信号线 SL4,其用来传送初始信号 INT。信号线 SL1 到 SL4 基本在垂直方向延伸。栅极截止电压线 SL1,时钟信号线 SL2 和 SL3,以及初始信号线 SL4 依照这个顺序从左排列,从而使初始信号线 SL4 最靠近移位寄存器 400,其后为时钟信号线 SL3 和 SL2 以及栅极截止电压线 SL1。栅极截止电压线 SL1 和初始信号线 SL4 之间的位置关系可以变换。另外,信号线 SL1 到 SL4 具有延长线,其在水平方向向级 ST1, ST3, ST5 和 ST7 延伸。栅极截止电压线 SL1 和初始信号线 SL4 的延长线朝向级 ST1, ST3, ST5 和 ST7 的每一个延伸。第一和第二时钟信号线 SL2 和 SL3 的延长线在级 ST1, ST3, ST5 和 ST7 的边缘交替向级 ST1, ST3, ST5 和 ST7 延伸。

[0064] 在电路部分 CS 中,级 ST1、ST3、ST5 和 ST7 之中的第一级 ST1 内的晶体管 T1 到 T13 以及 T15 的排列中,输入有在先进位信号 Cout ( $j-1$ ) 的晶体管 T4 位于第一级 ST 的左上侧,它最靠近前级,且输入有第一时钟信号 LCKV1 的晶体管 T1 到 T15 沿着第一时钟信号线 SL2 延长线排列,第一时钟信号线 SL2 在水平方向上在晶体管 T1 到 T15 的上面延伸。另外,输入有第一时钟信号 LCKV1 的晶体管 T7、T10、T12 置于晶体管 T15 的下面。晶体管 T11 和 T5 置于第一级 ST1 的左下侧并且连接到下一级的第二时钟信号线 SL3 的延长线以便接收第二时钟信号 LCKV2。连接到初始化信号线 SL4 的晶体管 T6 安排在最左边,上述的初始化信号线 SL4 从左边延伸并且接收初始信号 INT。输入有栅极截止电压  $V_{off}$  的晶体管 T2、T3、T8、T9 和 T13 沿着在水平方向上延伸的栅极截止电压线 SL1 的延伸线置于第一级 ST1 的下侧。除了第一时钟信号线 SL2 和第一时钟信号 LCKV1 分别被第二时钟信号线 SL3 和第二时钟信号 LCKV2 代替,且第二时钟信号线 SL3 和第二时钟信号 LCKV2 分别用第一时钟信号线 SL2 和第一时钟信号 LCKV1 代替之外,在相邻第一级 ST1 的第三极 ST3 内,晶体管的排列类似于第一极 ST1 中晶体管的排列。省略了第五极 ST5 的描述。

[0065] 连接到显示区域 DA 的第一栅极驱动器 400L 的布线部分 LS 连接到没有连接到显示区域 DA 的第三栅极驱动器 400D 的布线部分 LS。第一栅极驱动器 400L 由上面提到的驱动方法驱动。例如,位于最下侧的栅极驱动电路可以首先被驱动。如上所述,该级根据在先进位信号和下一栅极信号与时钟信号同步地产生自进位信号和自栅极 (self-gate) 信号。同时,第一级 ST1 接收初始信号而不是在先进位信号,且初始信号从虚拟 (dummy) 级中提供。当第一级 ST1 最后被驱动后,自进位信号被传送到下一级。以这种方式,可以阻止在从栅极驱动器 400 输出的栅极信号中的错误。然而,在根据本发明的一个或几个具体实施例的液晶显示器中,栅极驱动电路不提供在密封层 310 的边缘。因此,用作虚拟级的栅极驱动电路是必须的。当第一栅极驱动器 400L 的首先被驱动的最低栅极驱动电路的布线部分 LS

连接到第三栅极驱动器 400D 的第一级 STD1 的布线部分 LS 时,第三栅极驱动器 400D 的第一栅极驱动电路的电路部分 CS,即级 STD1 可以用作虚拟级。邻近第一级 STD1 的级用字符 STD2 和 STD3 指示。因此,第三栅极驱动器 400D 具有补偿基板 110 步差的功能且还具有帮助第一和第二栅极驱动器 400L 和 400R 驱动的功能。根据本发明的一个或几个具体实施例,集成在显示板上的栅极驱动器在密封层边缘被密封层覆盖。因此,可以有效的保护栅极驱动器不受外部环境的影响。

[0066] 本发明由目前具体示例性实施例描述的同时,必须了解到,本发明并不限于所披露的具体实施例,相反地它覆盖了包含在权利要求的精神和范围内的各种修改和等价的安排。

[0067] 本申请请求了在韩国知识产权局分别于 2006 年 1 月 18 日和 2006 年 2 月 20 日申请的专利申请号为 Nos. 10-2006-0005260 和 10-2006-0016105 的专利申请为优先权和利益,在此全部结合作为参考。



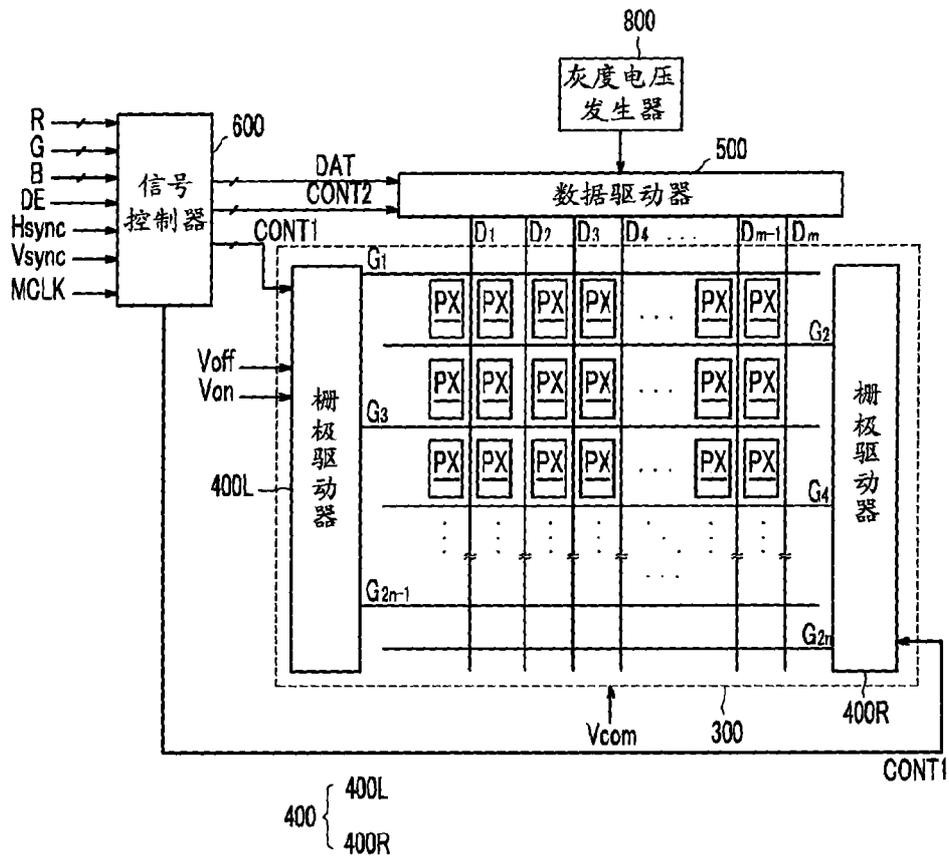


图 3

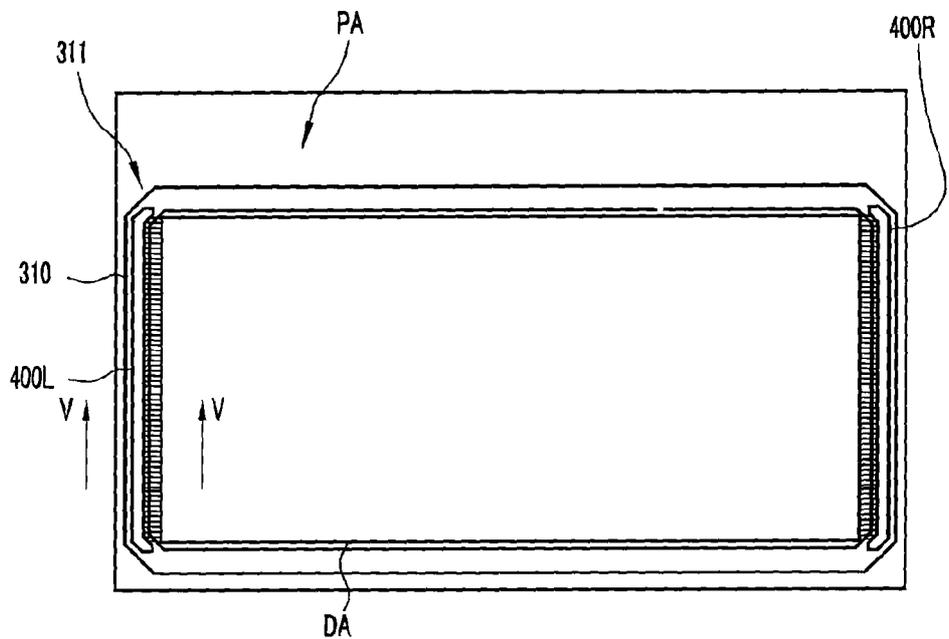


图 4

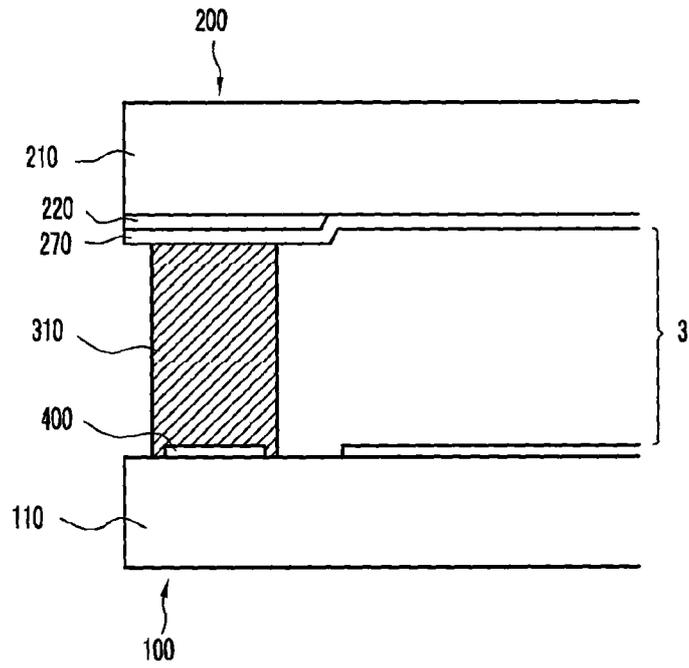


图 5

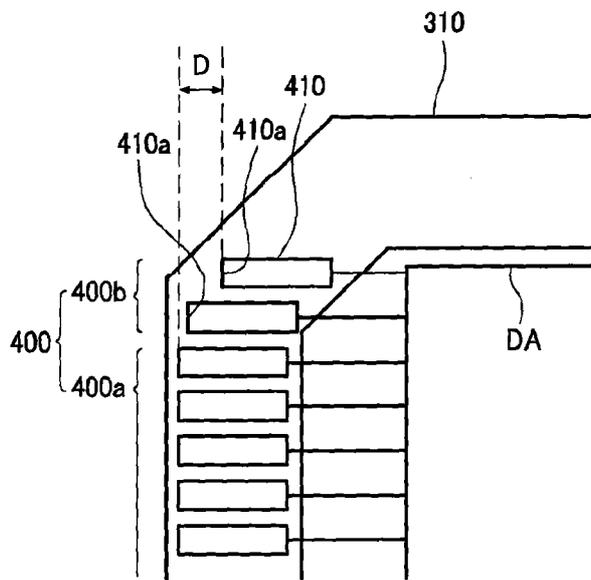


图 6

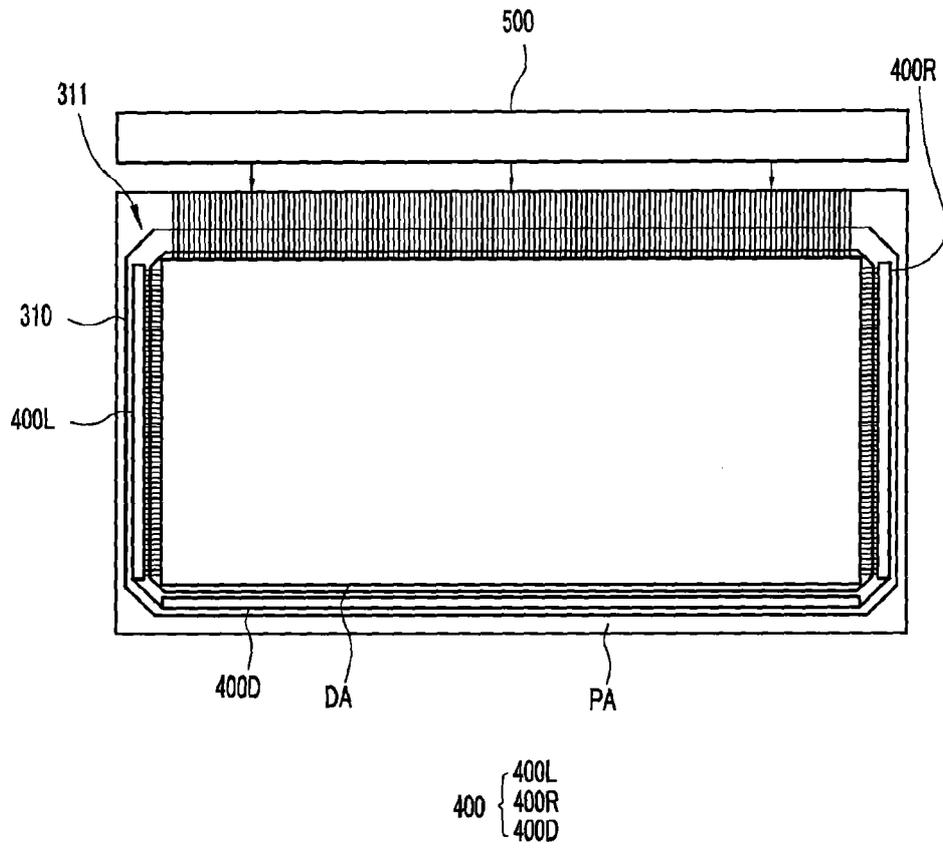


图 7

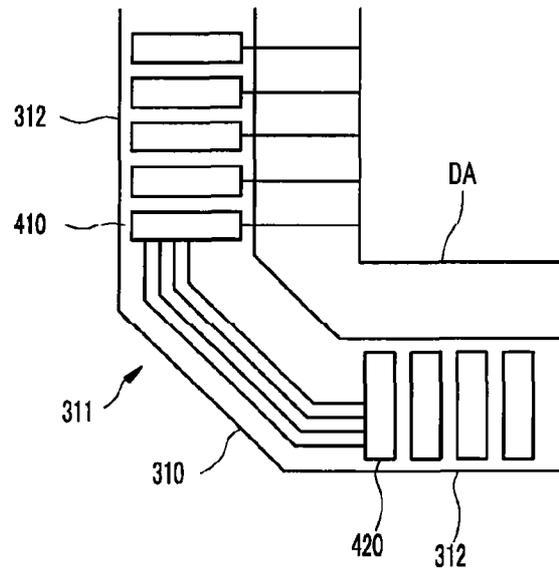


图 8

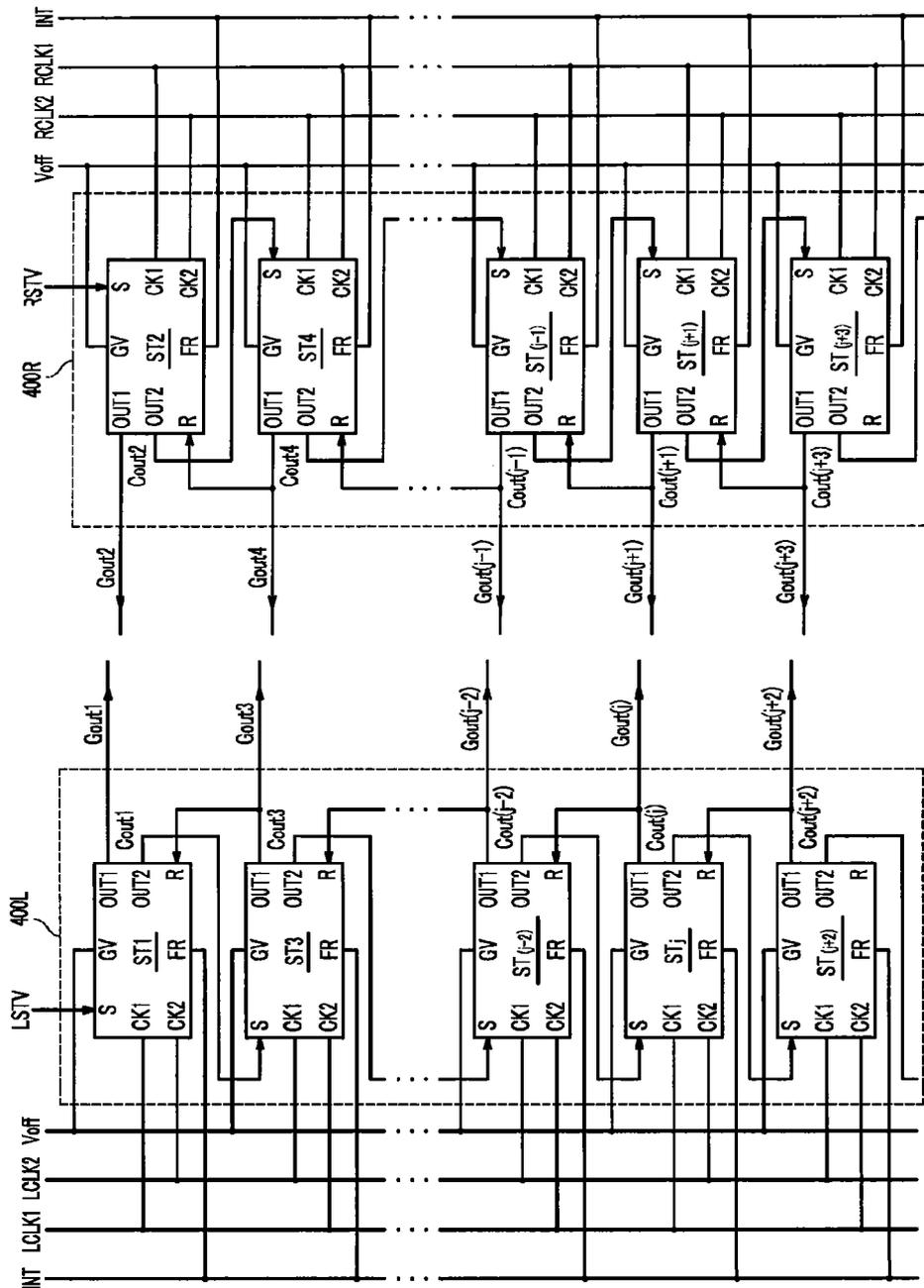


图 9

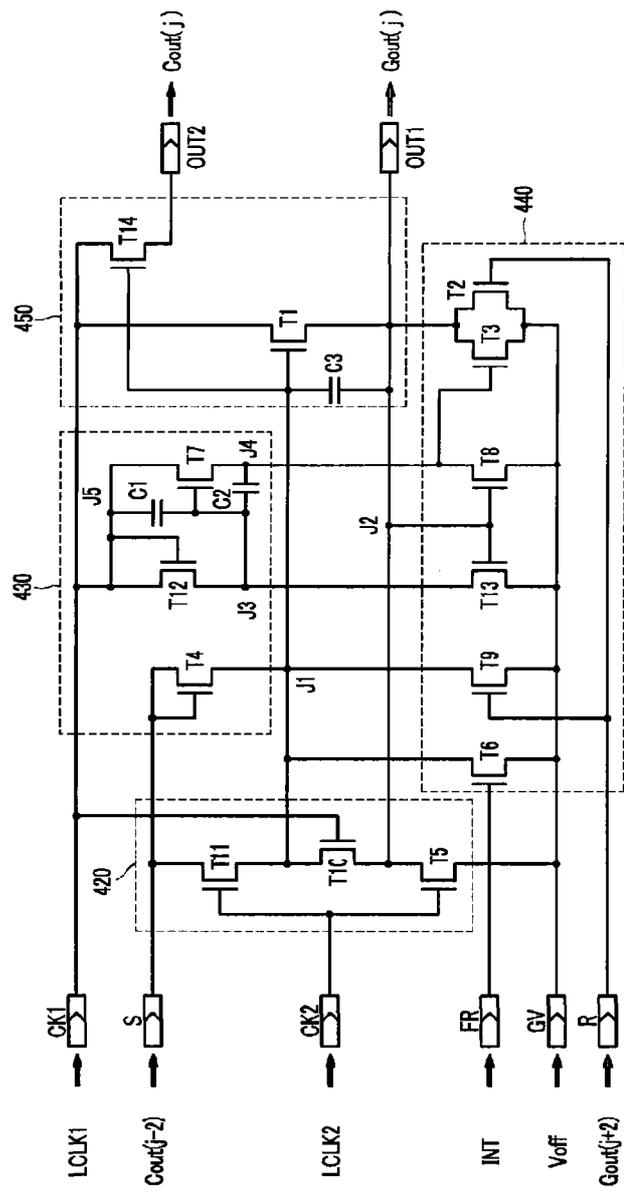


图 10

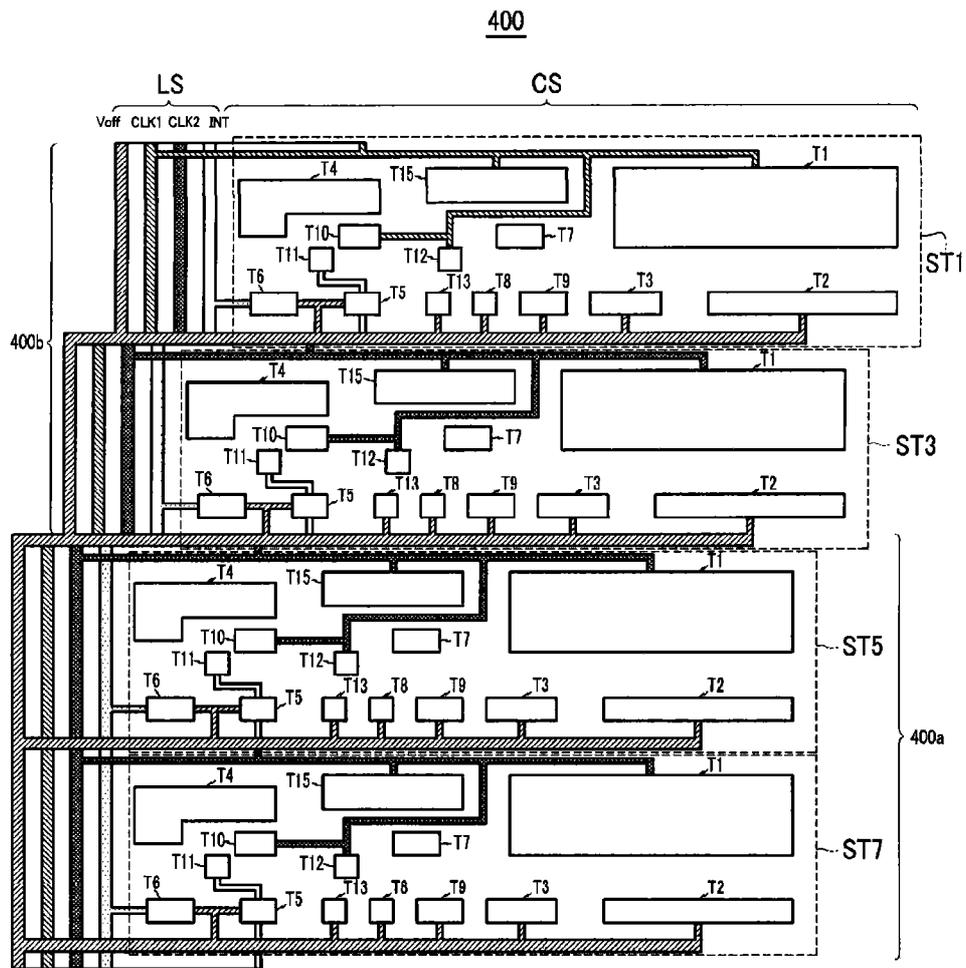


图 11

400

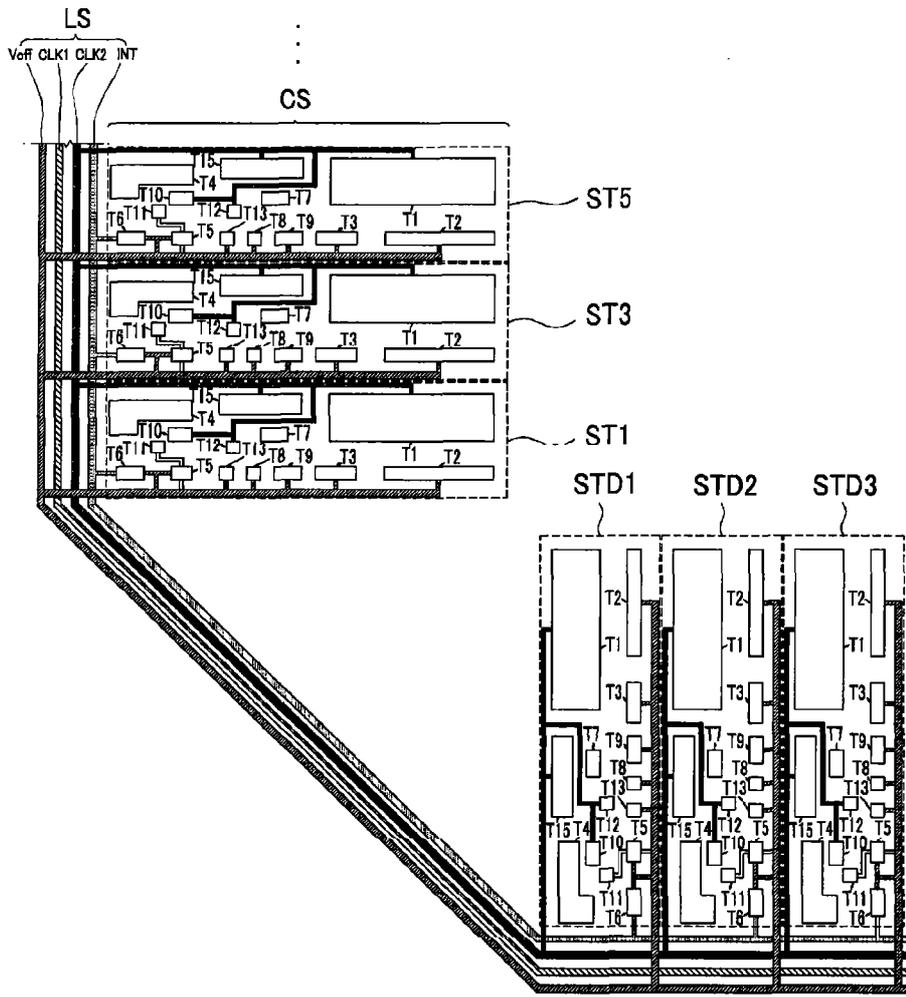


图 12

专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">CN101788741B</a>	公开(公告)日	2011-11-30
申请号	CN201010003771.8	申请日	2007-01-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	梁容豪 尹柱善 郑基勋		
发明人	梁容豪 尹柱善 郑基勋		
IPC分类号	G02F1/1362 G09G3/36		
CPC分类号	G09G2300/0408 G09G3/3677 G09G2300/0426 G09G2310/0281 G02F1/136286 G02F1/1368 G09G2300/0809 H01L33/52		
代理人(译)	钱大勇		
审查员(译)	李慧		
优先权	1020060005260 2006-01-18 KR 1020060016105 2006-02-20 KR		
其他公开文献	CN101788741A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

根据本发明的实施例中的液晶显示器，包括一基板，按照矩阵的形式排列在基板上的多个像素，其中每个像素包括一开关元件，连接到开关元件并且在行方向上延伸的多条栅极线，以及连接到栅极线并且作为集成电路形成在基板上的栅极驱动器。在液晶显示器内，栅极驱动器包括第一区域和不对齐的第二区域。

