



(12) 发明专利

(10) 授权公告号 CN 101078848 B

(45) 授权公告日 2013. 05. 08

(21) 申请号 200710137978. 2

审查员 韩旭

(22) 申请日 2007. 05. 25

(30) 优先权数据

47074/06 2006. 05. 25 KR

(73) 专利权人 三星显示有限公司

地址 韩国京畿道

(72) 发明人 金德星

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陶凤波

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/133 (2006. 01)

G09G 3/36 (2006. 01)

(56) 对比文件

CN 1506736 A, 2004. 06. 23, 全文.

CN 1580918 A, 2005. 02. 16, 全文.

CN 1388404 A, 2003. 01. 01, 全文.

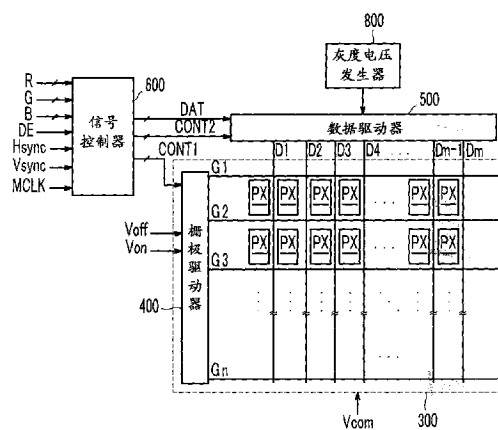
权利要求书1页 说明书10页 附图8页

(54) 发明名称

液晶显示器

(57) 摘要

一种液晶显示器,包括:基板、包含多个开关元件的多个像素、与开关元件连接并沿行方向延伸的多个栅极线、包括与栅极线连接的电路部分和与电路部分连接的布线部分的栅极驱动器以及绝缘层。电路部分包括晶体管,布线部分包括信号线,而晶体管和信号线通过连接构件连接,进而能够防止静电在制造过程中进入显示器的栅极驱动器。



1. 一种液晶显示器,包括:
基板;
多个像素,包括形成在该基板上的多个开关元件;
多个栅极线,与该开关元件连接,并沿行方向延伸;
栅极驱动器,包括与该栅极线连接的电路部分以及与该电路部分连接的布线部分,
其中该电路部分包括晶体管,而该布线部分包括接受外部信号并为该晶体管传递该信号的第一信号线,并且
该晶体管和该第一信号线通过连接构件连接,以及
该连接构件形成在该基板上与该晶体管和该第一信号线不同的层上;以及
绝缘层,包括钝化层及栅极绝缘层,在该连接构件与该第一信号线之间以及该连接构件与该晶体管之间,并且具有用于连接该第一信号线和该连接构件的第一接触孔,以及用于连接该晶体管和该连接构件的第二接触孔,其中该连接构件形成在该绝缘层上。
2. 如权利要求 1 所述的液晶显示器,其中该第一信号线为该晶体管传送扫描开始信号。
3. 如权利要求 1 所述的液晶显示器,其中该晶体管包括控制端子,该控制端子和该第一信号线由与该多个栅极线相同的材料形成。
4. 如权利要求 1 所述的液晶显示器,其中该连接构件包括 ITO 或 IZO。
5. 如权利要求 1 所述的液晶显示器,还包括与该控制端子连接并通过该连接构件与该第一信号线连接的至少一个引线。
6. 如权利要求 1 所述的液晶显示器,其中该电路部分和该布线部分分别集成在该基板上。
7. 如权利要求 1 所述的液晶显示器,其中该布线部分还包括为该电路部分传送控制信号的第二信号线。
8. 一种液晶显示器,包括:
基板;
多个像素,包括形成在该基板上的多个开关元件;
多个栅极线,与该开关元件连接,并沿行方向延伸;以及
栅极驱动器,包括与该栅极线连接的多个电路部分以及与该电路部分连接的布线部分,
其中该布线部分包括信号线,而每个该电路部分包括与该信号线连接的晶体管,
该晶体管包括与该信号线直接连接的至少两个引线,并且
该至少两个引线通过多个连接线彼此连接。
9. 如权利要求 8 所述的液晶显示器,其中该信号线为该晶体管传送扫描开始信号。
10. 如权利要求 8 所述的液晶显示器,其中该引线和该信号线由与该栅极线相同的材料制成。

液晶显示器

技术领域

[0001] 本发明涉及一种液晶显示器。

背景技术

[0002] 液晶显示器 (LCD) 是使用最广泛的平板显示器之一。LCD 包括配有电场产生电极如像素电极和公共电极的两个面板, 以及插设在其中的液晶 (LC) 层。LCD 通过对电场产生电极施加电场以产生跨越 LC 层的电场来显示图像, 所述电场确定 LC 层中 LC 分子的取向以调节入射光的偏振。

[0003] LCD 还包括与像素电极连接的多个开关元件和多个信号线, 如用于控制开关元件为像素电极施加电压的栅极线和数据线。栅极线传送由栅极驱动电路产生的栅极信号, 数据线传送由数据驱动电路产生的数据电压, 并且开关元件根据栅极信号将数据电压传送到像素电极。

[0004] 栅极驱动器 and 数据驱动器可以制作在安装于显示板上的芯片上。可是, 近来已经在努力研发在显示板中集成栅极驱动器的结构以减少显示装置的整体尺寸并增加产量。

[0005] 本发明的示范性实施例致力于提供一种液晶显示器, 其能够在液晶显示器的制造工艺中防止静电电流进入集成在显示板中的栅极驱动器。

发明内容

[0006] 根据本发明示范性实施例的液晶显示器包括: 基板; 多个像素, 包含多个开关元件; 多个栅极线, 与开关元件连接并沿行方向延伸; 以及栅极驱动器, 包括与栅极线连接的电路部分以及与电路部分连接的布线部分。电路部分包括晶体管, 布线部分包括接受外部信号并为晶体管传递该信号的第一信号线, 而晶体管和信号线通过连接构件连接。连接构件形成在与晶体管和第一信号线不同的层上。

[0007] 信号线可为晶体管传送扫描开始信号。

[0008] 晶体管可以包括控制端子, 且控制端子和第一信号线由与栅极线相同的材料形成。

[0009] 连接构件可以包括 ITO(铟锡氧化物) 或 IZO(铟锌氧化物)。

[0010] 液晶显示器还可以包括形成在连接构件、第一信号线和晶体管之间的钝化层。

[0011] 钝化层可以具有用于连接第一信号线和连接构件的第一接触孔, 以及用于连接晶体管和连接构件的第二接触孔。

[0012] 液晶显示器可以包括与控制端子连接并通过连接构件与第一信号线连接的至少一个引线 (lead line)。

[0013] 电路部分和布线部分可分别集成在基板上。

[0014] 布线部分还可以包括传送控制信号到电路部分的第二信号线。

[0015] 根据本发明示范性实施例的液晶显示器包括: 基板; 多个像素, 包含多个开关元件; 多个栅极线, 与开关元件连接并沿行方向延伸; 以及栅极驱动器, 包括与栅极线连接的

多个电路部分以及与电路部分连接的布线部分。布线部分包括信号线,每个电路部分包括与信号线连接的晶体管,并且晶体管包括与信号线直接连接的至少两个引线。

[0016] 信号线可以传送扫描开始信号到晶体管。

[0017] 引线和信号线可以由相同的材料形成。

附图说明

[0018] 本发明的示范性实施例将从下面结合附图的描述中得以更为详细的理解。

[0019] 图 1 为根据本发明示范性实施例的 LCD 的框图。

[0020] 图 2 为根据本发明示范性实施例的 LCD 中像素的等效电路图。

[0021] 图 3 为根据本发明示范性实施例的液晶板组件的顶视平面图。

[0022] 图 4 为根据本发明示范性实施例的栅极驱动器的框图。

[0023] 图 5 为用于图 4 中所示栅极驱动器的第 j 级移位寄存器的电路图。

[0024] 图 6 为根据本发明示范性实施例的第一和第二级栅极驱动器的示意性布局图。

[0025] 图 7 为展示图 6 所示的部分栅极驱动器的放大布局图。

[0026] 图 8 为沿着线 VIII-VIII 截取的图 7 中栅极驱动器的截面图。

[0027] 图 9A 和 10A 为图 7 和 8 中所示栅极驱动器的部分制造工艺的布局图,而图 9B 和 10B 分别为沿着图 9A 和 10A 中线 IXb-IXb 和 Xb-Xb 截取的截面图。

[0028] 图 11 为根据本发明示范性实施例的部分栅极驱动器的布局图。

[0029] 图 12 为根据本发明示范性实施例的部分栅极驱动器的布局图。

具体实施方式

[0030] 以下参照附图更全面地描述本发明,在附图中示出了本发明的示范性实施例。本领域的技术人员应意识到,所描述的示范性实施例可以以各种不同的方式进行修改,所有这些都不脱离本发明的精神或范围。

[0031] 首先,参照图 1 和图 2 描述根据本发明示范性实施例的液晶显示器。

[0032] 图 1 为根据本发明示范性实施例的 LCD 的框图,而图 2 为根据本发明示范性实施例的 LCD 中像素的等效电路图。

[0033] 参照图 1 和 2,根据本发明示范性实施例的 LCD 包括液晶显示板组件 300、与液晶显示面板组件 300 连接的栅极驱动器 400 和数据驱动器 500、与数据驱动器 500 连接的灰度电压发生器 800,以及控制上述元件的信号控制器 600。

[0034] 在等效电路图中,液晶显示面板组件 300 包括多个信号线 G_1-G_n 和 D_1-D_m ,以及与其连接并基本以矩阵形式设置的多个像素 PX。在图 2 中所示的结构图中,液晶显示面板组件 300 包括彼此相对的下板和上板 100 和 200,以及插设其中的液晶层 3。

[0035] 信号线包括用于传送栅极信号也称作“扫描信号”的多个栅极线 G_1-G_n ,以及用于传送数据信号的多个数据线 D_1-D_m 。栅极线 G_1-G_n 基本沿行方向延伸并且彼此基本平行,而数据线 D_1-D_m 基本沿列方向延伸并且彼此也基本平行。

[0036] 每个像素包括与信号线连接的开关元件 Q 以及与开关元件 Q 连接的液晶 (LC) 电容器 C_{lc} 和存储电容器 C_{st} 。根据需要可省略存储电容器 C_{st} 。

[0037] 开关元件 Q 设置在下板 100 上并具有三个端子:与栅极线 G_1 连接的控制端子;与

数据线 D_j 连接的输入端子；以及与 LC 电容器 C_{1c} 和存储电容器 C_{st} 连接的输出端子。

[0038] LC 电容器 C_{1c} 包括设置在下板 100 上的像素电极 191 和设置在上板 200 上的公共电极 270, 作为其两个端子。设置在两个电极 191 和 270 之间的 LC 层 3 用作 LC 电容器 C_{1c} 的电介质。像素电极 191 与开关元件 Q 连接。公共电极 270 被施加以公共电压 V_{com} 并覆盖上板 200 的整个表面。不同于图 2 中所示, 公共电极 270 可设置在下板 100 上, 并且电极 191 和 270 中至少一个具有条形或带形。

[0039] 存储电容器 C_{st} 为 LC 电容器 C_{1c} 的辅助电容器。当像素电极 191 和设置在下板 100 上的单独信号线 (未示出) 以中间插有绝缘层的方式彼此重叠时, 重叠部分成为存储电容器 C_{st} 。单独信号线被施加以预定电压, 如公共电压 V_{com} 。可选地, 存储电容器 C_{st} 可通过像素电极 191 和之前栅极线的重叠以及中间插设绝缘层来形成, 所述栅极线直接置于像素电极 191 之前。

[0040] 对于彩色显示, 每个像素只展示三原色中的一种, 即空间分隔, 或根据时间依次顺序显示三原色, 即瞬时分隔, 使得空间或瞬时量的三原色被识别为所需颜色。一组三原色的实例包括红色、绿色和蓝色。图 2 示出了空间分隔的一个实例, 其中每个像素包括在对应像素电极 191 的上板 200 的区域内, 用于展示三原色中一种颜色的彩色滤光器 230。不同于图 2 中所示, 彩色滤光器 230 可配置在下板 100 的像素电极 191 上方或下方。

[0041] 在液晶板组件 300 的外表面设置用于使光起偏的偏振片 (未示出)。

[0042] 再次参照图 1, 灰度电压发生器 800 产生两组与像素透光率相关的灰度电压。第一组中的灰度电压相对于公共电压 V_{com} 具有正极性, 而第二组中的灰度电压相对于公共电压 V_{com} 具有负极性。

[0043] 栅极驱动器 400 与 LC 面板组件 300 的栅极线 G_1-G_n 连接, 用以为栅极线 G_1-G_n 施加包括栅极 - 开电压 V_{on} 和栅极 - 关电压 V_{off} 组合的栅极信号。栅极驱动器 400 基本是包括沿一行设置的包括多级的移位寄存器, 并在信号线 G_1-G_n 和 D_1-D_m 、薄膜晶体管开关元件 Q 等形成的相同工艺中形成并集成在 LC 面板组件 300 上。

[0044] 数据驱动器 500 与 LC 面板组件 300 的数据线 D_1-D_m 连接, 并从灰度电压发生器 800 中选择数据信号灰度电压并将其提供给数据线 D_1-D_m 。可是, 在灰度电压发生器 800 不提供适于所有灰度值的所有电压而只提供预定数量的参考灰度电压的情况下, 数据驱动器 500 划分参考灰度电压以产生适于所有灰度值的灰度电压并从中选择数据信号。

[0045] 信号控制器 600 控制栅极驱动器 400 和数据驱动器 500。

[0046] 每个单元 500、600 和 800 可直接配置成设置在 LC 面板组件 300 上的至少一个集成电路 (IC) 芯片, 或配置在与 LC 面板组件 300 连接的带状载体封装 (TCP) 型的柔性印刷电路薄膜 (未示出) 上, 或者可配置在单独的印刷电路板 (未示出) 上。可选地, 单元 500、600 和 800 可与信号线 G_1-G_n 和 D_1-D_m 、薄膜晶体管开关元件 Q 等一起直接集成在 LC 板组件 300 中。此外, 单元 500、600 和 800 可集成为单独芯片。在此情况中, 至少一个单元或构成它们的至少一个电路装置可位于单独芯片的外部。

[0047] 以下, 详细描述 LCD 的操作。

[0048] 信号控制器 600 从外部图形控制器 (未示出) 接收输入图像信号 R 、 G 和 B 并接收用于控制显示图像信号的输入控制信号。输入控制信号的实例包括垂直同步信号 V_{sync} 、水平同步信号 H_{sync} 、主时钟信号 $MCLK$ 及数据启动信号 DE 。

[0049] 响应于输入图像信号 R、G 和 B 以及输入控制信号，信号控制器 600 处理输入图像信号 R、G 和 B 以适于 LC 面板组件 300 的操作并产生栅极控制信号 CONT1 和数据控制信号 CONT2，并随后输出栅极控制信号 CONT1 到栅极驱动器 400，而将数据控制信号 CONT2 和处理过的图像信号 DAT 输出到数据驱动器 500。

[0050] 栅极控制信号 CONT1 包括用于指示扫描开始的扫描开始信号，以及用于控制栅极 - 开电压 V_{on} 的输出时间的至少一个时钟信号。栅极控制信号 CONT1 还可以包括用于限定栅极 - 开电压 V_{on} 持续时间的输出使能信号。

[0051] 数据控制信号 CONT2 包括用于通知为一行像素 PX 的图像数据传输开始的水平同步开始信号、用于指示将数据信号施加于数据线 D_1 - D_m 的负载信号和数据时钟信号。数据控制信号 CONT2 还可以包括用于相对于公共电压 V_{com} 反转数据信号电压极性的反转信号，以下，数据信号的电压极性被简称为“数据信号的极性”。

[0052] 响应于信号控制器 600 的数据控制信号 CONT2，数据驱动器 500 从信号控制器 600 接收一行像素 PX 的数字图像信号 DAT，通过选择对应数字信号 DAT 的灰度电压将数字信号 DAT 转变成模拟数据信号，并随后将模拟数据信号施加到对应的数据线 D_1 - D_m 。

[0053] 栅极驱动器 400 响应于信号控制器 600 的栅极控制信号 CONT1 为栅极线 G_1 - G_n 施加栅极 - 开电压，进而将与栅极线 G_1 - G_n 连接的开关元件 Q 导通。施加到数据线 D_1 - D_m 的数据电压通过导通的开关元件 Q 被施加到对应的像素 PX。

[0054] 施加到像素的数据信号电压与公共电压 V_{com} 之间的差值表示为跨越 LC 电容器 C_{lc} 的电压，即像素电压。LC 电容器 C_{lc} 中的 LC 分子具有根据像素电压的幅度的取向。光通过 LC 层 3 的偏振根据 LC 分子取向进行变化。安装在 LC 面板组件 300 上的偏振器将光偏振差转变成光透射率差。

[0055] 通过在每个水平周期重复上述过程，所述周期由“1H”表示并等于水平同步信号 Hsync 和数据使能信号 DE 的一个周期，所有栅极线 G_1 - G_n 顺序被施加以栅极 - 开电压 V_{on} ，进而将数据信号施加到所有像素以显示一帧图像。

[0056] 当完成一帧之后下一帧开始时，施加到数据驱动器 500 作为控制信号 CONT2 一部分的反转信号被控制为数据电压的极性关于前一帧的被反转，这被称作“帧反转”。反转信号还可被控制为一帧中一条数据线内流动的数据信号的极性反向，例如线反转和点反转，或一个像素行内数据电压的极性反向，例如列反转和点反转。

[0057] 以下，参照图 3 至 6 详细描述根据本发明示范性实施例的 LC 面板组件和形成在 LC 面板组件上的栅极驱动器。

[0058] 图 3 为根据本发明示范性实施例的液晶板组件的顶视平面图。

[0059] 参照图 3，根据本发明示范性实施例的液晶板组件 300 包括 TFT 面板 100、公共电极面板 200（未示出）和插在两板之间的 LC 层 3（未示出）。

[0060] 液晶面板组件 300 被分成用于显示图像的显示区域 DA 和周边区域 PA。

[0061] 在显示区域 DA 的基板 110 上形成栅极线 G_1 - G_n 、与栅极线 G_1 - G_n 相交的数据线 D_1 - D_m 、与栅极线 G_1 - G_n 和数据线 D_1 - D_m 连接的薄膜晶体管（未示出），以及与薄膜晶体管等连接的像素电极 191。

[0062] 与数据线 D_1 - D_m 连接的数据驱动器（未示出）配置在显示区域 DA 的上周边区域 PA 上。

[0063] 栅极驱动器 400 集成并形成在显示区域 DA 的侧周边区域 PA 上。

[0064] 用于将信号控制器 600 的控制信号等输入到栅极驱动器 400 的 OLB (输出引线结合, out lead bonding) 焊盘 50 形成在显示区域 DA 的上周边区域 PA 上。栅极驱动器 400 和 OLB 焊盘 50 通过多个第一接触布线 81 连接。

[0065] 与栅极驱动器 400 相邻的测试焊盘 60 形成在显示区域 DA 的侧周边区域 PA 上。测试焊盘部分 60 包括多个焊盘, 每个焊盘接收用于测试 LC 板组件等的时钟信号 CLK, 或扫描开始信号 STV。测试焊盘部分 60 通过多个第二连接布线 82 与 OLB 焊盘 50 连接, 并且通过 OLB 焊盘 50 将测试信号输入到栅极驱动器 400。

[0066] 根据切割线 70 将基板 110 切割成两片。

[0067] 下面参照图 4、5 和 6 描述根据本发明示范性实施例的 LC 面板组件的栅极驱动器。

[0068] 图 4 为根据本发明示范性实施例的栅极驱动器的框图, 图 5 为用于图 4 中所示栅极驱动器的第 j 级移位寄存器的电路图, 而图 6 为根据本发明示范性实施例的第一和第二级栅极驱动器的示意性布局图。

[0069] 参照图 4 至 6, 用作图 1 中所示的栅极驱动器 400 的位移寄存器 400 接收扫描开始信号 STV 和第一与第二时钟信号 CLK1 和 CLK2。移位寄存器 400 包括分别与栅极线连接的多级 ($ST_1, \dots, ST_{j-1}, ST_j, ST_{j+1}, \dots, ST_{n+1}$)。多级 $ST_1, \dots, ST_{j-1}, ST_j, ST_{j+1}, \dots, ST_{n+1}$ 逐级相互连接, 并接收扫描开始信号 STV 和第一与第二时钟信号 CLK1 和 CLK2。

[0070] 如果每个时钟信号 CLK1 和 CLK2 都是高位, 则施加栅极 - 开电压 V_{on} 。如果每个时钟信号 CLK1 和 CLK2 都是低位, 则施加栅极 - 关电压 V_{off} 。

[0071] 每级 $ST_1, \dots, ST_{j-1}, ST_j, ST_{j+1}, \dots, ST_{n+1}$ 包括设置端子 S、栅极 - 关电压端子 GV、一对时钟端子 CK1 和 CK2、复位端子 R、栅极输出端子 OUT1 和承载输出端子 OUT2。

[0072] 在该示范性实施例中的每级中, 第 j 级 ST_j 的设置端子 S 提供有前级 $ST_{(j-1)}$ 的承载输出, 即前一承载输出 $C_{out}(j-1)$, 并且其复位端子 R 提供有下级 $ST_{(j+1)}$ 的栅极输出, 即下一栅极输出 $G_{out}(j+1)$ 。时钟端子 CK1 和 CK2 分别接收时钟信号 CLK1 和 CLK2, 并且栅极端子 GV 接收栅极 - 关电压 V_{off} 。栅极输出端子 OUT1 输出栅极输出 $G_{out}(j)$ 并且承载输出端子 OUT2 输出承载输出 $C_{out}(j)$ 。

[0073] 然而, 每个移位寄存器 400 的第一级都被施加以扫描开始信号 STV, 而不是前一承载输出。当第 j 级的第一和第二时钟端子 CK1 和 CK2 分别接收第一和第二时钟信号 CLK1 和 CLK2 时, ($j-1$) 级 $ST(j-1)$ 和 ($j+1$) 级 $ST(j+1)$ 的第一时钟端子 CK1 接收第二时钟信号 CLK2 并且其时钟端子 CK2 接收第一时钟信号 CLK1。

[0074] 参照图 5, 每级的栅极驱动器 400, 例如 j 级, 包括输入单元 420、上拉驱动单元 430、下拉驱动单元 440 以及输出单元 450。上述每个单元 420、430、440 和 450 包括至少一个 NMOS 晶体管 T1-T14, 而上拉驱动单元 430 和输出单元 450 还包括电容器 C1-C3。应当理解, NMOS 晶体管可由 PMOS 晶体管替换。此外, 电容器 C1-C3 可以具有在晶体管制造过程中形成在栅极与漏极或源极之间的寄生电容。

[0075] 输入单元 420 包括在设置端子 S 和栅极电压端子 GV 之间串联的三个晶体管 T11、T10 和 T5。晶体管 T11 和 T10 的栅极与时钟端子 CK2 连接, 并且晶体管 T10 的栅极与时钟端子 CK1 连接。晶体管 T11 和晶体管 T10 之间的连接节点与触点 J1 连接, 而晶体管 T10 和晶体管 T5 之间的连接节点与触点 J2 连接。

[0076] 上拉驱动单元 430 包括在设置端子 S 和触点 J1 之间连接的晶体管 T4、在时钟端子 CK1 和触点 J3 之间连接的晶体管 T12 以及时钟端子 CK1 和触点 J4 之间连接的晶体管 T7。晶体管 T4 包括与设置端子 S 公共连接的栅极和漏极以及与触点 J1 连接的源极，并且晶体管 T12 包括与时钟端子 CK1 公共连接的栅极和漏极以及与触点 J3 连接的源极。晶体管 T7 具有与触点 J3 连接并同时通过电容器 C1 与时钟端子 CK1 连接的栅极、与时钟端子 CK1 连接的漏极以及与触点 J4 连接的源极。电容器 C2 连接在触点 J3 和触点 J4 之间。

[0077] 下拉驱动单元 440 包括通过源极施加有栅极-关电压 V_{off} 的晶体管 T6、T9、T13、T8、T3 和 T2，用于对触点 J1、J2、J3 和 J4 输出。晶体管 T6 的栅极和漏极分别与复位端子 FR 和触点 J1 连接。晶体管 T13 和 T8 的栅极与触点 J2 公共连接，并且其漏极分别与触点 J3 和触点 J4 连接。晶体管 T3 的栅极与触点 J4 连接，而晶体管 T2 的栅极与复位端子 R 连接。晶体管 T3 和 T2 的漏极与触点 J2 连接。

[0078] 输出单元 450 包括一对晶体管 T1 和 T14 与电容器 C3。晶体管 T1 和 T14 的漏极和源极与时钟端子 CK1 和输出端子 OUT1 和 OUT2 连接，并且其栅极与触点 J1 连接。电容器 C3 连接在晶体管 T1 的栅极和漏极之间，即触点 J1 和触点 J2 之间。晶体管 T1 的源极还与触点 J2 连接。

[0079] 以下描述上述移位寄存器级的操作。

[0080] 为简便的目的，与时钟信号 CLK1 和 CLK2 高电位相对应的电压称作高电压，而与时钟信号 CLK1 和 CLK2 低电位相对应的电压称作低电压，其与栅极-关电压 V_{off} 的幅度相同。

[0081] 当时钟信号 CLK2 和之前的栅极输出信号 $G_{out}(j-1)$ （或扫描开始信号 STV）为高位时，晶体管 T11、T5 和 T4 导通。两个晶体管 T11 和 T4 将高电压传送到触点 J1，并且晶体管 T5 将低电压传送到触点 J2。因此，晶体管 T1 和 T14 导通并且时钟信号 CLK1 被传送到输出端子 OUT1 和 OUT2。因为触点 J2 和时钟信号 CLK1 的电压是低电压，所以输出电压 $G_{out}(j)$ 和 $C_{out}(j)$ 也是低电压。同时，电容器 C3 充以对应高电压与低电压之间差值的幅度的电压。

[0082] 因此，当时钟信号 CLK1 和随后的栅极输出 $G_{out}(j+1)$ 是低位且触点 J2 的电压也是低电压时，具有与其连接的栅极的晶体管 T10、T9、T12、T13、T8 和 T2 截止。

[0083] 随后，当时钟信号 CLK2 变低时，晶体管 T11 和 T5 截止，并当时钟信号 CLK1 变高时，晶体管 T1 的输出电压和触点 J2 的电压变为高电压。当高电压施加到晶体管 T10 的栅极时，与触点 J2 连接的源极的电位也是高电压，因而栅极和源极之间的电位差由此变为 0 且晶体管 T10 保持截止。因此，触点 J1 处于浮置状态且触点 J1 的电位随着电容器 C3 的高电压成比例增加。

[0084] 然而，因为时钟信号 CLK1 和触点 J2 的电位为高电压，所以晶体管 T2、T13 和 T8 截止。晶体管 T12 和晶体管 T13 在高电压和低电压之间串联。因此，触点 J3 的电位变为由晶体管 T12 和 T13 在导通时期内处于欧姆状态的电阻所划分的电压值。当在晶体管 T13 导通时期处于欧姆状态的电阻被设定为非常大时，例如比晶体管 T12 的大 10,000 倍，触点 J3 的电压基本上与高电压一致。相应地，晶体管 T7 导通以与晶体管 T8 串联，并且触点 J4 的电位由此变为在两个晶体管 T7 和 T8 导通时期内处于欧姆状态的电阻所划分的电压值。当在两个晶体管 T7 和 T8 导通时期内处于欧姆状态的电阻被设定为彼此基本相同时，触点 J4 的电位变为高电压和低电压的中间值，并且晶体管 T3 由此截止。由于接着的栅极输出

Gout(j+1) 保持低电压,故晶体管 T9 和 T2 也截止。因此,输出端子 OUT1 和 OUT2 仅与时钟信号 CLK1 连接并与低电压断开,从而输出高电压。

[0085] 另外,电容器 C1 和 C2 分别充以对应两端子处产生的电位差的电压,并且触点 J3 的电压比触点 J5 的电压低。

[0086] 随后,当紧接着的栅极输出 Gout(j+1) 和时钟信号 CLK2 变为高电压而时钟信号 CLK1 变为低电压时,晶体管 T9 和 T2 导通以为触点 J1 和 J2 传输低电压。此时,触点 J1 的电压降低至低电压同时电容器 C3 放电,并需要一定时间直到触点 J1 的电压完全变为低电压。相应地,两个晶体管 T1 和 T14 在紧接着的栅极输出 Gout(j+1) 电压变为高电压之后的一段时间导通,并且输出端子 OUT1 和 OUT2 由此与时钟信号 CLK1 连接以输出低电压。当触点 J1 的电位由于电容器 C3 的完全放电而达到低电压时,晶体管 T14 截止以使输出端子 OUT2 与时钟信号 CLK1 断开连接,并且承载输出 Cout(j) 处于浮置状态并且电压保持低电压。可是,因为输出端子 OUT1 通过晶体管 T2 与低电压连接而与晶体管 T1 的截止状态无关,所以连续输出低电压。

[0087] 当晶体管 T12 和 T13 截止时,触点 J3 处于浮置状态。另外,因为触点 J5 的电压低于触点 J4 的电压,并且因为触点 J3 的电压由于电容器 C1 而保持比触点 J5 的电压低,所以晶体管 T7 截止。同时,晶体管 T8 截止并且触点 J4 的电压降低相同的量,由此晶体管 T3 保持截止。另外,晶体管 T10 与栅极时钟信号 CLK1 的低电压连接且触点 J2 的电压为低,因此 T3 保持截止。

[0088] 因为晶体管 T12 和 T7 由于时钟信号 CLK1 的高电压而导通并且触点 J4 的电压增加使得晶体管 T3 导通进而低电压传递到触点 J2,所以输出端子 OUT1 连续输出低电压。就是说,尽管紧接着的栅极输出 Gout(j+1) 的电压为低电压,但触点 J2 的电压也形成为低电压。

[0089] 另外,晶体管 T10 的栅极与时钟信号 CLK1 的高电压连接并且触点 J2 的电压为低电压,且晶体管 T10 由此导通以将触点 J2 的电压传送到触点 J1。另一方面,两个晶体管 T1 和 T14 的漏极与时钟端子 CK1 连接以连续施加时钟信号 CLK1。更特别地,晶体管 T1 具有比余下晶体管更大的尺寸,由此其栅极和漏极之间的寄生电容充分大以使漏极的电压变化影响栅极电压。相应地,由于处于时钟信号 CLK1 高电压的晶体管 T1 的栅极和漏极之间的寄生电容的栅极电压增加而导通晶体管 T1。在此情况中,上述电压防止晶体管 T1 导通,以使晶体管 T1 的栅极电压通过将触点 J2 的低电压传输到触点 J1 来保持低电压。

[0090] 触点 J1 的电压保持低电压直到之前的承载输出 Cout(j-1) 的电压变为高电压。在时钟信号 CLK1 为高电压且时钟信号 CLK2 为低电压时,触点 J2 的电压为通过晶体管 T3 的低电压。在时钟信号 CLK1 为低电压且时钟信号 CLK2 为高电压时,触点 J2 的电压为通过晶体管 T5 的低电压。

[0091] 另外,晶体管 T6 被施加以从最后的虚拟级(未示出)输出的初始化信号 INT 以将栅极-关电压 Voff 传输到触点 J1,进而将触点 J1 的电压再次设定为低电压。

[0092] 每级 ST₁、ST_{j-1}、ST_j、ST_{j+1} 和 ST_{n+1} 产生承载信号 Cout(j) 和栅极输出 Gout(j),其根据前级承载信号 Cout(j-1) 以及后级栅极输出 Gout(j+1) 与时钟信号 CLK1 和 CLK2 同步。

[0093] 现在,参照图 7 和 8 以及上述图 6 详细描述根据本发明示范性实施例的栅极驱动器和扫描开始信号线之间的连接。

[0094] 图 7 为图 6 中所示的栅极驱动器的晶体管 T4 与扫描开始信号线之间关系的布局图,而图 8 为沿图 7 中的线 VIII-VIII 截取的截面图。

[0095] 参照图 6,移位寄存器 400 的第一级 ST1 被施加以扫描开始信号 STV 而不是之前的承载信号。也就是说,用于传输扫描开始信号 STV 的扫描开始信号线与第一级 ST1 的晶体管 T4 的栅极连接。以下,详细描述扫描开始信号和第一级 ST1 的晶体管 T4 之间的关系。

[0096] 参照图 7 和图 8,晶体管 T4 的引线 126 和扫描开始信号线 127 形成在基板 110 上。晶体管 T4 的引线 126 和扫描开始信号线 127 由与形成在基板 110 的显示区域上的栅极线 G_i 和 G_{i-1} 相同的材料形成。它们也可以由如铝 (Al) 和铝合金的铝基材料、如银 (Ag) 和银合金的银基材料、如铜 (Cu) 和铜合金的铜基材料、如钼 (Mo) 和钼合金的钼基材料、铬 (Cr)、钛 (Ti)、钽 (Ta) 等制成。可是,晶体管 T4 的引线 126 和扫描开始信号线 127 可具有多层结构,其包含具有不同物理特性的两个导电层(未示出)。

[0097] 晶体管 T4 的引线 126 和扫描开始信号线 127 的侧边相对于基板 110 的表面倾斜,并且倾斜角大约为 30 至 80°。

[0098] 由氮化硅 (SiN_x) 等制成的栅极绝缘层 140 形成在晶体管 T4 的引线 126、扫描信号线 127 和基板 110 之上。

[0099] 钝化层 180 形成在栅极绝缘层 140 上。钝化层 180 由诸如氮化硅或氧化硅的无机绝缘体、有机绝缘体或低介电常数绝缘体等形成。有机绝缘体和低介电常数绝缘体的介电常数小于 4.0,低介电常数绝缘体的实例包括通过等离子增强化学气相沉积 (PECVD) 形成的 a-Si:C:O 和 a-Si:O:F 等。钝化层 180 由具有光敏性的有机绝缘体形成,并且钝化层的表面是平的。可选地,钝化层 180 可以具有下层无机层和上层有机层的多层结构。

[0100] 钝化层 180 具有分别暴露晶体管 T4 的引线 126 和扫描开始信号线 127 的多个接触孔 186 和 187。

[0101] 连接构件 86 形成在钝化层 180 上。连接构件 86 由诸如 ITO 或 IZO 的透明导电材料或诸如铝、银或其合金的反射材料所制成。

[0102] 晶体管 T4 的引线 126 通过接触孔 186 和 187 与扫描开始信号线 127 物理连接和电连接,以从扫描开始信号线 127 接收扫描开始信号 STV。

[0103] 现在,参照图 9A、9B、10A、10B 以及上述的图 7 和图 8 描述根据本发明示范性实施例的栅极驱动器的部分制造方法。

[0104] 图 9A 和 10A 为制造根据本发明示范性实施例的栅极驱动器的部分制造工艺的布局图,而图 9B 和 10B 分别为沿着图 9A 和 10A 中的线 IXb-IXb 和 Xb-Xb 截取的截面图。

[0105] 以下,为说明简便,具体描述图 7 和 8 中所示的根据本发明示范性实施例的部分栅极驱动器 400。

[0106] 参照图 9A 和 9B,金属层形成在由透明玻璃或塑料制成的绝缘基板 110 上,并随后被蚀刻以形成扫描开始信号线 127、多个晶体管(未示出)以及晶体管 T4 的引线 126。

[0107] 随后,如图 10A 和图 10B 所示,由氮化硅等制成的栅极绝缘层 140 通过等离子增强化学气相沉积 (PECVD) 形成在晶体管 T4 的引线 126 和扫描开始信号线 127 上。

[0108] 然后,钝化层 180 通过等离子增强化学气相沉积 (PECVD) 沉积在栅极绝缘层 140 上。之后钝化层 180 和栅极绝缘层 140 被蚀刻以暴露晶体管 T4 的引线 126 和扫描开始信号线 127 的部分。

[0109] 随后,如图 7 和图 8 所示,IZO 或 ITO 层通过溅射沉积在钝化层 180 上,并通过利用光敏层的光刻工艺构图来形成图 8 中所示的连接构件 86。

[0110] 在此工艺中,容易产生静电。更特别地,在叠置并蚀刻栅极绝缘层 140 和钝化层 180 的工艺过程中容易产生静电,所述工艺在晶体管 140 的引线 126 和扫描开始信号线 127 形成之后执行。当产生静电时,静电通过测试焊盘部分 60 很容易进入栅极驱动器 400。与测试焊盘部分 60 的扫描开始信号线 127 直接连接的晶体管 T4 由于静电的产生而很容易损坏。因此,在本发明的该示范性实施例中,晶体管 T4 的引线 126 和扫描开始信号线 127 未直接连接而是彼此分开形成。在形成最容易产生静电的栅极绝缘层 140 和钝化层 180 的工艺之后,晶体管 T4 的引线 126 和扫描开始信号线 127 通过连接构件 86 连接,进而防止由于静电引起的对晶体管 T4 的损坏。

[0111] 现在,参照图 11 详细描述根据本发明示范性实施例的栅极驱动器。

[0112] 图 11 为根据本发明示范性实施例的部分栅极驱动器的布局图。

[0113] 参照图 11,晶体管 T4 的引线 128 和扫描开始信号线 127 形成在基板(未示出)上。栅极绝缘层(未示出)形成在晶体管 T4 的引线 128、扫描开始信号线 127 和基板上。钝化层(未示出)形成在栅极绝缘层上。

[0114] 图 11 的栅极驱动器直接与扫描开始信号线 127 和晶体管 T4 的引线 128 连接,而不同于图 7 和 8 中所示的栅极驱动器。晶体管 T4 的引线 128 包括多个分支 128a、128b 和 128c,并且分支 128a、128b 和 128c 通过多个连接线 128d 和 128e 彼此连接。当产生静电并且静电通过扫描开始信号线 127 流入晶体管 T4 时,静电通过多个分支 128a、128b 和 128c 分散并流入其中。因此,即使扫描开始信号线 127 和晶体管 T4 的引线 128 直接连接,也能减少由于静电产生而引起的对晶体管 T4 的损坏。

[0115] 现在,参照图 12 详细描述根据本发明示范性实施例的栅极驱动器。

[0116] 图 12 为根据本发明示范性实施例的部分栅极驱动器的布局图。

[0117] 参照图 12,晶体管 T4 的引线 126 和扫描开始信号线 127 形成在基板(未示出)上。栅极绝缘层(未示出)形成在晶体管 T4 的引线 126、扫描开始信号线 127 和基板上。钝化层(未示出)形成在栅极绝缘层上。

[0118] 与图 11 中所示的栅极驱动器类似,在图 12 中所示的栅极驱动器中,晶体管 T4 的引线 126 也包括多个分支 126a、126b 和 126c。可是,不同于图 11 的栅极驱动器的是,多个分支 126a、126b 和 126c 未直接与扫描开始信号线连接。与图 7 和 8 中所示的栅极驱动器相同,在图 12 中所示的栅极驱动器中,每个分支 126a、126b 和 126c 和扫描开始信号线 127 通过多个接触孔 186a、186b 和 186c 以及多个连接构件 86a、86b 和 86c 彼此连接。每个分支 126a、126b 和 126c 与多个连接线 126d 和 126e 连接。因此,防止静电流入晶体管 T4 内,并且即使静电流入,也能分散静电,进而最小化对其的损坏。

[0119] 根据本发明的示范性实施例,防止静电在液晶显示器的制造过程中流入集成在显示板上的栅极驱动器,进而最小化对栅极驱动器的损坏。

[0120] 虽然根据示范性实施例已经描述了本发明,应当清楚本发明并不限于这些示范性实施例,并且在不脱离本发明的真实精神和范围的情况下一些修改和改变对于本领域的技术人员而言是显而易见的。

[0121] 本申请要求韩国专利申请第 10-2006-0047074 号,申请日为 2006 年 5 月 25 日的

优先权,该优先权申请的全部内容在此引入作为参考。

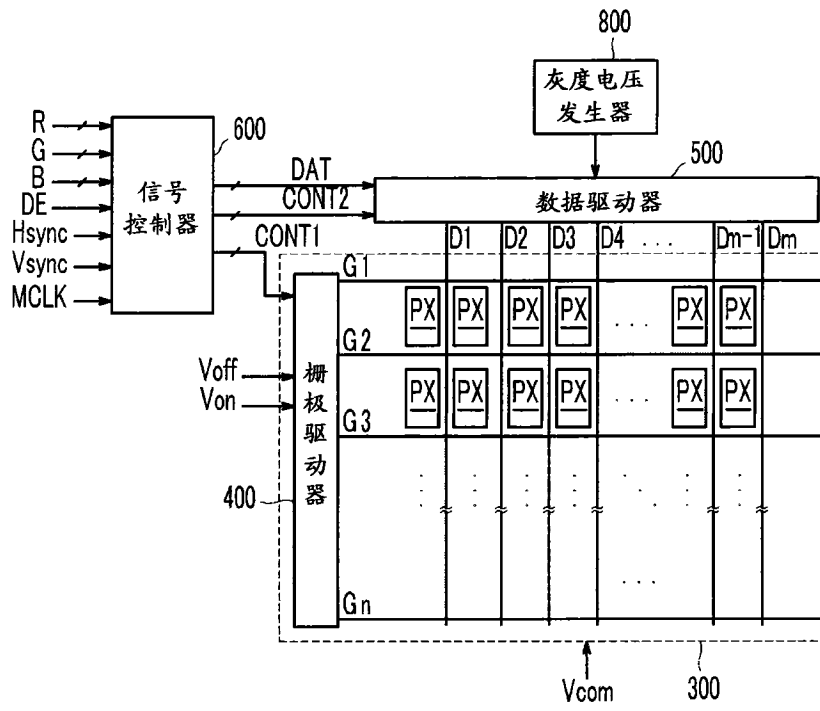


图 1

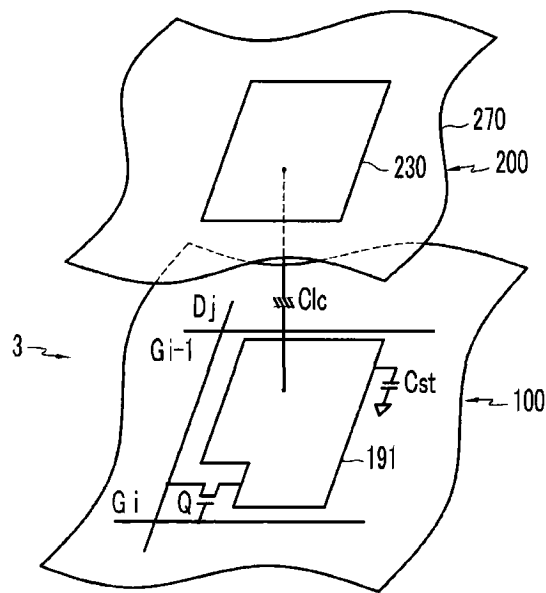


图 2

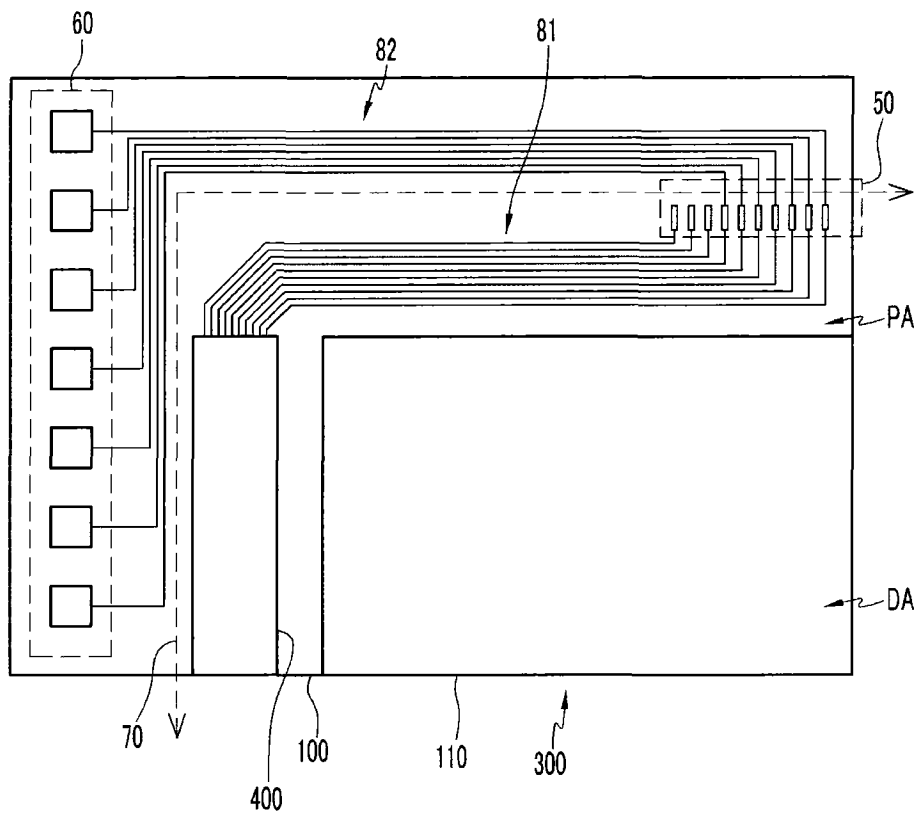


图 3

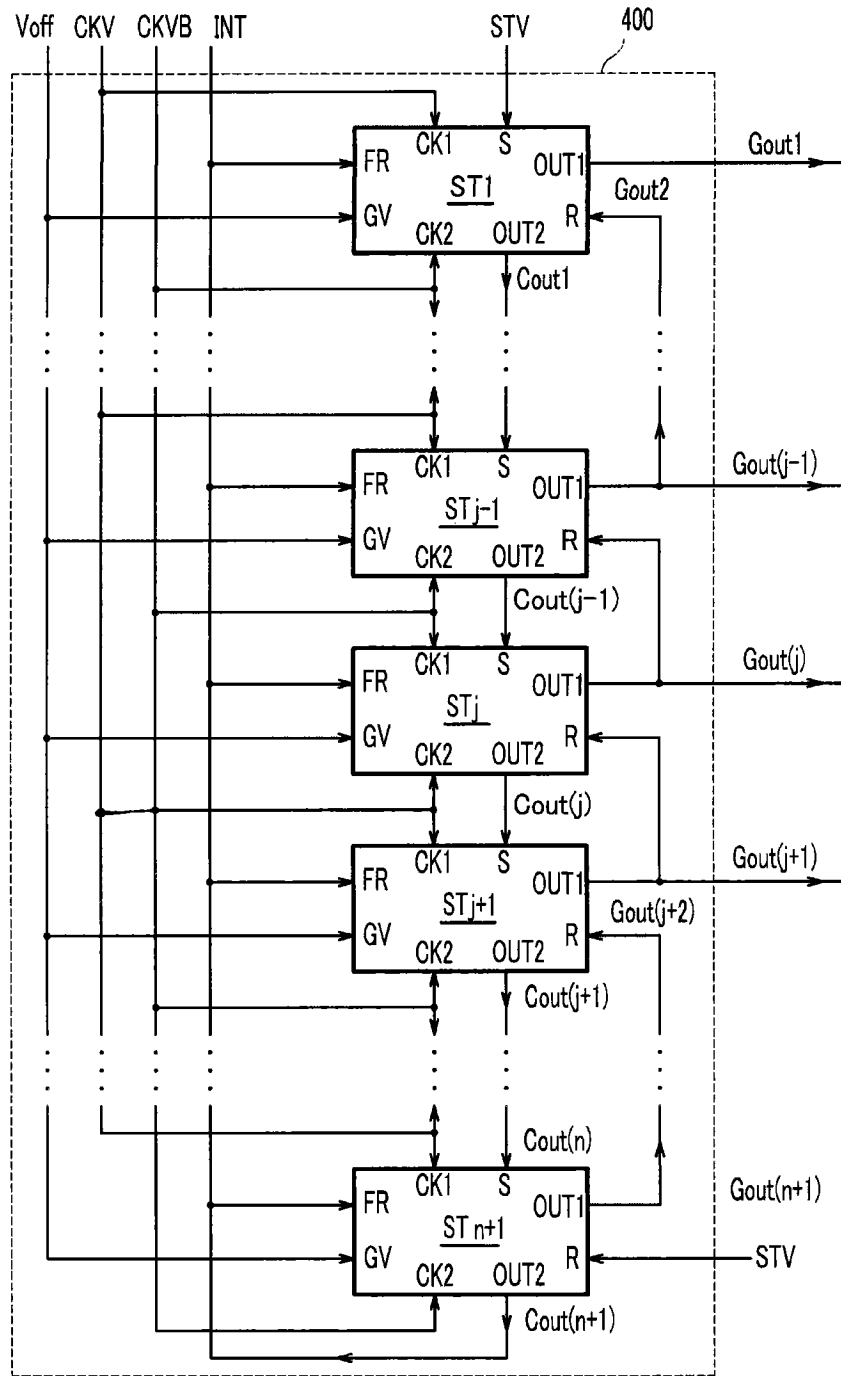


图 4

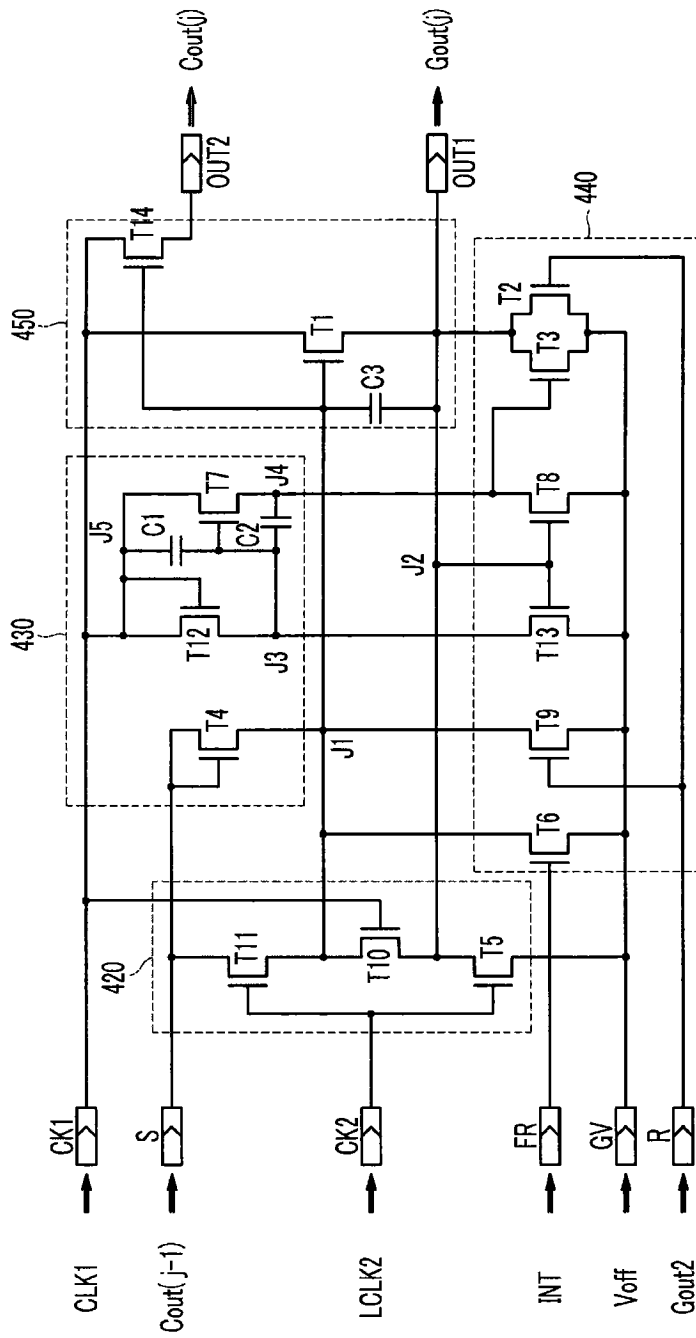


图 5

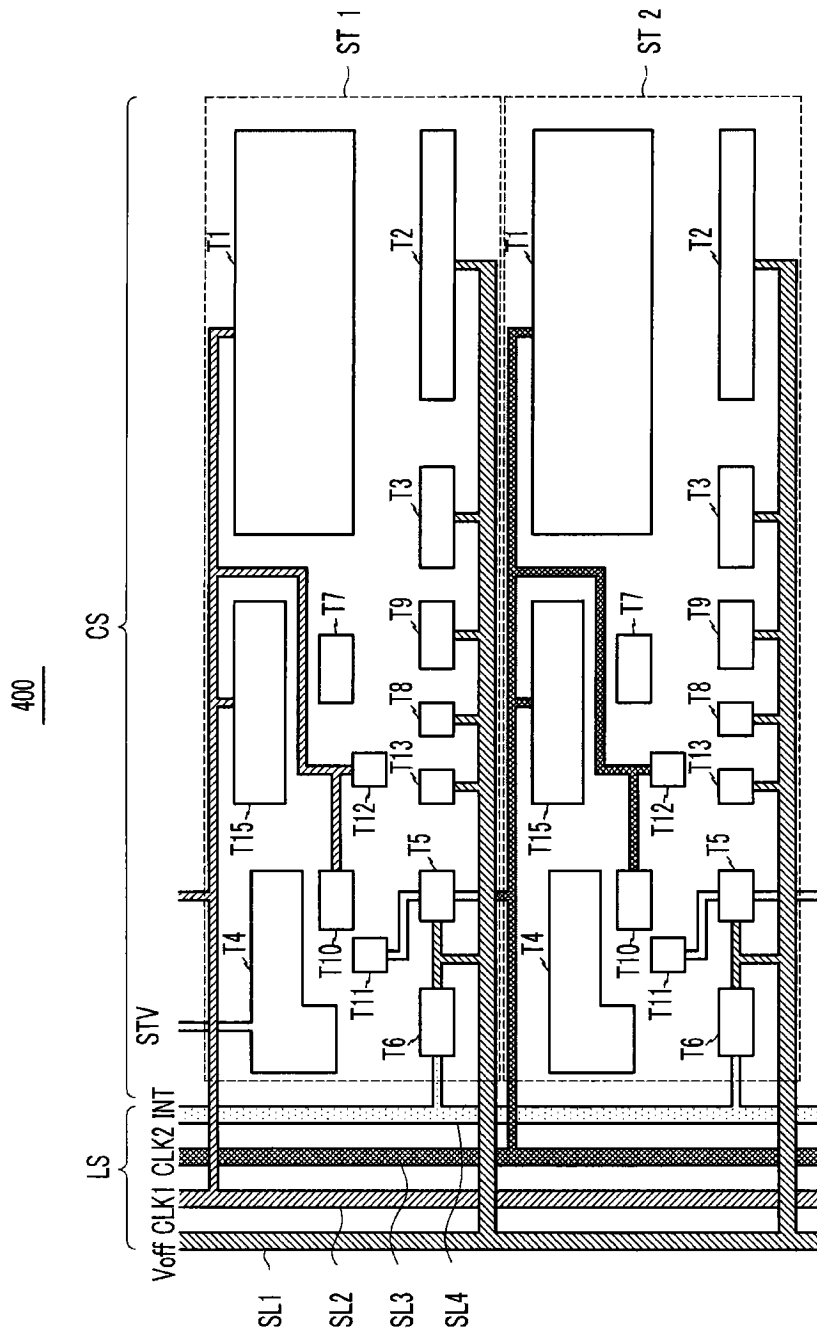


图 6

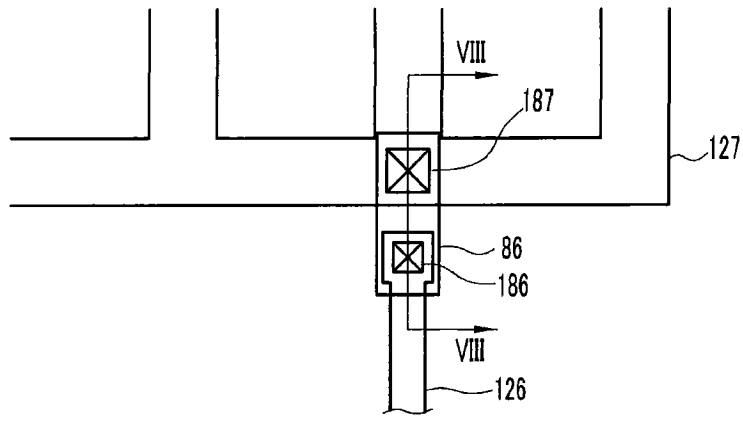


图 7

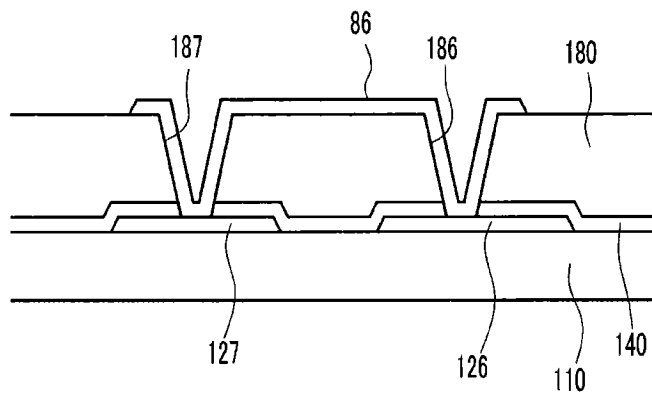


图 8

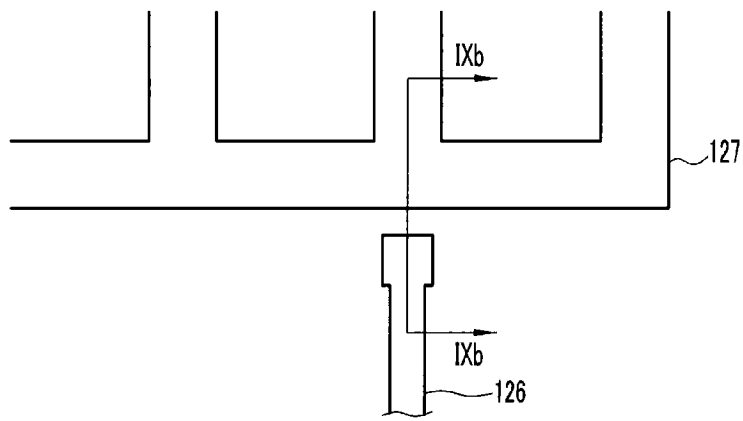


图 9A

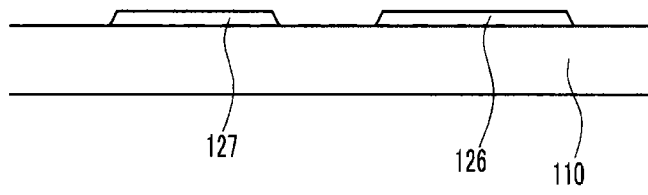


图 9B

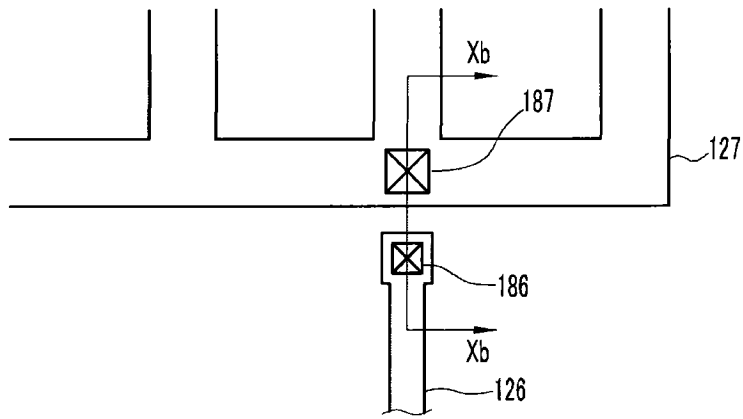


图 10A

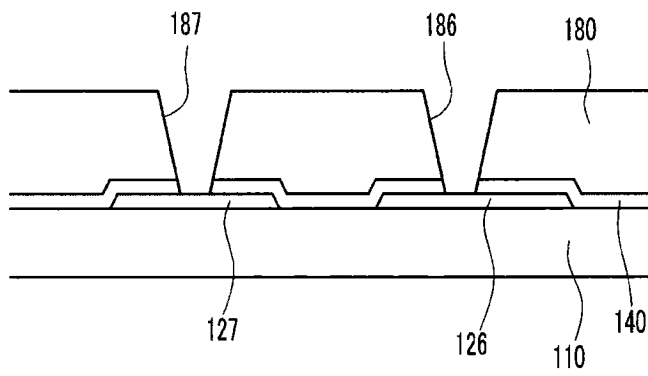


图 10B

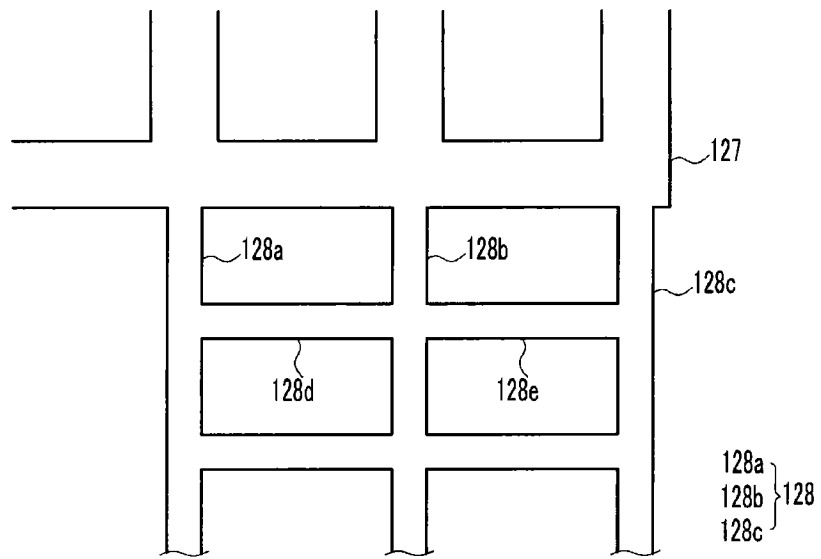


图 11

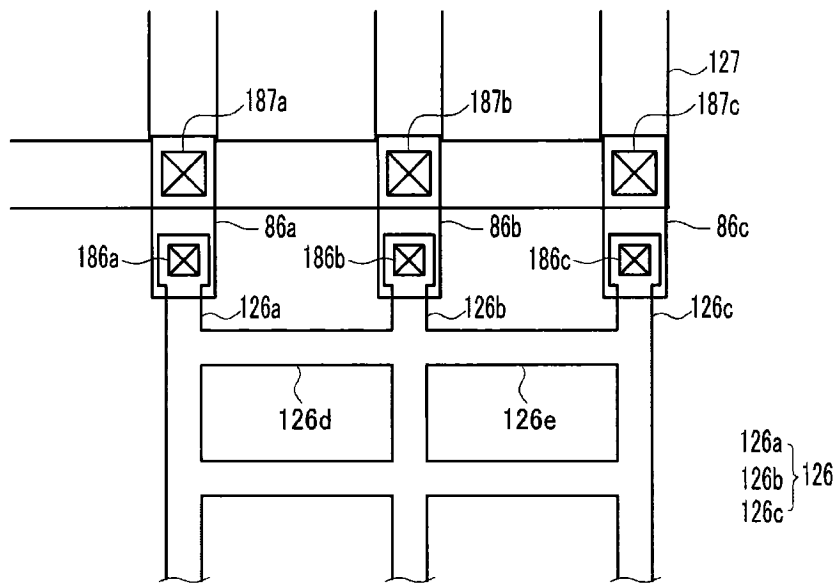


图 12

专利名称(译)	液晶显示器		
公开(公告)号	CN101078848B	公开(公告)日	2013-05-08
申请号	CN200710137978.2	申请日	2007-05-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	金德星		
发明人	金德星		
IPC分类号	G02F1/1362 G02F1/133 G09G3/36		
CPC分类号	G02F1/136204 H01L27/1214 H01L27/124		
审查员(译)	韩旭		
优先权	1020060047074 2006-05-25 KR		
其他公开文献	CN101078848A		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示器，包括：基板、包含多个开关元件的多个像素、与开关元件连接并沿行方向延伸的多个栅极线、包括与栅极线连接的电路部分和与电路部分连接的布线部分的栅极驱动器以及绝缘层。电路部分包括晶体管，布线部分包括信号线，而晶体管和信号线通过连接构件连接，进而能够防止静电在制造过程中进入显示器的栅极驱动器。

