

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410100983.2

[51] Int. Cl.

G02F 1/133 (2006.01)

G09G 3/36 (2006.01)

G11C 19/28 (2006.01)

[45] 授权公告日 2007 年 12 月 12 日

[11] 授权公告号 CN 100354711C

[22] 申请日 2004.12.30

[21] 申请号 200410100983.2

[30] 优先权

[32] 2004.5.27 [33] KR [31] 10-2004-0037724

[73] 专利权人 LG. 飞利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 金性均

[56] 参考文献

CN1167306A 1997.12.10

CN1480952A 2004.3.10

CN1116752A 1996.2.14

CN1395256A 2003.2.5

CN1120210A 1996.4.10

GB2343067A 2000.4.26

审查员 吕 东

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 梁 挥

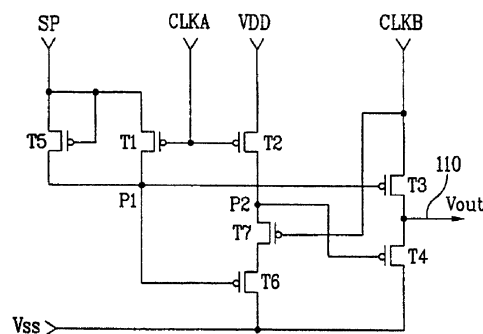
权利要求书 2 页 说明书 11 页 附图 6 页

[54] 发明名称

移位寄存器和使用其的液晶显示器件

[57] 摘要

本发明提供一种用于液晶显示器件的栅驱动器的移位寄存器，即使提供给第一级的起始脉冲与时钟脉冲不同步，移位寄存器也能输出栅驱动脉冲。该移位寄存器具有相继输出栅驱动脉冲的多级。至少一级包括通过第一时钟信号导通且将起始脉冲施加给第一节点的第一开关装置。第二开关装置通过第一时钟信号导通，且将第一电源电压施加给第二节点。第三开关装置通过施加给第一节点的起始脉冲导通，并输出第二时钟信号。第四开关装置通过第一电源电压导通，并输出第二电源电压。第五开关装置通过起始脉冲导通，并将起始脉冲施加给第一节点，其中第五开关装置仅设置在所述多级的第一级中。



1、一种用于液晶显示器件的栅驱动器的移位寄存器，包括：

相继输出栅驱动脉冲的多级，至少一级包括：

第一开关装置，其通过第一时钟信号导通，并将起始脉冲施加给第一节点；

第二开关装置，其通过第一时钟信号导通，并将第一电源电压施加给第二节点；

第三开关装置，其通过施加给第一节点的起始脉冲导通，并将第二时钟信号施加给该级的输出端；

第四开关装置，其通过施加给第二节点的第一电源电压导通，并将第二电源电压施加给该级的输出端；以及

第五开关装置，其通过起始脉冲导通，并将起始脉冲施加给第一节点，其中第五开关装置仅设置在所述多级的第一级中。

2、如权利要求1所述用于液晶显示器件的栅驱动器的移位寄存器，其特征在于：所述至少一级还包括：

第六开关装置，其通过第一节点的状态导通，并使第二电源电压通过；和

第七开关装置，其通过第二时钟信号的逻辑导通，并将通过第六开关装置的第二电源电压施加给第二节点。

3、如权利要求2所述用于液晶显示器件的栅驱动器的移位寄存器，其特征在于：第一至第七开关装置由PMOS晶体管或NMOS晶体管形成。

4、如权利要求1所述用于液晶显示器件的栅驱动器的移位寄存器，其特征在于：第一开关装置与第五开关装置并联。

5、如权利要求4所述用于液晶显示器件的栅驱动器的移位寄存器，其特征在于：第一开关装置的源极与第五开关装置的源极连接，第一开关装置的漏极与第五开关装置的漏极连接，并且第五开关装置的栅极与第五开关装置的源极连接。

6、如权利要求1所述用于液晶显示器件的栅驱动器的移位寄存器，其特征在于：所述起始脉冲与所述第一时钟信号同步。

7、如权利要求1所述用于液晶显示器件的栅驱动器的移位寄存器，其特征在于：所述起始脉冲与所述第一和第二时钟信号不同步。

8、如权利要求1所述用于液晶显示器件的栅驱动器的移位寄存器，其特征在于：所述起始脉冲具有比所述第一时钟信号和第二时钟信号的宽度更宽的宽度。

9、一种液晶显示器件，包括：

具有多条彼此相交的栅线和数据线的显示板；和

将栅驱动脉冲相继提供给液晶显示板的栅线的栅驱动器，该栅驱动器包含具有多级的移位寄存器，其中至少一级包括：

第一开关装置，其通过第一时钟信号导通，并将起始脉冲施加给第一节点；

第二开关装置，其通过第一时钟信号导通，并将第一电源电压施加给第二节点；

第三开关装置，其通过施加给第一节点的起始脉冲导通，并将第二时钟信号施加至少一级的输出端；

第四开关装置，其通过施加给第二节点的第一电源电压导通，并将第二电源电压施加给该级的输出端；以及

第五开关装置，其通过起始脉冲导通，并将起始脉冲施加给第一节点，其中第五开关装置仅设置在所述多级的第一级中，初始的起始脉冲提供给该第一级。

10、如权利要求9所述的液晶显示器件，其特征在于：所述至少一级还包括：

第六开关装置，其通过第一节点的状态导通，并使第二电源电压通过；及

第七开关装置，其通过第二时钟信号的逻辑导通，并将通过第六开关装置的第二电源电压施加给第二节点。

移位寄存器和使用其的液晶显示器件

本申请要求 2004 年 5 月 27 日递交的韩国申请 No. P2004-37724 的权利，该申请在此引作参考。

技术领域

本申请涉及一种液晶显示 (LCD) 器件，以及一种移位寄存器和使用其的一种 LCD 器件，其中起始脉冲与时钟信号之间不必要同步。

背景技术

随着信息社会的发展，对多种显示器件的需求增加。因而，有许多努力致力于研究和开发多种平板显示器件，如液晶显示器件 (LCD)，等离子体显示板 (PDP)，电致发光显示器 (ELD) 和真空荧光显示器 (VFD)。有些种平板显示器件已经用于多种设备的显示器。

在多种平板显示器件中，液晶显示 (LCD) 器件由于外形薄、重量轻和低能耗的有益特性而获得广泛地使用，从而 LCD 器件提供了阴极射线管 (CRT) 的一种替代品。除了移动型 LCD 器件，如笔记本电脑的显示器以外，LCD 器件还用作计算机监视器和电视机，用以接收和显示广播信号。

尽管应用于不同领域的 LCD 技术取得了各种技术发展，但是，与 LCD 器件的其它特征和优点相比，在某些方面缺少对增强 LCD 器件图像质量的研究。从而，为了在多个领域中使用 LCD 器件作为通用显示器，研制 LCD 器件的关键在于 LCD 器件是否能用大尺寸屏幕实现高质量图像，如高分辨率和高亮度，同时依然保持重量轻、薄和低能耗。

通常，LCD 器件包括用于显示图像的 LCD 板，和将驱动信号施加给 LCD 板的驱动器。此外，LCD 板包括彼此粘接在一起、之间具有盒间隙的第一和第二玻璃基板，以及在第一与第二玻璃基板之间形成的液晶层。

第一玻璃基板 (TFT 阵列基板) 包括以固定间隔沿第一方向设置的多条栅线，以固定间隔沿垂直于第一方向的第二方向设置的多条数据线，在由栅线与数据线

交叉限定的像素区域内设置成矩阵型结构的多个像素电极, 以及多个薄膜晶体管, 能够根据输送给栅线的信号, 将信号从数据线传输给像素电极。

此外, 第二玻璃基板(滤色片阵列基板)包括阻止从第一基板上除像素区域以外的部分发出的光的黑矩阵层, 用于显示多种颜色的 R/G/B 滤色片层, 以及用于产生图像的公共电极。通过衬垫料保持第一与第二基板之间的盒间隙, 然后通过密封剂将第一与第二基板粘接在一起。

下面将描述现有技术 LCD 器件的驱动电路。图 1 为现有技术 LCD 器件的驱动电路的方块图。如图 1 中所示, 现有技术 LCD 器件包括 LCD 板 21, LCD 板 21 具有彼此相交以限定设置成矩阵型结构的多个像素区域的多条栅线 G 和数据线 D, 向 LCD 板 21 提供扫描信号和数据信号的驱动电路 22, 以及向 LCD 板 21 提供均匀光源的背光 28。

驱动电路 22 包括数据驱动器 21b, 栅驱动器 21a, 时序控制器 23, 电源单元 24, 伽玛参考电压单元 25, DC/DC 转换器 26, 以及逆变器 29。数据驱动器 21b 将数据信号输入 LCD 板 21 的每条数据线 D, 栅驱动器 21a 将扫描信号输送给 LCD 板 21 的每条栅线 G。然后, 时序控制器 23 从 LCD 板 21 的驱动系统 27 接收显示数据 R/G/B, 垂直同步信号 Vsync 和水平同步信号 Hsync, 时钟信号 DCLK 和控制信号 DTEN, 并且以适于 LCD 板 21 的栅驱动器 21a 和数据驱动器 21b 恢复图像的时序将显示数据、时钟信号和控制信号格式化。电源单元 24 向 LCD 板 21 和各个单元提供电压。另外, 伽玛参考电压单元 25 从电源单元 24 接收能量, 并提供将数据驱动器 21b 输入的数字数据转换成模拟数据时所需的参考电压。DC/DC 转换器 26 利用电源单元 24 输出的电压向 LCD 板 21 输出恒压 V_{DD} , 栅高压 V_{GH} , 栅低压 V_{GL} , 参考电压 V_{ref} 和公共电压 V_{com} 。此外, 逆变器 29 驱动背光 28。

下面描述现有技术 LCD 器件的驱动电路的操作。即, 时序控制器 23 从 LCD 板的驱动系统 27 接收显示数据 R/G/B, 垂直同步信号 Vsync 和水平同步信号 Hsync, 时钟信号 DCLK, 和控制信号 DTEN, 并以适于 LCD 板 21 的栅驱动器 21a 和数据驱动器 21b 恢复图像的时序提供显示数据、时钟信号和控制信号。因而, 栅驱动器 21a 将扫描信号输送给 LCD 板 21 的每条栅线 G, 而数据驱动器 21b 将数据信号输送给 LCD 板 21 的每条数据线 D, 从而显示所输入的图像信号。栅驱动器包括移位寄存器, 用于相继将扫描信号提供给每条栅线。

下面, 将参照附图描述现有技术的移位寄存器。图 2 为现有技术移位寄存器的示意图。图 3 为图 2 中每一级的电路图。如图 2 中所示, 现有技术的移位寄存器包括用

于接收时钟信号 CLKA 和 CLKB 以及电源电压 VDD 和 VSS 的多级(51a, 51b, 51c, 51d, ..., 51n)，同步输出用于顺序驱动各条栅线 G 的栅驱动脉冲。

第一级 51a 接收起始脉冲 SP，第一时钟信号 CLKA，第二时钟信号 CLKB，第一电源电压 VDD 和第二电源电压 VSS，然后输出第一栅驱动脉冲 Vout1。第二级 51b 接收第一级 51a 的第一栅驱动脉冲 Vout1，第一时钟信号 CLKA，第二时钟信号 CLKB，第一电源电压 VDD 和第二电源电压 VSS，然后输出第二栅驱动脉冲 Vout2，其中第二栅驱动脉冲 Vout2 从第一栅驱动脉冲 Vout1 延迟一个周期。第 n 级 51n 接收第 (n-1) 级 51n-1 的第 (n-1) 栅驱动脉冲 Voutn-1，第一时钟信号 CLKA，第二时钟信号 CLKB，第一电源电压 VDD 和第二电源电压 VSS，然后输出第 n 栅驱动脉冲 Voutn，其中第 n 栅驱动脉冲 Voutn 从第 (n-1) 栅驱动脉冲 Voutn-1 延迟一个周期。

简而言之，仅有第一级 51a 接收起始脉冲 SP。同时，从第二级 51b 到第 n 级 51n 的其余各级分别使用前一级的输出驱动脉冲 (Vout1 至 Voutn-1)，从而其余各级输出从前一输出驱动脉冲 (Vout1 至 Voutn-1) 延迟一个周期的栅驱动脉冲 (Vout2 至 Voutn)。因而，从各级 (51a, 51b, 51c, 51d, ..., 51n) 输出的栅驱动脉冲 (Vout1 至 Voutn) 提供给相应栅线 G，从而顺序扫描栅线 G。

为此，每一级 (51a, 51b, 51c, 51d, ..., 51n) 具有图 3 中所示的电路。每一级 (51a, 51b, 51c, 51d, ..., 51n) 的电路具有相同结构。不过，第一和第二时钟信号 CLKA 和 CLKB 交替施加给奇数级 (51a, 51c, 51e, ...) 和偶数级 (51b, 51d, ...)。在此，用于第一级 51a 的电路如下所述。

即，如图 3 中所示，第一级 51a 还包括第一 PMOS 晶体管 T1，第二 PMOS 晶体管 T2，第三 PMOS 晶体管 T3，第四 PMOS 晶体管 T4，第五 PMOS 晶体管 T5 和第六 PMOS 晶体管 T6。第一 PMOS 晶体管 T1 通过第一时钟信号 CLKA 的逻辑导通/截止，并且第一 PMOS 晶体管 T1 在处于导通状态时将起始脉冲 SP 提供给第一节点 P1。此外，第二 PMOS 晶体管 T2 通过第一时钟信号 CLKA 的逻辑导通/截止，且第二 PMOS 晶体管 T2 在处于导通状态时将第一电源电压 VDD 提供给第二节点 P2。第三 PMOS 晶体管 T3 通过第一节点 P1 中充电的起始脉冲 SP 导通/截止，且第三 PMOS 晶体管 T3 在处于导通状态时将第二时钟信号 CLKB 提供给输出线 50a。第四 PMOS 晶体管 T4 取决于第二节点 P2 的状态导通/截止，且第四 PMOS 晶体管 T4 在处于导通状态时将第二电源电压 VSS 提供给输出线 50a。第五 PMOS 晶体管 T5 通过在第一节点 P1 充电的起始脉冲 SP 的逻辑导通/截止，且第五 PMOS 晶体管 T5 在处于导通状态时使第二电源电压 VSS 通过。第六 PMOS

晶体管 T6 通过第二时钟信号 CLKB 的逻辑导通/截止, 且第六 PMOS 晶体管 T6 在处于导通状态时利用通过第五 PMOS 晶体管 T5 的第二电源电压 VSS 为第二节点 P2 充电。

在此情形中, 可用第一电源电压 VDD 或第二电源电压 VSS 为第二节点 P2 充电。如果用低逻辑的第一电源电压 VDD 充电第二节点 P2, 则与第二节点 P2 连接的第四 PMOS 晶体管 T4 导通。如果用高逻辑的第二电源电压 VSS 充电第二节点 P2, 则第四 PMOS 晶体管 T4 截止。

同样, 使用通过第三 PMOS 晶体管 T3 或第四 PMOS 晶体管 T4 提供给第一级 51a 的输出线 50a 的第二时钟信号 CLKB, 作为第一栅驱动脉冲 Vout1, 并且还用作下一级 51b 的起始脉冲 SP。

如上所述, 对于奇数级 (51a, 51c, 51e, ...), 第一时钟信号 CLKA 施加给第一 PMOS 晶体管 T1 和第二 PMOS 晶体管 T2 的栅极端, 第二时钟信号 CLKB 施加给第三 PMOS 晶体管 T3 的源极端。对于偶数级 (51b, 51d, ...), 第二时钟信号 CLKB 施加给第一 PMOS 晶体管 T1 和第二 PMOS 晶体管 T2 的栅极端, 第一时钟信号 CLKA 施加给第三 PMOS 晶体管 T3 的源极端。

下面将描述移位寄存器的操作。图 4 为提供给现有技术移位寄存器的每个信号的时序图。

首先, 将详细描述第一周期 (A) 期间移位寄存器的操作。即, 如图 4 中所示, 在第一周期 (A) 期间, 起始脉冲 SP 和第一时钟信号 CLKA 保持在低逻辑状态, 而第二时钟信号 CLKB 保持在高逻辑状态。低逻辑状态的第一时钟信号 CLKA 施加给第一 PMOS 晶体管 T1 和第二 PMOS 晶体管 T2 的栅极。

然后, 通过低逻辑状态的第一时钟信号 CLKA 将第一 PMOS 晶体管 T1 和第二 PMOS 晶体管 T2 导通。从而, 施加给第一 PMOS 晶体管 T1 的源极的低逻辑状态起始脉冲 SP, 通过第一 PMOS 晶体管 T1 提供给第一节点 P1, 而施加给第二 PMOS 晶体管 T2 的源极的低逻辑状态第一电源电压 VDD, 通过第二 PMOS 晶体管 T2 提供给第二节点 P2。

之后, 通过在第一节点 P1 充电的低逻辑起始脉冲 SP, 将通过栅极与第一节点 P1 连接的第三 PMOS 晶体管 T3 和第五 PMOS 晶体管 T5 导通。此外, 在第二节点 P2 中充电的低逻辑第一电源电压 VDD 将第四 PMOS 晶体管 T4 导通。因此, 高逻辑的第二电源电压 VSS 和高逻辑的第二时钟信号 CLKB 通过第四 PMOS 晶体管 T4 提供给输出线 50a。高逻辑的第二时钟信号 CLKB 还施加给第六 PMOS 晶体管 T6 的栅极, 从而使第六 PMOS 晶体管 T6 截止。

然后,下面将描述第二周期(B)期间移位寄存器的操作。在第二周期(B)期间,起始脉冲SP和第一时钟信号CLKA变成高逻辑状态,从而第二时钟信号CLKB变成低逻辑状态。因此,高逻辑的第一时钟信号CLKA通过每条栅线施加给第一PMOS晶体管T1和第二PMOS晶体管T2,从而第一PMOS晶体管T1和第二PMOS晶体管截止。即,在第一周期(A)期间充电的低逻辑起始脉冲SP保持相同状态。

因此,通过在第一节点P1充电的低逻辑起始脉冲SP使第三PMOS晶体管T3和第五PMOS晶体管T5保持导通。如上所述,在第二周期(B)期间,随着第二时钟信号CLKB变成低逻辑状态,第六PMOS晶体管T6导通,从而高逻辑的第二电源电压VSS(+V)通过第五PMOS晶体管T5和第六PMOS晶体管T6提供给第二节点P2。因此,通过在第二节点P2充电的高逻辑的第二电源电压VSS将第四PMOS晶体管T4截止,从而低逻辑的第二时钟信号CLKB通过第三PMOS晶体管T3提供给输出线50a。

此时,在第二周期(B)期间,第一PMOS晶体管T1和第二PMOS晶体管T2截止,从而第一节点P1处于浮动状态。此外,通过第三PMOS晶体管T3的栅极与漏极之间的寄生电容,第一节点P1的起始脉冲SP降低成与提供给输出线50a的低逻辑的第二时钟信号CLKB相一致。因此,更高起始脉冲SP施加给第三PMOS晶体管T3的栅极,从而降低了第三PMOS晶体管T3的阈值电压。即,低逻辑的第二时钟信号CLKB无损耗地提供给输出线50a。

下面,将描述第三周期(C)期间移位寄存器的操作。在第三周期(C)期间,起始脉冲SP保持在高逻辑状态,而第一时钟信号CLKA变成低逻辑状态,从而第二时钟信号CLKB变成高逻辑状态。因此,通过低逻辑的第一时钟信号CLKA使第一PMOS晶体管T1和第二PMOS晶体管T2再次导通,并且高逻辑的起始脉冲SP通过导通的第一PMOS晶体管T1提供给第一节点P1。因而,低逻辑的第一电源电压VDD(-V)通过第二PMOS晶体管T2提供给第二节点P2。

之后,通过第一节点P1中充电的高逻辑起始脉冲SP使第三PMOS晶体管T3和第五PMOS晶体管T5截止,并通过第二节点P2中充电的低逻辑第一电源电压VDD将第四PMOS晶体管T4导通。此外,高逻辑的第二时钟信号CLKB施加给第六PMOS晶体管T6的栅极,从而使第六PMOS晶体管T6截止。因此,高逻辑的第二电源电压VSS通过第四PMOS晶体管T4施加给输出线50a。

在此情形中,在第二周期(B)期间提供给第一级51a的输出线50a的低逻辑第二时钟信号CLKB相当于用于驱动栅线G的第一栅驱动脉冲Vout1。同时,第一级51a

的输出线 50a 输出的第一栅驱动脉冲 Vout1 施加给第二级 51b 的第一 PMOS 晶体管 T1 的源极端, 并且第二时钟信号 CLKB 施加给第一 PMOS 晶体管 T1 和第二 PMOS 晶体管 T2 的栅极端。因此, 第一时钟信号 CLKA 作为第二栅驱动脉冲 Vout2 输出给第二级 51b 的输出线 50b, 其中第二栅驱动脉冲 Vout2 的低逻辑第一时钟信号 CLKA 从第一级 51a 的低逻辑第一时钟信号 CLKA 延迟 (偏移) 一个周期。结果, 第一到第 n 栅驱动脉冲 (Vout1 到 Voutn) 通过移位寄存器相继提供给栅线 G。

同样, 起始脉冲 SP 是否输出取决于第一时钟信号 CLKA 的逻辑, 从而提供给第一级的起始脉冲 SP 与第一时钟信号 CLKA 同步地输出。即, 如上所述, 第一时钟信号 CLKA 提供给第一 PMOS 晶体管 T1 的栅极, 从而使第一 PMOS 晶体管 T1 导通/截止。为了在第一周期 (A) 期间在第一节点 P1 中充电起始脉冲 SP, 第一 PMOS 晶体管 T1 保持在导通状态, 用于施加起始脉冲 SP。为此, 在第一周期 (A) 期间, 提供给第一 PMOS 晶体管 T1 的栅极的第一时钟信号 CLKA 必须保持在低逻辑状态。从而, 为了正常操作现有技术的移位寄存器, 必须使第一时钟信号 CLKA 与起始脉冲 SP 同步。

发明内容

提供一种即使提供给第一级的时钟信号与起始脉冲不同步也能输出栅驱动脉冲的移位寄存器和使用其的 LCD 器件。

通过介绍, 一方面, 一种用于液晶显示器件的栅驱动器的移位寄存器包括相继输出栅驱动脉冲的多级。至少一级包括第一至第五开关装置。第一开关装置通过第一时钟信号导通, 并将起始脉冲施加给第一节点。第二开关装置通过第一时钟信号导通, 并将第一电源电压施加给第二节点。第三开关装置通过施加给第一节点的起始脉冲导通, 并将第二时钟信号输送给该级的输出端。第四开关装置通过施加给第二节点的第一电源电压导通, 并将第二电源电压输送给该级的输出端。第五开关装置通过起始脉冲导通, 并将起始脉冲施加给第一节点, 其中第五开关装置仅设置在所述多级的第一级中。

另一方面, 一种液晶显示装置包括具有多个彼此相交的栅线和数据线的显示板, 以及可相继向 LCD 板的栅线提供栅驱动信号的栅驱动器。栅驱动器包含与前述移位寄存器相似的移位寄存器。

再一方面, 一种 LCD 显示器件的移位寄存器, 包括多级, 起始脉冲和多个时钟信号施加给所述多级。所述多级中的第一级包含允许在与多个时钟信号中任何一个不同步的时刻输送起始脉冲的器件, 第一级的输出提供给 LCD 显示器件的第一栅线。

应当理解，上面的概括描述和下面的详细描述都是示例性和解释性的，意在提供所要求保护的本发明的进一步解释。

附图说明

用于提供本发明进一步理解并包含和构成本申请一部分的附图，说明了本发明的实施例，与描述一起用于解释本发明的原理。在附图中：

图 1 为现有技术 LCD 器件的驱动电路的方块图；

图 2 为现有技术移位寄存器的示意图；

图 3 为图 2 中每一级的电路图；

图 4 为提供给现有技术移位寄存器的每个信号的时序图；

图 5 为根据本发明实施例的移位寄存器的一级的电路图；

图 6 为在图 5 的移位寄存器中与第一时钟信号不同步的起始脉冲的时序图；

图 7 为时序不一致的起始脉冲施加给图 5 的移位寄存器时，各信号的时序图；以及

图 8 为使用图 5 移位寄存器的 LCD 器件的示意图。

具体实施方式

下面将详细参照本发明的优选实施例，附图中表示出其示例。在附图中尽可能用相同附图标记表示相同或相似部件。

下面，将参照附图描述根据本发明的移位寄存器和使用其的 LCD 器件。

图 5 为根据本发明实施例移位寄存器的一级的电路图。图 6 所示的时序图说明在本发明实施例的移位寄存器中起始脉冲与第一时钟信号不同步的状态。图 7 为说明根据本发明实施例起始脉冲不一致时序状态的各信号的时序图。图 8 为使用本发明移位寄存器的 LCD 器件的示意图。

根据本发明的移位寄存器包括多级，用于接收各时钟信号 CLKA 和 CLKB，并输送电源电压 VDD 和 VSS，且同步地依次输出驱动栅线 G 的栅驱动脉冲。

如图 5 中所示，每一级包括第一 PMOS 晶体管 T1，第二 PMOS 晶体管 T2，第三 PMOS 晶体管 T3，第四 PMOS 晶体管 T4，第五 PMOS 晶体管 T5，第六 PMOS 晶体管 T6 和第七 PMOS 晶体管 T7。第一 PMOS 晶体管 T1 通过第一时钟信号 CLKA（或第二时钟信号 CLKB）的逻辑而导通/截止，且第一 PMOS 晶体管 T1 在处于导通状态时将起始脉冲 SP（或前

一级的输出)施加给第一节点 P1。第二 PMOS 晶体管 T2 通过第一时钟信号 CLKA (或第二时钟信号 CLKB) 的逻辑导通/截止, 且第二 PMOS 晶体管 T2 在处于导通状态时将第一电源电压 VDD 施加给第二节点 P2, 第三 PMOS 晶体管 T3 取决于第一节点 P1 的状态导通/截止, 第三 PMOS 晶体管 T3 在处于导通状态时将第二时钟信号 CLKB (或第一时钟信号 CLKA) 提供给输出线 110。第四 PMOS 晶体管 T4 取决于第二节点 P2 的状态而导通/截止, 且第四 PMOS 晶体管 T4 将第二电源电压 VSS 提供给输出线 110。第五 PMOS 晶体管 T5 通过起始脉冲 SP (或前一级的输出) 的逻辑而导通/截止, 且第五 PMOS 晶体管 T5 在处于导通状态时将起始脉冲 SP (或前一级的输出) 施加给第一节点 P1。第六 PMOS 晶体管 T6 取决于第一节点 P1 的状态而导通/截止, 且第六 PMOS 晶体管 T6 在处于导通状态时使第二电源电压 VSS 通过。第七 PMOS 晶体管 T7 通过第二时钟信号 CLKB (或第一时钟信号 CLKA) 的逻辑而导通/截止, 且第七 PMOS 晶体管 T7 在处于导通状态时通过第六 PMOS 晶体管 T6 将第二电源电压 VSS 施加给第二节点 P2。

此处, 可用第一电源电压 VDD 或第二电源电压 VSS 将第二节点 P2 充电。在用低逻辑第一电源电压 VDD 充电第二节点 P2 时, 栅极与第二节点 P2 连接的第四 PMOS 晶体管 T4 导通。如果用高逻辑的第二电源电压 VSS 为第二节点 P2 充电, 则第四 PMOS 晶体管 T4 截止。

如上所述, 对于奇数级 (51a, 51c, 51e, ...), 第一时钟信号 CLKA 施加给第一 PMOS 晶体管 T1 和第二 PMOS 晶体管 T2 的栅极端, 第二时钟信号 CLKB 施加给第三 PMOS 晶体管 T3 的源极端。对于偶数级 (51b, 51d, ...), 第二时钟信号 CLKB 施加给第一 PMOS 晶体管 T1 和第二 PMOS 晶体管 T2 的栅极端, 第一时钟信号 CLKA 施加给第三 PMOS 晶体管 T3 的源极端。在这种状态下, 起始脉冲或前一级的输出信号共同施加给第五 PMOS 晶体管 T5 的源极和栅极。

第五 PMOS 晶体管 T5 与第一 PMOS 晶体管 T1 并联, 从而起始脉冲 SP 不必与第一时钟信号 CLKA 同步。即, 在现有技术中, 用于施加起始脉冲 SP 的第一 PMOS 晶体管 T1 受第一时钟信号 CLKA 的逻辑的控制, 从而必须同步地施加起始脉冲 SP 和低逻辑的第一时钟信号 CLKA。同时, 根据本实施例的移位寄存器还包括第五 PMOS 晶体管 T5, 其通过起始脉冲 SP 导通, 与第一时钟信号 CLKA 的逻辑无关。

下面将详细说明根据本发明实施例的移位寄存器的操作。

首先, 下面将解释在图 5 移位寄存器的电路中同步输入起始脉冲和第一时钟信号 CLKA 的情形。假设提供给本发明移位寄存器的各时钟信号 CLKA 和 CLKB 以及电源电压

VDD 和 VSS 与图 4 中所示现有技术时序图中相同。

下面将说明第一周期 (A) 期间移位寄存器的操作。即, 如图 4 中所示, 在第一周期 (A) 期间, 起始脉冲 SP 和第一时钟信号 CLKA 保持低逻辑状态, 第二时钟信号 CLKB 保持高逻辑状态。然后, 低逻辑起始脉冲 SP 施加给第五 PMOS 晶体管 T5 的源极和栅极。从而, 低逻辑的起始脉冲 SP 使第五 PMOS 晶体管 T5 导通, 且施加给第五 PMOS 晶体管 T5 的源极的低逻辑起始脉冲 SP 通过第五 PMOS 晶体管 T5 提供给第一节点 P1。

此外, 在第一周期 (A) 期间, 低逻辑的第一时钟信号 CLKA 同时施加给第一 PMOS 晶体管 T1 和第二 PMOS 晶体管 T2 的栅极, 从而第一 PMOS 晶体管 T1 和第二 PMOS 晶体管 T2 一起导通。因此, 低逻辑起始脉冲 SP 通过第一 PMOS 晶体管 T1 施加给第一节点 P1, 低逻辑第一电源电压 VDD 通过第二 PMOS 晶体管 T2 施加给第二节点 P2。从而, 栅驱动脉冲按照与现有技术相同的过程相继施加给栅线。

然后, 下面将描述起始脉冲 SP 与时钟信号不同步的情形。在第一周期 (A) 期间, 如图 6 中所示高逻辑的第一时钟信号 CLKA 施加给第一 PMOS 晶体管 T1 的栅极, 或者时序与起始脉冲 SP 不一致的时钟信号施加给第一 PMOS 晶体管 T1 的栅极, 第一 PMOS 晶体管 T1 截止, 从而起始脉冲 SP 不可能通过第一 PMOS 晶体管 T1。

不过, 第五 PMOS 晶体管 T5 不受第一时钟信号 CLKA 的逻辑的影响, 从而第五 PMOS 晶体管 T5 通过起始脉冲 SP 的逻辑而导通/截止。即, 即使第一 PMOS 晶体管 T1 截止, 起始脉冲 SP 也会通过第五 PMOS 晶体管 T5 提供给第一节点 P1, 因为起始脉冲 SP 使第五 PMOS 晶体管 T5 导通。

随后, 在第一节点 P1 充电的低逻辑起始脉冲 SP 施加给第三 PMOS 晶体管 T3 和第六 PMOS 晶体管 T6 的栅极, 从而使第三 PMOS 晶体管 T3 和第六 PMOS 晶体管 T6 导通。此外, 在第二节点 P2 充电的低逻辑第一电源电压 VDD 施加给第四 PMOS 晶体管 T4 的栅极, 从而使第四 PMOS 晶体管 T4 导通。

因此, 通过第三 PMOS 晶体管 T3 的高逻辑第二时钟信号 CLKB 和通过导通的第四 PMOS 晶体管 T4 的高逻辑第二电源电压 VSS 同时提供给输出线 110。最终, 高逻辑的第二时钟信号 CLKB 提供给输出线 110。同时, 高逻辑的第二时钟信号 CLKB 施加给第七 PMOS 晶体管 T7, 从而使第七 PMOS 晶体管 T7 截止。

下面将描述第二周期 (B) 期间移位寄存器的操作。在第二周期 (B) 期间, 起始脉冲 SP 和第一时钟信号 CLKA 变成高逻辑状态, 第二时钟信号 CLKB 变成低逻辑状态。因此, 通过高逻辑的第一时钟信号 CLKA 和起始脉冲 SP 使第一 PMOS 晶体管 T1, 第二

PMOS 晶体管 T2 和第五 PMOS 晶体管 T5 截止,从而在第一周期 (A) 期间充电的低逻辑起始脉冲 SP 在第一节点 P1 得以保持。结果,第三 PMOS 晶体管 T3 和第六 PMOS 晶体管 T6 保持导通状态,其中第一节点 P1 的低逻辑起始脉冲 SP 通过栅极施加给第三 PMOS 晶体管 T3 和第六 PMOS 晶体管 T6。

同时,如上所述,在第二周期 (B) 期间,第二时钟信号 CLKB 变成低逻辑状态,从而通过栅极施加低逻辑第二时钟信号 CLKB 的第七 PMOS 晶体管 T7 导通。因此,第二电源电压 VSS 通过第六 PMOS 晶体管 T6 和第七 PMOS 晶体管 T7 提供给第二节点 P2。即,在第二节点 P2 中充电的高逻辑第二电源电压 VSS 使第四 PMOS 晶体管 T4 截止。结果,低逻辑的第二时钟信号 CLKB 通过第三 PMOS 晶体管 T3 提供给输出线 110。

此时,在第二周期 (B) 期间第一 PMOS 晶体管 T1,第二 PMOS 晶体管 T2 和第七 PMOS 晶体管 T7 截止,从而第一节点 P1 处于浮动状态。此外,如图 6 中所示,通过第三 PMOS 晶体管 T3 的栅极与漏极之间的寄生电容,将第一节点 P1 的起始脉冲 SP 降低到与提供给输出线 110 的低逻辑第二时钟信号 CLKB 一致。因而,更高起始脉冲 SP 施加给第三 PMOS 晶体管 T3 的栅极,从而第三 PMOS 晶体管 T3 的阈值电压降低。因此,低逻辑的第二时钟信号 CLKB 无损耗地提供给输出线 110。

下面将描述第三周期 (C) 期间移位寄存器的操作。在第三周期 (C) 期间,起始脉冲 SP 保持在高逻辑状态,第一时钟信号 CLKA 变成低逻辑状态,从而第二时钟信号 CLKB 变成高逻辑状态。因此,栅极通过高逻辑起始脉冲 SP 的第五 PMOS 晶体管 T5 截止,栅极通过低逻辑第一时钟信号 CLKA 的第一 PMOS 晶体管 T1 和第二 PMOS 晶体管 T2 再次导通。

从而,高逻辑的起始脉冲 SP 通过第一 PMOS 晶体管 T1 提供给第一节点 P1,低逻辑的第一电源电压 VDD 通过第二 PMOS 晶体管 T2 提供给第二节点 P2。此外,在第一节点 P1 充电的高逻辑起始脉冲 SP 使第三和第六 PMOS 晶体管 T3 和 T6 截止,在第二节点 P2 充电的低逻辑第一电源电压 VDD 使第四 PMOS 晶体管 T4 导通。从而,高逻辑的第二电源电压 VSS 通过第四 PMOS 晶体管 T4 提供给输出线 110。

如上所述,该移位寄存器还包括与第一时钟信号 CLKA 的逻辑无关地使起始脉冲 SP 通过的第五 PMOS 晶体管 T5,从而第一时钟信号 CLKA 不必与起始脉冲 SP 同步。

参照图 7,当起始脉冲 SP 与时钟信号的时序不一致时,即使第一 PMOS 晶体管 T1 截止,起始脉冲 SP 也会通过第五 PMOS 晶体管 T5 提供给第一节点 P1,其中起始脉冲 SP 使第五 PMOS 晶体管 T5 导通。从而,第一节点 P1 充电成低逻辑状态,施加给第三

PMOS 晶体管 T3 的源极端的第二时钟信号 CLKB 输出到输出端,因而低逻辑状态的第二时钟信号 CLKB 输出到输出端。

此外,如图 8 中所示,使用上述移位寄存器的 LCD 器件包括具有多条栅线 (GL1, GL2, ...) 和多条数据线 (未示出) 的 LCD 板 (未示出), 栅线与数据线彼此相交以限定像素区域; 和相继将栅驱动脉冲提供给 LCD 板的栅线 (GL1, GL2, ...) 的多级 (150a, 150b, ...)。

所述多级 (150a, 150b, ...) 中的每一级可具有图 5 中所示的结构。另一方面, 可以仅第一级 150a 具有图 5 中所示的结构, 其余级具有与图 3 中所示的现有技术相同的结构。

即, 起始脉冲 SP 仅施加给第一级 150a, 且前一级的输出信号输出给从第二级到第 n 级 (150b, ...) 的其余各级。此外, 仅第一级 150a 还包括第五 PMOS 晶体管 T5。同时, 由于从第二级到第 n 级 (150b 到 150n) 的其余各级使用第一级 150a 的输出信号, 因此, 第二级到第 n 级 (150b 到 150n) 可以使用或不使用第五 PMOS 晶体管 T5。

因此, 起始脉冲 SP 仅施加给第一级 150a, 且前一级的输出信号 (栅驱动脉冲) 施加给从第二级到第 n 级 (150b, ...) 的其余各级中的每一级。结果, 从第二级到第 n 级 (150b, ...) 的其余各级中的每一级输出从前一级的输出信号 (栅驱动脉冲) 延迟一个周期的栅驱动脉冲。因此, 从各级 (150a, 150b, ...) 输出的栅驱动脉冲提供给 LCD 板的栅线 (GL1, GL2, ...), 顺序扫描栅线 (GL1, GL2, ...)。

如上所述, 在移位寄存器中使用 PMOS 晶体管作为开关装置。不过, 可使用 NMOS 晶体管作为开关装置, 取代 PMOS 晶体管。

如上所述, 移位寄存器和使用其的 LCD 器件具有以下优点。

根据本发明的移位寄存器还包括通过起始脉冲的逻辑而导通、与时钟信号的逻辑无关的附加开关装置, 从而即使起始脉冲与时钟信号不同步, 也能正常地将起始脉冲提供给节点。

显然本领域技术人员可对本发明进行多种变型和改变。从而, 本发明意在覆盖本发明的这些变型和改变, 只要这些变型和改变处于所附权利要求及其等效范围内即可。

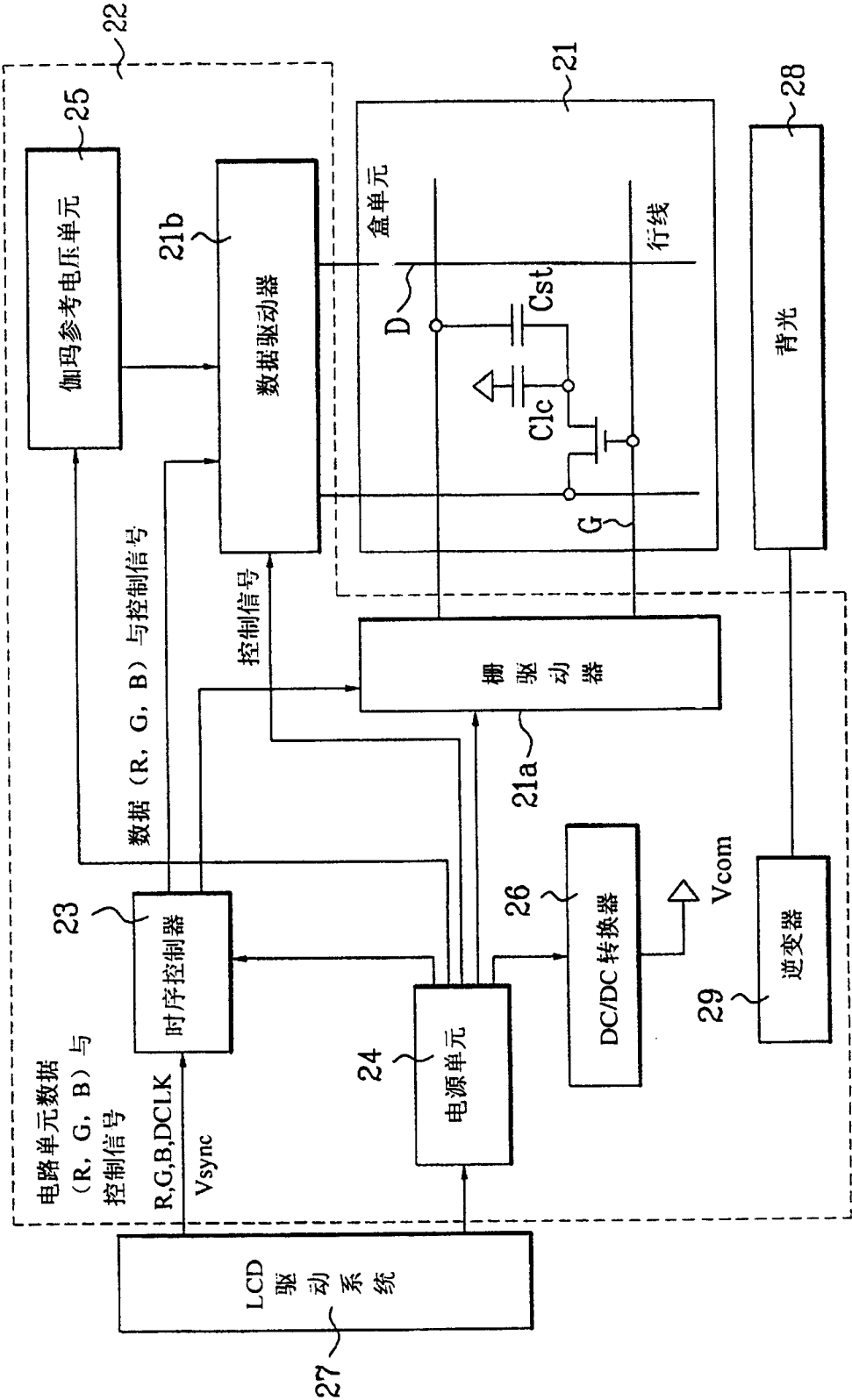


图 1

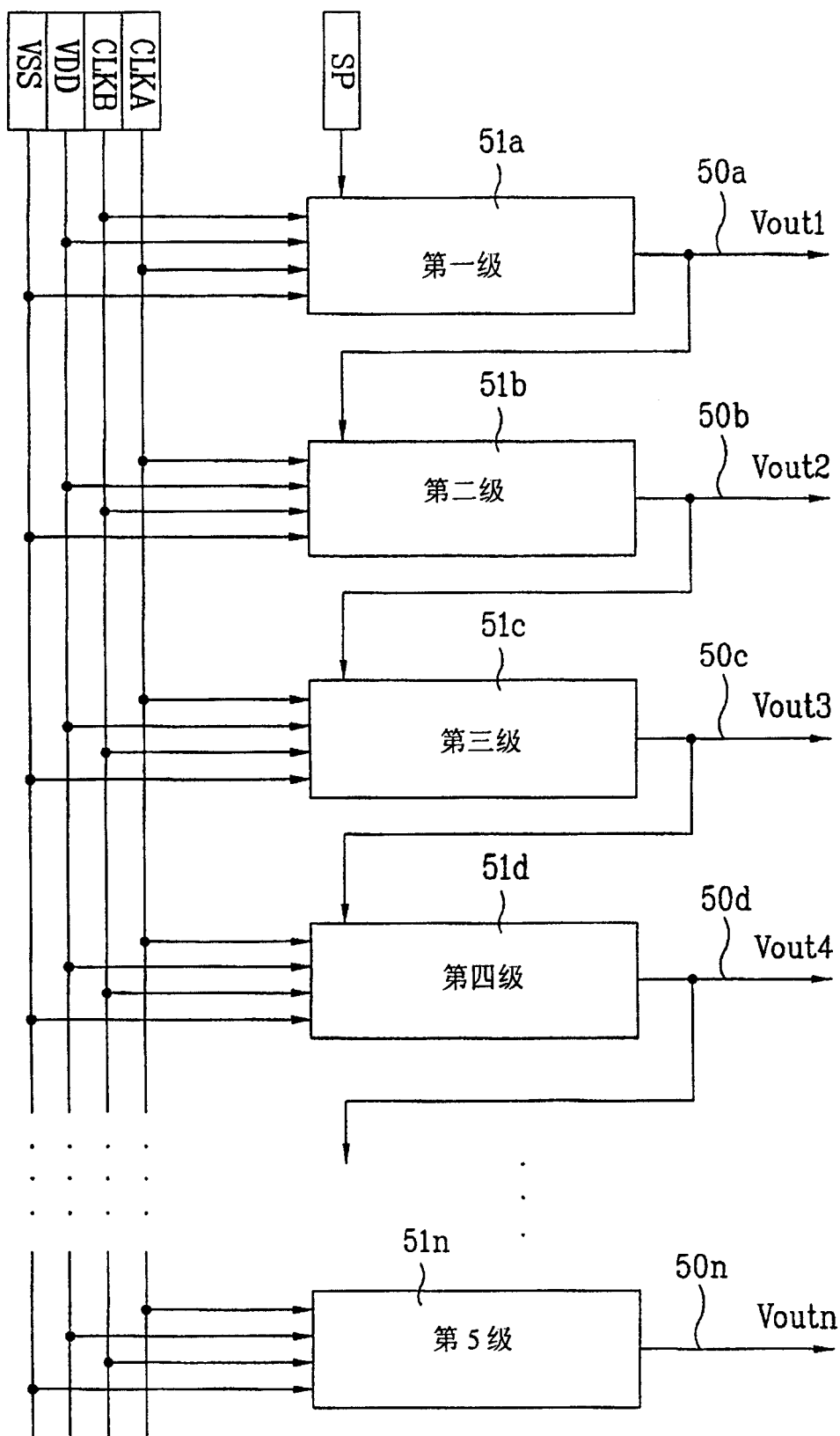


图 2

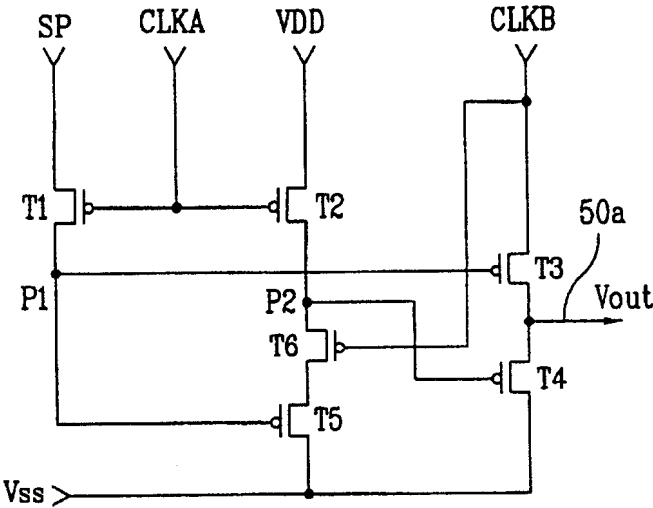


图 3

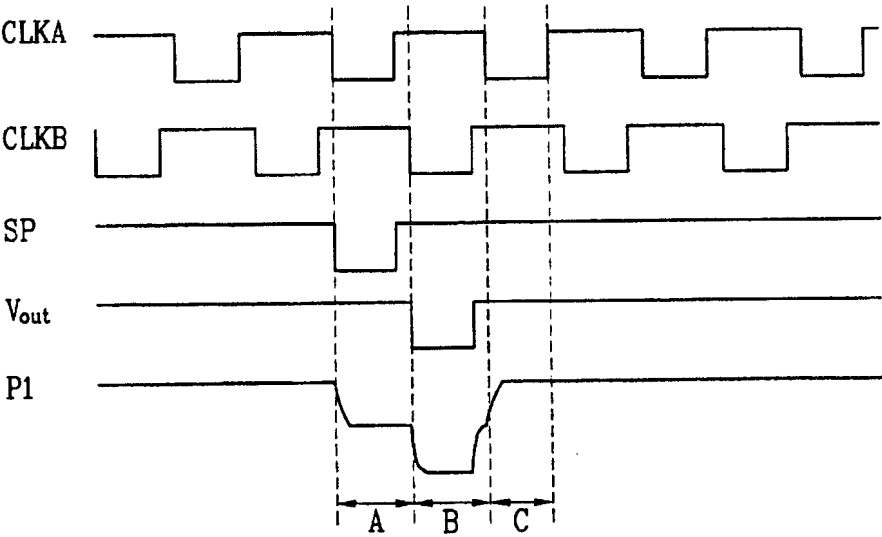


图 4

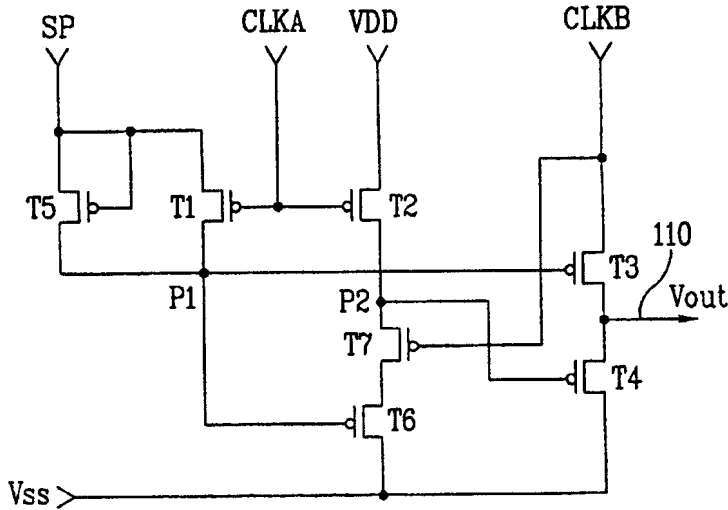


图 5

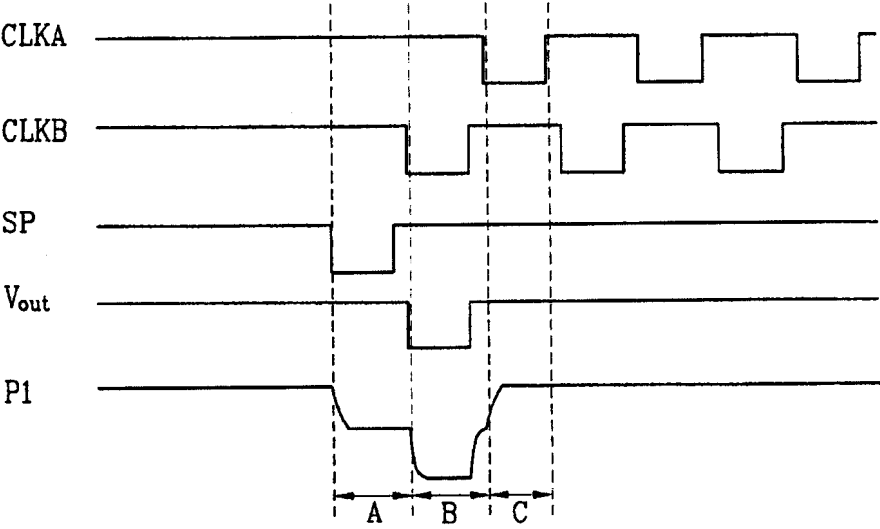


图 6

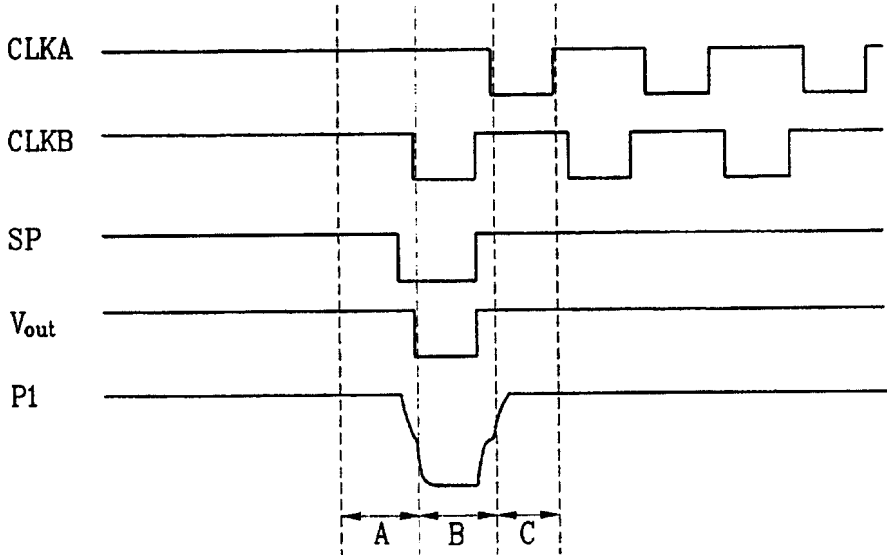


图 7

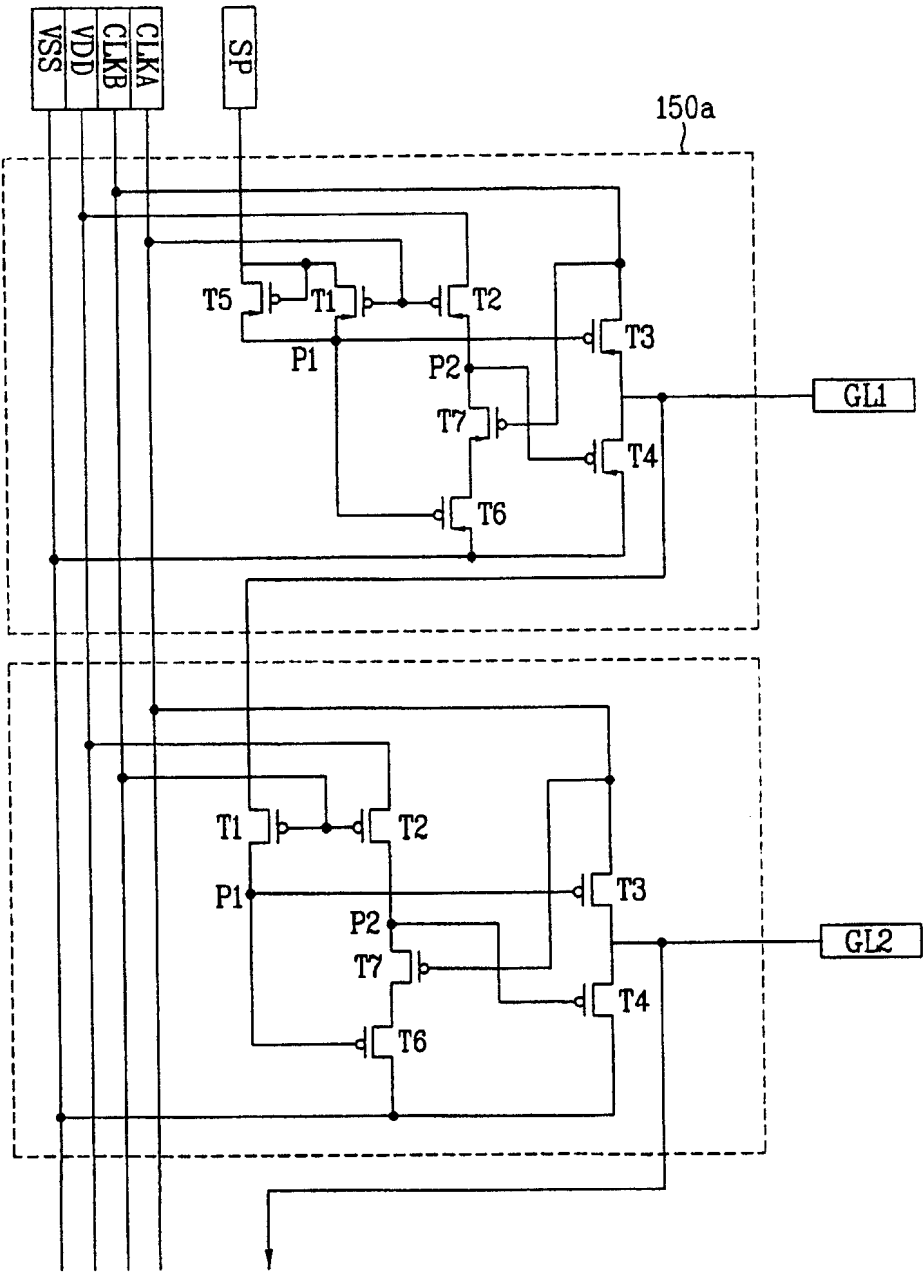


图 8

专利名称(译)	移位寄存器和使用其的液晶显示器件		
公开(公告)号	CN100354711C	公开(公告)日	2007-12-12
申请号	CN200410100983.2	申请日	2004-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	LG.飞利浦LCD株式会社		
[标]发明人	金性均		
发明人	金性均		
IPC分类号	G02F1/133 G09G3/36 G11C19/28 G09G3/20 G11C19/00		
CPC分类号	G11C19/28 G09G3/3677 G11C19/00 G07F19/201		
代理人(译)	徐金国		
审查员(译)	吕东		
优先权	1020040037724 2004-05-27 KR		
其他公开文献	CN1702497A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种用于液晶显示器件的栅驱动器的移位寄存器，即使提供给第一级的起始脉冲与时钟脉冲不同步，移位寄存器也能输出栅驱动脉冲。该移位寄存器具有相继输出栅驱动脉冲的多级。至少一级包括通过第一时钟信号导通且将起始脉冲施加给第一节点的第一开关装置。第二开关装置通过第一时钟信号导通，且将第一电源电压施加给第二节点。第三开关装置通过施加给第一节点的起始脉冲导通，并输出第二时钟信号。第四开关装置通过第一电源电压导通，并输出第二电源电压。第五开关装置通过起始脉冲导通，并将起始脉冲施加给第一节点，其中第五开关装置仅设置在所述多级的第一级中。

