

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)



[12] 发明专利说明书

专利号 ZL 02122418.8

[45] 授权公告日 2006 年 7 月 26 日

[11] 授权公告号 CN 1266665C

[22] 申请日 2002.6.6 [21] 申请号 02122418.8

[30] 优先权

[32] 2001. 6. 8 [33] JP [31] 173410/2001

[71] 专利权人 株式会社日立制作所

地址 日本东京

共同专利权人 日立器件工程株式会社

[72] 发明人 丸冈良雄 御园生俊树 前田敏夫

渡边明洋 中川英树

审查员 宋 瑞

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王以平

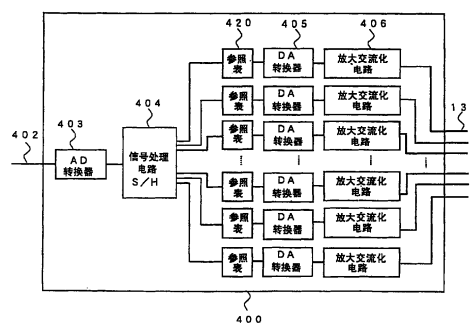
权利要求书 3 页 说明书 41 页 附图 46 页

[54] 发明名称

液晶显示装置

[57] 摘要

本发明提供一种将模拟视频信号相展开进行输入的液晶显示装置，可降低因电路散乱造成的显示品质下降。为了校正因多个模拟电路产生的散乱，通过在数字信号处理电路内设置多个模拟电路的对照表，根据设定在对照表内的数据校正模拟电路的散乱。



1. 一种液晶显示装置，其特征在于包含：

液晶面板；以及

向上述液晶面板供给视频信号的视频信号控制电路；

从上述视频信号控制电路到上述液晶面板电连接有多条视频信号线，在上述视频信号控制电路上设有向上述各视频信号线输出视频信号的放大电路，

上述视频信号控制电路将数字信号采样保持并相展开，从该被相展开的数字信号生成模拟信号，放大该模拟信号，从上述放大电路作为上述视频信号输出，通过利用参照表转换上述数字信号的值，校正上述放大电路间的输出散乱，

上述参照表与输入的数字信号对应地输出校正后的数字信号。

2. 一种液晶显示装置，其特征在于包含：

液晶面板；

形成该液晶面板的第一基板与第二基板；

夹入上述第一基板与第二基板之间的液晶组成物；

设在上述第一基板上的多个像素；

向上述像素供给视频信号的驱动电路；以及

向上述液晶面板供给视频信号的视频信号控制电路；

从上述视频信号控制电路到上述驱动电路电连接有多条视频信号线，设有向上述各视频信号线输出视频信号的输出电路，

上述视频信号控制电路包含将数字信号转换成模拟信号的数模转换电路，将从数模转换电路输出的模拟信号从上述输出电路输出，利用对上述各视频信号线设置的参照表把输入到上述数模转换电路之前的数字信号进行转换，校正上述输出电路间的输出散乱，

上述参照表与输入的数字信号对应地输出校正后的数字信号。

3. 如权利要求 2 的液晶显示装置，其特征在于，上述第一基板是硅基板。

4.如权利要求 2 的液晶显示装置,其特征在于,包含标准参照表,且通过变更标准参照表的值,作成上述参照表,以校正输出电路的散乱。

5.如权利要求 2 的液晶显示装置,其特征在于,用 1 个芯片构成对上述各视频信号线设置的多个参照表。

6.如权利要求 2 的液晶显示装置,其特征在于,用上述参照表调节对比度或亮度。

7.如权利要求 2 的液晶显示装置,其特征在于,用从外部传送来的数据,用微机运算收纳在上述参照表内的数据并设定在参照表内。

8.如权利要求 2 的液晶显示装置,其特征在于,包含多组参照表,并根据视频信号种类选择使用参照表。

9.如权利要求 2 的液晶显示装置,其特征在于,包含多组参照表,并分时选择使用的参照表,虚拟地增加灰度数。

10. 一种液晶显示装置,其特征在于包含:

液晶面板;

形成该液晶面板的第一基板与第二基板;

夹入上述第一基板与第二基板之间的液晶组成物;

设在上述第一基板上的多个像素;

与上述像素相对设置的基准电极;

向上述像素供给视频信号的驱动电路;

与上述像素连接的像素电容;

向上述像素电容供给像素电位控制信号的像素电位控制信号线;

向上述液晶面板供给视频信号的视频信号控制电路;

从上述视频信号控制电路电连接到上述驱动电路的多条视频信号线; 以及

针对上述各视频信号线设置并输出视频信号的输出电路;

上述视频信号控制电路包含: 输出正极性用数字信号的第一参照表; 输出负极性用数字信号的第二参照表; 及输入正极性用数字信号则输出正极性用模拟信号, 输入负极性用数字信号则输出负极性用模拟信号的转换电路;

上述负极性用模拟信号作为视频信号向上述像素输入后，根据像素电位控制信号，成为相对于上述基准电极的电压为负极性的电压。

11.如权利要求 10 所述的液晶显示装置，其特征在于包含：

上述视频信号控制电路包含帧内存，

通过调节从上述帧内存读出数据的速度，可转换帧驱动频率。

12. 如权利要求 11 的液晶显示装置，其特征在于，使用上述帧内存进行会聚调整。

液晶显示装置

技术领域

本发明涉及投影机用显示装置，特别涉及适用于液晶显示装置的输入图像数据的图像处理的有效技术，该液晶显示装置将放大的模拟视频信号相展开进行输入。

背景技术

近年来，液晶显示装置从小型显示装置到所谓 OA 机器等的显示终端上广泛普及。该液晶显示装置，基本上是在至少一方由透明玻璃板及塑料基板等构成的一对绝缘基板间，夹持液晶组成物的层（液晶层），构成所谓的液晶面板（也称为液晶显示元件或液晶单元）。

该液晶面板大致上区分成：在形成在绝缘基板上的像素形成用的各种电极上选择性施加电压，使构成特定像素部分的液晶组成物的液晶分子的取向方向改变，以形成像素的形式（简单矩阵）；及形成上述各种电极与像素选择用的有源元件，通过选择该有源元件，使连接在该有源元件的像素电极及与该像素电极相对的基准电极间的像素的液晶分子取向方向改变，以形成像素的形式（有源矩阵）。

各像素上具有有源元件（如薄膜晶体管），切换驱动该有源元件的有源矩阵型液晶显示装置，广泛使用于笔记型个人计算机等显示装置上。一般而言，有源矩阵型液晶显示装置是采用所谓纵电场方式，其是在形成在一个基板的电极与形成在另一个基板的电极间施加用于改变液晶层的取向方向的电场。此外，使施加在液晶层的电场方向形成与基板面大致平行的方向的所谓横电场方式（也称为平面切换（IPS; In-Plane Switching）方式）的液晶显示装置已实用化。

另外，作为使用液晶显示装置的显示装置，液晶投影机已实用化。液晶投影机是将来自光源的照明光照射在液晶面板上，将液晶面板的图

像投影在屏幕上。液晶投影机使用的液晶面板包含反射型与透过型，采用反射型的液晶面板的情况下，可将几乎整个像素区域形成有效的反射面，与透过型比较，有助于液晶面板的小型化、高精细化、高亮度化。此外，已知在有源矩阵型液晶显示装置中，有一种在形成像素电极的基板上也形成驱动像素电极的驱动电路的所谓驱动电路一体型液晶显示装置。

此外，已知在驱动电路一体型液晶显示装置中，有一种在不是绝缘基板，而是半导体基板上形成像素电极及驱动电极的反射型液晶显示装置（Liquid Crystal on Silicon，以下也称为 LCOS）。

此外，已知在驱动电路一体型液晶显示装置的驱动方法中，有一种从外部以模拟信号向液晶显示装置输入视频信号，通过驱动电路采样视频信号，并输出至液晶面板的驱动方法。

发明内容

在采样视频信号的驱动方法中，为确保驱动电路取得视频信号的时间，采用将视频信号分割成多相的方法（相展开）。即，将通过一条信号线所传送的视频信号分配在多条信号线传送。因将视频信号分配成多条信号线输出，可同时用多个电路取得视频信号，因而可延长取得视频信号的时间。然而，通过相展开虽可确保取得视频信号的时间，但是发现会产生电路散乱的问题。即，为了向多条信号线输出视频信号，在各信号线上设有输出电路。该输出电路的特性产生散乱时，显示图像上也同样的产生散乱，而发生显示品质下降的问题。

为了校正多个模拟电路造成的散乱，通过在数字信号处理电路内设置针对多个模拟电路的校正机构，用校正机构校正模拟电路的散乱。

将具有修正各模拟电路上产生的散乱的数据作为参照表，通过参照表修正数字信号，来校正模拟电路产生的散乱。

本发明的代表性方案可列举如下：

（1）．一种液晶显示装置，其特征在于包含：液晶面板；以及向上述液晶面板供给视频信号的视频信号控制电路；从上述视频信号控制电路到上述液晶面板电连接有多条视频信号线，在上述视频信号控制电路

上设有向上述各视频信号线输出视频信号的放大电路，上述视频信号控制电路将数字信号采样保持并相展开，从该被相展开的数字信号生成模拟信号，放大该模拟信号，从上述放大电路作为上述视频信号输出，通过利用参照表转换上述数字信号的值，校正上述放大电路间的输出散乱，上述参照表与输入的数字信号对应地输出校正后的数字信号。

(2). 一种液晶显示装置，其特征在于包含：液晶面板；形成该液晶面板的第一基板与第二基板；夹入上述第一基板与第二基板之间的液晶组成物；设在上述第一基板上的多个像素；向上述像素供给视频信号的驱动电路；以及向上述液晶面板供给视频信号的视频信号控制电路；从上述视频信号控制电路到上述驱动电路电连接有多条视频信号线，设有向上述各视频信号线输出视频信号的输出电路，上述视频信号控制电路包含将数字信号转换成模拟信号的数模转换电路，将从数模转换电路输出的模拟信号从上述输出电路输出，利用对上述各视频信号线设置的参照表把输入到上述数模转换电路之前的数字信号进行转换，校正上述输出电路间的输出散乱，上述参照表与输入的数字信号对应地输出校正后的数字信号。

(3). 一种液晶显示装置，其特征在于包含：液晶面板；形成该液晶面板的第一基板与第二基板；夹入上述第一基板与第二基板之间的液晶组成物；设在上述第一基板上的多个像素；与上述像素相对设置的基准电极；向上述像素供给视频信号的驱动电路；与上述像素连接的像素电容；向上述像素电容供给像素电位控制信号的像素电位控制信号线；向上述液晶面板供给视频信号的视频信号控制电路；从上述视频信号控制电路电连接到上述驱动电路的多条视频信号线；以及针对上述各视频信号线设置并输出视频信号的输出电路；上述视频信号控制电路包含：输出正极性用数字信号的第一参照表；输出负极性用数字信号的第二参照表；及输入正极性用数字信号则输出正极性用模拟信号，输入负极性用数字信号则输出负极性用模拟信号的转换电路；上述负极性用模拟信号作为视频信号向上述像素输入后，根据像素电位控制信号，成为相对于上述基准电极的电压为负极性的电压。

附图说明

图 1 是展示本发明实施形态的液晶显示装置的大致构造的框图。

图 2 是展示本发明实施形态的液晶显示装置的视频信号控制电路的框图。

图 3A-D 是说明相展开的时序图。

图 4A-B 是说明采样保持电路的时序图。

图 5 是展示本发明实施形态的液晶显示装置的视频信号控制电路的框图。

图 6 是展示本发明实施形态的液晶显示装置的视频信号控制电路的框图。

图 7A-B 是说明放大电路的散乱的大致电路图。

图 8 是本发明实施形态的液晶显示装置的施加电压 - 反射率特性图。

图 9 是说明交流化电路的散乱的大致电路图。

图 10A-C 是说明交流化电路的散乱的波形图。

图 11 是展示本发明实施形态的液晶显示装置的视频信号控制电路的框图。

图 12 是展示本发明实施形态的液晶显示装置的视频信号控制电路的框图。

图 13 是展示本发明实施形态的液晶显示装置的视频信号控制电路的框图。

图 14 是展示本发明实施形态的液晶显示装置的参照表的数据构造图。

图 15 是展示向本发明实施形态的液晶显示装置的参照表转送数据的路径的大致电路图。

图 16 是展示向本发明实施形态的液晶显示装置的参照表转送数据的方法的时序图。

图 17A-C 是展示通过本发明实施形态的液晶显示装置的参照表实施校正方法的输入 - 输出对照图。

图 18 是通过本发明实施形态的液晶显示装置的参照表校正交流化紊乱的大致电路图。

图 19A-B 是通过本发明实施形态的液晶显示装置的参照表校正图像源间的差异的大致框图。

图 20A-B 是说明通过本发明实施形态的液晶显示装置的参照表使灰度模拟性增加的方法。

图 21A-D 是说明通过本发明实施形态的液晶显示装置的参照表使灰度模拟性增加的方法。

图 22A-C 是说明通过本发明实施形态的液晶显示装置的参照表调整对比度的方法。

图 23A-C 是说明通过本发明实施形态的液晶显示装置的参照表调整亮度的方法。

图 24 是说明使本发明实施形态的液晶显示装置的参照表的引线数减少方法的大致电路图。

图 25 是展示本发明实施形态的液晶显示装置的视频信号控制电路的框图。

图 26 是说明本发明实施形态的液晶显示装置的参照表的数据转送方法的大致电路图。

图 27A-B 是说明本发明实施形态的液晶显示装置将帧频予以倍增化的方法的大致电路图与时序图。

图 28 是说明本发明实施形态的液晶显示装置将帧频予以倍增化的方法的大致电路图。

图 29 是说明本发明实施形态的液晶显示装置将帧频予以倍增化的方法的时序图。

图 30 是说明本发明实施形态的液晶显示装置使用帧内存显示测试图案的方法的大致电路图。

图 31 是说明本发明实施形态的液晶显示装置使用帧内存显示静止画面的方法的大致电路图。

图 32A-B 是说明本发明实施形态的液晶显示装置使用帧内存调整会

聚的方法的大致电路图。

图 33 是说明本发明实施形态的液晶显示装置的像素部的框图。

图 34A-B 是说明本发明实施形态的液晶显示装置的控制像素电位方法的大致电路图。

图 35 是说明本发明实施形态的液晶显示装置的控制像素电位方法的时序图。

图 36 是展示本发明实施形态的液晶显示装置的像素电位控制电路构造的大致电路图。

图 37A-D 是展示本发明实施形态的液晶显示装置的时钟反向器构造的大致电路图。

图 38 是展示本发明实施形态的液晶显示装置的像素部的大致剖面图。

图 39 是展示使用本发明实施形态的液晶显示装置的遮光膜形成像素电位控制线的构造的大致平面图。

图 40A-B 是展示本发明实施形态的液晶显示装置的驱动方法的时序图。

图 41A-B 是展示本发明实施形态的液晶显示装置的动作的大致图。

图 42A-B 是说明本发明实施形态的液晶显示装置的正极性、负极性波形的波形图。

图 43 是使用参照表作成本发明实施形态的液晶显示装置的正极性、负极性信号的大致电路图。

图 44A-B 是说明本发明实施形态的液晶显示装置的动作的大致图。

图 45 是展示本发明实施形态的液晶显示装置的液晶面板的大致平面图。

图 46 是展示本发明实施形态的液晶显示装置的虚拟像素的驱动方法的大致电路图。

图 47 是本发明实施形态的液晶显示装置的有源元件周边的大致剖面图。

图 48 是本发明实施形态的液晶显示装置的有源元件周边的大致平面

图。

图 49 是展示本发明实施形态的液晶显示装置的液晶面板的大致图。

图 50 是展示在本发明实施形态的液晶显示装置的液晶面板上连接挠性印刷基板的状态的大致图。

图 51 是展示本发明实施形态的液晶显示装置的大致组装图。

图 52 是展示本发明实施形态的液晶显示装置的大致图。

[部件符号的说明] 11...周边框, 12...密封材料, 14...外部连接端子, 25...扫描复位信号输入端子, 26...扫描开始信号输入端子 27...扫描结束信号输出端子, 28...复位用晶体管, 30...有源元件, 34...源极区域, 35...漏极区域, 36...栅极区域, 38...绝缘膜, 39...场氧化膜, 41...第一层间膜, 42...第一导电膜, 43...第二层间膜, 44...第一遮光膜, 45...第三层间膜, 46...第二遮光膜, 47...第四层间膜, 48...第二导电膜, 61~62...时钟反向器, 65~66...时钟反向器, 71...缓冲部件, 72...散热板, 73...铸模, 74...保护用接合材料, 75...遮光板, 76...遮光框, 80...挠性印刷电路板, 100...液晶面板, 101...像素部, 102...扫描信号线, 103...视频信号线, 104...切换元件, 107...对置电极, 108...液晶电容, 109...像素电极, 110...显示部, 111...显示控制装置, 120...水平驱动电路, 121...水平移位寄存器, 122...显示数据保持电路, 123...电压选择电路, 130...垂直驱动电路, 131...控制信号线, 132...显示数据线, 400...视频信号控制电路, 401...外部控制信号线, 402...显示信号线, 403A...AD 转换电路, 404...信号处理电路, 405...DA 转换电路, 406...放大交流化电路, 407...采样保持电路, 409...采样保持电路(数字用), 410...模拟驱动器, 413...运算放大器(放大用), 414...运算放大器(负极性用), 415...运算放大器(正极性用), 416...模拟开关(运算放大器切换用), 417...模拟开关(参照表切换用), 418...模拟开关(图像源切换用), 420...参照表(LUT), 421...参照表(1个封装体), 422...正极性用参照表, 423...负极性用参照表, 424...第一图像源用参照表, 425...第二图像源用参照表, 426...第三图像源用参照表, 427...第一灰度用参照表, 428...第二灰度用参照表, 429...标准参照表, 430...微机, 431...帧内存, 432...时序控制器, 433...第一

帧内存, 434...第二帧内存, 435...数据总线, 436...地址总线, 437...内部开关, 438...外加开关, 440...区块内存, 445...测试图案内存。

具体实施方式

以下, 参照附图详细说明本发明的实施形态。在用于说明发明实施形态的全部附图中, 具有相同功能的部件标以相同符号, 并省略其重复说明。

图 1 是展示本发明实施形态的液晶显示装置的大致构造的框图。

本实施形态的液晶显示装置包含: 液晶面板(液晶显示元件) 100、及显示控制装置 111。液晶面板 100 包含: 矩阵状地设有像素部 101 的显示部 110、水平驱动电路(视频信号线驱动电路) 120、垂直驱动电路(扫描信号线驱动电路) 130、及像素电位控制电路 135。此外, 显示部 110、水平驱动电路 120、垂直驱动电路 130、与像素电位控制电路 135 是设在同一基板上。像素部 101 上设有被像素电极与对置电极的两电极夹住的液晶层(图上未显示)。通过在像素电极与对置电极之间施加电压, 利用液晶分子的取向方向等改变, 同时对于液晶层的光的性质改变进行显示。另外, 本发明可有效适用于具有像素电位控制电路 135 的液晶显示装置, 不过, 并不限于具有像素电位控制电路 135 的液晶显示装置。

显示控制装置 111 上从外部装置(如个人计算机等)连接有外部控制信号线 401。显示控制装置 111 使用从外部经由外部控制信号线 401 送达的时钟信号、显示计时信号、水平同步信号、垂直同步信号等控制信号, 输出控制水平驱动电路 120、垂直驱动电路 130、及像素电位控制电路 135 的信号。

此外, 显示控制装置 111 具有视频信号控制电路 400。视频信号控制电路 400 上连接有显示信号线 402, 从外部装置输入有显示信号。显示信号以构成显示在液晶面板 100 上的图像的方式, 以一定顺序传送。例如, 从位于液晶面板 100 左上方的像素起, 依次传送有 1 列部分的像素数据, 并由上向下, 从外部装置依次传送有各列的数据。视频信号控制电路 400 是根据显示信号形成视频信号, 液晶面板 100 配合显示图像的时序, 供

给视频信号至水平驱动电路 120。

131 是从显示控制装置 111 输出的控制信号线, 132 是视频信号传送线。另外, 图 1 中显示 1 条视频信号传送线 132, 但经由相展开成数相而设有多条视频信号传送线 132。有关相展开如后述。

视频信号传送线 132 从显示控制装置 111 输出, 并连接在设在显示部 110 的周边的水平驱动电路 120。多条视频信号线(也称为漏极信号线或垂直信号线) 103 从水平驱动电路 120 延伸在垂直方向(图中的 Y 方向)。此外, 多条视频信号线 103 并列设在水平方向(X 方向)。视频信号通过视频信号线 103 传送至像素部 101。

此外, 显示部 110 的周边还设有垂直驱动电路 130。多条扫描信号线(也称为栅极信号线或水平信号线) 102 从垂直驱动电路 130 在水平方向(X 方向)上延伸。此外, 多条扫描信号线 102 并列设在垂直方向(Y 方向)上。通过扫描信号线 102 传送接通/切断设在像素部 101 中的切换元件的扫描信号。

显示部 110 的周边设有像素电位控制电路 135。多条像素电位控制线 136 从像素电位控制电路 135 在水平方向(X 方向)上延伸。此外, 多条像素电位控制线 136 并列设在垂直方向(Y 方向)上。通过像素电位控制线 136 传送控制像素电极的电位的信号。

水平驱动电路 120 包含: 水平移位寄存器 121、及视频信号选择电路 123。控制信号线 131 及视频信号传送线 132 从显示控制装置 111 与水平移位寄存器 121 与视频信号选择电路 123 连接, 送出控制信号及视频信号。在此, 有关各电路的电源电压线省略图示, 但是各电路被供给所需的电压。

显示控制装置 111 在从外部输入垂直同步信号后, 被输入第一个显示计时信号时, 经由控制信号线 131 向垂直驱动电路 130 输出启动脉冲。其次, 显示控制装置 111 根据水平同步信号, 在各一个水平扫描时间(以下显示成 1h), 以依次选择扫描信号线 102 的方式, 输出移位时钟至垂直驱动电路 130。垂直驱动电路 130 根据移位时钟选择扫描信号线 102, 输出扫描信号至扫描信号线 102。即, 垂直驱动电路 130 在一个水

平扫描时间 1h 之间, 从图 1 中上方起依次输出选择扫描信号线 102 的信号。

此外, 显示控制装置 111 被输入显示计时信号时, 将其判断成开始显示, 并输出视频信号至水平驱动电路 120。视频信号虽是从显示控制装置 111 依次输出, 不过, 水平移位寄存器 121 根据从显示控制装置 111 送达的移位时钟输出计时信号。计时信号示取得表视频信号选择电路 123 应向各扫描信号线 102 输出的视频信号的时序。

即, 视频信号选择电路 123 具有取得、保持视频信号至各视频信号线 103 的电路(采样保持电路), 该采样保持电路在输入计时信号时取得视频信号。显示控制装置 111 配合输入计时信号的时序输出该采样保持电路须取得的视频信号至特定的采样保持电路。视频信号为模拟信号, 视频信号选择电路 123 根据计时信号从模拟信号中取得一定的电压作为视频信号(灰度电压), 输出该取得的视频信号至视频信号线 103。输出至视频信号线 103 的视频信号根据从垂直驱动电路 130 输出有扫描信号的时序写入像素部 101 的像素电极。

像素电位控制电路 135 根据来自显示控制装置 111 的控制信号, 控制写入像素电极的视频信号的电压。从视频信号线 103 写入像素电极的灰度电压相对于对置电极的基准电压具有电位差。像素电位控制电路 135 供给控制信号至像素部 101, 使像素电极与对置电极间的电位差改变。而有关像素电位控制电路 135 在后详述。

其次, 使用图 2 说明视频信号控制电路 400。图 2 是展示本发明一种实施形态的液晶显示装置的视频信号控制电路 400 的电路构造的大致框图。如前所述, 显示信号从外部经由显示信号线 402 输入至视频信号控制电路 400。403 是模拟数字(AD)转换电路。显示信号为模拟信号时, 以 AD 转换电路 403 将显示信号转换成数字信号。404 为信号处理电路, 进行 γ 校正、解像度转换等信号处理。另外, 显示信号为数字信号时, 直接或经由各种接口电路, 输入显示信号至信号处理电路 404。

此外, 信号处理电路 404 进行帧频的倍增化。需要显示的信号从外部逐画面送至视频信号控制电路 400。将 1 个画面部分的显示所需的信号

送达的期间作为 1 帧周期，将帧周期的倒数作为帧频。特别是，将从外部送出信号至液晶显示装置时，称为外部帧周期，将显示控制装置 111 传送信号至液晶面板 100 时，称为液晶驱动帧周期。信号处理电路 404 对于外部帧频，将液晶驱动帧频提高至数倍。进行帧频的倍增化是为了防止闪烁。而有关帧频的倍增化也如后述。

405 是数字模拟 (DA) 转换电路，DA 转换电路 405 将经过信号处理电路 404 信号处理的数字信号转换成模拟信号。406 是放大交流化电路，放大交流化电路 406 放大从 DA 转换电路 405 输出的模拟信号，并予以交流化。

一般而言，液晶显示装置中进行使施加在液晶层的电压极性周期地反转的交流化驱动。进行交流化驱动的目的，在于防止因直流电压施加在液晶而造成老化。如前所述，像素部 101 上设有像素电极与对置电极，作为进行交流化驱动的一种方法，是在对置电极上施加恒压，在像素电极上施加对于对置电极为正极性、负极性的灰度电压。另外，本说明书中的正极性与负极性的电压指以对置电极的电位作为基准的像素电极的电压。反射型液晶显示装置 LCOS 以帧周期进行该交流化驱动(帧反转)。不使用线反转、点反转的理由，是因为反射型液晶显示装置 LCOS 上未设置黑矩阵，无法遮蔽因点反转产生的不需要的横电场造成的光泄漏。但是，进行帧反转时，在帧周期在显示面上会产生闪烁(面闪烁)。如前所述，通过使帧周期比肉眼的反应时间短，以降低面闪烁。

407 是采样保持电路。采样保持电路 407 每隔一定期间取得从放大交流化电路 406 输出的视频信号，并输出至视频信号传送线 132。如前所述，视频信号传送线 132 由多条形成，采样保持电路 407 将取得的电压依次输出至视频信号传送线 132。因而，视频信号被相展开成多相而向视频信号传送线 132 输出。

使用图 3 说明相展开。为简化说明，图 3 展示视频信号传送线 132 为 3 条时，即相展开成 3 相的情况。图 3 (a) 展示输入在采样保持电路 407 的视频信号。采样保持电路 407 在以圈起的数字显示的期间取得视频信号。图 3 (b) 展示输出至第一条视频信号传送线 132 的视频信号。如

期间(1)、(4)、(7)所示,每隔两个期间从采样保持电路407输出所取得的视频信号至第一条视频信号传送线上。此外,由于是分开成3条视频信号传送线132传送视频信号,因此可使输出视频信号的期间成为3倍。图3(c)展示输出至第二条视频信号传送线132的视频信号,图3(d)展示输出至第三条视频信号传送线132的视频信号。

由于将视频信号予以相展开,因此在设在液晶面板100的视频信号选择电路123上可延长取得视频信号的期间。其中,采样保持电路407是用作可采样保持高速的信号的高性能电路。另外,因为形成1段采样保持,因此可使相展开后的视频信号的相位一致。通过使视频信号的相位一致,液晶面板100内的视频信号选择电路123可使用同一个采样时钟采样视频信号。

其次,使用图4说明图2所示的采样保持电路407的问题。图2所示的电路方式,如图4(a)所示,由于信号为低速时,采样期间SP足够长,因此采样保持电路407中有足够的采样正信号电平的界限,采样保持电路407造成的散乱小。但是,随解像度提高,或信号因帧频倍增化而加速时,如图4(b)所示,视频信号波形近似三角波,因采样时钟的相位偏差及噪音等,采样正信号电平的期间变短,容易造成错误采样,且因采样时序偏差造成电平散乱扩大。如此将造成显示灰度被错误显示,使显示品质降低。

因而开发出图5所示的构造的电路,作为因高解像度、高帧频造成的错误采样的对策的方法。该电路对于图2的构造,是以数字信号进行采样保持处理。来自外部的视频信号通过AD转换电路403转换成数字信号。数字化的信号经信号处理电路404进行 γ 校正、解像度转换、帧率转换等信号处理后,以数字信号的形态被采样保持,并予以相展开。因以数字信号的形态予以相展开,因此采样保持的散乱被显著改善,不发生相展开模拟信号时的采样保持散乱。另外,所展开的各相信号是以后段的DA转换电路405转换成模拟信号,并进行放大、交流化。

图6展示将图5的电路之后段处理予以IC化的构造。其中410是经IC化的模拟驱动器。用信号处理电路404进行 γ 校正、解像度转换、帧

率转换等信号处理的数字信号输入至模拟驱动器 410 内。在模拟驱动器 410 内，经采样保持电路 409 输入的数字信号以数字的形态予以相展开，并以 DA 转换电路 405 将各相的数字信号予以 DA 转换，以放大交流化电路 406 放大、交流化。本构造将后段形成单芯片化，以简化电路。

如前所述，由于图 5、图 6 的构造是以数字信号进行采样保持，不发生采样保持散乱。因此在信号高速化时特别有效。采样保持数字信号，并予以相展开的方法，视频信号为"1"或"0"的数字信号，即使输出至信号线上的电压散乱，由于信号是以"1"或"0"的值取得，因此模拟信号上不发生会造成问题的散乱。

另外，即使在向多条信号线分配视频信号的方法中，由于是数字信号，因此与模拟信号比较，数据容易保持。视频信号是根据显示的图像解像度的周期信号，是按照构成画面的顺序，从外部装置（如个人计算机）输入，从 AD 转换电路 403 输出的数字信号也按照从外部装置输入的视频信号的周期与顺序。因此，通过依次将取得的数字信号输出至多条信号线，可以用数字信号相展开。但是，发明人发现各相间因相展开后的电路特性而发生散乱的问题。下面，说明因该相展开后的电路发生的散乱。

构成电路的元件原本特性散乱。图 7 展示一种以运算放大器 413 构成的放大电路的范例。以下，使用图 7 (a) 所示的范例，计算因元件特性散乱造成信号的散乱。图 7 (a) 的电路中，电阻 R1 的电阻值为 270Ω ，电阻 R2 的电阻值为 750Ω ，这些电阻的散乱为 $\pm 0.5\%$ ，运算放大器 413 的增益散乱为 $\pm 0.025\%$ ，视频信号的振幅为 1.2V 时，运算放大器 413 的放大率是以 $R2/R1$ 的比来决定，因此，计算因特性散乱，放大率为最大时与最小时的输出电压的振幅。

最大时为 $1.2V \times ((750 \times 1.005) \div (270 \times 0.995) + 1) \times 1.00025 = 4.568V$ 。
最小时为 $1.2V \times ((750 \times 0.995) \div (270 \times 1.005) + 1) \times 0.99975 = 4.499V$ 。

因而，最大时与最小时的差为 $4.568V - 4.499V = 0.069V$ ，最大产生 69mV 的散乱。该放大率的散乱如图 7 (b) 所示的波形。另外钳位电压 V_{crp} 被供给恒定电压，图 7 (b) 中为 1.0V。

此外，图 8 展示反射型液晶显示装置（LCOS）的施加电压 - 反射率特性。由于相对反射率为 90% 时，施加电压为 1.1V，相对反射率为 10% 时，施加电压为 2.4V，因而 1.3V 的电压差显示 256 灰度，图 8 的倾斜为 $1.3V \div 256 \text{ 灰度} = 5.1 \text{ mV/灰度}$ 。因而，每 1 灰度的电压约为 5 mV。因此，散乱为 69 mV 时，即为 $69 \text{ mV} \div 5 \text{ mV/灰度} = 13.8 \text{ 灰度}$ 。因而，此时 69 mV 的散乱约产生 14 灰度的亮度差。

该放大电路的散乱成为视频信号传送线 132 间的散乱。由于视频信号传送线 132 间的散乱形成周期性的纵线亮度差，而呈现在液晶面板上的显示图像，因此造成显示品质显著降低的问题。

如图 9 所示，放大交流化电路，除放大电路具有的运算放大器之外，交流化电路也具有运算放大器，也须考虑交流化电路的反转散乱。此外，如液晶面板 100 内的晶体管的特性散乱等也成为发生纵线的因素。

图 10 展示图 9 所示的电路的散乱。图 10 (a) 展示图 7 (b) 所示的输入波形输入在运算放大器 413 时的输出至图 9 中节点 A 的信号波形。图 10 (b) 展示正极性用运算放大器 415 的输出。正极性用运算放大器 415 为放大率为 1 的反转放大电路，输出如图 10 (b) 所示，是从供给有稳压的反转电平电压减去输入电压的值。负极性用运算放大器 414 以放大率为 1 的缓冲器放大器直接输出输入波形。

图 10 (c) 展示使用模拟开关 416，负极性用运算放大器 414 与正极性用运算放大器 415 的输出交替输出的状态。而图 10 (c) 所示的视频信号是显示常白时。因此，对于对置电极的基准电极 Vcom，电位差小形成高亮度（白显示）。如图 10 (c) 所示，各电路的散乱形成视频信号传送线 132 间的散乱。例如，视频信号传送线 132 为 n 条时，第一条最小，第 n 条最大的形态的散乱时，由于每 n 条即在液晶面板上的显示图像上呈现纵线，因此使显示品质显著降低。

虽然通过调整各模拟电路可校正散乱，但是调整的部件数量多时，会显著损及批量生产性。因此，通过用输入到各模拟电路之前的数字信号校正模拟电路的散乱，可以降低散乱。

图 11 展示使用参照表校正电路的散乱的电路构造。

用信号处理电路采样保持数字信号并予以相展开的各信号线分别具有参照表（LUT: Look Up Table, 以下也称 LUT）420, 各相独立进行校正。由于各相的散乱不同, 因此参照表 420 上预先求出最适当的数据。此外, 校正数据收纳在其它内存等中, 根据需要转送校正散乱的数据至参照表 420。

图 11 中, 用信号处理电路 404 进行 γ 校正、解像度转换、帧率转换等信号处理, 且经相展开的数字信号输入到参照表 420 内。参照表 420 将对应于输入的数字信号的数字数据输出至 DA 转换电路 405。DA 转换电路 405 将数字数据转换成模拟信号, 并输出至放大交流化电路 406。

参照表 420 内收纳有校正各相散乱的数据。通过观察、评估显示画面来进行收纳在参照表 420 内的校正数据的设定。首先, 将尚未校正的数据（标准数据）收纳在参照表 420 内进行显示, 观察各相的散乱。之后, 对于亮度降低的相, 将促使相亮度增加的系数乘以标准数据, 成为校正数据, 亮度增加的相选择亮度减少的系数。各相的亮度予以均匀化时, 此时的系数为最适当系数, 并记录在视频信号控制电路 400 内。

图 12 展示将图 11 的电路的参照表 420 形成一个封装体, 将后段处理予以 IC 化的构造。其中 410 是经 IC 化的模拟驱动器, 421 用以栅阵列等形成一个封装体的参照表 420。用信号处理电路 404 进行 γ 校正、解像度转换、帧率转换、相展开等的信号处理的数字信号输入到各相的参照表 421 内。在参照表 421 校正数据并输出至模拟驱动器 410。在模拟驱动器 410 进行 DA 转换、放大、交流化。本构造将各段形成一个封装体, 以简化电路。

另外, 也可把信号处理电路与采样保持电路分离, 将采样保持电路与参照表形成一个封装体。此外, 一个封装体中也可以由一个芯片的栅阵列构成, 也可分割成多个芯片来构成。

图 13 展示以一个封装体构成信号处理电路 404 与参照表 420 的实施例。其中 422 是扁平封装体, 其内部具有信号处理电路 404 与参照表 420。信号处理电路 404 与参照表 420 也可以一个芯片的栅阵列构成, 也可以多个芯片构成。

图 14 展示校正每一色 256 灰度数据的参照表 420 的数据构成的实施示例。输入数据为 8 位，校正数据为 10 位。校正数据使用可充分灰度表现的灰度数部分的位数。参照表 420 以可读出的内存（RAM）构成，将输入的 256 灰度的视频信号作为地址，收纳在地址内的 10 位的数据作为校正数据输出。

另外，作为输出校正数据的构造，只要对于输入数据具有输出校正数据功能，就可利用。例如，也可对于输入数据运算校正系数，使用输出校正数据的信号处理电路。此外，参照表可利用包含地址且可在该地址内收纳数据的参照表，可由 RAM 或 ROM 等内存构成，也可由逻辑电路构成。

图 15 展示了一种对图 14 所示的参照表 420 设定校正数据的方法。视频信号控制电路 400 内部的信号线的构成为，其数据总线 435 由 10 位构成，地址总线 436 由 8 位构成。此外，设有数据处理用的微机 430。另外，微机 430 根据需要也可使用可进行数据处理的电路。设定校正数据时，从微机 430 送出 10 位×256 的校正用数据，并设定在参照表 420 用的 RAM 内（路径（1））。

另外，图 16 展示了用并联通信设定 256 数据的时序的例子。微机 430 在使构成 RAM 的芯片的芯片选择信号 CS 为低电平时，依次输出 0~255 的值至地址总线 436。此外，在地址输出的同时，以 10 位输出各地址各校正数据至数据总线 435 上。此外，在输出校正数据的状态下，输出读写信号 WR 至数据总线 435。RAM 在读写信号 WR 开始时锁存并收纳数据。在读写信号 WR 开始时地址增加，从地址 0 起依次至 255 设定数据。

从参照表 420 读出校正数据时，经相展开的数字信号设定在地址总线 436，RAM 将地址总线 436 指示的地址的校正数据输出至数据总线 435 上（图 15 中的路径（2））。DA 转换电路 405 将通过数据总线 435 输入的数字数据转换成模拟信号并输出至放大交流化电路上。

参照表 420 的数据校正展示在图 17。用参照表 420 朝反方向校正模拟电路上产生的特性散乱，校正后的输出其散乱成为最小。图 17（a）是

模拟电路特性为理想状态时，对于输入可获得正常的输出。其中 451 表示对于输入的正常的输出特性。由于用线 451 表示的特性为正常，因此参照表 420 的值选择未经校正的值。452 表示未经校正时的参照表 420 的输入与输出特性。

其次，图 17 (b) 展示模拟电路特性对于正常值输出高值的场合。其中 454 是表示相对于输入，输出为高值的特性的线。由于用线 454 表示的输入与输出的特性表现出输出为高值，因此参照表 420 选择有输出降低的校正数据。参照表 420 的特性如线 455 所示，形成对于未经校正时的线 452 输出降低的值。

作为校正图 17 (b) 所示的散乱的方法，观察液晶面板的图像，把设在高亮度的相的参照表的特性为图 17 (b) 的线 455 的系数从外部输入到图 15 所示的微机 430。微机 430 从所输入的系数与基准数据制作校正数据，制作参照表的数据。向液晶面板输出经校正的图像。此外，需要校正时，重复同样的操作，调整成画面上观察不出亮度不稳定。另外，设有用于从外部输入系数的接口部，并连接在微机 430 上。

经过设定的系数记录在视频信号控制电路 400 内。在液晶显示装置开始动作时，通过微机 430，从标准数据与系数制作校正数据，并收纳在参照表 420 内。

其次，图 17 (c) 展示模拟电路特性输出相对于正常值为低的情况。其中 456 表示对于输入，输出为低值的特性的线。由于以线 456 显示的输入与输出的特性，表示输出为低值，因此参照表 420 选择使输出提高的校正数据。参照表 420 的特性如线 457 所示，成为相对于线 452 提高输出的值。

另外，校正方法也可以是，用摄影装置输入液晶面板的图像，从所输入的图像数据检测亮度有不稳定的相，自动地算出系数，根据所算出的系数，在参照表 420 内制作校正数据。

如图 17 所示，模拟电路的散乱如放大率的散乱时，由于对于输入，输出的散乱是变化成线形，因此校正散乱的数据也形成对于输入变化成线形的值。因此，系数乘以标准数据可求出校正数据。

图 18 展示校正交流化电路上产生的散乱时的构造。参照表每 1 相具

有正极性用 423 与负极性用 422 的两个表，与交流化信号同步，以模拟开关 417 选择。视频信号从负极性用运算放大器 414 输出时，以负极性用参照表 422 校正，视频信号从正极性用运算放大器 415 输出时，以正极性用参照表 423 校正。通过预先在正极性用、负极性用的各参照表内设定校正数据，可校正正负极间的散乱。

图 19 展示通过图像源，从多个参照表选择一个参照表的方法。通常信号源是如个人计算机的窗口等图形图像、或电影、自然图像等。预先制作适于这些数种图像源的 γ 校正数据等的参照表，通过图像源切换开关来使用。图 19 中展示设置参照表用于 3 种图像源的场合。另外，当然可对应于图像源数量设置多个参照表。其中 424 为第一图像源用参照表，425 为第二图像源用参照表，426 为第三图像源用参照表。通过开关 418 选择使用哪个参照表。

另外，开关 418 若为切换数字信号的传递路径的开关时，也可利用。图 19 (b) 展示用逻辑电路构成开关 418 的场合。

使用图 20、图 21 及多个参照表，说明虚拟 (pseudo) 地提高灰度的方法。为 γ 校正用的参照表等时，如图 20 (a) 所示，相对于输入的输出的变化小，输出的灰度减少，画质恶化。图 20 (b) 显示输出变化小的部分 B 的放大图。图 20 (b) 的例中，如以符号 C 显示的点，对于 $n+1$ 的输入，希望输出 m 与 $m+1$ 间的灰度，但因位数的关系，仅可表现 m 或 $m+1$ 。因此，每帧切换两个参照表，输出中间灰度。

图 21 (a) 中的 427 为第一参照表，428 为第二参照表，419 为切换用模拟开关。如图 21 (b) 所示，第一参照表 427 在 $n+1$ 输入时，输出 m 。如图 21 (c) 所示，第二参照表 428 在 $n+1$ 输入时，输出 $m+1$ 。使用模拟开关 419，以帧周期交替切换第一参照表 247 与第二参照表 428 的输出。由此，如图 21 (d) 所示，可虚拟地、视觉地显示 m 与 $m+1$ 中间灰度 (图中 D)。

其次，使用图 22、图 23 及参照表，说明调整对比度及亮度的方法。另外，图 22、图 23 为简化说明，是说明常黑的场合。即，电压大时形成高亮度 (白显示)。图 22 是调整对比度的方法的说明图。降低图 22 (a)

的显示输出对输入的特性线 461 上显示的数据的对比度时,如图 22 (b) 所示,显示特性的线 462 的倾斜减少。提高对比度时,如图 22 (c) 所示,显示特性的线 463 的倾斜增加。

图 23 是调整亮度的方法的说明图。降低图 23 (a) 的显示输出对输入的特性线 461 上显示的数据的亮度时,如图 23 (b) 所示,将显示特性线 464 朝黑方向平行移动,如图 23 (c) 所示,提高亮度时,将显示特性线 465 朝白方向平行移动。

图 24 展示设置模拟开关,减少一个封装体化的参照表 421 的引线 (pin) 数的电路构造。另外,可以同样的构造减少内外的接口的配线及引线数。将多个参照表 420 收纳在一个封装体内时,电路构造虽简化,不过会发生封装体的引线数增加的问题。由于参照表 420 与 DA 转换电路 405 间的数据总线 435 为 10 位,因此各相设置数据总线时,用于连接在数据总线的一个封装化的参照表 421 的引线数显著增加。例如,12 相 10 位时有 120 引线。因而以内部开关 437 选择各参照表的输出,在相同时序,以外加开关 438 选择输出端。采用本电路构造,如为 12 相 10 位时,因从 120 引线减少至 10 引线,因此可将使用的封装体予以最小化。

其次,使用图 25,说明可省略配线数的构造。图 25 的参照表 420 的位置是设在相展开用的采样保持电路 404 之前。显示在图 25 的构造可大幅省略参照表 420 与采样保持电路 404 间的配线数。如显示在图 11 的构造,在采样保持电路 404 与参照表 420 之间,传送数据的信号线需要相展开的数量。在 12 相 10 位时,配线数为 120 条。反之,在图 25 所示的情况时,只须 10 位部分的 10 条即可。

示于在图 25 的参照表 420,显示信号通过显示信号线 402 从外部装置以一定顺序送达视频信号控制电路。因而,配合显示信号的顺序,来决定相展开顺序时,即使交替相展开的构造与校正的构造的位置也无问题。即,若了解是第 n 个像数据,则可在相展开前进行第 n 个相散乱所需的校正。

如从 AD 转换电路 403 输出 10 位的数据总线 435。参照表 420 设有相展开的数,各参照表 420 上连接有数据总线 435。视频信号控制电路

400 通过从 AD 转换电路 403 输出的数据的顺序，了解是何相的数据，而选择校正的参照表 420。

其次，使用图 26 说明参照表数据的通信。设在参照表的数据量为每一色 12 相，10 位（2 字节）数据，256 灰度时，为

12 相×2 位组×256 灰度 = 6144 字节，

3 色时为 6144 位组×3 色 = 18432 字节。

例如在外部个人计算机 448 内记录有参照表数据，与显示控制装置 111 内的微机 430 进行数据通信，使用将数据取入参照表 420 的方法，以 RS-232C，9600bps 的速度进行个人计算机-微机间通信时，最短需要 15 秒。而其中 447 为数据通信用的接口部。此外，个人计算机-微机间的数据通信并不限定于 RS-232C，也可使用其它方法（如 USB、IEEE1394、SCSI、蓝牙等）。

其次，考察储存在设在视频信号控制电路 400 内的微机内藏的 RAM 时，发生增加消耗 18432 字节区域的问题。

为求缩短通信时间及节约微机内藏 RAM，将数据区分成 γ 校正用的标准数据 429 与差分数据。差分数据通过外部装置（个人计算机）观察显示图像，并设有最佳值。在制作参照表数据时，在微机内，在标准数据 429 中，进行乘以差分数据运算来制作参照表数据。由此，即使个人计算机-微机间的通信数据量增加，也可避免扩大使用微机内藏 RAM 区域，取入数据至参照表。

其次，使用图 27 说明将帧频予以倍增化的方法。图 27 (a) 展示使用 2 帧部分的帧内存，转换帧频的电路构造，与图 27 (b) 展示形成两倍速度时的时序图。

转换帧频的电路包含：时序控制器 432、有 1 帧部分容量的第一帧内存 433、及第二帧内存 434。视频信号输入至时序控制器 432，通过时序控制器 432 中的开关操作，输入至第一帧内存 433 与第二帧内存 434。如频率为两倍时，从第一帧内存 433 与第二帧内存 434 以两倍时钟读出，并从时序控制器 432 输出。

其次，说明时序。视频信号的输入，在帧 1 的时序，直接写入图像

数据至第一帧内存 433。视频输入在帧 2 的时序，写入帧的图像数据至第二帧内存 434。与此同时，从第一帧内存 433 以两倍速度读出两次帧 1 的数据。在帧 3 的时序，写入帧 3 的图像数据至第一帧内存 433 的同时，以两倍速度读出两次第二帧内存 434 的数据。通过重复上述操作，帧频可输出两倍的信号。

图 28 展示使用 1 帧 + 1 区块部分的内存转换帧频时的电路构造，图 29 展示时序图。图 28 中以内存容量为 6 区块，1 帧部分为例。电路包含：区分成 7 区块的区块内存 440 与时序控制器 432。7 个各内存区块的输入输出是通过时序控制器 432 控制。

其次，通过图 29 所示的时序图说明动作。将 1 帧部分的视频信号分割成 6 个时序，分别为 1-1~1-6。1-1 的信号写入区块 1 内，1-2 的信号写入区块 2 内，依次写入信号至内存的各区块内。然后，与写入时序异步地从内存，以两倍速度进行读出，如图 29 所示的输出两倍速度的视频信号。其次，以 2-1 的信号写入区块 7，2-2 的信号写入区块 1 的方式，重复以后步骤，并进行读写。该电路方式的优点为动作虽复杂，但可减少内存容量。愈增加分割区块数，内存容量就愈小，但因其部分的动作趋于复杂，因此须考虑两者的均衡。

图 30 展示使用内存输出测试图案的电路构造。通常每次是通过视频信号进行电路的调整，不过，此时是使用点处理、色条图、灰度等测试图案。需要准备输出这些图案的个人计算机等作为信号源，不过使用本电路时，由于是在视频信号控制电路 400 内产生图案，因此不需要这些信号源。电路包含：一般频率转换等上使用的帧内存 431、预先写入测试图案的帧内存 445、及时序控制器 432。一般动作时，是从帧内存 431 输出视频信号。测试图案显示时，切换开关，从测试图案的帧内存 445 输出视频信号。

图 31 展示使用帧内存 431 输出静止画面的电路构造。静止画面输出是在必须输入不希望显示的视频信号等时的有效的功能。一般动作时，为随时更新帧内存 431 内的视频信号，实时显示图像。遮断视频信号的内存写入时，由于图像不更新，因此是重复遮断之前的信号，从内存读

出。如此，静止画面输出是控制内存的写入开关来进行。

图 32 展示使用帧内存 431 的电路会聚的调整。制品上使用多个显示元件时（如 2 板或 3 板），需要以像素单位合并这些相互的位置。通常微调、合并显示元件的位置，采用本方式时可不改变显示元件的位置作调整。以下说明该方法。读出写入帧内存 431 内的视频信号时，调整地址及显示位置。帧内存 431 的地址与显示元件的像素一致时，如图 32(a) 所示，对于内存内的视频信号的位置，是将读出位置的地址朝右方向偏移 n ，朝下方向偏移 m 。此时，显示元件的显示位置朝左方向移动 n 像素，朝上方向移动 m 像素。如此调整显示元件的显示位置。

其次，使用图 33 说明像素部 101，并使用像素电位控制电路说明使像素电极的电位改变的驱动方法。图 33 是显示像素部 101 的等效电路的电路图。像素部 101 在显示部 110 的邻接的两条扫描信号线 102 与邻接的两条视频信号线 103 的交叉区域（以 4 条信号线包围的区域）上配置成矩阵状。不过，图 33 中为简化附图，仅显示一个像素部。各像素部 101 包含：有源元件 30 与像素电极 109。此外，像素电极 109 上连接有像素电容 115。像素电容 115 的一方电极连接在像素电极 109，另一方电极连接在像素电位控制线 136。此外，像素电位控制线 136 连接在像素电位控制电路 135。而图 33 中，有源元件 30 是以 p 型晶体管显示。

如前所述，扫描信号线 102 上从垂直驱动电路 130 输出扫描信号。通过该扫描信号控制有源元件 30 的接通、切断。视频信号线 103 上作为视频信号供给有灰度电压，有源元件 30 接通时，从视频信号线 103 供给灰度电压至像素电极 109。与像素电极 109 相对配置对置电极 107（共用电极），像素电极 109 与对置电极 107 之间设有液晶层（图上未显示）。另外，图 33 所示的电路图上，像素电极 109 与对置电极 107 之间等效地连接有液晶电容 108。通过在像素电极 109 与对置电极 107 之间施加电压，利用液晶分子的取向方向等改变，同时对于液晶层的光的性质改变来进行显示。

液晶显示装置的驱动方法，如前所述，是以在液晶层上未施加直流电流的方式进行交流化驱动。为求进行交流化驱动，将对置电极 107 的

电位作为基准电位时，从视频信号选择电路 123 对基准电位输出正极性与负极性的电压作为灰度电压。但是，将视频信号选择电路 123 形成耐正极性与负极性的电位差的高耐压电路时，会发生有源元件 30 等电路规模变大的问题及动作速度迟缓的问题。此外，如图 10 所示，视频信号控制电路 400 需要正极性侧与负极性侧的运算放大器。

因此，研究从视频信号选择电路 123 供给至像素电极 109 的视频信号，对于基准电位使用同极性的信号，同时进行交流化驱动。例如，从视频信号选择电路 123 输出的灰度电压，对于基准电位使用正极性的电压，对于基准电位将正极性的电压写入像素电极后，通过降低从像素电位控制电路 135 施加在像素电容 115 的电极的像素电位控制信号的电压，也使像素电极 109 的电压下降，可对基准电位产生负极性的电压。使用此种驱动方法时，由于视频信号选择电路 123 输出的最大值与最小值的差异小，因此视频信号选择电路 123 可形成低耐压电路。另外，说明一种在像素电极 109 上写入正极性电压，通过像素电位控制电路 135 使负极性电压产生，而写入负极性电压使正极性电压产生时，可通过提高像素电位控制信号的电压。

其次，使用图 34 说明使像素电极 109 的电压变动的方法。图 34 为便于说明，以第一电容器 53 表示液晶电容 108，以第二电容器 54 表示像素电容 115，以开关 104 表示有源元件 30。将连接在像素电容 115 的像素电极 109 的电极作为电极 56，将连接在像素电容 115 的像素电位控制线 136 的电极作为电极 57。此外，以节点 58 表示连接像素电极 109 与电极 56 的点。此处为便于说明，其它寄生电容作为可忽略，第一电容器 53 的电容为 CL，第二电容器 54 的电容为 CC。

首先，如图 34 (a) 所示，在第二电容器 54 的电极 57 上，从外部施加电压 V1。其次，通过扫描信号，开关 104 接通时，电压从视频信号线 103 供给至像素电极 109 及电极 56。此时供给至节点 58 的电压为 V2。

其次，如图 34 (b) 所示，在开关 104 切断时，使供给至电极 57 的电压（像素电位控制信号）从 V1 下降至 V3。此时，由于充电在第一电容器 53 与第二电容器 54 的电荷的总量不改变，因此节点 58 的电压改变，

节点 58 的电压为 $V2 - \{CC / (CL + CC)\} \times (V1 - V3)$ 。

此时,第一电容器 53 的电容 CL 远比第二电容器 54 的电容 CC 小($CL \ll CC$) 时,成为 $CC / (CL + CC) \approx 1$, 节点 58 的电压为 $V2 - V1 + V3$ 。此时, $V2 = 0$, $V3 = 0$ 时, 节点 58 的电压为 $-V1$ 。

根据前述的方法, 像素电极 109 上从视频信号线 103 供给的电压对于对置电极 107 的基准电位成为正极性, 负极性的信号可通过控制施加在电极 57 的电压(像素电位控制信号)形成。以此种方法形成负极性的信号时, 无须从视频信号选择电路 123 供给负极性的信号, 可以低耐压元件形成周边电路。

其次, 使用图 35 说明图 33 所示的电路的动作时序。其中 $\Phi1$ 表示供给至视频信号线 103 的灰度电压。 $\Phi2$ 是供给至扫描信号线 102 的扫描信号。 $\Phi3$ 是供给至像素电位控制线 136 的像素电位控制信号(降压信号)。 $\Phi4$ 表示像素电极 109 的电位。另外, 像素电位控制信号 $\Phi3$ 是图 32 所示的以电压 $V3$ 与 $V1$ 为振幅的信号。

说明图 35 时, $\Phi1$ 表示正极性用输入信号 $\Phi1A$ 与负极性用输入信号 $\Phi1B$ 。此时, 所谓的负极性用, 是指施加在像素电极的电压通过像素电位控制信号而变动, 对于基准电位 V_{com} 形成负极性时的信号。本实施例是说明视频信号 $\Phi1$ 包含正极性用输入信号 $\Phi1A$ 与负极性用输入信号 $\Phi1B$, 同时对于施加在对置电极 107 的基准电位 V_{com} 供给有使电位成为正极性的电压。

图 35 中, 展示在期间 $t0$ 至 $t2$ 之间, 灰度电压 $\Phi1$ 为正极性用输入信号 $\Phi1A$ 的场合。首先, 在 $t0$ 输出电压 $V1$, 作为像素控制信号 $\Phi3$ 。其次在时刻 $t1$, 扫描信号 $\Phi2$ 被选择, 成为低电平时, 图 31 所示的 p 型晶体管 30 形成接通状态, 供给至视频信号线 103 的正极性用输入信号 $\Phi1A$ 写入像素电极 109。写入像素电极 109 的信号在图 35 中以 $\Phi4$ 表示。此外, 图 35 中, 在 $t2$ 写入像素电极 109 的电压以 $V2A$ 表示。其次, 扫描信号 $\Phi2$ 形成非选择状态, 成为高电平时, 晶体管 30 形成切断状态, 像素电极 109 形成从供给电压的视频信号线 103 分离的状态。液晶显示装置显示根据写入像素电极 109 的电压 $V2A$ 的灰度。

其次，说明从期间 t_2 至 t_4 之间 $\Phi 1$ 为负极性用输入信号 $\Phi 1B$ 的场合。为负极性用输入信号 $\Phi 1B$ 时，在时刻 t_2 ，扫描信号 $\Phi 2$ 被选择，像素电极 109 上写入有如 $\Phi 4$ 所示的电压 $V2B$ 。之后，使晶体管 30 处在切断状态，从时刻 t_2 起 $2h$ （2 水平扫描时间）后的时刻 t_3 ，供给至像素电容 115 的电压如像素电位控制信号 $\Phi 3$ 所示，从 $V1$ 降压至 $V3$ 。使像素电位控制信号 $\Phi 3$ 从 $V1$ 变动成 $V3$ 时，像素电容 115 发挥结合电容的功能，可根据像素电位控制信号 $\Phi 3$ 的振幅，降低像素电极的电位。由此对于基准电位 V_{com} ，可在像素内形成负极性的电压 $V2C$ 。

以前述的方法形成负极性的信号时，可以低耐压元件形成周边电路。即，由于从视频信号选择电路 123 输出的信号是正极性侧的狭窄振幅的信号，视频信号选择电路 123 可形成低耐压电路。此外，不需要使用负极性侧的运算放大器，且视频信号选择电路 123 可以低电压驱动时，由于其它周边电路的水平驱动电路 120、显示控制装置 111 等为低耐压电路，因此可通过低耐压电路构成整个液晶显示装置。

其次，使用图 36 展示像素电位控制电路 135 的电路构造。其中 SR 为双向移位寄存器，可在上下双向移动信号。双向移位寄存器 SR 以时钟反向器 61, 62, 65, 66 构成。其中 67 为电平移位器，69 为输出电路。双向移位寄存器 SR 等以电源电压 VDD 动作。电平移位器 67 转换从双向移位寄存器 SR 输出的信号的电压电平。从移位寄存器 67 输出有具有高在电源电压 VDD 的电位的电源电压 VBB 与电源电压 VSS （GND 电位）间的振幅的信号。输出电路 69 供给有电源电压 VPP 与 VSS ，根据从电平移位器 67 的信号，输出电压 VPP 与 VSS 至像素电位控制线 136。图 35 中说明的像素电位控制信号 $\Phi 3$ 的电压 $V1$ 为电源电压 VPP ，电压 $V3$ 为电源电压 VSS 。另外，图 36 以包含 p 型晶体管与 n 型晶体管的反向器表示输出电路 69。通过选择供给至 p 型晶体管的电源电压 VPP 与供给至 n 型晶体管的电源电压 VSS 的值，可输出电压 VPP 与 VSS 作为像素电位控制信号 $\Phi 3$ 。

但是，如后述那样，由于形成 p 型晶体管的硅基板上供给有基板电压，因此电源电压 VPP 的值设定为对基板电压适当的值。

26 为开始信号输入端子，将其中一个控制信号的开始信号供给至像素电位控制电路 135。SRn 从图 36 所示的双向移位寄存器 SR1，根据开始信号输入与从外部所供给的时钟信号的时序，依次输出计时信号。电平移位器 67 根据计时信号输出电压 VSS 与电压 VBB。输出电路 69 根据移位寄存器 67 的输出，输出电压 VPP 与电压 VSS 至像素电位控制线 136。通过以形成图 35 的像素电位控制信号 $\Phi 3$ 所示的时序的方式供给开始信号及时钟信号至双向移位寄存器 SR，可以希望的时序从像素电位控制电路 135 输出像素电位控制信号 $\Phi 3$ 。另外，25 是复位信号输入端子。

其次，使用图 37 (a) (b)，说明双向移位寄存器 SR 上使用的时钟反向器 61, 62。其中 UD1 为第一方向设定线，UD2 为第二方向设定线。

第一方向设定线 UD1 在图 36 中从下至上扫描时为 H 电平，第二方向设定线 UD2 在图 36 中从上至下扫描时为 H 电平。图 36 中为便于观察附图而省略结线，不过第一方向设定线 UD1 与第二方向设定线 UD2 均连接在构成双向移位寄存器 SR 的时钟反向器 61, 62。

如图 37 (a) 所示，时钟反向器 61 包含 p 晶体管 71, 72 与 N 型晶体管 73, 74。p 型晶体管 71 连接在第二方向设定线 UD2，n 型晶体管 74 连接在第一方向设定线 UD1。因而，第一方向设定线 UD1 为 H 电平，第二方向设定线 UD2 为 L 电平时，时钟反向器 61 发挥反相器功能，第二方向设定线 UD2 为 H 电平，第一方向设定线 UD1 为 L 电平时，则形成高阻抗。

反之，时钟反向器 62 如图 37 (b) 所示，p 型晶体管 71 连接在第一方向设定线 UD1，n 型晶体管 74 连接在第二方向设定线 UD2。因而，第二方向设定线 UD2 为 H 电平时发挥反相器功能，第一方向设定线 UD1 为 H 电平时，形成高阻抗。

其次，时钟反向器 65 是图 37 (c) 所示的电路构造，CLK1 为 H 电平，CLK2 为 L 电平时，反转输出输入，CLK1 为 L 电平，CLK2 为 H 电平时，形成高阻抗。

此外，时钟反向器 66 是图 37 (d) 所示的电路构造，CLK2 为 H 电

平, CLK1 为 L 电平时, 反转输出输入, CLK2 为 L 电平, CLK1 为 H 电平时, 形成高阻抗。图 36 省略时钟信号线的结线, 不过, 图 37 的时钟反向器 65, 66 上连接有有时钟信号线 CLK1, CLK2。

如以上的说明, 可以用时钟反向器 61, 62, 65, 66 构成双向移位寄存器 SR, 依次输出计时信号。此外, 可以用双向移位寄存器 SR 构成像素电位控制电路 135, 双向扫描像素电位控制信号 $\Phi 3$ 。即, 垂直驱动电路 130 也可以用双向移位寄存器构成, 本发明的液晶显示装置可进行上下双向扫描。因而, 在上下颠倒显示的图像等时, 是反转扫描方向从图中下方向上方扫描。因此, 垂直驱动电路 130 从下向上扫描时, 像素电位控制电路 135 也通过变更第一方向设定线 UD1 与第二方向设定线 UD2 的设定, 对应成从下向上扫描。另外, 水平移位寄存器 121 也通过同样的双向移位寄存器构成。

其次, 使用图 38 说明本发明的反射型液晶显示装置 LCOS 的像素部。图 38 是本发明一种实施例的反射型液晶显示装置的模式剖面图。图 38 中的 100 是液晶面板, 1 是第一基板的驱动电路基板, 2 是第二基板的透明基板, 3 是液晶组成物, 4 是隔片。隔片 4 在驱动电路基板 1 与透明基板 2 之间形成一定间隔的单元间隙 (cell gap) d。该单元间隙 d 中央住液晶组成物 3。5 是反射电极 (像素电极), 并形成在驱动电路基板 1 上。6 是对置电极, 在与反射电极 5 之间, 在液晶组成物 3 上施加电压。7, 8 是取向膜, 使液晶分子在一定方向上取向。30 是有源元件, 供给灰度电压至反射电极 5。

34 是有源元件 30 的源极区域, 35 是漏极区域, 36 是栅极。38 是绝缘膜, 31 是形成像素电容的第一电极, 40 是形成像素电容的第二电极。第一电极 31 与第二电极 40 经由绝缘膜 38 形成电容。图 38 是将第一电极 31 与第二电极 40 作为形成像素电容的代表性电极来展示, 此外, 若与像素电极电连接的导体层、及与像素电位控制信号线电连接的导体层, 夹住电介质层相对置时, 也可形成像素电容。

41 是第一层间膜, 42 是第一导电膜。第一导电膜 42 从漏极区域 35 与第二电极 40 电连接。43 是第二层间膜, 44 是第一遮光膜, 45 是第三

层间膜，46 是第二遮光膜。第二层间膜 43 与第三层间膜 45 间形成有通孔 42CH，第一导电膜 42 与第二遮光膜 46 电连接。47 是第四层间膜，48 是形成反射电极 5 的第二导电膜。灰度电压从有源元件 30 的漏极区域 35，经由第一导电膜 42、通孔 42CH、第二遮光膜 46，传送至反射电极 5。

本实施例的液晶显示装置为反射型，大量的光照射在液晶面板 100。遮光膜以避免光入射驱动电路基板的半导体层的方式实施遮光。反射型液晶显示装置中，照射在液晶面板 100 的光从透明基板 2 侧（图 38 中上侧）入射，透过液晶组成物 3，以反射电极 5 反射，再度透过液晶组成物 3 及透明基板 2，从液晶面板 100 出射。但是，照射在液晶面板 100 上的光的一部分，从反射电极 5 之间隙渗漏至驱动电路基板侧。第一遮光膜 44 与第二遮光膜 46 设置成避免光入射有源元件 30。本实施例以导电层形成该遮光膜，将第二遮光膜 46 电连接在反射电极 5，因第一遮光膜 44 上供给像素电位控制信号，因此也具有将遮光膜作为像素电容的一部分的功能。

另外，在第一遮光层 44 上供给像素电位控制信号时，可在供给有灰度电压的第二遮光膜 46 与形成视频信号线 103 的第一导电层 42 及形成扫描信号线 102 的导电层（与栅极 36 同层的导电层）之间，设置第一遮光膜 44 作为电性屏蔽层。因而，第一导电层 42 及栅极 36 等与第二遮光膜 46 及反射电极 5 之间的寄生电容成分减少。如前所述，对于液晶电容 CL，像素电容 CC 需要足够大，不过，设置第一遮光膜 44 作为电性屏蔽层时，与液晶电容 LC 并联的寄生电容也变小，更具效率。此外，也可减少噪音从信号线传入。

此外，采用反射型液晶显示元件，在驱动电路基板 1 的液晶组成物 3 侧的面形成反射电极 5 时，可使用不透明的硅基板等作为驱动电路基板 1。此外，可将有源元件 30 及配线设在反射电极 5 之下，其具有可扩大构成像素的反射电极 5，实现所谓高开口率的优点。此外，也具有可从驱动电路基板 1 的内面释放光照射在液晶面板 100 上产生的热的优点。

其次，说明利用遮光膜作为像素电容的一部分。第一遮光膜 44 与第

二遮光膜 46 夹着第三层间膜 45 相对, 形成像素电容的一部分。49 是形成像素电位控制线 136 的一部分的导电层。第一电极 31 与第一遮光膜 44 通过导电层 49 电连接。此外, 可使用导电层 49 形成从像素电位控制电路 135 至像素电容的配线。但是, 本实施例是利用第一遮光膜 44 作为配线。图 39 显示利用第一遮光膜 44 作为像素电位控制线 136 的构造。

图 39 是显示第一遮光膜 44 的配置的平面图。其中 46 是第二遮光膜, 为显示位置而以点线表示。42CH 是通孔, 连接第一导电膜 42 与第二遮光膜 46。另外, 图 39 为便于说明第一遮光膜 44 而省略其它构造。第一遮光膜 44 具有像素电位控制线 136 的功能, 并在图中 X 方向上连续形成。第一遮光膜 44 为发挥遮光膜的功能而形成覆盖整个显示区域, 不过由于也具备像素电位控制线 136 的功能, 因此是延伸在 X 方向 (与扫描信号线 102 并联的方向), 并与 Y 方向并列形成线状, 连接在像素电位控制电路 135。此外, 由于也发挥像素电容的电极的功能, 因此是以尽量以宽面积与第二遮光膜 46 重叠的方式形成。此外, 作为遮光膜为求减少漏光, 邻接的第一遮光膜 44 的间隔宜尽量缩小形成。

但是, 如图 39 所示, 缩小形成邻接的第一遮光膜 44 的间隔时, 第一遮光膜 44 的一部分则与邻接的第二遮光膜 46 重叠。如前所述, 本液晶显示装置可双向扫描。因此, 双向扫描像素电位控制信号时, 产生与次段的第二遮光膜 46 重叠时与不重叠时。在图 39 从图中上方至下方扫描时, 第一遮光膜 44 与次段的第二遮光膜 46 重叠。

以下, 使用图 40 说明因第一遮光膜 44 的一部分与次段的第二遮光膜 46 重叠造成的问题与解决方法。图 40 (a) 是说明问题的时序图。其中 $\Phi 2A$ 是任意列的扫描信号, 形成第 A 列的扫描信号。 $\Phi 2B$ 是次段的列的扫描信号, 形成第 B 列的扫描信号。另外, 说明发生问题的期间 t_2 至 t_3 间, 其它期间省略。

图 40 (a) 中, 第 A 列在从时刻 t_2 起 $2h$ (2 水平扫描时间) 后的时刻 t_3 , 使像素电位控制信号 $\Phi 3A$ 改变。在从时刻 t_2 起 $1h$ 后, 扫描信号 $\Phi 2A$ 的输出结束, 被扫描信号 $\Phi 2A$ 驱动的第 A 列的有源元件 30 处在切断状态, 第 A 列的像素电极 109 从视频信号线 103 分离。在从时刻 t_2 起

2h 后的时刻 t_3 ，即使考虑因信号切换造成的延迟等，第 A 列的有源元件 30 仍处在彻底切断状态。但是，时刻 t_3 为第 B 列的扫描信号 $\Phi 2B$ 切换时。

由于第 A 列的第一遮光膜 44 与第 B 列的第二遮光膜 46 重叠，因此，在第 B 列的像素电极与第 A 列的像素电位控制信号线之间产生电容。由于时刻 t_3 为第 B 列的有源元件 30 形成切断状态与分离时，因此第 B 列的像素电极 109 并未从视频信号线 103 彻底分离。此时，与第 B 列的像素电极 109 间具有电容成分的第 A 列的像素电子控制信号 $\Phi 3A$ 切换时，由于像素电极 109 与视频信号线 103 之间并未彻底分离，因此电荷在视频信号线 103 与像素电极 109 之间移动。即，第 A 列的像素电子控制信号 $\Phi 3A$ 的切换影响写入第 B 列的像素电极 109 的电压 $\Phi 4B$ 。

该像素电子控制信号 $\Phi 3A$ 影响液晶显示装置的扫描方向一定和均匀，影响并不明显。但是，针对红、绿、蓝等各色，具备液晶显示装置，重叠各液晶显示装置的输出进行彩色显示时，因液晶显示装置的光学性配置的理由，会发生仅一个液晶显示装置从下向上扫描，其它液晶显示装置则从上向下扫描。如此，数个液晶显示装置中发生扫描方向不同时，会因显示品质不均匀而损及美观。

其次，使用图 40 (b) 说明解决方法。使第 A 列的像素电位控制信号 $\Phi 3A$ 从第 A 列的扫描信号 $\Phi 2A$ 开始起延后 3h 输出。此时，第 B 列的扫描信号 $\Phi 2B$ 也为切换后，由于第 B 列的有源元件 30 彻底处在切断状态，因此，第 A 列的像素电位控制信号 $\Phi 3A$ 对写入第 B 列的像素电极 109 的电压 $\Phi 4B$ 的影响减少。

另外，此时，写入有负极性用输入信号的时间比正极性用输入信号短 3h，例如扫描信号线 102 数量超过 100 时，为 3% 以下的值。因而，负极性用输入信号与正极性用输入信号的实效值的差也可通过基准电位 V_{com} 的值等调整。

其次，使用图 41 说明供给至像素电容的电压 V_{PP} 与基板电位 V_{BB} 的关系。图 41 (a) 展示构成像素电位控制电路 135 的输出电路 69 的反相器电路。

图 41 (a) 中的 32 是 p 型晶体管的信道区域, 在硅基板 1 上通过注入离子等方法形成有 n 型阱。硅基板 1 上供给有基板电压 VBB, n 型阱 32 的电位为 VBB。源极区域 34 与漏极区域 35 为 p 型半导体层, 通过注入离子等方法形成在硅基板 1 上。p 型晶体管 30 的栅极 36 上施加有低在基板电压 VBB 的电位的电压时, 源极区域 34 与漏极区域 35 处在导通状态。

一般而言, 由于构造简单, 不需要设置绝缘部等, 因此, 相同的硅基板的晶体管上施加有共同的基板电位 VBB。本发明的液晶显示装置在相同的硅基板 1 上形成有驱动电路部的晶体管与像素部的晶体管。像素部的晶体管也基于同样的理由, 施加有相同电位的基板电位 VBB。

图 41 (a) 所示的反向器电路, 其源极区域 34 上施加有供给至像素电容的电压 VPP。源极区域 34 为 p 型半导体层, 在与 n 型阱 32 之间形成 pn 结。源极区域 34 的电位高在 n 型阱 32 的电位时, 发生电流从源极区域 34 流入 n 型阱 32 的不良情况。因而, 对于基板电压 VBB, 电压 VPP 设定成低电位。

如前所述, 像素电极的电压, 在写入像素电极的电压为 V2, 液晶电容为 CL, 像素电容为 CC, 像素电极控制信号的振幅为 VPP 与 VSS 时, 电压下降后的像素电极的电压是以 $V2 - \{CC/(CL + CC)\} \times (VPP - VSS)$ 表示。此时, VSS 上选择 GND 电位时, 像素电极的电压变动的大小是由电压 VPP、液晶电容 CL、与像素电容 CC 决定。

以下, 使用图 41 (b) 展示 $CC/(CL + CC)$ 与电压 VPP 的关系。另外, 为求简化说明, 将基准电压 Vcom 作为 GND 电位。此外, 说明不施加电压时成为白显示 (常白) 方式, 在像素电极上施加有灰度电压时成为黑显示 (灰度最小) 时。图 41 (b) 的 $\Phi1$ 显示从视频信号选择电路 123 写入像素电极的灰度电压。其是 $\Phi1A$ 为正极性时, $\Phi2A$ 为负极性时的灰度电压。由于是黑显示, 为使基准电压 Vcom 与写入像素电极的灰度电压的电位差为最大, 因此同时设定有 $\Phi1A$ 、 $\Phi1B$ 。图 41 (b) 中, 由于 $\Phi1A$ 为正极性用信号, 如先前所述, 为使与基准电压 Vcom 的电位差为最大, 因而为 +Vmax, $\Phi1B$ 为 Vcom (GND), 写入像素电极后,

使用像素电容降低。

$\Phi 4A$ 、 $\Phi 4B$ 均表示像素电极的电压， $\Phi 4A$ 表示 $CC/(CL + CC)$ 为 1 的理想情况， $\Phi 4B$ 表示 $CC/(CL + CC)$ 为 1 以下时。 $\Phi 4A$ 为负极性时，由于 $\Phi 1B$ 写入有 $V_{com}(GND)$ ，因此，随像素电极控制信号的振幅 V_{PP} 而降低的 $-V_{max}$ ，因 $CC/(CL + CC) = 1$ ，而成 $-V_{max} = -V_{PP}$ 。

反之，由于 $\Phi 4B$ 的 $CC/(CL + CC)$ 为 1 以下，因此，需要供给 $+V_{max} < V_{PP2}$ 的像素电极控制信号。如前所述，由于需要为 $V_{PP} < V_{BB}$ ，因此形成 $+V_{max} < V_{PP} < V_{BB}$ 的关系。此时，为形成低耐压电路，是使用降低像素电压的方法，不过，像素电极控制信号的电压 V_{PP} 形成高电压时，发生基板电压 V_{BB} 形成高电压，结果形成高耐压电路的不良情况。因而，宜尽量使 $CC/(CL + CC)$ 为 1，即，须规定 CL 与 CC 的值，使 $CL \ll CC$ 。

另外，在先前的玻璃基板上形成薄膜晶体管的液晶显示装置，由于需要尽量扩大（所谓的高开口率化）像素电极，因此为尽量可实现 $CL = CC$ 的程度。此外，由于本发明的液晶显示装置的驱动电路部与像素部形成在同一个硅基板上，因此，基板电位 V_{BB} 为高电压时，会造成无法低耐压化的问题。

其次，使用图 42 说明负极性用的灰度电压。并通过图 43 说明使用参照表形成负极性用的灰度电压的方法。另外，图 42 为求简化说明，将基准电压 V_{com} 作为 GND 电位。此外，说明不施加电压时成为白显示（常白）的方式的场合。

图 42(a) 的 $\Phi 1$ 表示从视频信号选择电路 123 写入像素电极的灰度电压，图 42(b) 的 $\Phi 4$ 表示像素电极的电压。首先，说明欲成为黑显示（灰度最小）在像素电极上施加有灰度电压的场合。展示 $\Phi 1A1$ 为正极性时， $\Phi 1B1$ 为负极性的场合。由于是黑显示，为使基准电压 V_{com} 与写入像素电极的灰度电压的电位差为最大，因此同时设有 $\Phi 1A$ 、 $\Phi 1B$ 。

图 42(b) 中，由于 $\Phi 1A1$ 为正极性用信号，像素电极的电压，如先前所述，为使与基准电压 V_{com} 的电位差为最大，因而为 $+V_{max}$ 。反之，

负极性用信号的 $\Phi 1B1$ 在写入像素电极后, 使用像素电容被降低而成为 $-V_{\max}$ 。

其次, 说明欲成为白显示(灰度最大), 在像素电极上施加有灰度电压的场合。展示 $\Phi 1A2$ 为正极性时, $\Phi 1B2$ 为负极性的场合。由于是白显示, 为使基准电压 V_{com} 与写入像素电极的电压的电位差为最小, 因此同时设有 $\Phi 1A2$ 、 $\Phi 1B2$ 。

图 42(b) 中, 由于 $\Phi 1A2$ 为正极性用信号, 如先前所述, 为使与基准电压 V_{com} 的电位差为最小, 因而为 $+V_{\min}$ 。负极性用信号的 $\Phi 1B2$ 在写入像素电极后, 使用像素电容被降低。由于被降低的电压为 V_{PP} , 因此选择被降低后成为 $-V_{\min}$ 的电压作为 $\Phi 1B2$ 。

如图 42 所示, 负极性用信号 $\Phi 1B1$ 、 $\Phi 1B2$ 如先前采用的方法, 并非单纯地反转正极性用信号 $\Phi 1A1$ 、 $\Phi 1A2$ 的电压。因而是使用参照表作成负极性用信号。图 43 是展示使用参照表作成负极性用信号的视频信号控制电路 400 的框图。其中 422 是负极性用参照表, 423 是正极性用参照表。由于负极性用信号是使用像素电容作成, 因此不使用负极性、正极性用运算放大器。

正极性用参照表 422 内使用进行散乱校正的校正数据。而负极性用参照表 423 内除进行散乱校正的校正数据之外, 也包含通过像素电容而降低, 成为负极性用信号的校正。通过交流化信号切换模拟开关 417, 正极性用信号与负极性用信号传送至 DA 转换电路 405。

其次, 说明反射型液晶显示装置的动作。已知的一种反射型液晶显示元件为电场控制双折射模式。电场控制双折射模式在反射电极与对置电极之间施加电压, 使液晶组成物的分子排列改变, 结果使液晶面板中的双折射率改变。电场控制双折射模式利用该双折射率的改变作为光透过率的改变以形成图像。

接着使用图 44 说明一种电场控制双折射模式的单偏振光板扭曲向列模式(SPTN)。其中 9 是用偏振光分束器将从光源(图上未显示)的入射光 L1 分割成两个偏振光, 出射成为直线偏振光的光 L2。图 44 显示入射液晶面板 100 的光使用透过偏振光分束器 9 的光(P波), 不过也可使

用以偏振光分束器 9 反射的光 (S 波)。液晶组成物 3 使用液晶分子长轴对驱动电路基板 1 与透明基板 2 平行排列,介电异向性为正向列液晶。此外,液晶分子通过取向膜 7,8,以约 90 度扭转的状态取向。

首先,图 44(a)展示未施加电压的场合。入射在液晶面板 100 的光通过液晶组成物 3 的双折射性而成椭圆偏振光,反射电极 5 面上形成圆偏振光。以反射电极 5 反射的光再度通过液晶组成物 3 中,再度形成椭圆偏振光,并在出射时恢复成直线偏振光,出射对入射光 L2 旋转 90 度相位的光 L3 (S 波)。出射光 L3 再度入射偏振光分束器 9,并被偏振光面反射而形成出射光 L4。照射该出射光 L4 至屏幕等上进行显示。此时,在未施加电压时,形成光出射的所谓的常白(常开)的显示方式。

反之,图 44(b)展示在液晶组成物 3 上施加电压的场合。液晶组成物 3 上施加有电压时,由于液晶分子排列在电场方向,因此液晶内引起双折射的比率减少。因而以直线偏振光入射在液晶面板 100 的光 L2 直接被反射电极 5 反射,形成与入射光 L2 相同偏振光方向的光 L5 出射。出射光 L5 透过偏振光分束器 9 回到光源。因而屏幕等上无光照射而成黑显示。

单偏振光板扭曲向列模式,由于液晶分子的取向方向与基板平行,因此可使用一般的取向方法,处理稳定性良好。此外,由于使用常白,因此在低电压侧对引起显示不良可保持余裕。即,常白方式可在施加高电压的状态下获得暗电平(黑显示)。该高电压的情况下,由于绝大部分液晶分子集中在垂直在基板面的电场方向,因此暗电平显示与低电压时的初期取向状态无关。此外,肉眼将亮度不均匀作为亮度的相对性比率来辨识,且对亮度具有接近对数范围的反应。因而肉眼对暗电平的变动敏感。基于此种理由,常白方式为对初期取向状态造成亮度不均匀的有效显示方式。

但是,上述电场控制双折射模式要求高的单元间隙精度。即,由于电场控制双折射模式是利用光通过液晶层中产生的异常光与常光间的相位差,因此透过光强度与异常光及常光间的延迟 $\Delta n \times d$ 有关。其中, Δn 为折射率异方性, d 为通过隔片 4 所形成的透明基板 2 与驱动电路基板 1

之间的单元间隙（参照图 38）。

因而，本实施例考虑显示不均匀，其单元间隙精度是在 $\pm 0.05\ \mu\text{m}$ 以下。此外，反射型液晶显示元件，由于入射在液晶的光以反射电极反射而再度通过液晶层，因此使用相同的折射率异方性 Δn 的液晶时，对于透过型液晶显示元件，单元间隙 d 为一半。一般的透过型液晶显示元件时的单元间隙 d 约为 $5\sim 6\ \mu\text{m}$ ，而本实施例则约为 $2\ \mu\text{m}$ 。

由于本实施例是对应于高单元间隙精度与更窄的单元间隙，因此使用在驱动电路基板 1 上形成柱状隔片的方法来取代先前的散布间隔粒分散法。

图 45 展示说明设在驱动电路基板 1 上的反射电极 5 与隔片 4 的配置的模式平面图。为保持一定间隔，在整个驱动电路基板上成矩阵状形成有许多隔片 4。反射电极 5 是液晶显示元件形成图像的最小像素。图 45 为求简化，是以符号 5A, 5B 所表示的纵 4 像素、横 5 像素展示。另外，以符号 5B 表示最外侧的像素群，其内侧的像素群则以符号 5A 表示。

图 45 中，纵 4 像素、横 5 像素的像素形成显示区域。以液晶显示元件表示的图像形成在该显示区域内。显示区域外侧设有虚拟像素 113。该虚拟像素 113 的周边，以与隔片 4 相同的材料设有周边框 11。此外，周边框 11 的外侧涂敷有密封材料 12。其中 13 是外部连接端子，用于供给外部信号至液晶面板 100 上。

隔片 4 与周边框 11 的材料使用树脂材料。树脂材料如可使用株式会社 JSR 制的化学放大型负型光刻胶“BPR-113”（商品名称）。在形成有反射电极 5 的驱动电路基板 1 上，以从旋式涂敷法等涂敷光刻胶材料，使用掩模将光刻胶曝光成隔片 4 与周边框 11 的图案。之后使用除去剂，将光刻胶予以显像，以形成隔片 4 与周边框 11。

将光刻胶材料等作为原料形成隔片 4 与周边框 11 时，可以涂敷的材料的膜厚控制隔片 4 与周边框 11 的高度，可以高精度形成隔片 4 与周边框 11。此外，隔片 4 的位置可以掩模图案决定，可在希望的位置上正确地设置隔片 4。液晶投影机在像素上存在隔片 4 时，会发生在放大投影的图像上看出隔片图像的问题。因是通过掩模图案的曝光、显像以形成隔

片 4，在显示图像时，可在不致发生问题的位置上设置隔片 4。

此外，由于是与隔片 4 同时地形成周边框 11，因此将液晶组成物 3 封入驱动电路基板 1 与透明基板 2 之间的方法，可采用将液晶组成物 3 滴在驱动电路基板 1 上，之后，将透明基板 2 接合在驱动电路基板 1 上的方法。

将液晶组成物 3 配置在驱动电路基板 1 与透明基板 2 之间，组装液晶面板 100 后，在周边框 11 所包围的区域内保有液晶组成物 3。此外，在周边框 11 外侧涂敷有密封材料 12，将液晶组成物 3 封入液晶面板 100 内。如前所述，由于周边框 11 是使用掩模图案所形成，因此可以高精度形成在驱动电路基板 1 上。因而，可以高精度设定液晶组成物 3 的边界。此外，周边框 11 也可以高精度设定密封材料 12 的形成区域边界。

密封材料 12 具有固定驱动电路基板 1 与透明基板 2 的功能、及通过液晶组成物 3 以阻止有害物质进入的功能。涂敷具有流动性的密封材料 12 时，周边框 11 形成密封材料 12 的阻挡物。作为密封材料 12 的阻挡物，可通过设置周边框 11，扩大液晶组成物 3 的边界及密封材料 12 的边界上的设计余地，可使液晶面板 100 的端边至显示区域之间缩小（窄额缘化）。

由于以包围显示区域的方式形成周边框 11，因此在研磨处理驱动电路基板 1 时，会发生因周边框 11 而无法顺利研磨周边框 11 附近的问题。由于是将液晶组成物 3 取向在一定的方向，因此形成取向膜以进行研磨处理。本实施例是在驱动电路基板 1 上形成有隔片 4、周边框 11 后，涂敷有取向膜 7。之后，液晶组成物 3 在一定方向取向，使用布等研磨取向膜 7，来进行研磨处理。

研磨处理时，由于周边框 11 突出在驱动电路基板 1，因此周边框 11 附近的取向膜 7 因周边框 11 形成的阶差无法彻底研磨。因此，周边框 11 附近容易产生液晶组成物 3 的取向不均匀的部分。为消除液晶组成物 3 的取向不良造成的显示不均匀，是将周边框 11 的内侧数像素作为虚拟像素 113，作为与显示无关的像素。

然而，设置虚拟像素 113，与像素 5A，5B 同样地供给信号时，由于在虚拟像素 113 与透明基板 2 之间存在液晶组成物 3，因此发生也观察出

虚拟像素 113 的显示的问题。使用常白时，在液晶组成物 3 上未施加电压时，虚拟像素 113 变白显示。因而显示区域边界变得不明确，损及显示品质。虽也考虑到将虚拟像素 113 予以遮光，然因像素与像素之间间隔为数 μm ，因此在显示区域的边界很难精度良好地形成遮光框。因此，在虚拟像素 13 上供给成为黑显示的电压，而观察出作为包围显示区域的黑框。

图 46 说明虚拟像素 113 的驱动方法。由于虚拟像素 113 上供给成为黑显示的电压，因此设有虚拟像素的区域成为一面黑显示。成为一面黑显示时，与设在显示区域上的像素同样地，不需要个别地设置，可电连接设置数个虚拟像素。此外，考虑驱动所需时间时，无须针对虚拟像素而设置写入时间。因此，可连续设置数个虚拟像素的电极，构成一个虚拟像素电极。但是，由于连续数个虚拟像素构成一个虚拟像素时，像素电极的面积增加，导致液晶电容变大。如前所述，液晶电容变大时，使用像素电容降低像素电压的效率下降。

因此，虚拟像素也与显示区域的像素同样地个别地设置。但是，与有效像素同样地进行各列的写入时，驱动重新设置的多列虚拟列的时间变长。因而发生进行写入该部分有效像素的时间缩短的问题。反之，进行高精细显示的情况下，由于输入高速的视频信号（点时钟高的信号），因此逐渐产生对于像素写入时间的限制。因此，为了在一个画面写入期间，节约数列部分的写入时间，如图 43 所示，虚拟像素是从垂直驱动电路 130 的垂直双向移位寄存器 VSR 输出数列部分的计时信号，输入在数个电平移位器 67 与输出电路 69，以输出扫描信号。此外，同样地，像素电位控制电路 135 也从双向移位寄存器 SR 输出数列部分的计时信号，输入在数个电平移位器 67 与输出电路 69，以输出像素电极控制信号。

其次，使用图 47、图 48 详细说明设在驱动电路基板 1 上的有源元件 30 及其周边构造。图 47、图 48 中与图 38 相同的符号表示相同的构造。图 48 是展示有源元件 30 周边的大致平面图。图 47 是沿图 48 的 I-I 线的剖面图，不过，图 47 与图 48 的各构造间的距离不一致。此外，图 48 展示扫描信号线 102 与栅极 36、视频信号线 103 与源极区域 35、漏极区

域 34、形成像素电容的第二电极 40、与第一导电层 42、以及接触孔 35CH, 34CH, 40CH, 42CH 的位置关系, 而省略其它的构造。

图 47 中的 1 是驱动电路基板的硅基板, 32 是以离子注入形成在硅基板 1 上的半导体区域 (p 型阱), 33 是信道阻挡物, 34 是以离子注入导电化, 形成在 p 型阱 32 内的漏极区域, 35 是以离子注入形成在 p 型阱 32 内的源极区域, 31 是以离子注入导电化, 形成在 p 型阱 32 内的像素电容的第一电极。另外, 本实施例中以 p 型晶体管表示有源元件 30, 不过也可采用 n 型晶体管。

36 是栅极, 37 是缓和栅极端部的电场强度的偏压区域, 38 是绝缘膜, 39 是把晶体管之间电气分离的场氧化膜, 40 是形成像素电容的第二电极, 经由绝缘膜 38, 在与设在硅基板 1 上的第一电极 21 间形成电容。栅极 36 与第二电极 40 包含在绝缘膜 38 上层叠的用于降低有源元件 30 的极限值的导电层与低电阻的导电层的双层膜。双层膜可使用如多晶硅与硅化钨的膜。41 是第一层间膜, 42 是第一导电膜。第一导电膜 42 包含防止接触不良的阻隔金属与低电阻的导电膜的多层膜。第一导电膜可使用如以溅射形成的钛、钨与铝的多层金属膜。

图 48 中的 102 是扫描信号线。扫描信号线 102 在图 48 中是在 X 方向上延伸, 并列设在 Y 方向上, 供给有接通、切断有源元件 30 的扫描信号。扫描信号线 102 与栅极相同, 包含双层膜, 可使用如层叠多晶硅与硅化钨的双层膜。视频信号线 103 延伸在 Y 方向并列设在 X 方向上, 并供给有写入反射电极 5 的视频信号。视频信号线 103 与第一导电层 42 相同, 包含多层金属膜, 可使用如钛、钨与铝的多层金属膜。

视频信号通过在绝缘膜 38 与第一层间膜 41 上开设的接触孔 35CH, 通过第一导电膜 42 传送至漏极区域 35。在扫描信号线 102 上供给有扫描信号时, 有源元件 30 接通, 视频信号从半导体区域 (p 型阱) 32 传送至源极区域 34, 并通过接触孔 34CH, 传送至第一导电膜 42。传送至第一导电膜 42 的视频信号通过接触孔 40CH 传送至像素电容的第二电极 40。

此外, 如图 47 所示, 视频信号通过接触孔 42CH, 传送至反射电极 5。接触孔 42CH 形成在场氧化膜 39 上。由于场氧化膜 39 膜厚较厚, 因

此场氧化膜上与其它构造比较,形成较高位置。接触孔 42CH 是设在场氧化膜 39 上,可通过上层的导电膜形成接近位置,缩短接触孔的连接部的长度。

接着,如图 47 所示,第二层间膜 43 使第一导电膜 42 与第二导电膜 44 绝缘。第二层间膜 43 由掩埋各构造物所产生的凹凸的平坦化膜 43A 与覆盖其上的绝缘膜 43B 的两层形成。平坦化膜 43A 通过在玻璃上旋涂 (SOG; spin on glass) 形成。绝缘膜 43B 是原硅酸乙酯 (TEOS; tetraethylorthosilicate) 膜,反应气体使用 TEOS,并通过 CVD 形成氧化硅膜。

形成第二层间膜 43 后,通过化学机械研磨 (CMP) 来研磨第二层间膜 43。第二层间膜 43 通过 CMP 研磨予以平坦化。在平坦化的第二层间膜上形成有第一遮光膜 44。第一遮光膜 44 与第一导电膜 42 同样地,以钨与铝的多层金属膜形成。

第一遮光膜 44 约覆盖整个驱动电路基板 1,开口仅有图 45 所示的接触孔 42CH 的部分。第一遮光膜 44 上以 TEOS 膜形成有第三层间膜 45。继续在第三层间膜 45 上形成有第二遮光膜 46。第二遮光膜 46 与第一导电膜 42 同样地,以钨与铝的多层金属膜形成。第二遮光膜 46 以接触孔 42CH 与第一导电膜 42 连接。接触孔 42CH 为构成连接,堆栈有形成第一遮光膜 44 的金属膜与形成第二遮光膜 46 的金属膜。

以导电膜形成第一遮光膜 44 与第二遮光膜 46,其间以绝缘膜(介电膜)形成第三层间膜 45,在第一遮光膜 44 上供给像素电位控制信号,在第二遮光膜 46 上供给灰度电压时,可以第一遮光膜 44 与第二遮光膜 46 形成像素电容。此外,考虑对于灰度电压的第三层间膜 45 的耐压、与减少膜厚以增加电容时,第三层间膜 45 优选为 150nm 至 450nm,更优选为约 300nm。

其次,图 49 展示在驱动电路基板 1 上重叠透明基板 2。驱动电路基板 1 的周边部形成有周边框 11,在周边框 11、驱动电路基板 1 与透明基板所包围中保持液晶组成物 3。在重叠的驱动电路基板 1 与透明基板 2 之间,在周边框 11 外侧涂敷有密封材料 12。通过密封材料 12,驱动电

路基板 1 与透明基板 2 被接合固定，形成有液晶面板 100。其中 13 是外部连接端子。

其次，如图 50 所示，液晶面板 100 上，从外部供给信号的挠性印刷电路板 80 连接在外部连接端子 13。挠性印刷电路板 80 的两外侧的端子形成比其它端子更长，并连接在形成在透明基板 2 的对置电极 5，形成对置电极用端子 81。即，挠性印刷电路板 80 连接在驱动电路基板 1 与透明基板 2 上。

先前的连接对置电极 5 的配线，是在设在驱动电路基板 1 的外部连接端子上连接有挠性电路板，并经由驱动电路基板 1 连接在对置电极 5。本实施例的透明基板 2 上设有与挠性印刷电路板 80 的连接部 82，直接连接有挠性印刷电路板 80 与对置电极 5。即，液晶面板 100 是透明基板 2 与驱动电路基板 1 重叠所形成，而透明基板 2 的一部分从驱动电路基板 1 向外侧伸出形成连接部 82，在该透明基板 2 的外侧，以伸出部分与挠性印刷电路板 80 连接。

图 51、图 52 展示液晶显示装置 200 的构造。图 51 是构成液晶显示装置 200 的各构造物的分解组装图。此外，图 52 是液晶显示装置 200 的平面图。

如图 51 所示，连接有挠性印刷电路板 80 的液晶面板 100 夹住缓冲部件 71，并配置在散热板 72 上。缓冲部件 71 是高热传导性，埋入散热板 72 与液晶面板 100 之间隙，具有使液晶面板 100 的热容易传导到散热板 72 上的功能。其中 73 是铸模，接合固定在散热板 72。

此外，如图 51 所示，挠性印刷电路板 80 通过铸模 73 与散热板 72 之间，取出至铸模 73 的外侧。其中 75 是遮光板，防止光源的光照射在构成液晶显示装置 200 的其它构件上。76 是遮光框，显示液晶显示装置 200 的显示区域的外框。

以上，根据前述发明的实施形态具体地说明了本发明人的发明，不过，本发明并不限于前述发明的实施形态，只要在不脱离其要旨的范围内当然可作各种改变。

发明的效果

对本发明中公开的主要发明所获得的效果简单说明如下。

采用本发明可校正信号的散乱，因此可提高在液晶上输出画面时的画质。

采用本发明，由于散乱校正可通过软件变更，因此不需要硬件性常数的变更等，可降低成本。

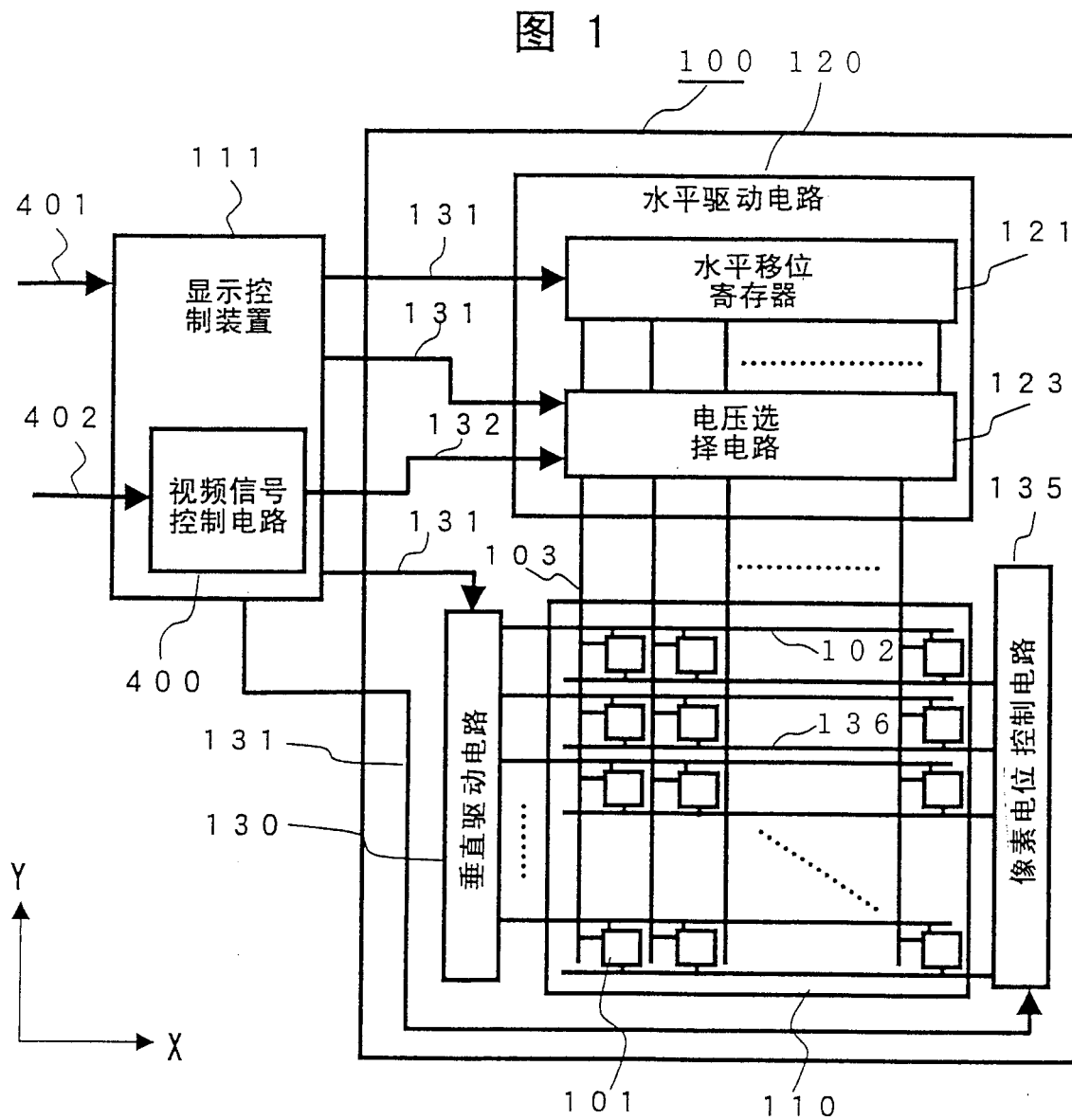


图 2

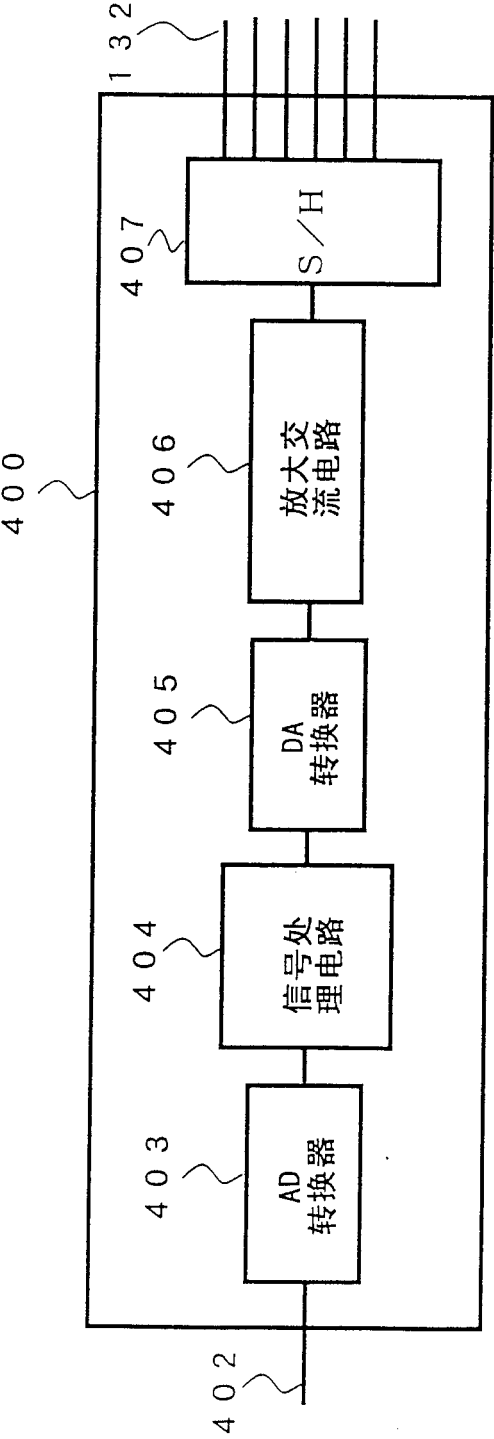


图 3A

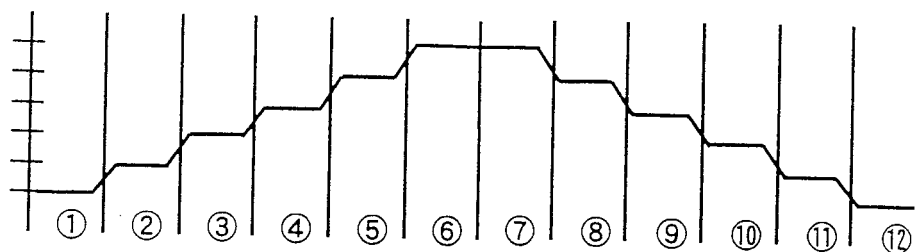


图 3B

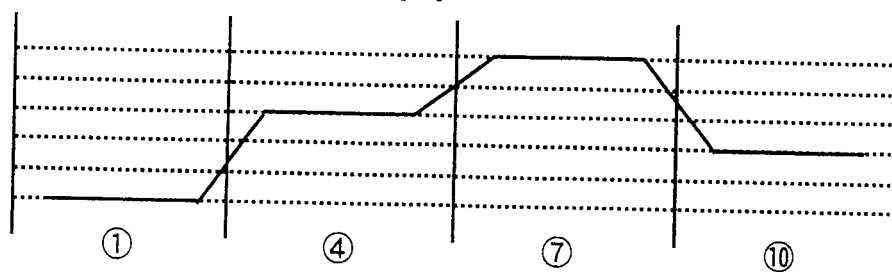


图 3C

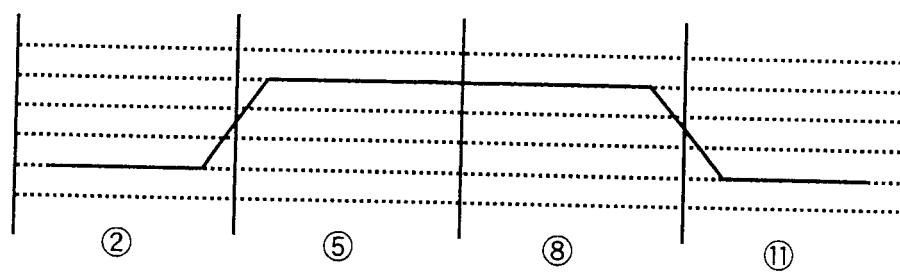


图 3D

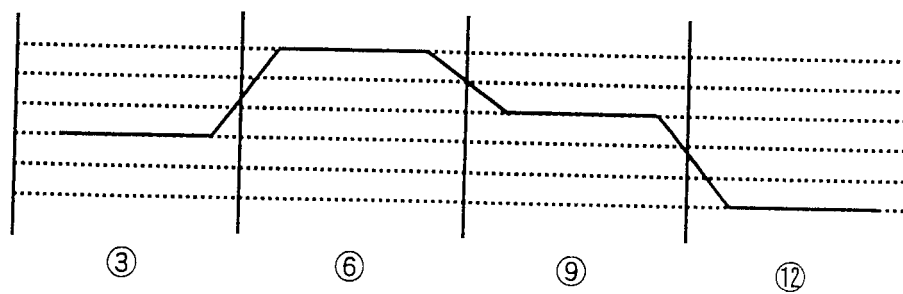


图 4A

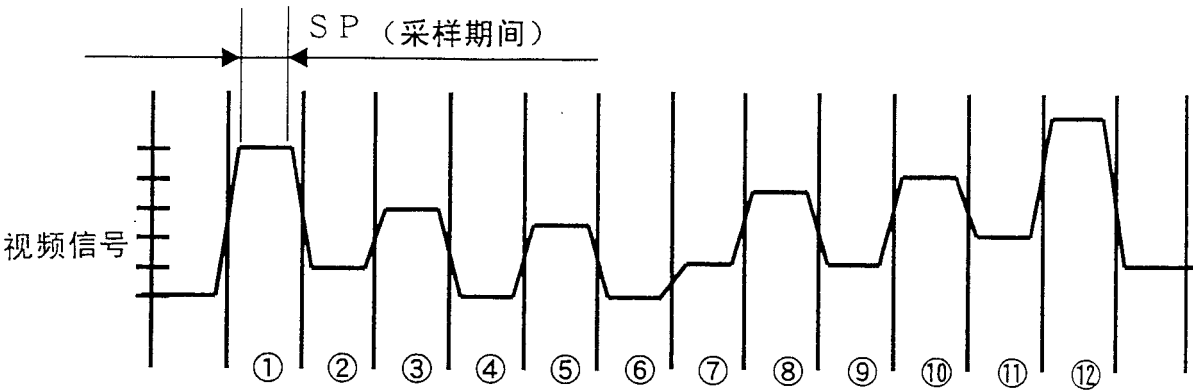


图 4B

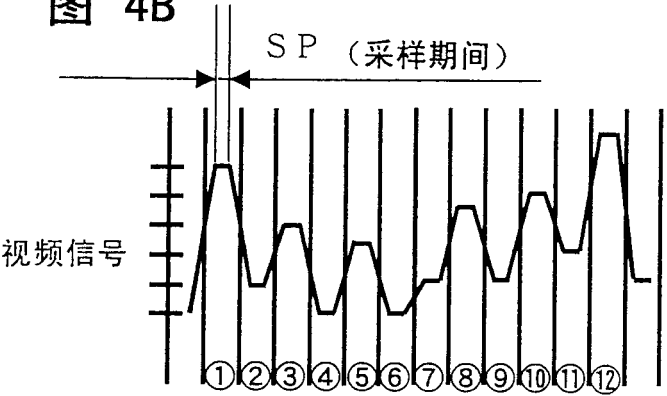


图 5

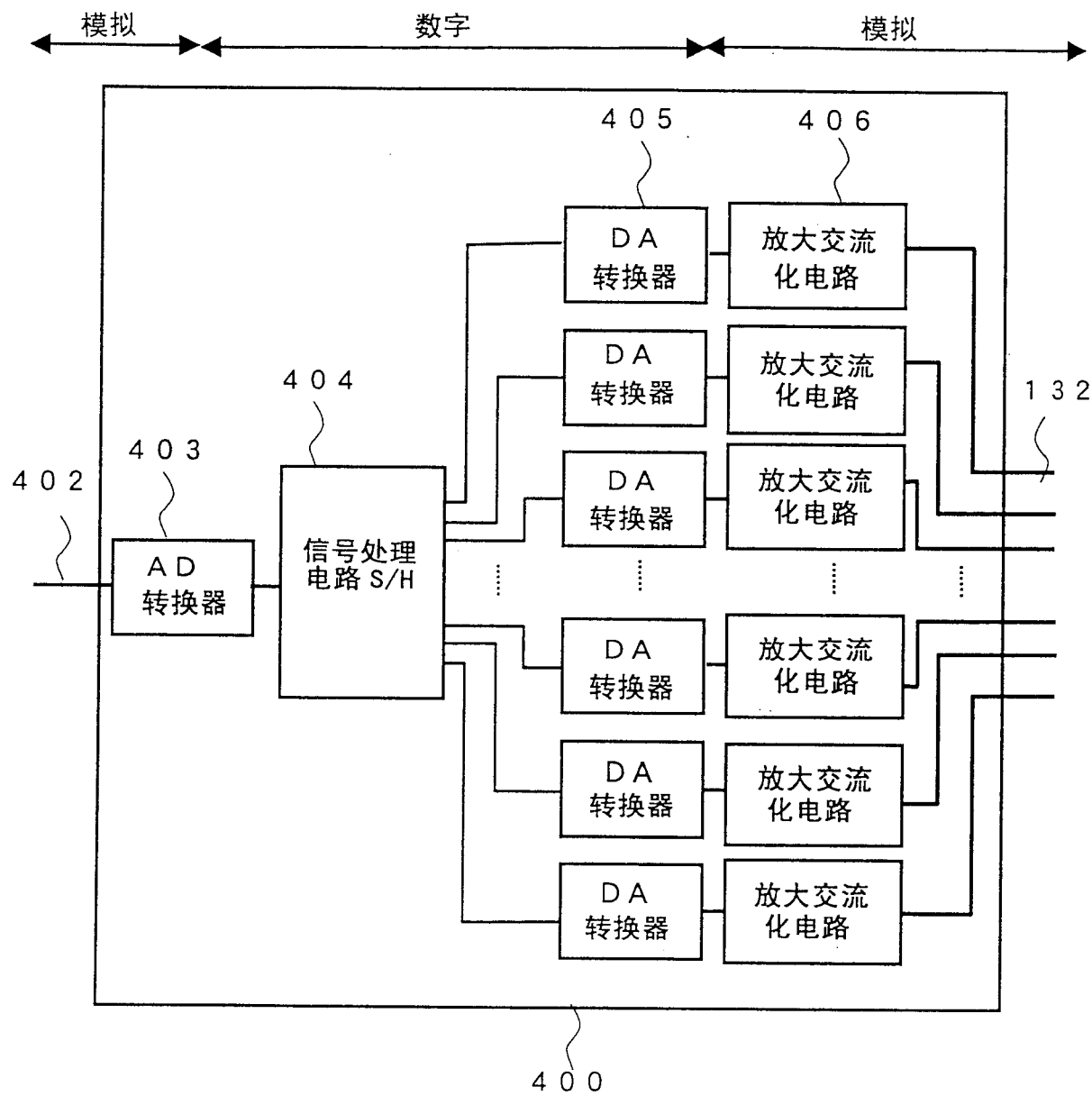


图 6

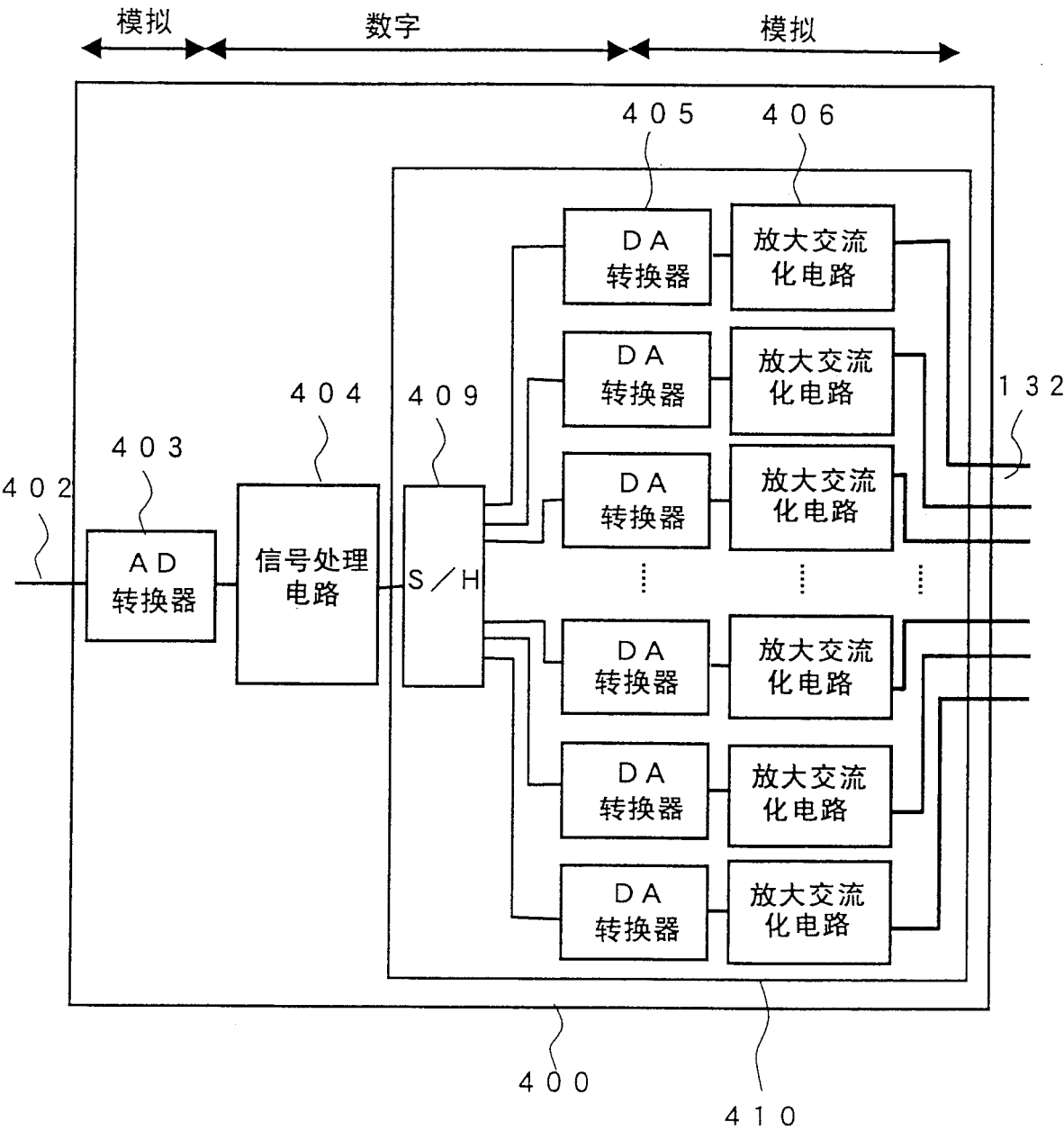


图 7A

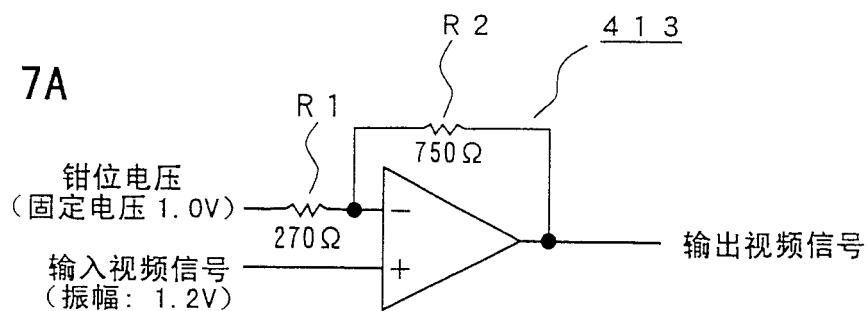


图 7B

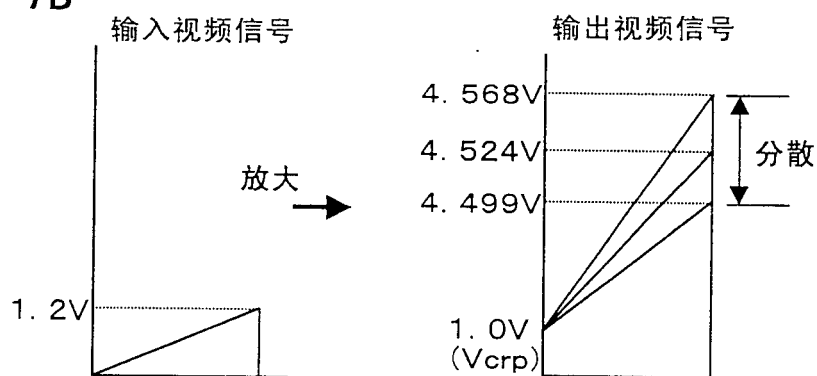


图 8

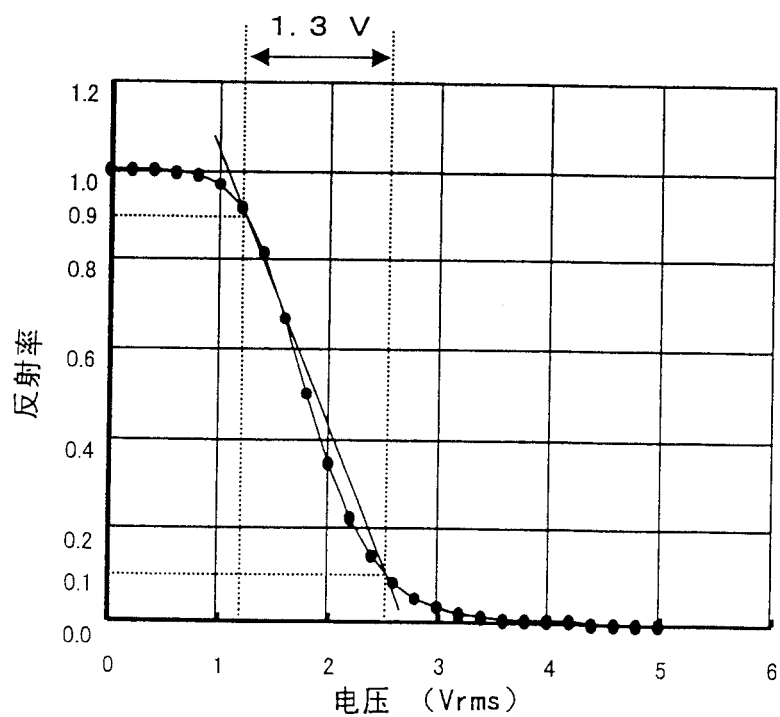


图 9

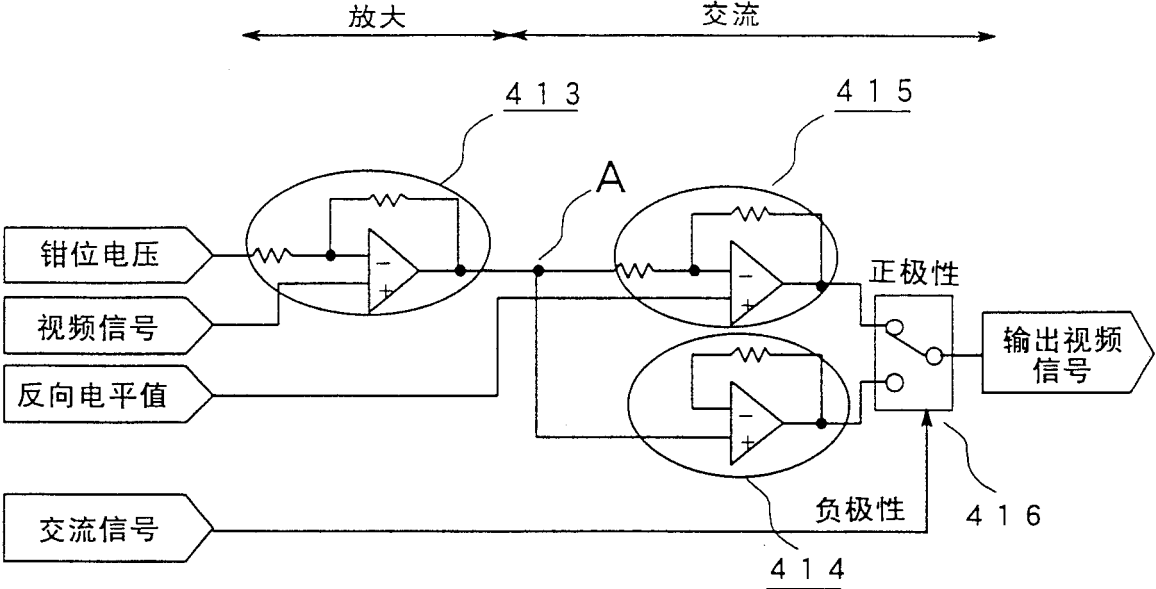


图 10A

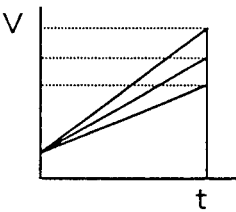


图 10B

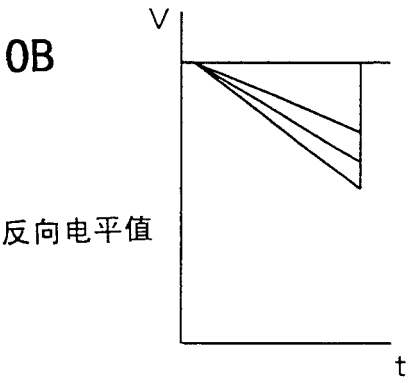


图 10C

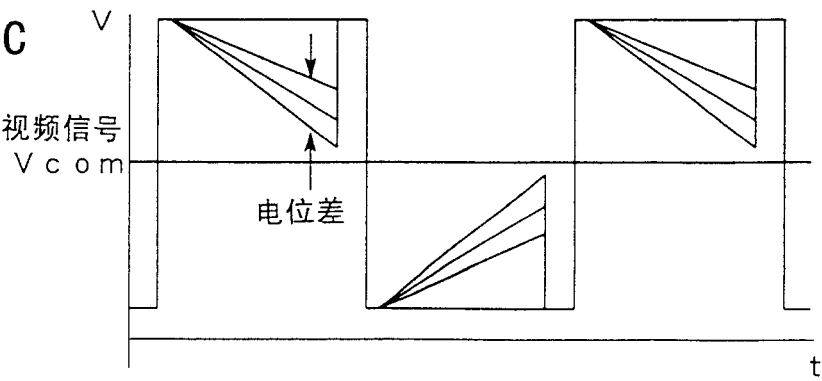


图 11

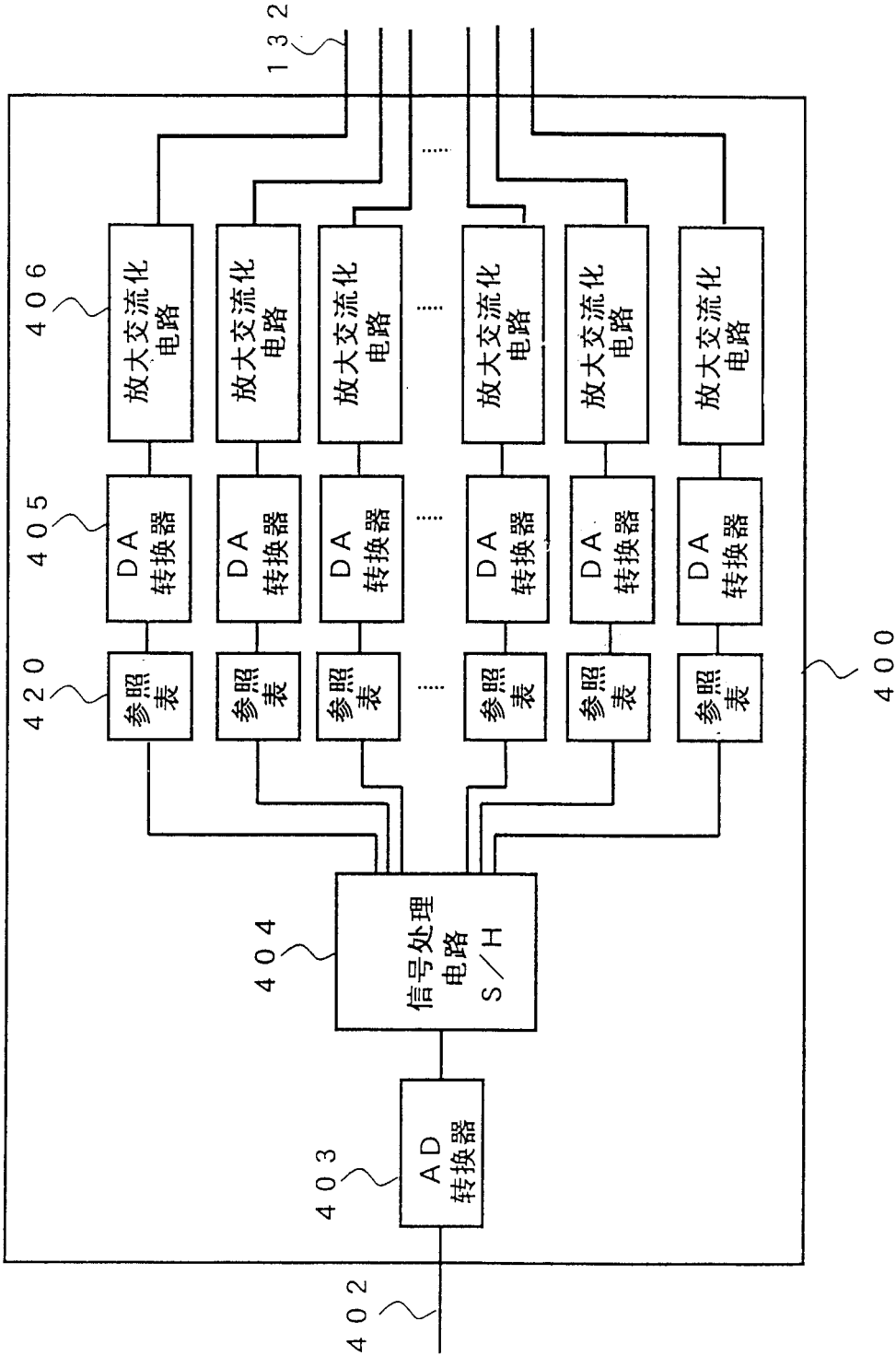


图 12

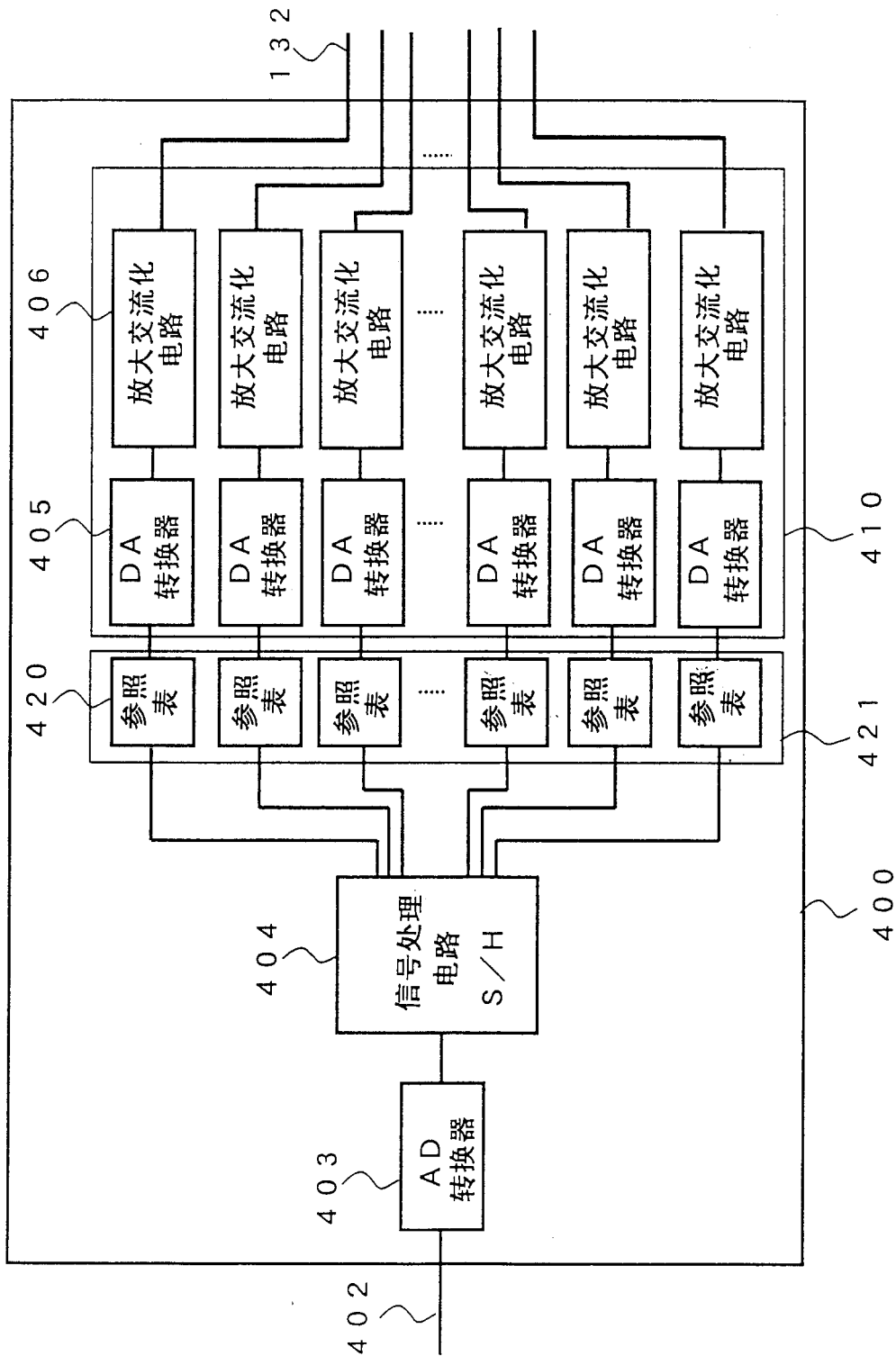


图 13

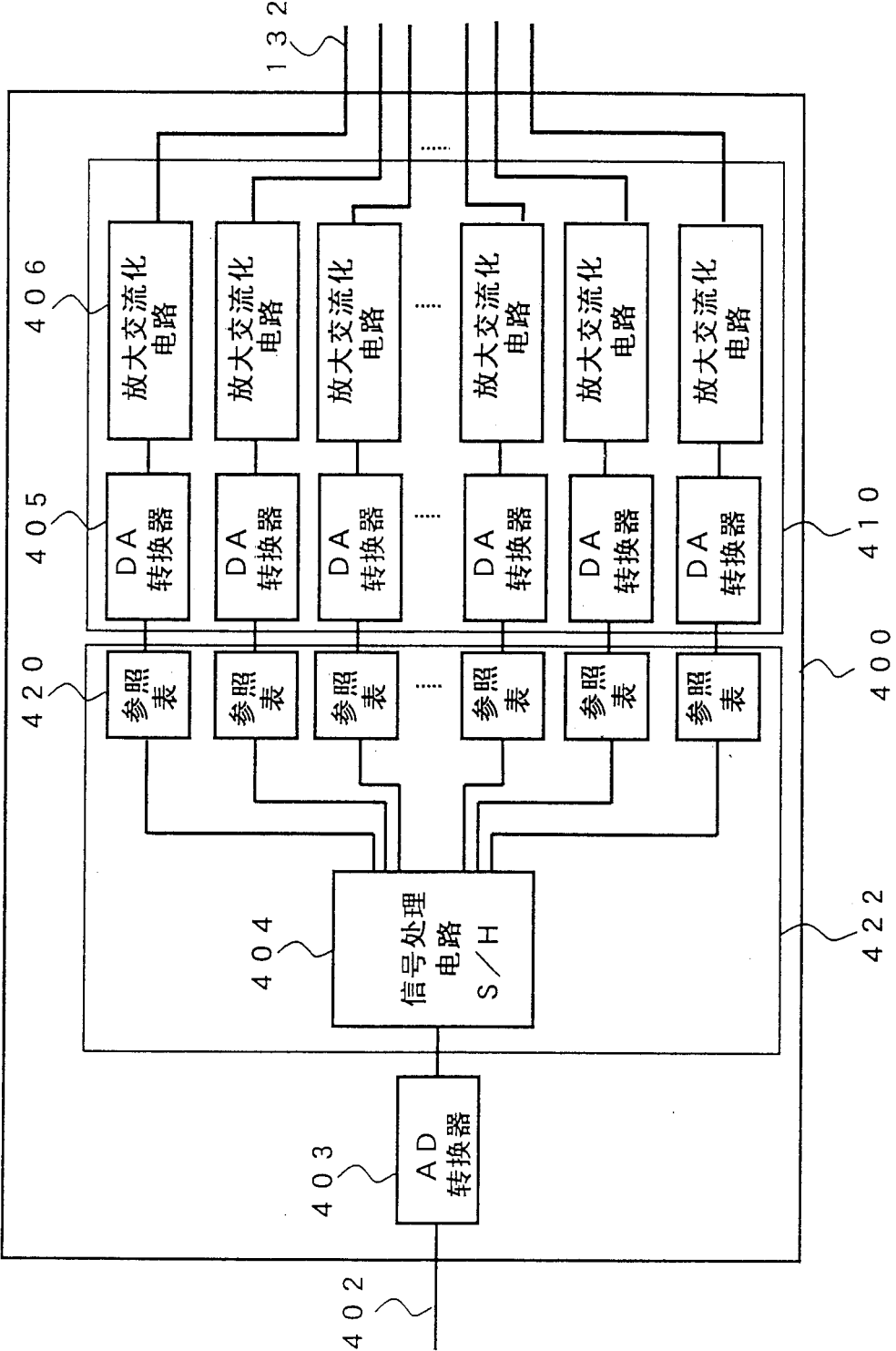


图 14

地址	校正数据									
0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
1	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
2	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
3	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
4	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
5	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
-										
251	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
252	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
253	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
254	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
255	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

MSB

LSB

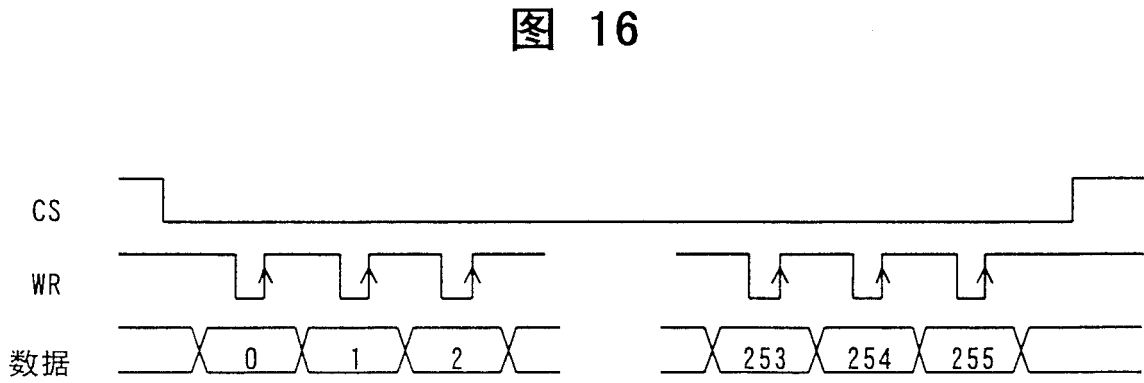
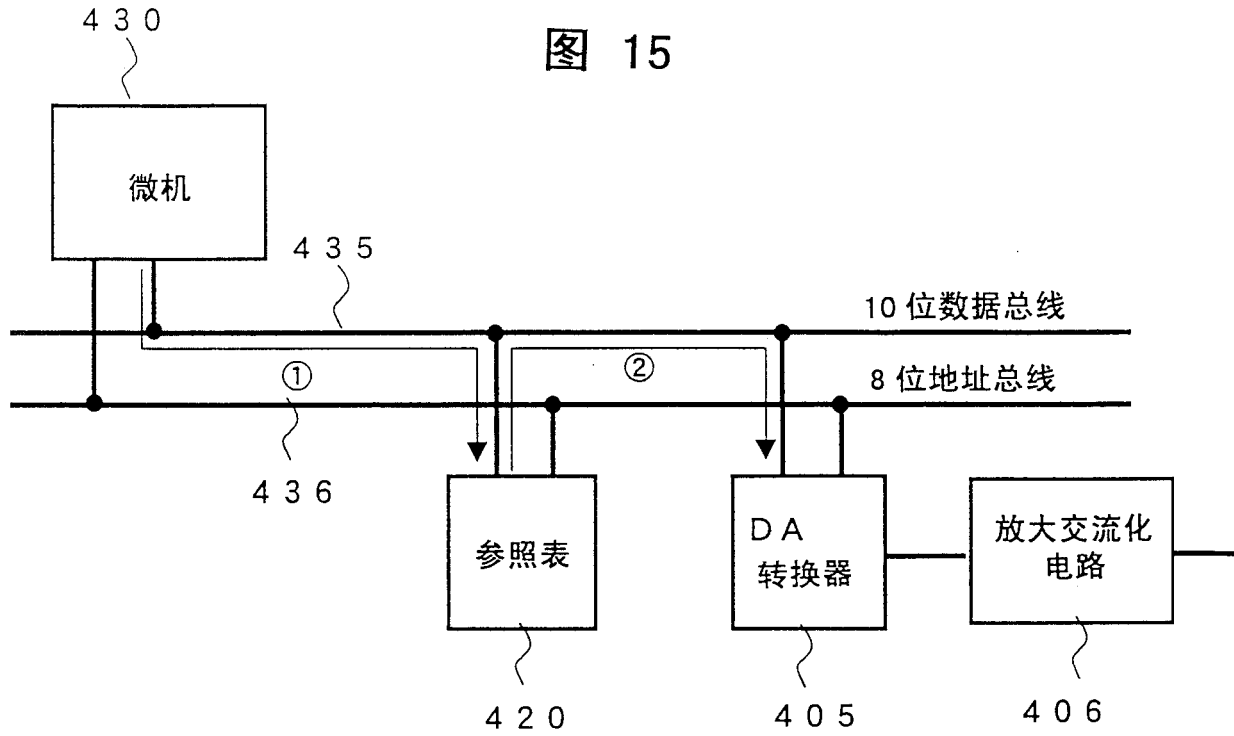


图 17A

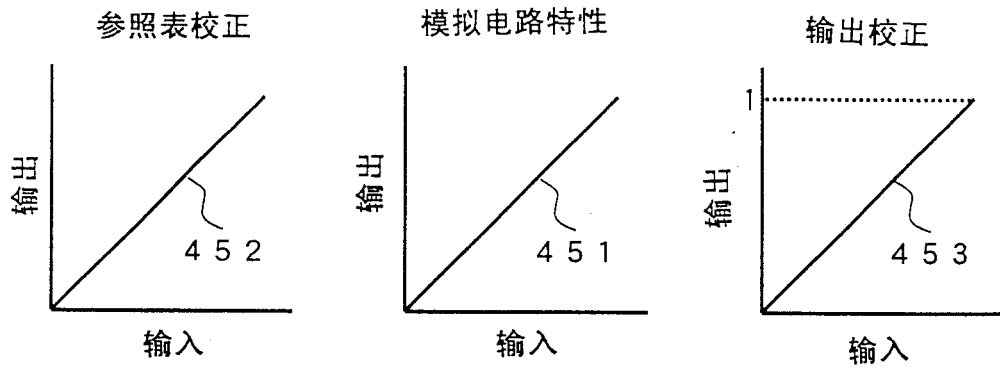


图 17B

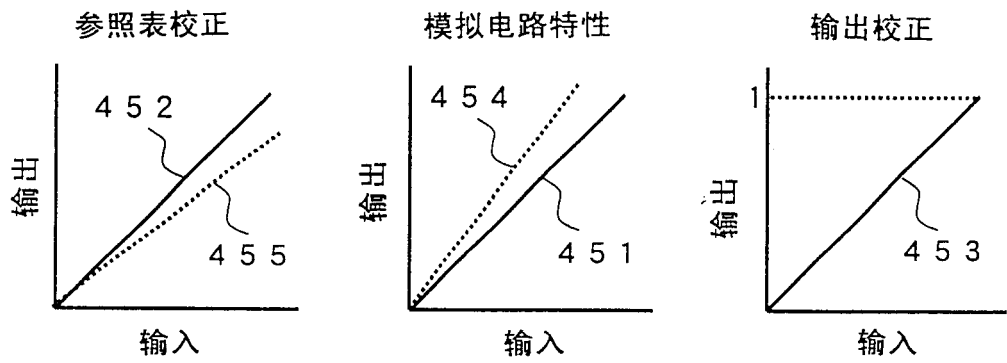


图 17C

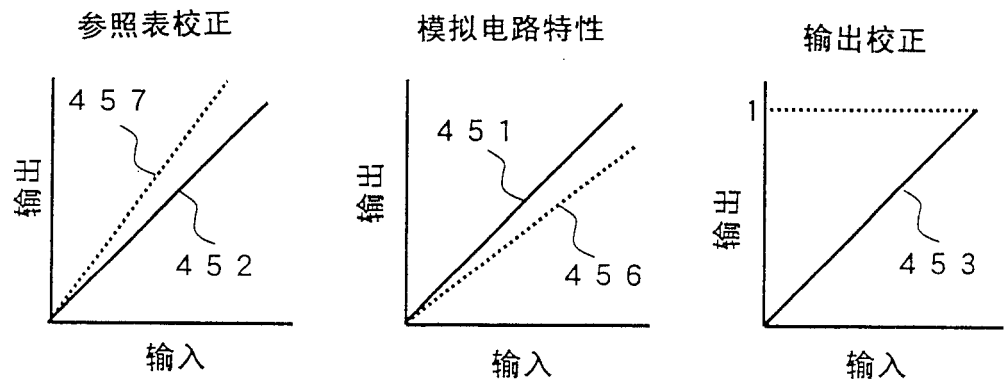


图 18

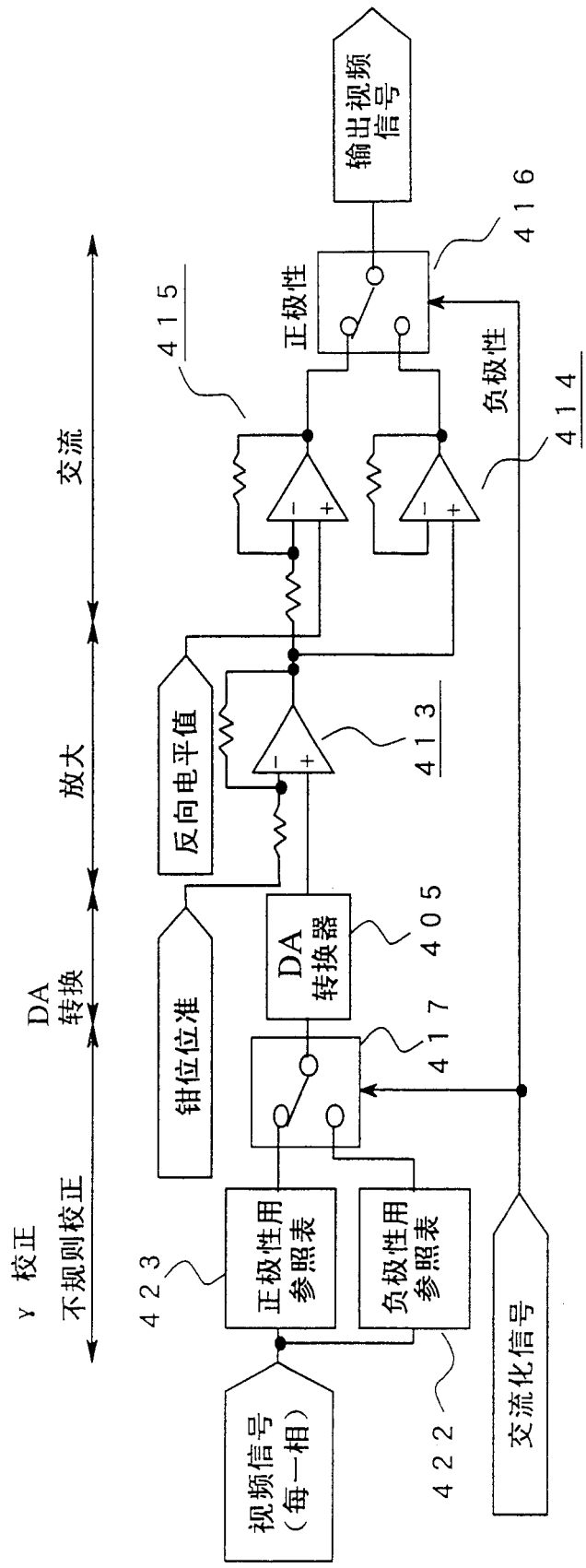


图 19A

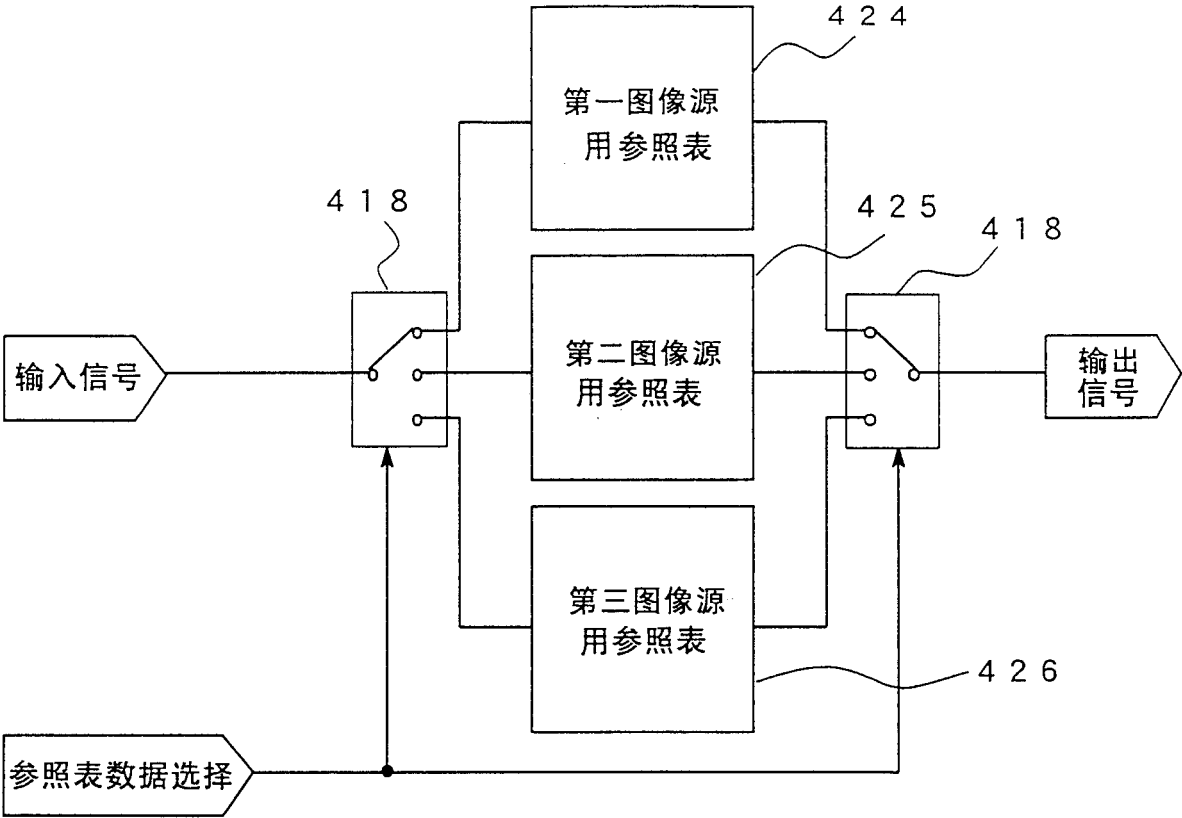


图 19B

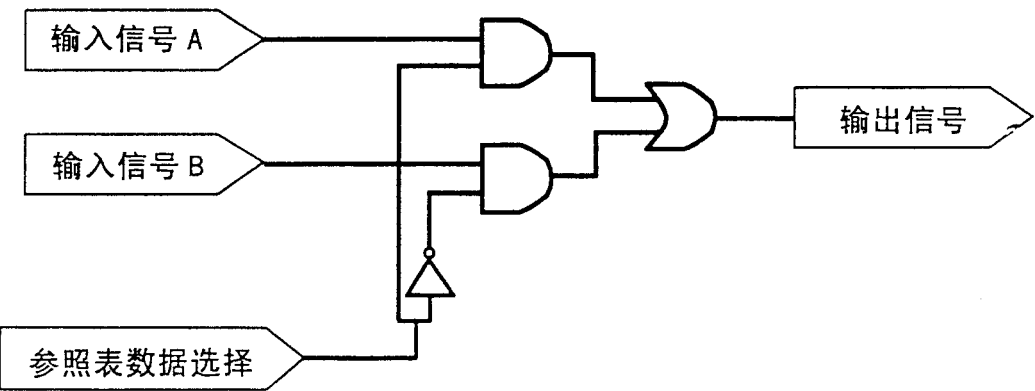


图 20A

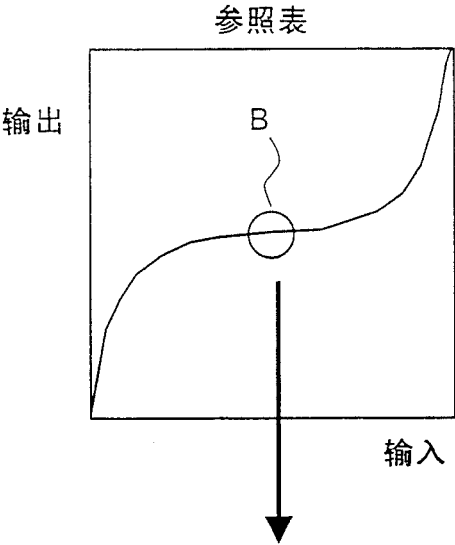


图 20B

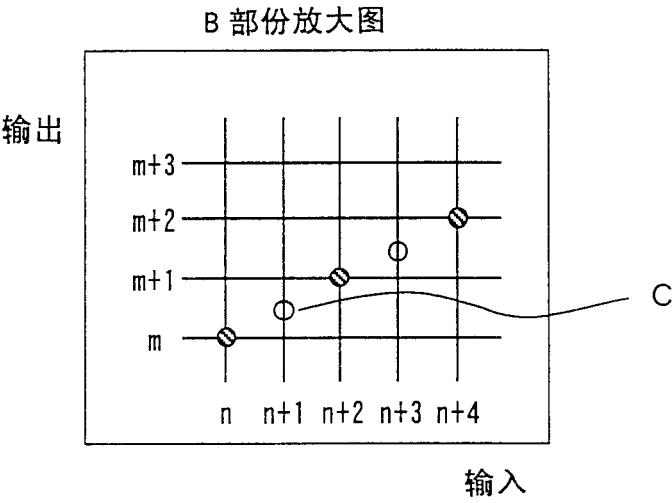


图 21A

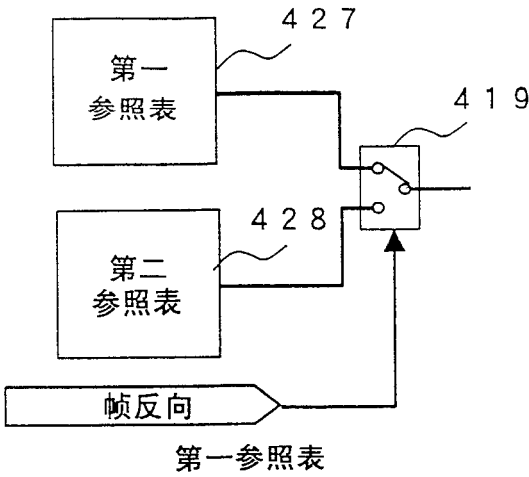


图 21B

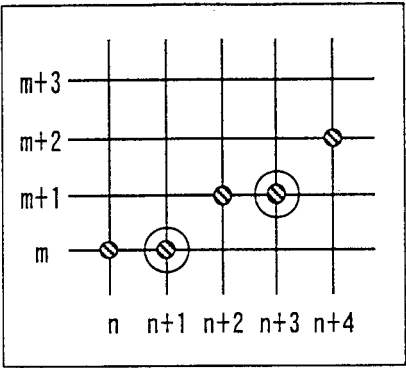


图 21C

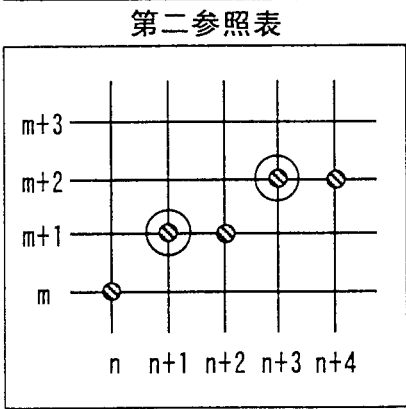


图 21D

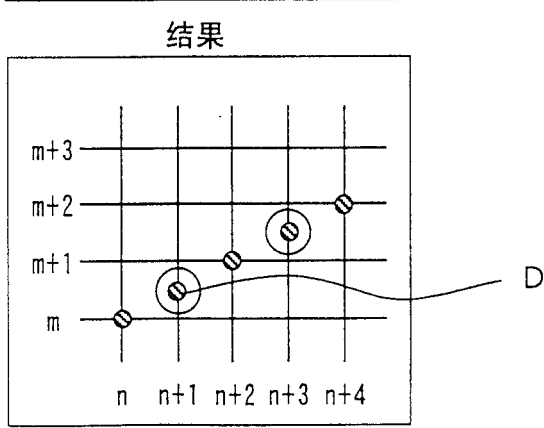


图 22A

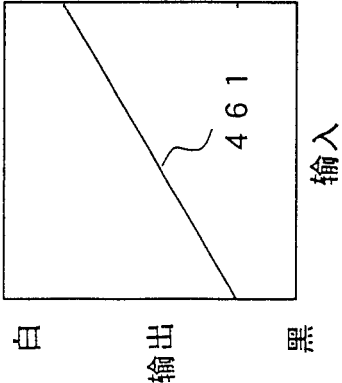


图 22B

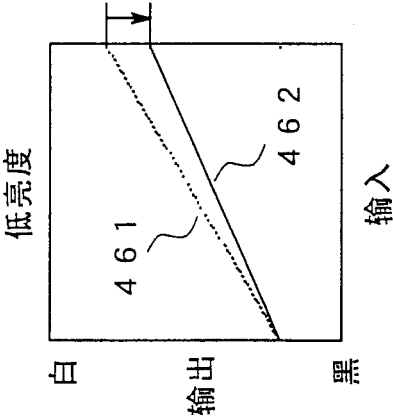


图 22C

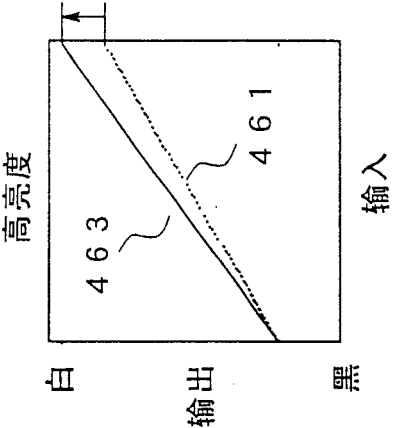


图 23A

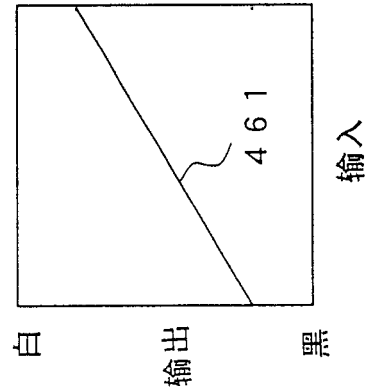


图 23B

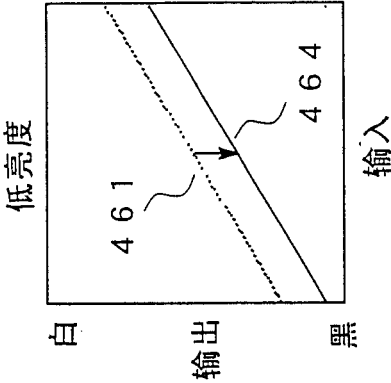


图 23C

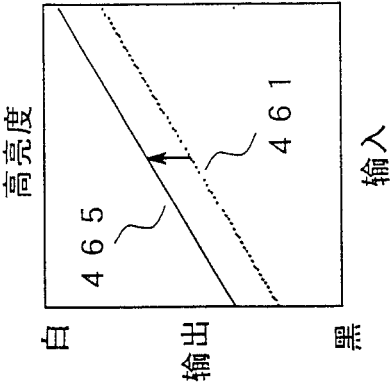


图 24

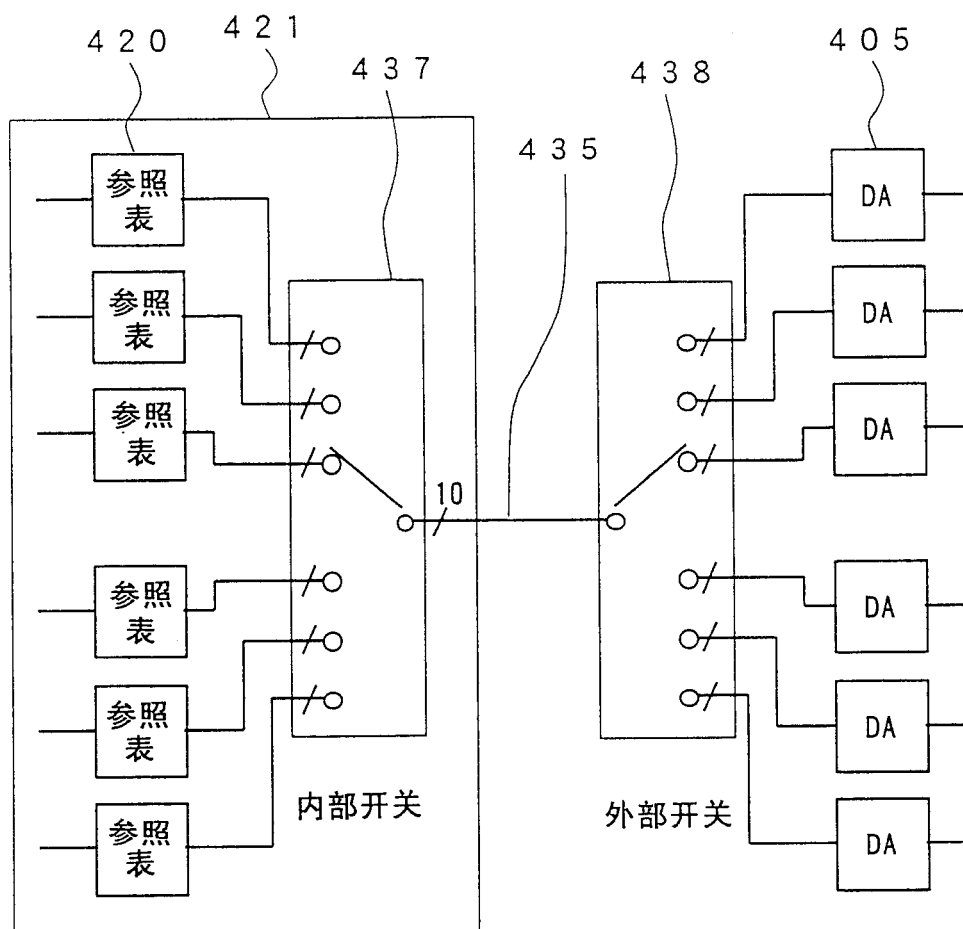


图 25

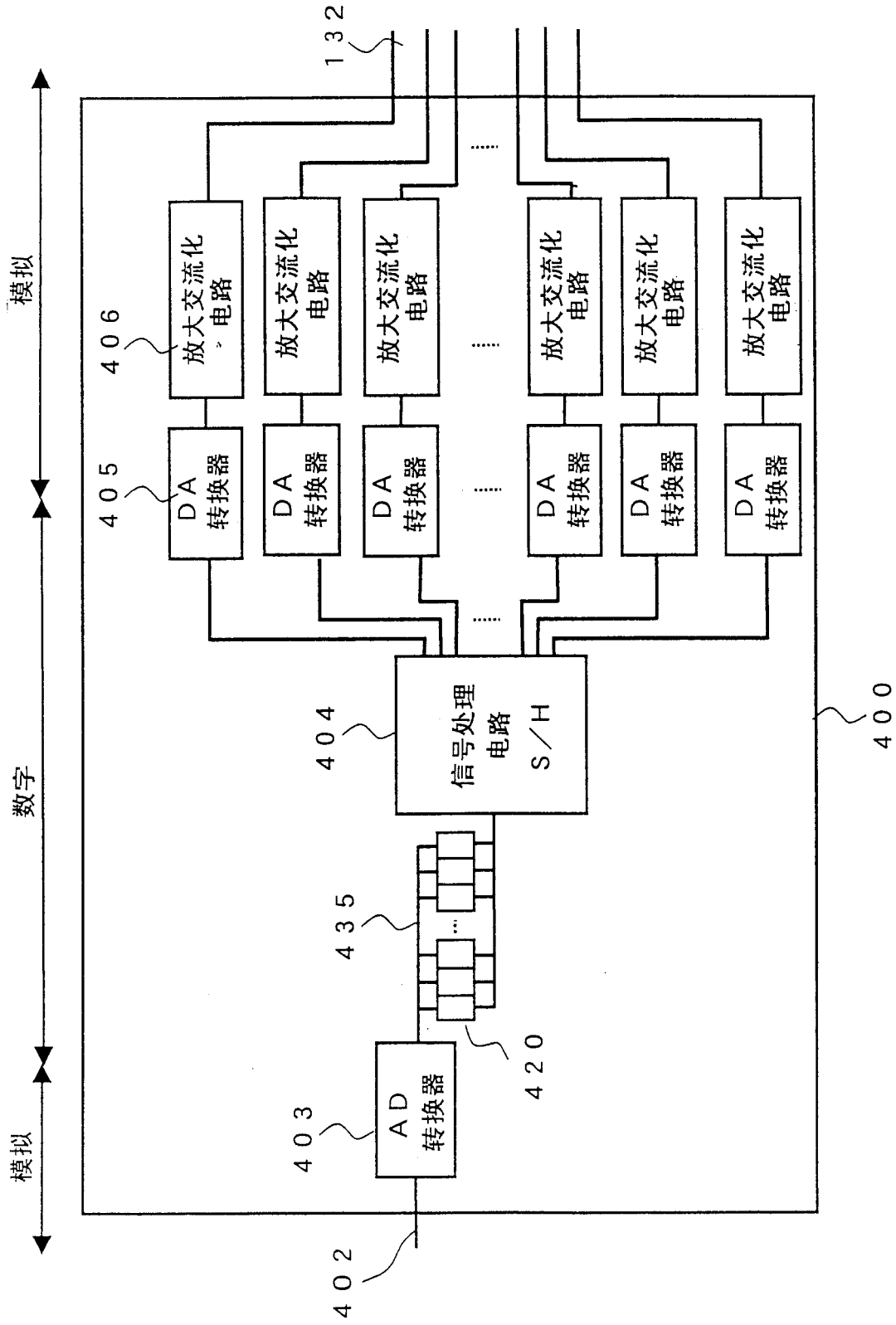


图 26

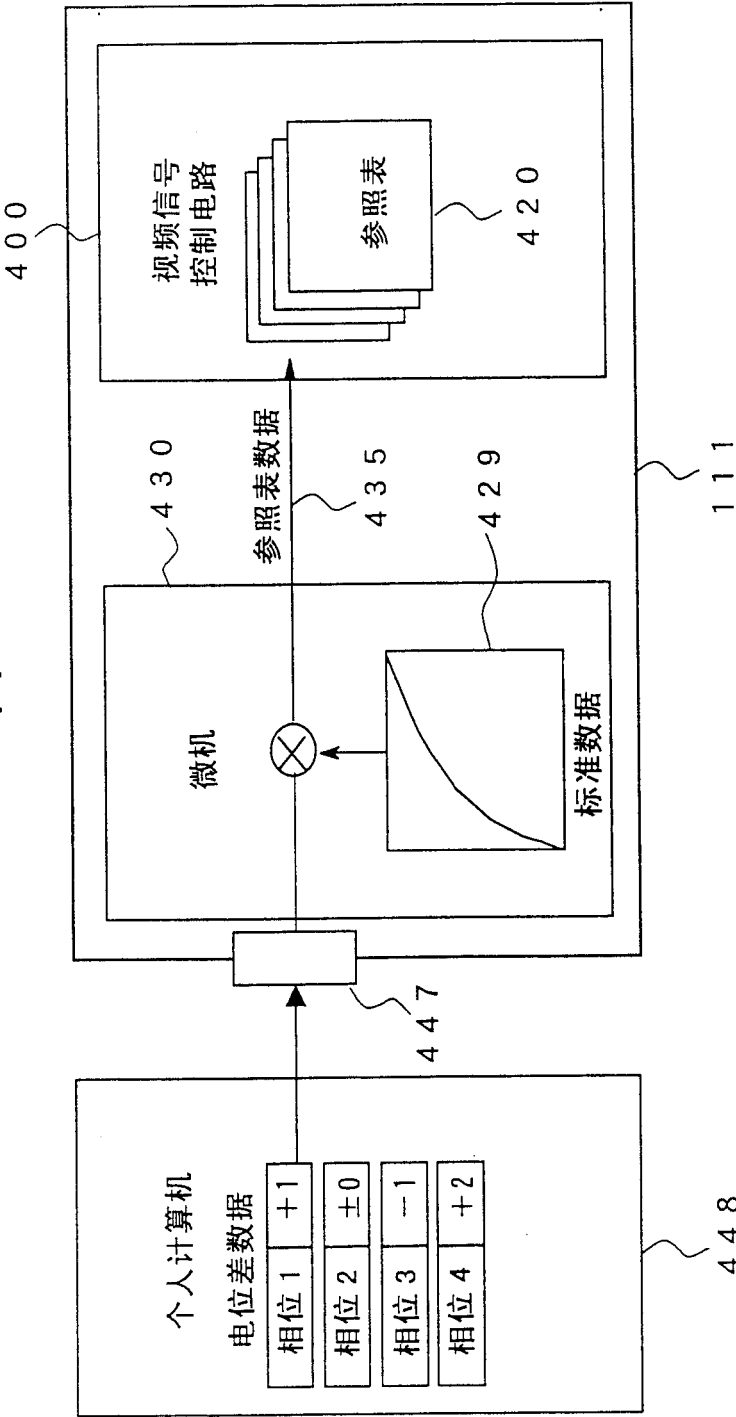


图 27A

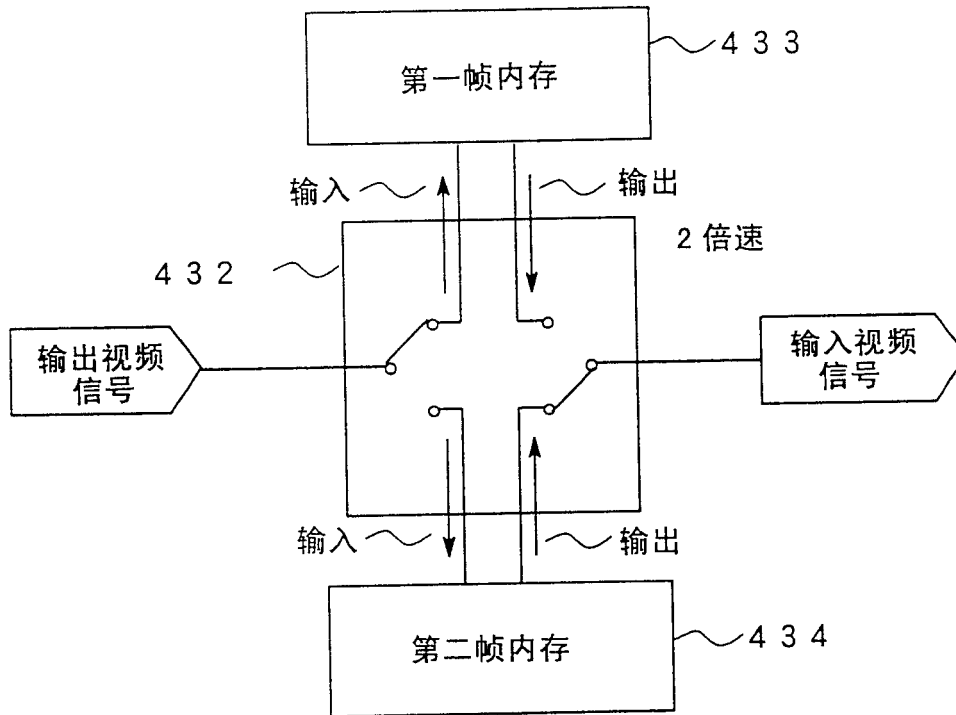


图 27B

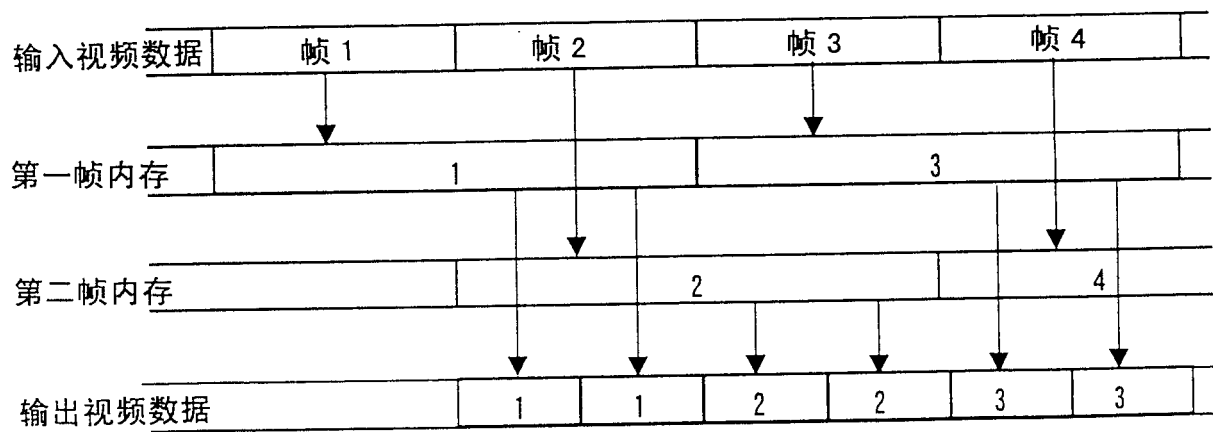


图 28

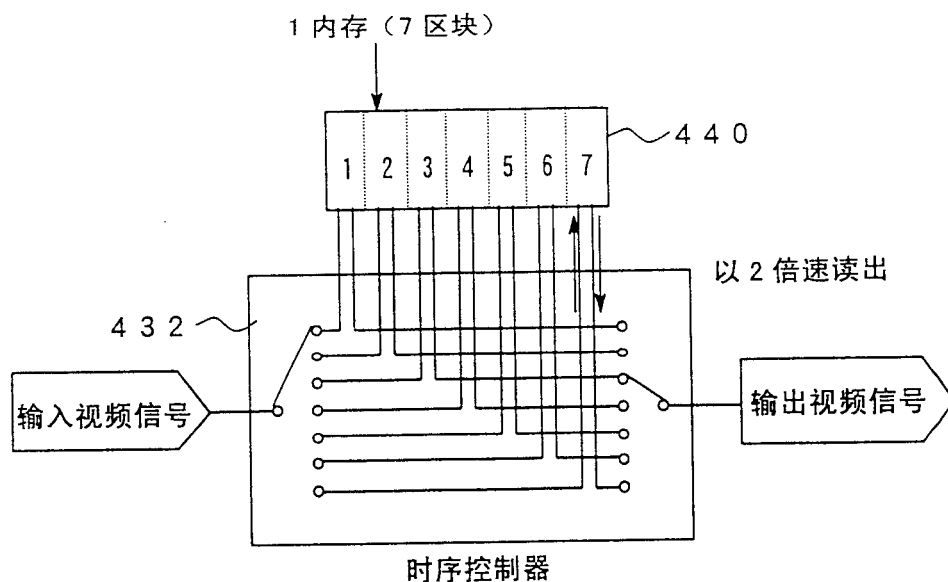


图 29

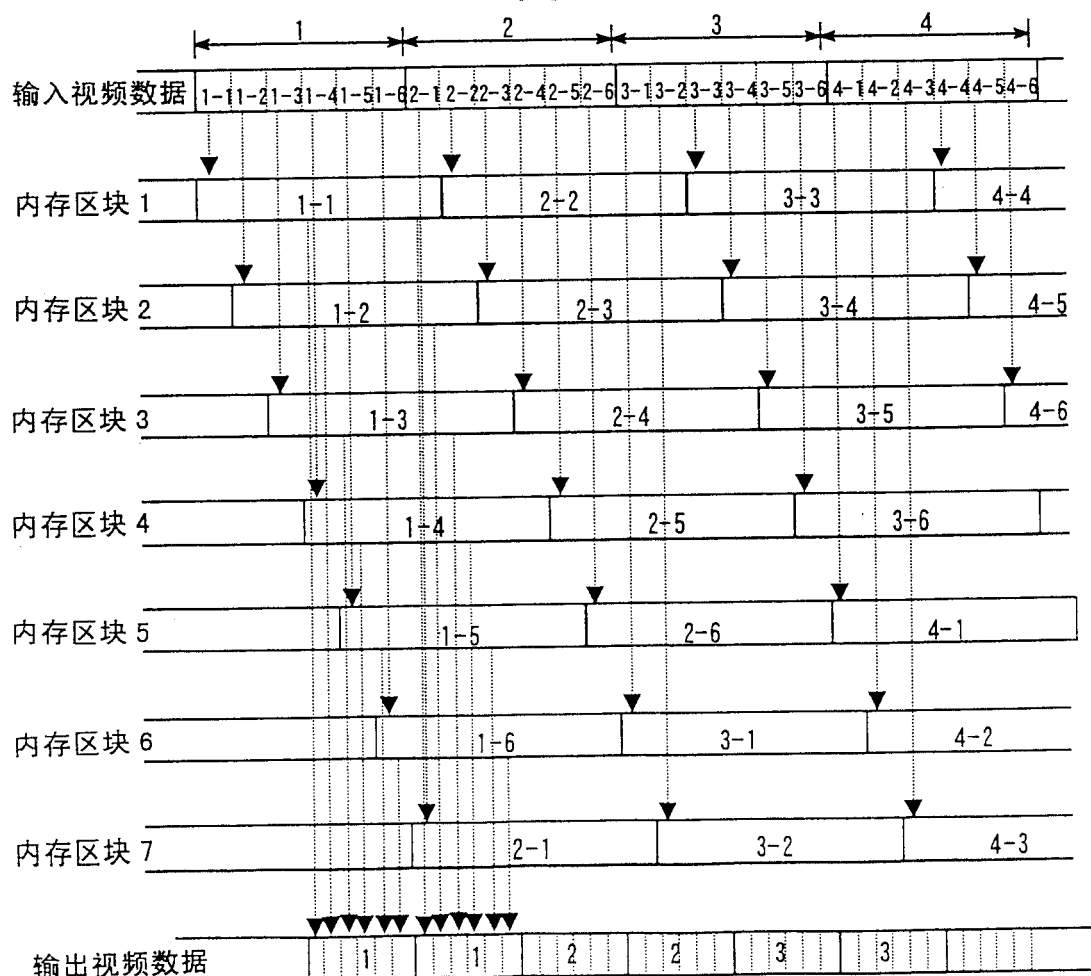


图 30

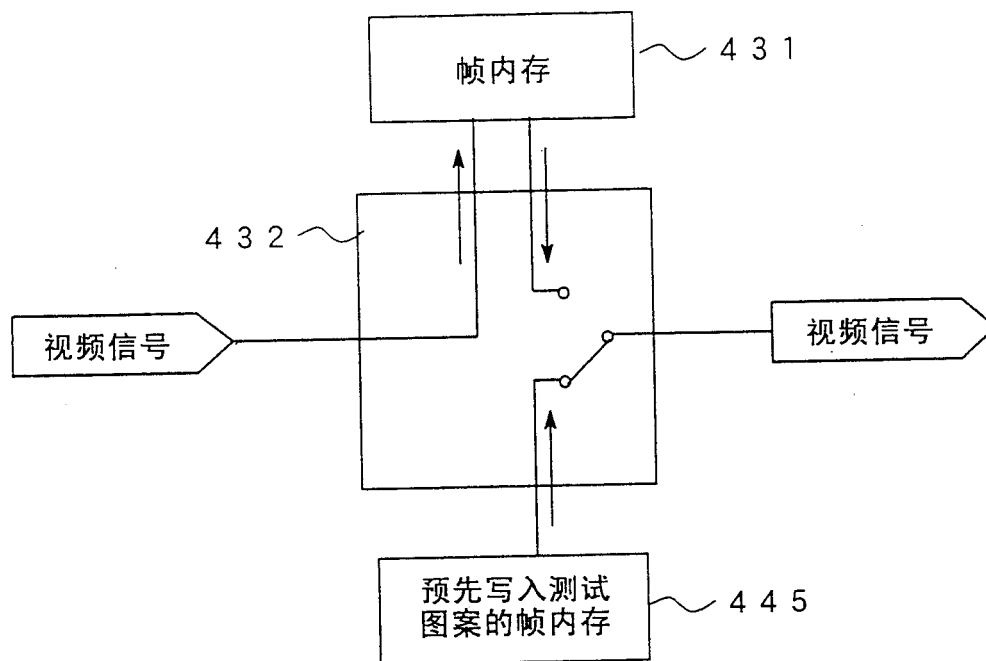


图 31

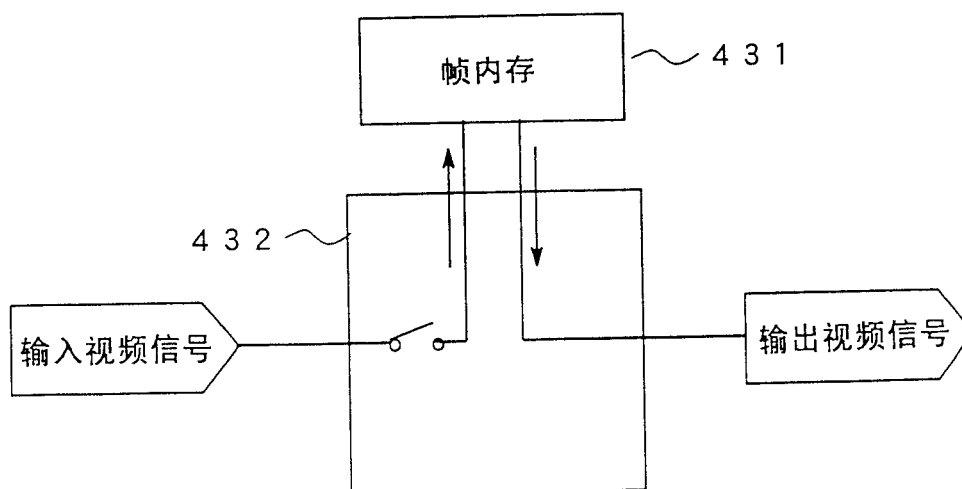


图 32A

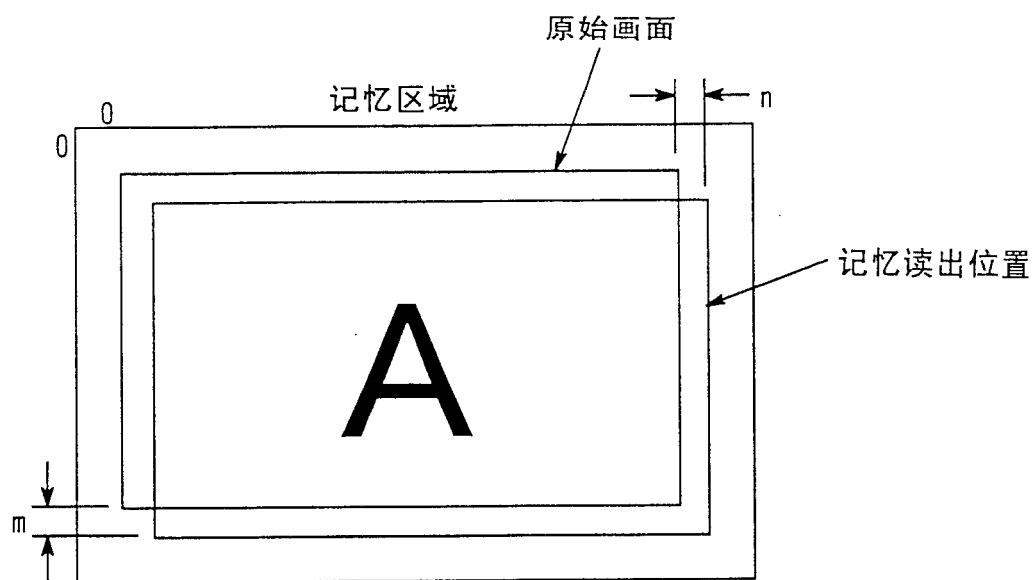


图 32B

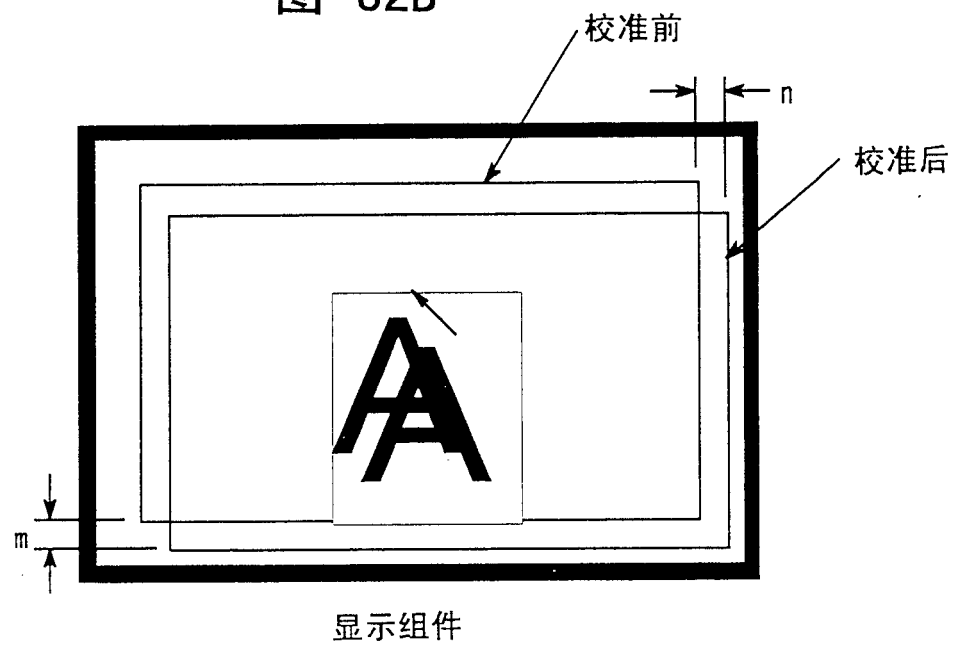
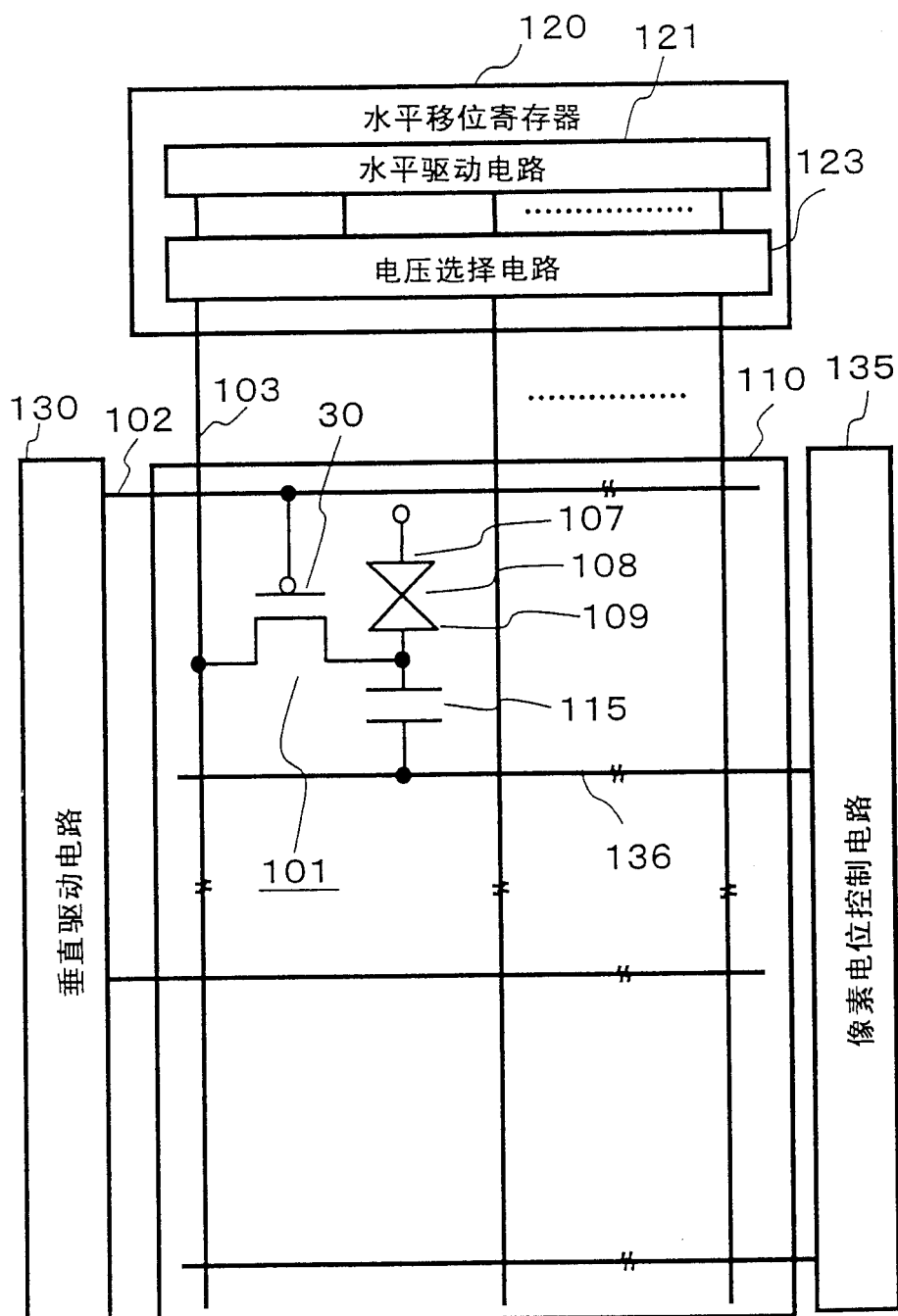


图 33



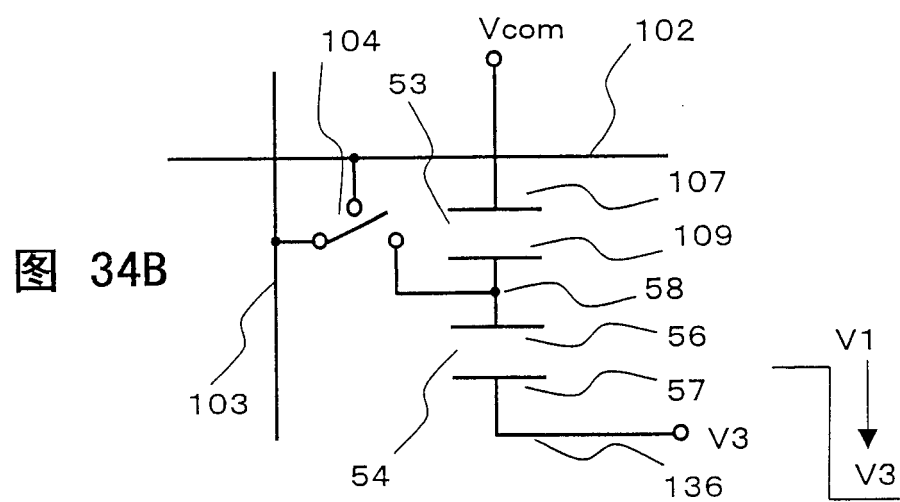
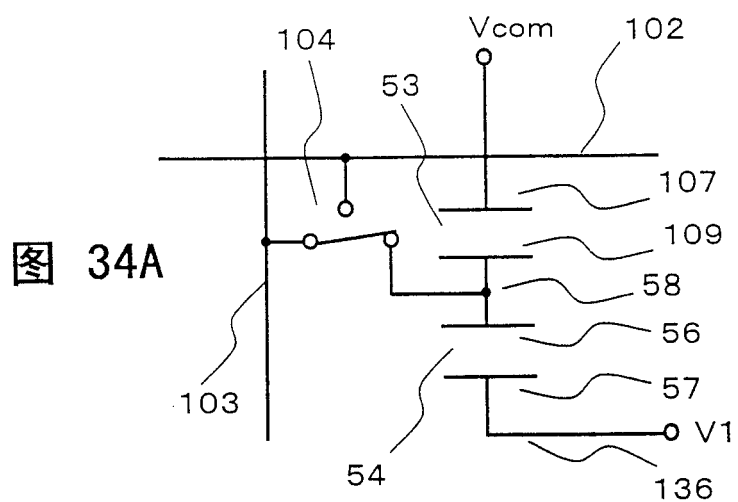


图 35

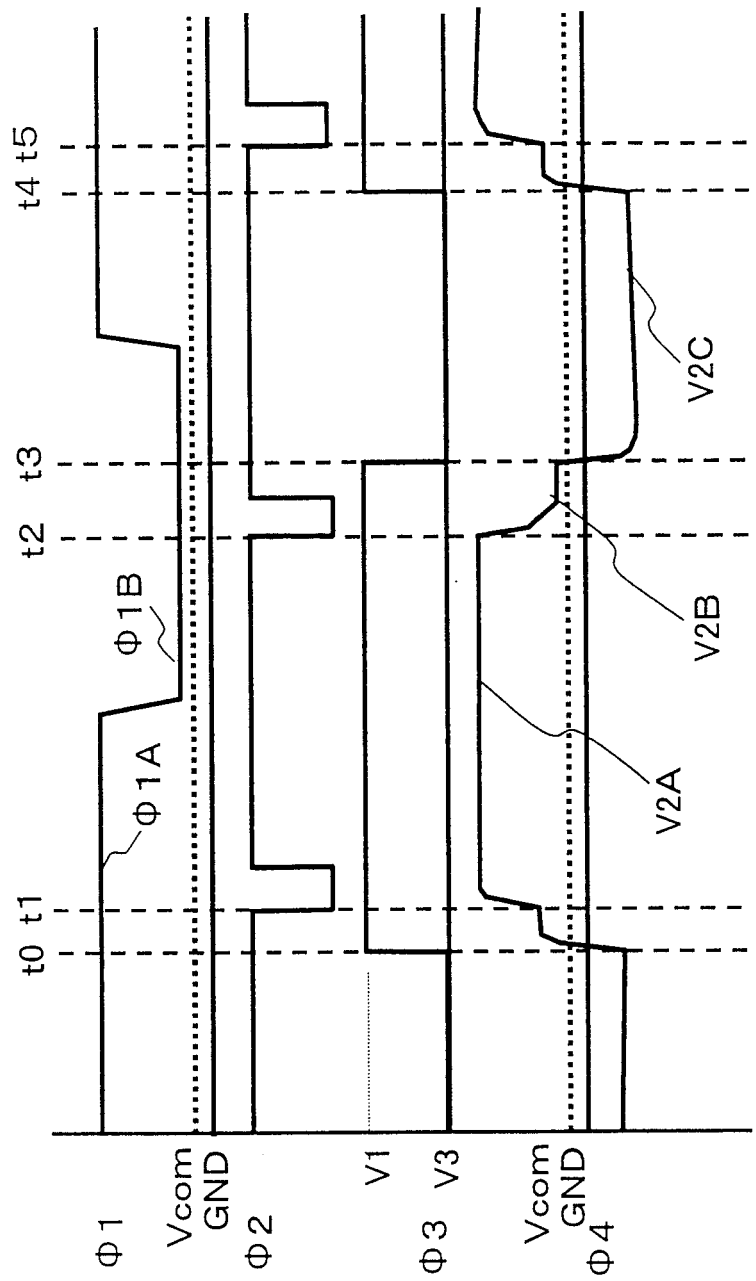


图 37A

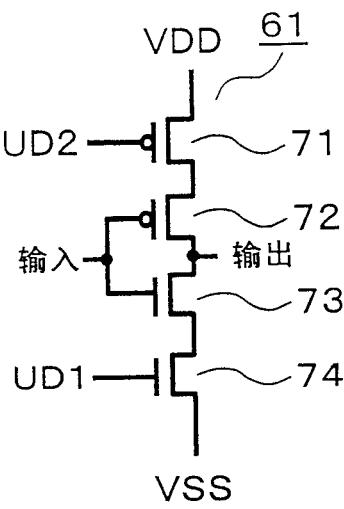


图 37B

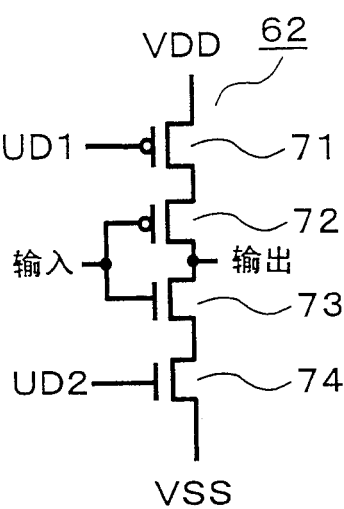


图 37C

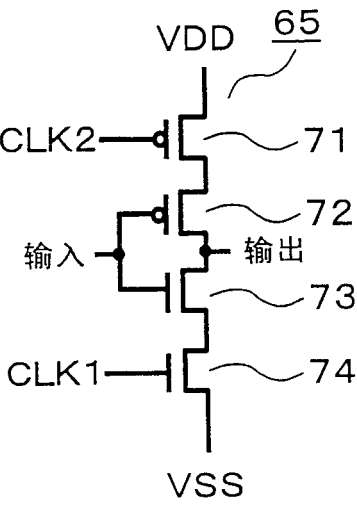


图 37D

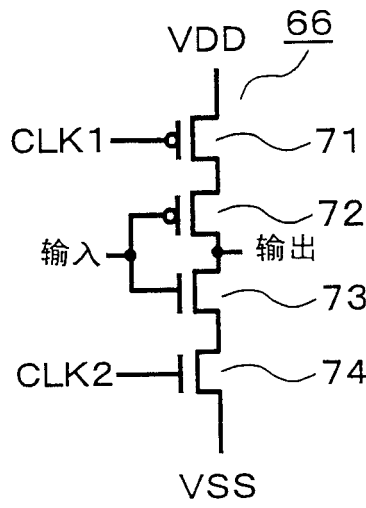


图 38

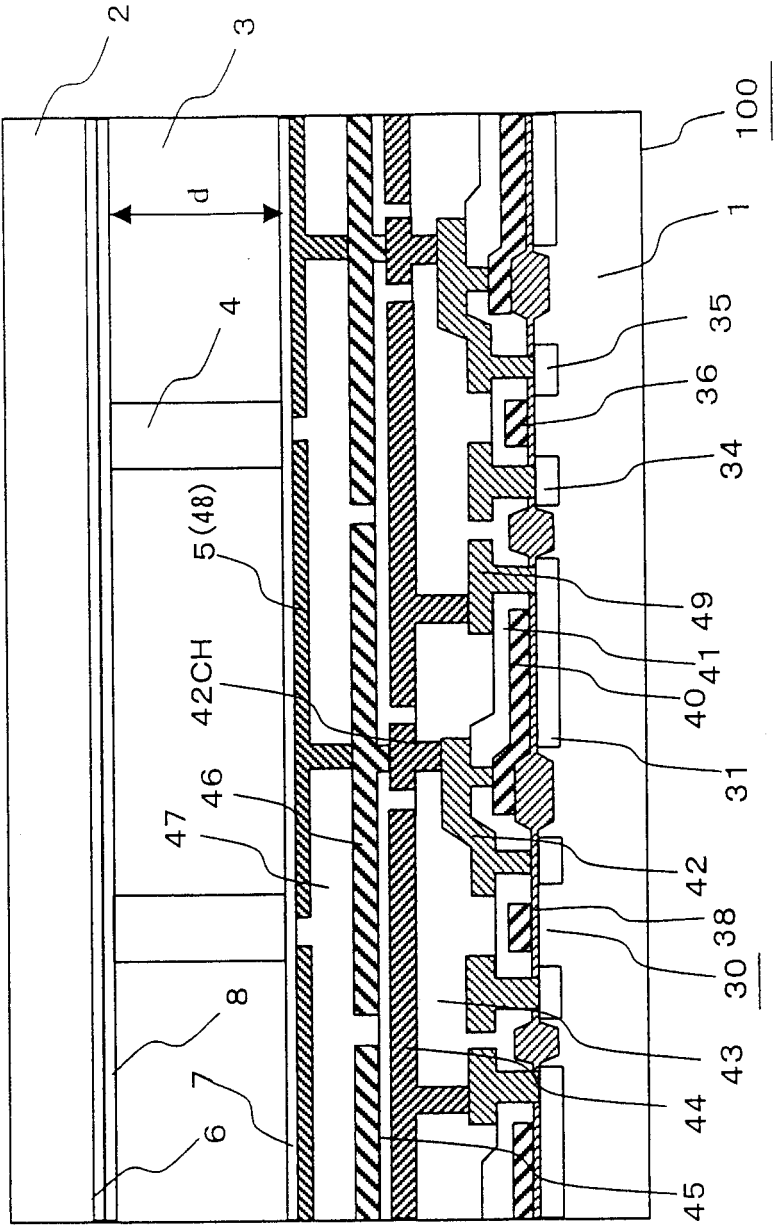


图 39

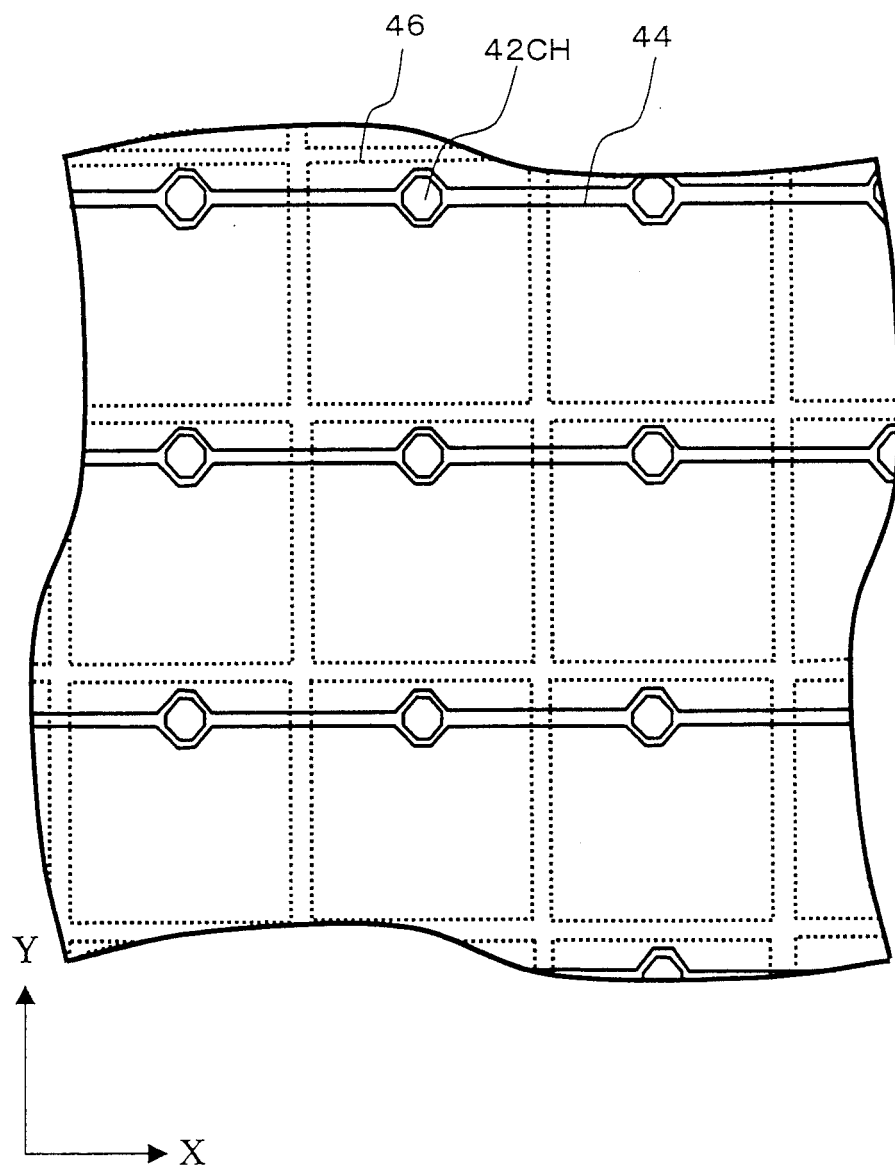


图 40A

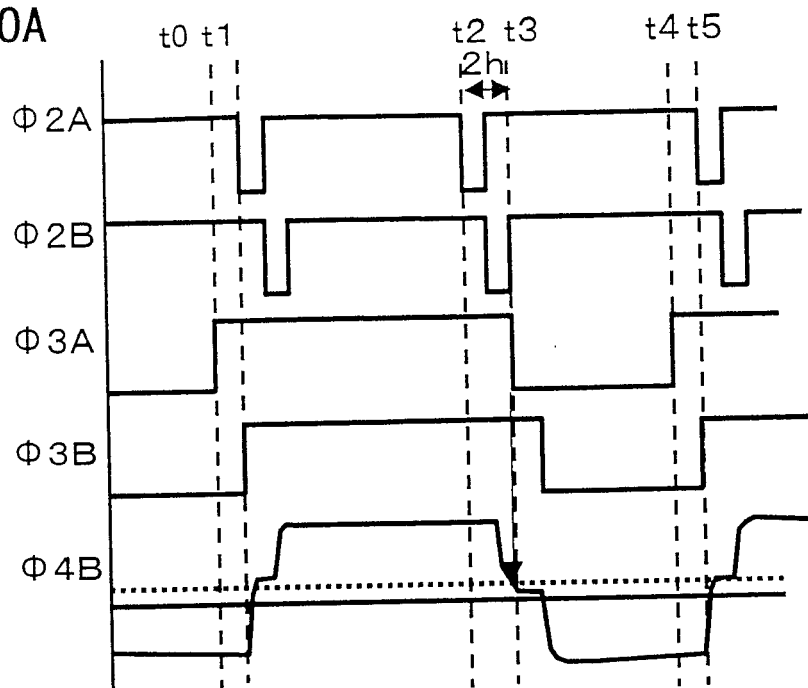


图 40B

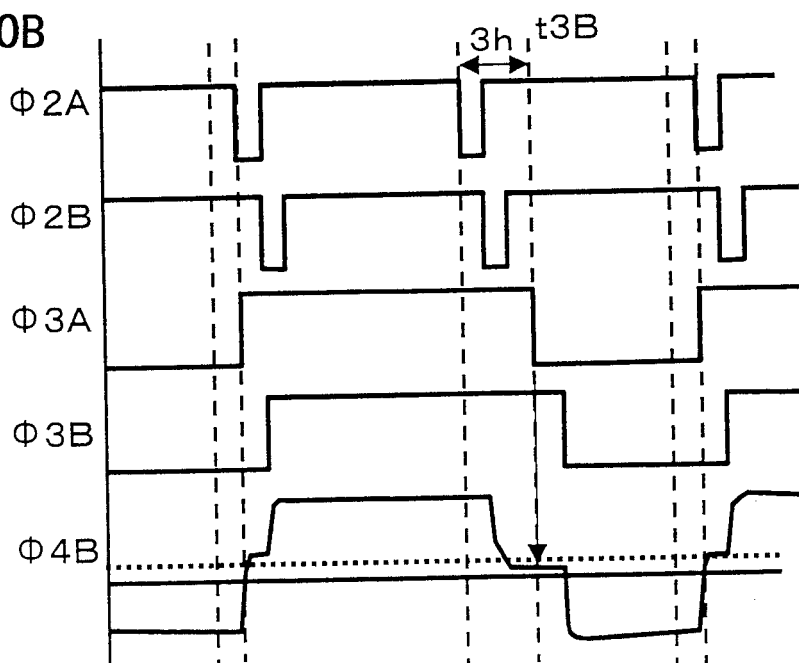


图 41A

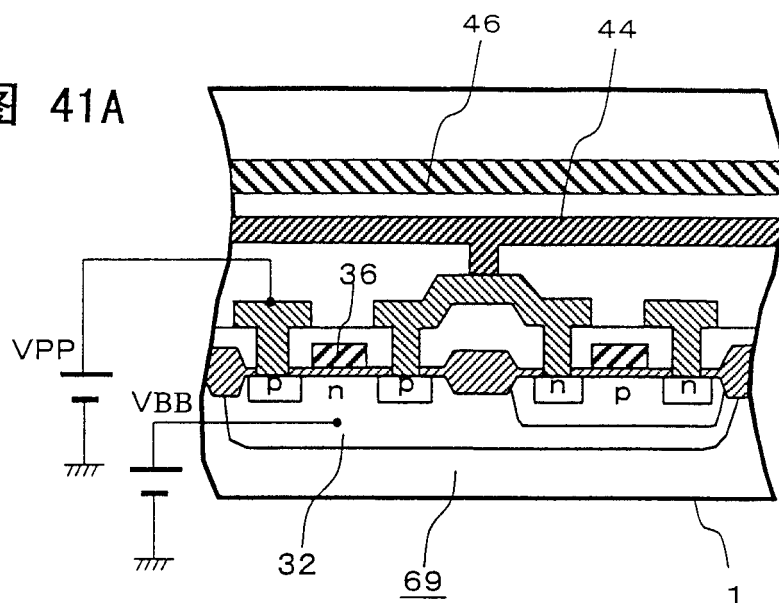


图 41B

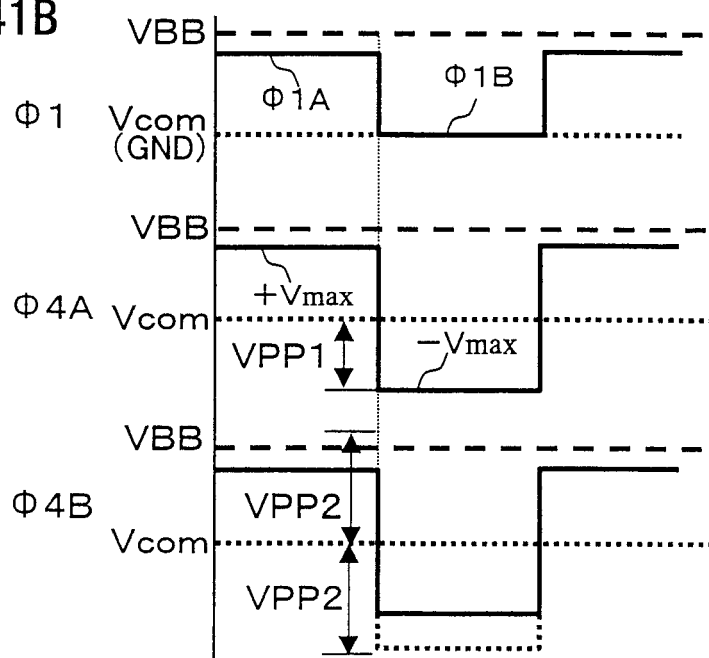


图 42A

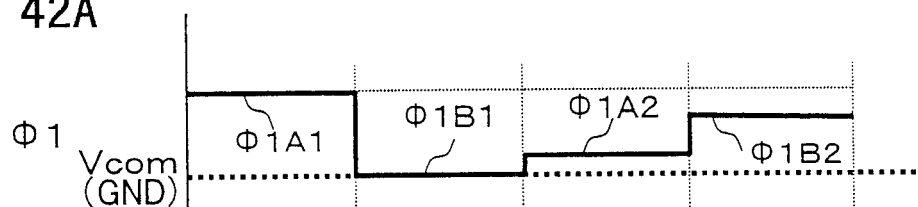


图 42B

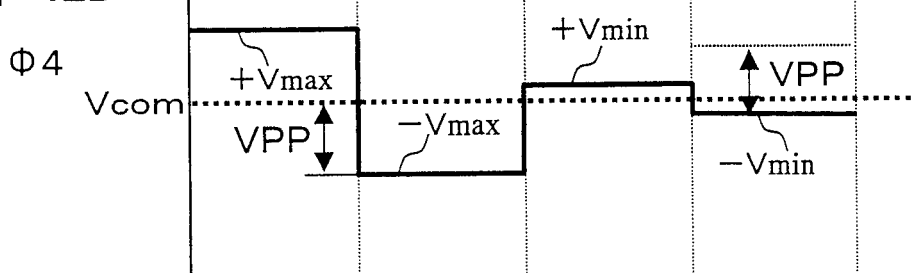


图 43

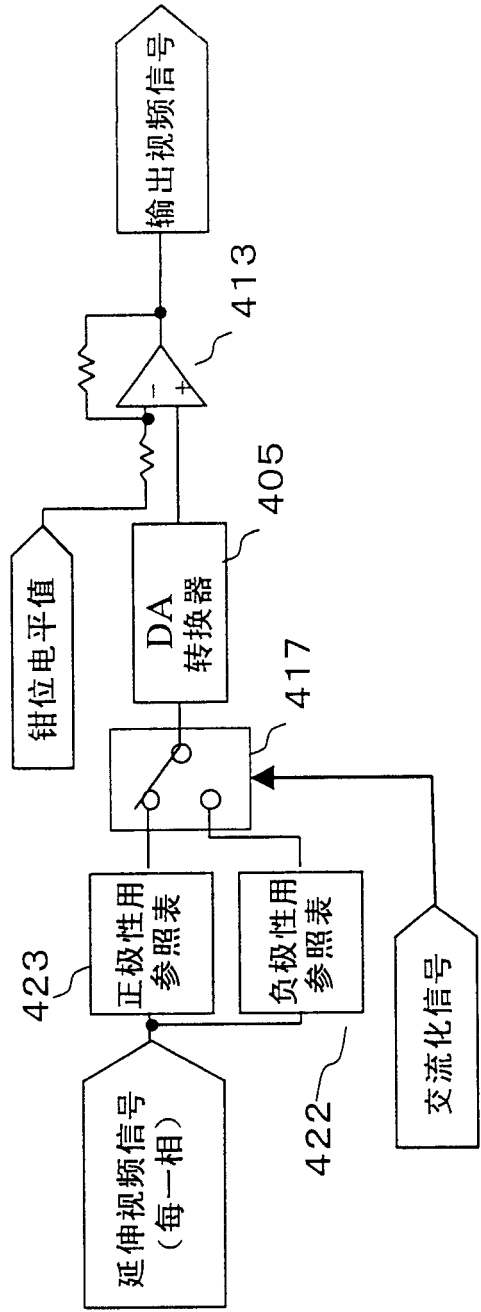


图 44A

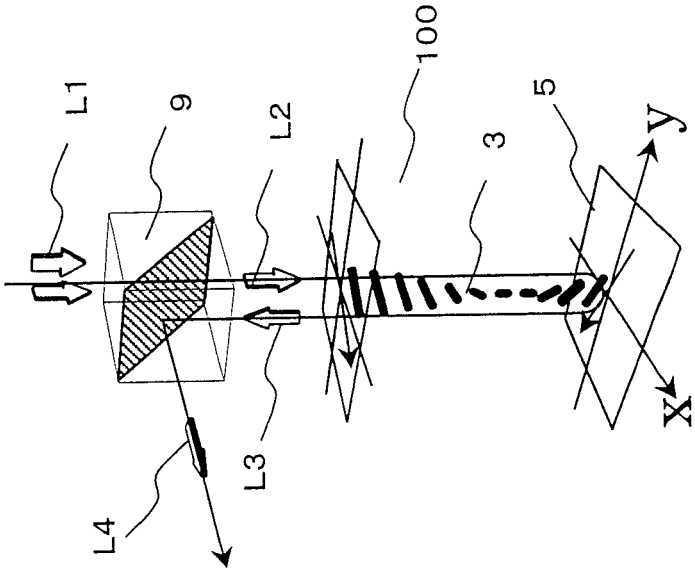


图 44B

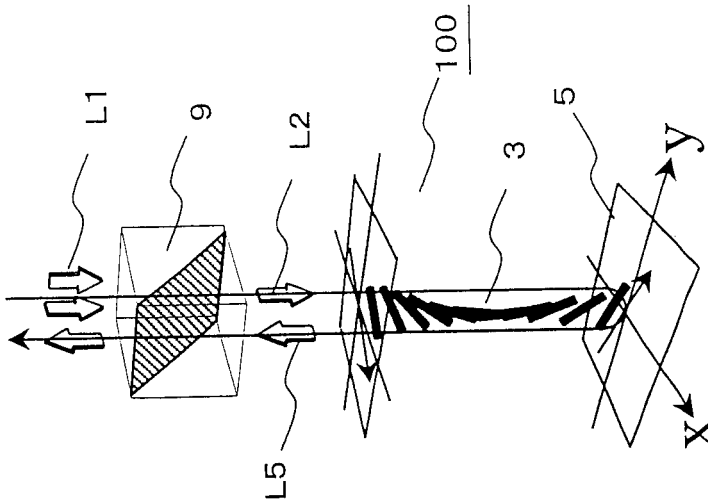


图 45

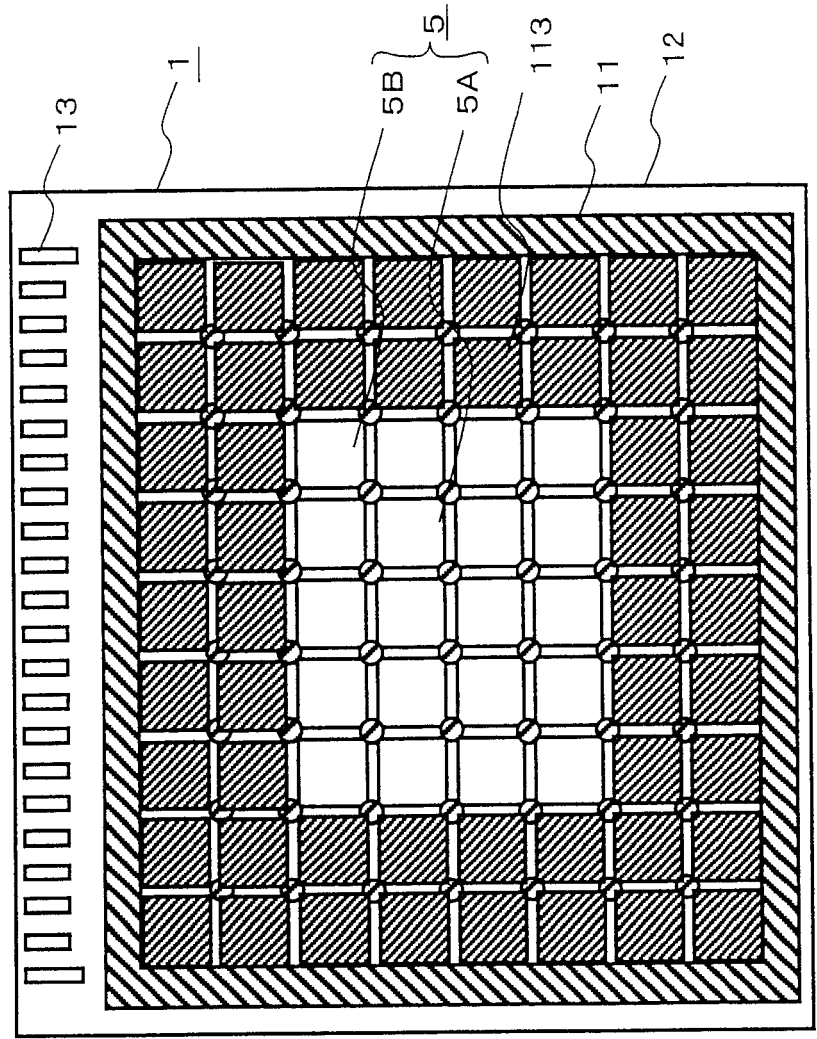


图 46

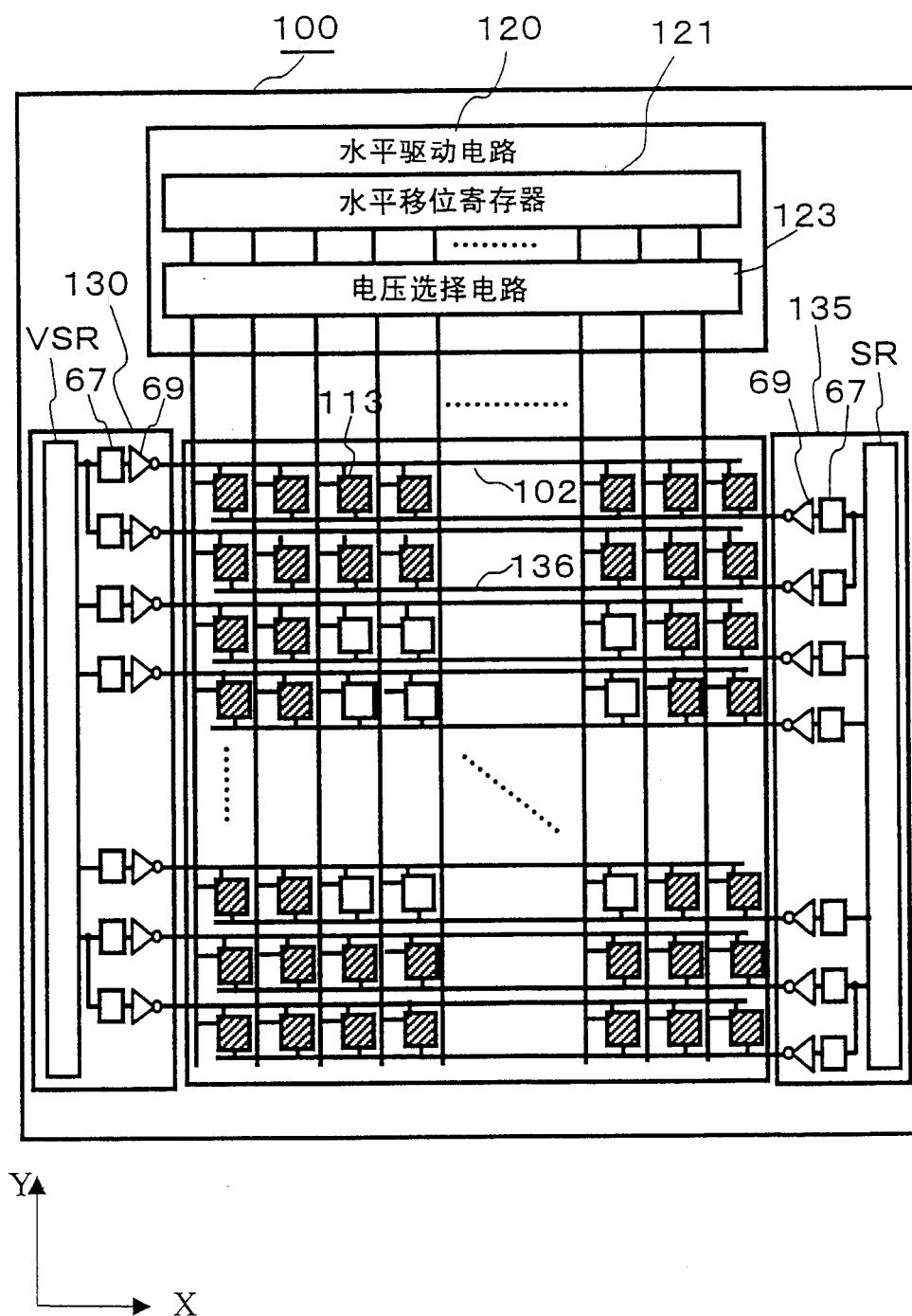


图 47

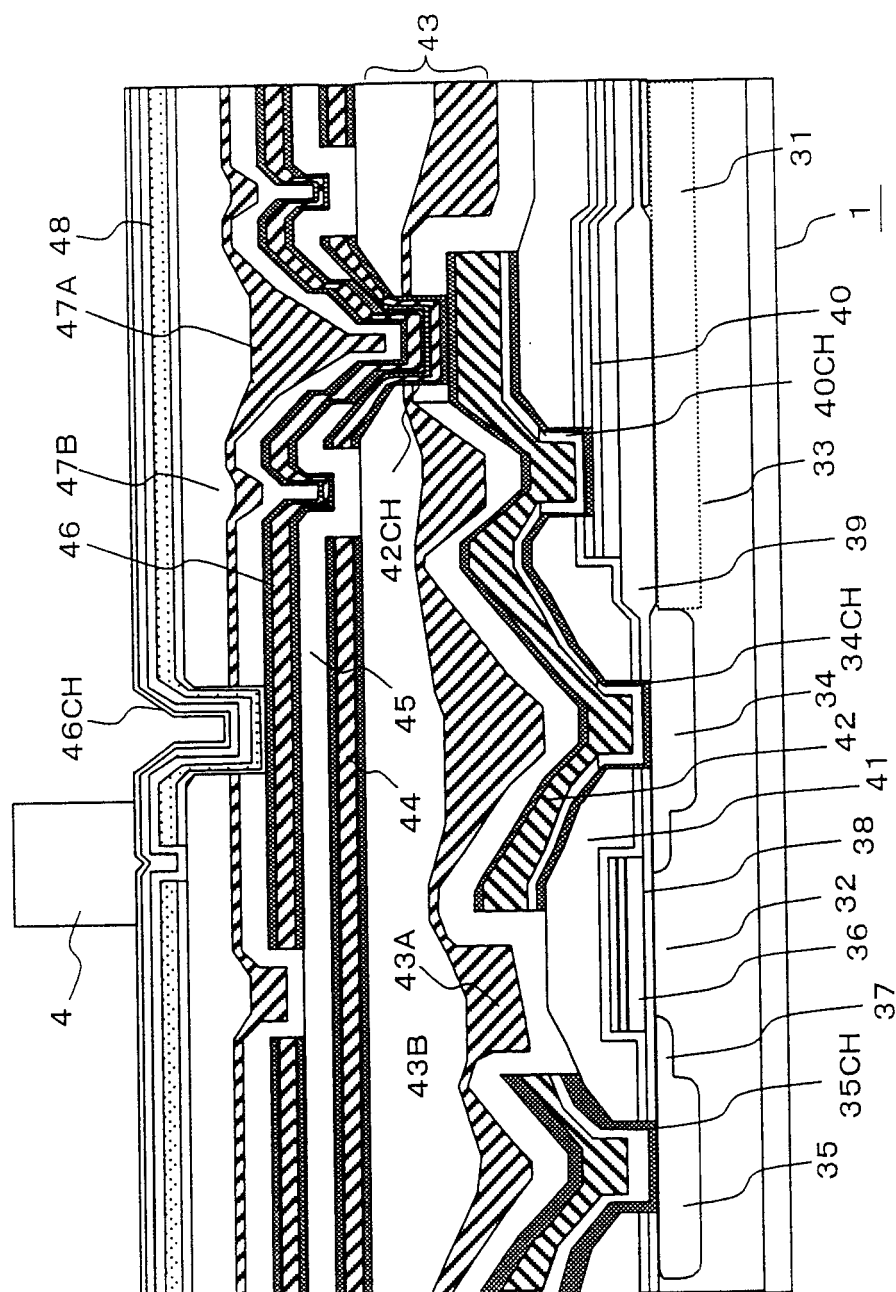


图 48

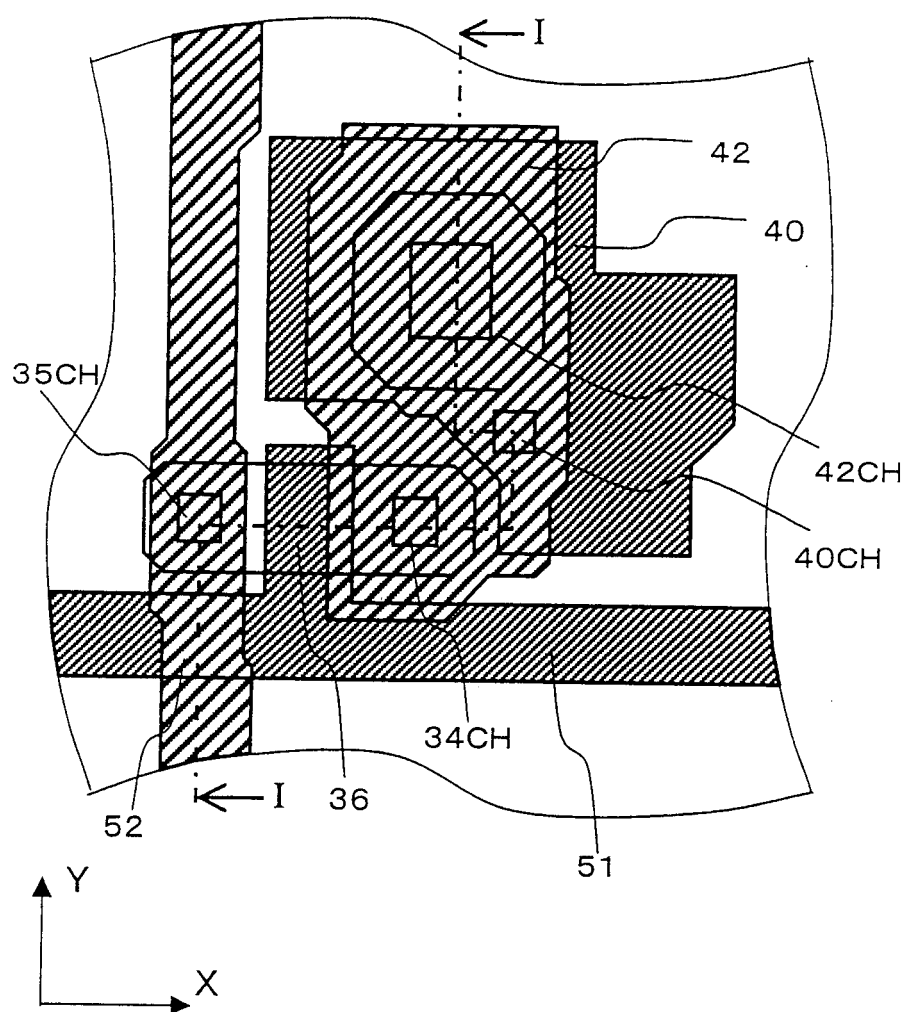


图 49

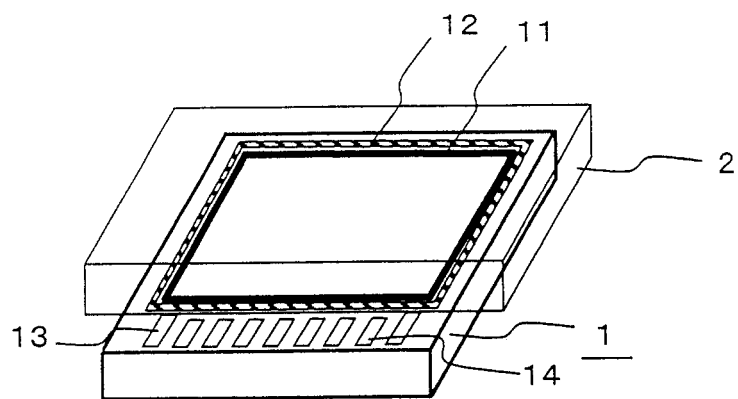


图 50

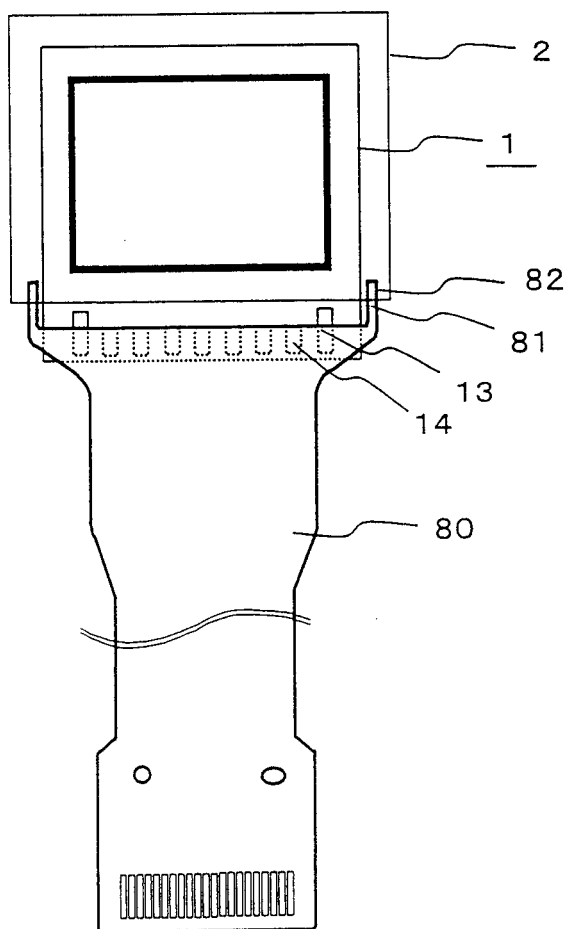


图 51

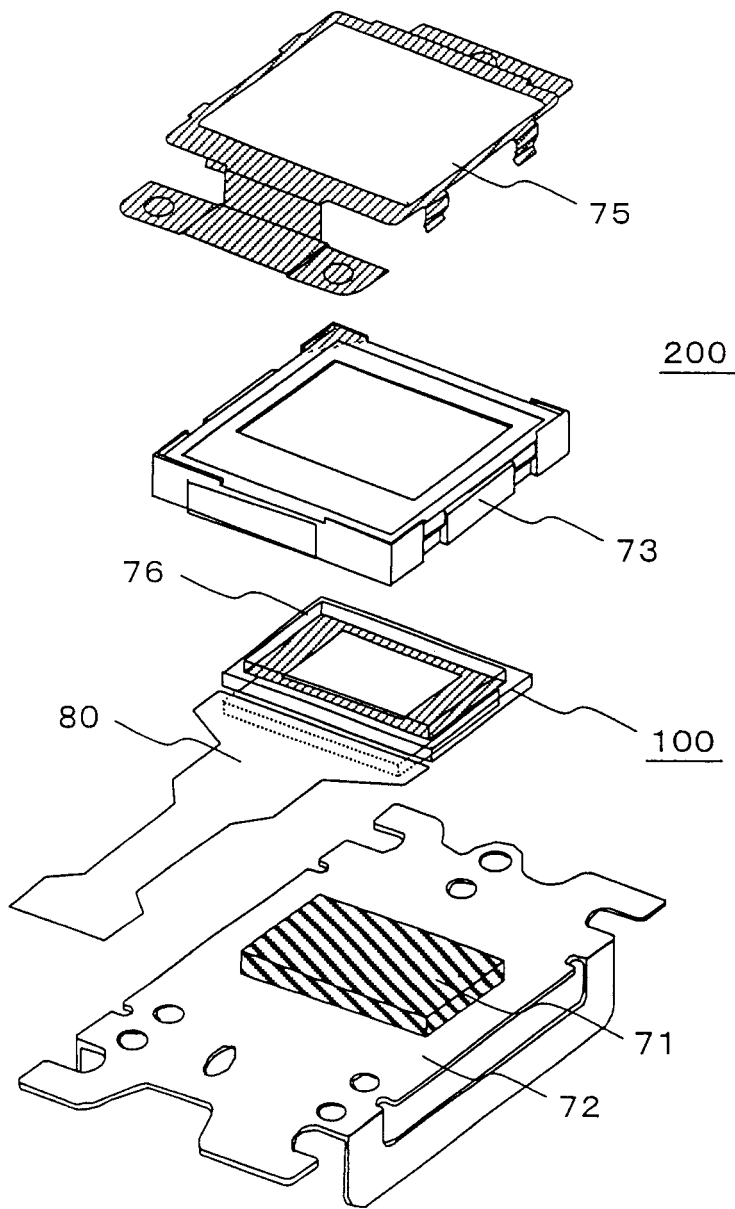
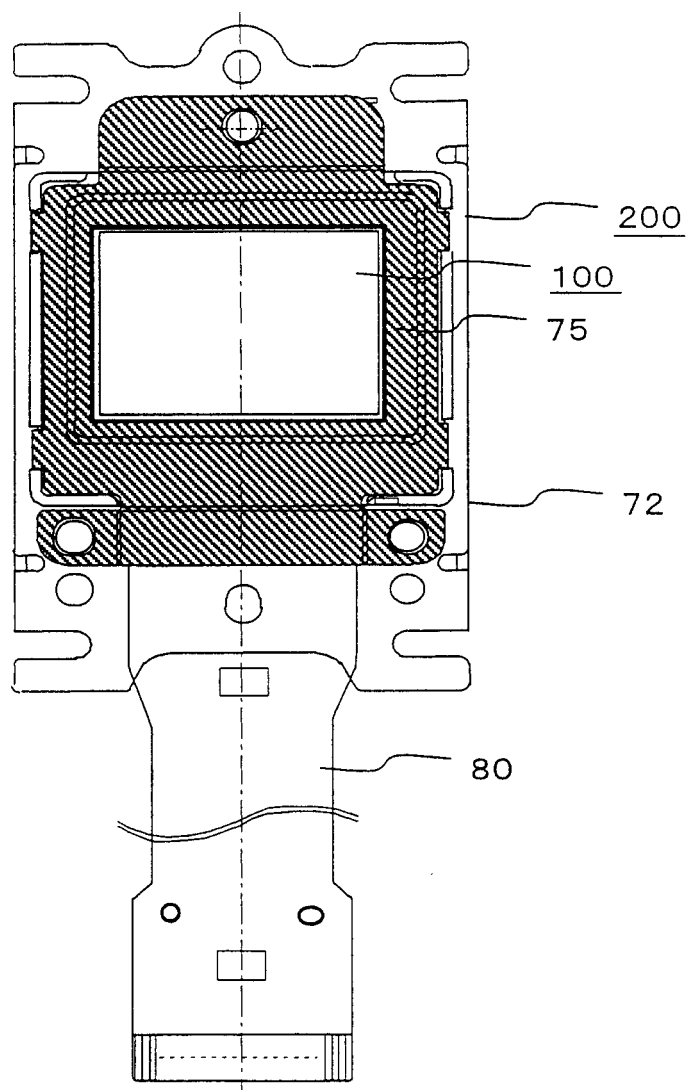


图 52



专利名称(译)	液晶显示装置		
公开(公告)号	CN1266665C	公开(公告)日	2006-07-26
申请号	CN02122418.8	申请日	2002-06-06
[标]申请(专利权)人(译)	株式会社日立制作所 株式会社日立显示器		
申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
当前申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
[标]发明人	丸冈良雄 御园生俊树 前田敏夫 渡边明洋 中川英树		
发明人	丸冈良雄 御园生俊树 前田敏夫 渡边明洋 中川英树		
IPC分类号	G09G3/36 G02F1/133 G09G3/00 G09G3/20 G09G5/00 H04N5/74		
CPC分类号	G09G2320/0693 G09G2320/0606 G09G3/2092 G09G2320/0285 G09G2330/12 G09G2320/0247 G09G2320/066 G09G5/005 G09G3/3614 G09G2320/0233 G09G2320/0209 G09G2300/0876 G09G2340/0435 G09G3/3648 G09G2320/0276 G09G3/3655 G09G3/001 G09G2320/0613 G09G2310/ /0232 G09G3/2011 G09G3/20 G09G5/006 G09G2320/0626 G09G2352/00 G09G2320/0673		
优先权	2001173410 2001-06-08 JP		
其他公开文献	CN1391205A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种将模拟视频信号相展开进行输入的液晶显示装置，可降低因电路散乱造成的显示品质下降。为了校正因多个模拟电路产生的散乱，通过在数字信号处理电路内设置多个模拟电路的对照表，根据设定在对照表内的数据校正模拟电路的散乱。

