



(12) 发明专利申请

(10) 申请公布号 CN 103250092 A

(43) 申请公布日 2013. 08. 14

(21) 申请号 201180058831. 9

代理人 权鲜枝

(22) 申请日 2011. 12. 21

(51) Int. Cl.

(30) 优先权数据

G02F 1/1368 (2006. 01)

2010-294115 2010. 12. 28 JP

G02F 1/1343 (2006. 01)

(85) PCT申请进入国家阶段日

2013. 06. 06

(86) PCT申请的申请数据

PCT/JP2011/079607 2011. 12. 21

(87) PCT申请的公布数据

W02012/090810 JA 2012. 07. 05

(71) 申请人 夏普株式会社

地址 日本大阪府

(72) 发明人 川岛由纪 田坂泰俊 海濂泰佳

中西登

(74) 专利代理机构 北京市隆安律师事务所

11323

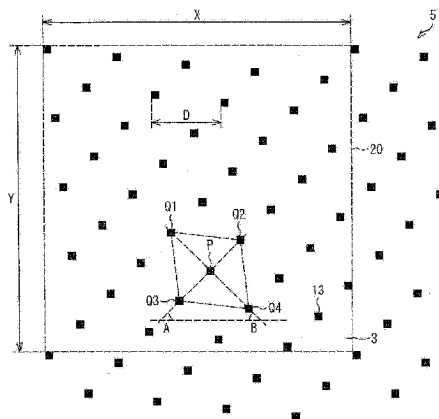
权利要求书1页 说明书7页 附图6页

(54) 发明名称

液晶显示装置

(57) 摘要

选择本发明所涉及的液晶显示装置的划分区域(20)内的任意1个像素P(接触孔像素(13))。像素P是最接近另一像素P的4个像素Q1~Q4(接触孔像素(13))中的任一个像素,或者是由最接近自身的4个像素Q1~Q4形成的四边形所包含的像素并且是最接近另一像素P的4个像素Q1~Q4中的任一个像素。而且,由4个像素Q1~Q4形成的四边形的2条对角线和栅极总线(线段AB)所成的2个角度的差不到30度。另外,在划分区域(20)内的各源极总线处配置有1个接触孔像素(13)。



1. 一种液晶显示装置，
具备：
多个像素，其在第 1 基板上配置为矩阵状；
多条源极总线，其与多个上述像素的各列对应地配置；
多条栅极总线，其与多个上述像素的各行对应地配置；
像素电极，其按每个上述像素形成在上述第 1 基板上；
共用电极，其形成在上述第 1 基板上，与上述像素电极重叠；
共用配线，其经由形成于多个上述像素中的任一个上述像素的接触孔与上述共用电极连接；以及
液晶层，其被夹持在上述第 1 基板和与该第 1 基板相对的第 2 基板之间，
所述液晶显示装置是将一定的划分区域所包含的多个上述像素反复排列而成的，其特征在于，
上述划分区域所包含的任意 1 个上述接触孔，
是最接近另一上述接触孔的 4 个上述接触孔中的任一个上述接触孔，
或者是最接近另一上述接触孔的 4 个上述接触孔中的任一个上述接触孔并且是由最接近自身的 4 个上述接触孔形成的四边形所包含的上述接触孔，上述四边形的 2 条对角线和上述栅极总线所成的 2 个角度的差不到 30 度，
在上述划分区域内，在各上述源极总线处形成有 1 个上述接触孔。
2. 根据权利要求 1 所述的液晶显示装置，其特征在于，
上述划分区域为：上述列的方向的长度是 40 个上述像素的长度、上述行的方向的长度是 40 个上述像素的长度的矩形区域。
3. 根据权利要求 1 所述的液晶显示装置，其特征在于，
上述划分区域为：上述列的方向的长度是 80 个上述像素的长度、上述行的方向的长度是 80 个上述像素的长度的矩形区域。
4. 根据权利要求 1～3 中的任 1 项所述的液晶显示装置，其特征在于，
上述像素包括多个副像素，
上述接触孔形成于多个上述副像素中的任一个上述副像素。
5. 根据权利要求 1～4 中的任 1 项所述的液晶显示装置，其特征在于，
上述共用电极由透明导电体形成。
6. 根据权利要求 1～5 中的任 1 项所述的液晶显示装置，其特征在于，
在上述第 2 基板上形成有其它上述共用电极。

液晶显示装置

技术领域

[0001] 本发明涉及液晶显示装置,特别是涉及形成有连接共用配线和共用电极的接触孔的液晶显示装置。

背景技术

[0002] 近年来,从使用作为以往主流的布劳恩管的显示装置,变为广泛使用薄型的平板显示器(FPD)的显示装置。在 FPD 中,作为显示元件,有的使用液晶、发光二极管(LED)或有机电致发光(有机 EL)等。尤其是使用液晶的显示装置,由于薄型、重量轻以及低功耗的优点,其研究开发正在积极进行。

[0003] 图 6 中示出这样的液晶显示装置的像素的概略构成。如图 6 所示,一般来说,在像素 41 中,栅极总线 7 和源极总线 8 正交地设置,作为用于形成辅助电容(Cs)的配线的共用配线 9 与栅极总线 7 平行地设置。另一方面,共用电极 4 和像素电极 6 重叠地设置,在栅极总线 7 和源极总线 8 的交叉部,设置有薄膜晶体管(TFT)作为开关元件(有源元件)。在此,在共用电极 4 的配线使用较高电阻的材料的情况下,有可能发生串扰等显示不良。

[0004] 对此,为了解决上述显示不良,正在开发通过设置连接共用电极和共用配线的接触孔来降低共用电极的配线电阻的技术。例如,在专利文献 1 中,公开了将连接共用电极和共用配线的接触孔以相对于多个像素为 1 个的比例配置为交错状的构成。从而,通过连接高电阻的共用电极和低电阻的共用配线来降低配线电阻,并且降低总线和共用电极经由接触孔而短路的概率。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献 1:日本公开专利公报“特开 2004 — 109248 号公报(2004 年 4 月 8 日公开)”

发明内容

[0008] 发明要解决的问题

[0009] 若将连接共用电极和共用配线的接触孔设置于所有像素,则会发生因显示面板的开口率下降而导致的亮度的下降等显示不良。对此,在上述专利文献 1 中,公开了不在所有像素设置接触孔,而将接触孔以相对于 4 个像素为 1 个的比例配置为交错状的构成。但是,根据设置有接触孔的像素的距离及其位置关系的周期性的不同,有时设置有接触孔的像素部分看起来变成条纹。例如,在以图 7 所示那样的周期性配置接触孔 12 的情况下,在显示面板 15 上会在斜方向(图中的箭头 N 方向)上看见条纹,变得不美观。这是因为,因接触孔的形成而导致的开口率下降的程度越大,则越显著。

[0010] 因此,本发明是鉴于上述问题而完成的,其目的在于提供可降低共用电极的配线电阻,并且防止显示质量降低的液晶显示装置。

[0011] 用于解决问题的方案

[0012] 为了解决上述问题,本发明的一实施方式所涉及的液晶显示装置具备:多个像素,其在第1基板上配置为矩阵状;多条源极总线,其与多个上述像素的各列对应地配置;多条栅极总线,其与多个上述像素的各行对应地配置;像素电极,其按每个上述像素形成在上述第1基板上;共用电极,其形成在上述第1基板上,与上述像素电极重叠;共用配线,其经由形成于多个上述像素中的任一个上述像素的接触孔与上述共用电极连接;以及液晶层,其被夹持在上述第1基板和与该第1基板相对的第2基板之间,所述液晶显示装置是将一定的划分区域所包含的多个上述像素反复排列而成的,其特征在于,上述划分区域所包含的任意1个上述接触孔是最接近另一上述接触孔的4个上述接触孔中的任一个上述接触孔,或者是最接近另一上述接触孔的4个上述接触孔中的任一个上述接触孔并且是由最接近自身的4个上述接触孔形成的四边形所包含的上述接触孔,上述四边形的2条对角线和上述栅极总线所成的2个角度的差不到30度,在上述划分区域内,在各上述源极总线处形成有1个上述接触孔。

[0013] 根据上述构成,将上述2个角度的差设为不到30度,从而,比起将接触孔分别排列在纵方向或者横方向上,排列在斜方向上不会妨碍显示画面的视觉识别性。而且,在本发明的一实施方式所涉及的液晶显示装置中,对1条源极总线配置有1个接触孔。这是因为,在划分区域内,若不在所有源极总线上配置相同数目的接触孔,则会在总线彼此产生负荷差,有可能降低液晶显示装置的显示质量。因此,优选在划分区域内的所有源极总线上都配置1个(同样数目)接触孔。

[0014] 因此,在本发明的一实施方式所涉及的液晶显示装置中,接触孔配置于满足上述2个必要条件那样的位置。从而,接触孔像素适当地分散,因而能够防止接触孔在显示画面上看起来变成条纹等。另外,接触孔原本就是用于连接共用电极和共用配线的,因而可将共用电极的配线电阻变为低电阻。即,根据本发明的一实施方式,能够实现以下两者:抑制由于接触孔而引起的显示质量的下降;以及降低共用电极的配线电阻。

[0015] 根据如下所示的内容,应该能充分理解本发明的其它目的、特征以及优势。另外,本发明的优点应该能通过参照附图的如下说明而明白。

[0016] 发明效果

[0017] 在本发明的一实施方式所涉及的液晶显示装置中,在划分区域内,将由最接近1个接触孔的4个接触孔形成的四边形的2条对角线和栅极总线所成的2个角度的差设为不到30度,而且,在划分区域内的所有源极总线上都配置1个接触孔像素,从而,接触孔像素适当地分散,因而能够防止接触孔在显示画面上看起来变成条纹等。另外,接触孔原本就是用于连接共用电极和共用配线的,因而可将共用电极的配线电阻变为低电阻。即,根据本发明的一实施方式,能够实现以下两者:抑制由于接触孔而引起的显示质量的下降;以及降低共用电极的配线电阻。

附图说明

[0018] 图1是概略地示出本发明的一实施方式所涉及的接触孔的配置位置的图。

[0019] 图2是示出本发明的一实施方式所涉及的液晶显示装置的像素的概略构成的图。

[0020] 图3是示出本发明的一实施方式所涉及的像素的截面的图。

[0021] 图4是概略地示出本发明的一实施方式所涉及的像素阵列的图。

[0022] 图 5 是概略地示出本发明的一实施方式所涉及的像素阵列的图。

[0023] 图 6 是示出以往的液晶显示装置的像素的概略构成的图。

[0024] 图 7 是概略地示出以往的像素阵列的图。

具体实施方式

[0025] 下面,参照附图详细地说明本发明所涉及的液晶显示装置的实施方式。

[0026] (液晶显示装置的构成)

[0027] 首先,参照图 2 和图 3 说明构成本实施方式所涉及的液晶显示装置中的像素阵列的像素。图 2 是示出本实施方式所涉及的液晶显示装置的像素 1 的概略构成的图。图 3 是图 2 所示的像素 1 的 A—A' 向视截面图。

[0028] 像素阵列是将多个像素配置为矩阵状而构成的,与多个像素的各列对应地配置有多条源极总线,并且配置有与多个像素的各行对应地配置的多条栅极总线。

[0029] 更详细来说,如图 2 所示,供应扫描信号的栅极总线 7 和供应数据信号的源极总线 8 正交地设置,作为用于形成辅助电容(Cs)的配线的共用配线 9 与栅极总线 7 平行地设置。另一方面,共用电极 4 和像素电极 6 重叠地设置,本实施方式所涉及的液晶显示装置为横电场模式的液晶显示装置。另外,在栅极总线 7 和源极总线 8 的交叉部,设置有薄膜晶体管(TFT)作为开关元件(有源元件)。TFT 的栅极电极连接于栅极总线 7,漏极电极连接于像素电极 6,源极电极连接于源极总线 8。

[0030] 如图 3 所示,在像素 1 中具有如下构成:TFT 基板 32(第 1 基板)和相对基板 33(第 2 基板)相互相对地配置,所述 TFT 基板 32 包括具备取向膜 17 和 TFT 的透明基板 21,所述相对基板 33 包括具备取向膜 17 的透明基板 31,液晶层 40 隔着取向膜 17 被夹持在这一对基板间。在这一对基板的外侧(与两基板的相对面相反侧的面),根据需要分别设置有未图示的相位差板和偏振板等。

[0031] TFT 基板 32 在透明基板上的与相对基板 33 相对的面上具备 TFT。TFT 具有半导体层 22、栅极绝缘膜 23、栅极电极 26、第 1 层间绝缘膜 24、第 2 层间绝缘膜 25、像素电极 6、漏极电极 27 以及源极电极 28。TFT 基板 32 中的 TFT 的栅极电极 26 包括栅极总线 7 的一部分,TFT 的源极电极 28 包括源极总线 8 的一部分。另外,半导体层 22 具备:沟道区域 22a,其包括未注入杂质的本征半导体;以及杂质注入区域 22b,其包括注入有杂质的非本征半导体(P 形半导体或者 N 形半导体)。在杂质注入区域 22b 形成有漏极区域 29 和源极区域 30。

[0032] 在半导体层 22 中的漏极区域 29,经由形成于覆盖半导体层 22 的栅极绝缘膜 23 和第 1 层间绝缘膜 24 的接触孔 11,连接有漏极电极 27。同样地,在源极区域 30,经由形成于栅极绝缘膜 23 和第 1 层间绝缘膜 24 的接触孔 12,连接有源极电极 28。另外,经由设置于覆盖栅极总线 7 和源极总线 8 的第 2 层间绝缘膜 25 的通孔 10,漏极电极 27 电连接于像素电极 6。这时,在 TFT 基板 32 上,像素电极 6 与共用电极 4 重叠地配置,而在两电极间设置有绝缘膜 14。在此,若利用透明导电体形成共用电极 4,则与像素电极 6 重叠的共用电极 4 透射光,因而透射开口率扩大,能够有助于整体的透射率的提高。此外,也可以设为在相对基板 33 侧也形成有其它共用电极 4 的构成。像这样,在相对基板 33 侧形成其它共用电极 4 的情况下,能够在与像素电极 6 之间形成垂直方向的电场,因而能够在液晶模式下应用垂

直取向模式。

[0033] 在此,在本实施方式所涉及的像素 1 中,用于将共用电极 4 和共用配线 9 经由形成于第 2 层间绝缘膜 25 的通孔 10' 连接的接触孔 2 形成于第 1 层间绝缘膜 24。该接触孔 2 并非一定形成于所有像素 1,而是形成于一部分像素 1,拉开一定程度的间隔地形成。下面说明接触孔 2 的详细形成位置。

[0034] (接触孔 2 的配置)

[0035] 在像素 1 的共用电极 4 使用铟锡氧化物(ITO)电极等透明电极的情况下,与栅极电极 26 等其它电极相比配线电阻值变高,有可能引起串扰等显示质量的下降。在此,共用配线 9 是用栅极电极金属等的栅极电极层来形成的,因而与共用电极 4 相比为低电阻。对此,在本实施方式中,经由接触孔 2 连接共用电极 4 和共用配线 9。从而,可通过降低共用电极 4 的配线电阻来减少显示质量的下降。但是,在这种情况下,有可能发生因形成接触孔 2 而导致的像素开口率的下降以及由于接触孔 2 而引起的成品率的下降等。甚至,根据接触孔 2 的配置位置的不同,形成有接触孔 2 的像素 1 有可能看起来变成条纹等。因此,优选适当地分散、拉开间隔地形成接触孔 2。

[0036] 对此,本发明的发明人对随着接触孔 2 的配置位置而变化的显示质量进行了种种调查,发现如下的方式最能够不损害显示质量地将共用电极 4 的配线电阻低电阻化。参照图 1 说明该方式。图 1 是概略地示出本实施方式中的接触孔 2 的配置位置的图。

[0037] 如图 1 所示,本实施方式所涉及的像素阵列 5 是将一定的矩形的划分区域 20 所包含的多个像素 1 反复排列而成的。因此,划分区域 20 是像素阵列 5 的构成单位。在此,图中示出的 13 是形成有接触孔 2 的像素 1 (以下称为接触孔像素),与此相对,图中示出的 3 是没有形成接触孔 2 的像素 1。在本实施方式中,如图 4 所示,1 个像素 1 包括 3 个副像素(R 像素、G 像素、B 像素),在接触孔像素 13 中,将接触孔 2 形成于副像素的任 1 个(在本图的情况下为 B 像素)。这样,接触孔 2 不需要遍及接触孔像素 13 整体地形成,只要形成于构成像素 1 的副像素的任 1 个即可。另外,副像素不限于 R 像素、G 像素以及 B 像素,也可以是 4 个以上副像素,没有特别限定。

[0038] 本实施方式所涉及的像素阵列 5 中的接触孔像素 13 的配置位置的必要条件有 2 个。首先说明第 1 个。如图 1 所示,确定像素 Q1 ~ Q4,所述像素 Q1 ~ Q4 是最接近作为划分区域 20 内的 1 个接触孔像素 13 的像素 P 的 4 个接触孔像素 13。在由这 4 个像素 Q1 ~ Q4 形成的四边形中包含有上述的像素 P。本实施方式所涉及的划分区域 20 所包含的任意 1 个接触孔像素 13 是最接近像素 P 的 4 个像素 Q1 ~ Q4 中的任一个像素,或者是像素 Q1 ~ Q4 中的任一个像素并且是另一像素 P。即,划分区域 20 所包含的任意 1 个接触孔像素 13 是最接近另一接触孔像素 13 的 4 个接触孔像素 13 中的任一个接触孔像素 13,或者是最接近另一接触孔像素 13 的 4 个接触孔像素 13 中的任一个接触孔像素 13 并且是由最接近自身的 4 个接触孔像素 13 形成的四边形所包含的接触孔像素 13。

[0039] 而且,在本实施方式中,由上述的 4 个像素 Q1 ~ Q4 形成的四边形的 2 条对角线和栅极总线(线段 AB)所成的 2 个角度的差不到 30 度。即,像素 Q1 ~ Q4 以满足 $\text{abs}\{\angle \text{ABQ1} (= \angle \text{ABQ4}) - \angle \text{BAQ2} (= \angle \text{BAQ3})\} < 30$ 度的方式配置于像素 P 的周围。这样,若 $\angle \text{ABQ1}$ 和 $\angle \text{BAQ2}$ 的差不到 30 度,则接触孔像素 13 在像素阵列 5 上配置在斜方向上。这是因为,比起将接触孔像素 13 分别排列在纵方向或者横方向上,排列在斜方向上不会妨碍显示画

面的视觉识别性。以上是接触孔像素 13 的配置位置的第 1 个必要条件。

[0040] 接着,说明第 2 个必要条件。如图 1 所示,划分区域 20 内的任意 1 个接触孔像素 13 在划分区域 20 内单独地配置于某一条源极总线 8。就此,参照图 5 容易理解地进行说明。图 5 是概略地示出像素阵列 5 的图。在本图中,为了容易理解接触孔像素 13 的配置位置而缩小像素间隔地进行图示,像素间隔并不特别限定于此。

[0041] 如图 5 所示,在划分区域 20 内,在源极总线 S1 处,在栅极总线 G9 上配置有接触孔像素 13,在该源极总线 S1 处仅配置有 1 个接触孔像素 13。另外,在源极总线 S2 处,在栅极总线 G3 上配置有接触孔像素 13,在该源极总线 S2 处仅配置有 1 个接触孔像素 13。在源极总线 S3 ~ S9 中也同样在任 1 条栅极总线上仅配置有 1 个接触孔像素 13。这样,在划分区域 20 内,对 1 条源极总线 8 配置有 1 个接触孔像素 13。这是因为,在划分区域 20 内,若不在所有源极总线 8 处配置相同数目的接触孔像素 13,则会在总线彼此产生负荷差,有可能降低液晶显示装置的显示质量。因此,优选在划分区域 20 内的所有源极总线 8 处配置 1 个接触孔像素 13。以上是接触孔像素 13 的配置位置的第 2 个必要条件。

[0042] 因此,在本实施方式所涉及的像素阵列 5 中,接触孔像素 13 配置于满足上述 2 个必要条件那样的位置。从而,接触孔像素 13 适当地分散在像素阵列 5 上,因而能够防止接触孔像素 13 在显示画面上看起来变成条纹等。另外,接触孔 2 原本就是用于连接共用电极 4 和共用配线 9 的,因而可将共用电极 4 的配线电阻变为低电阻。即,根据本实施方式,能够实现以下两者:抑制由于接触孔 2 而引起的显示质量的下降;以及降低共用电极 4 的配线电阻。

[0043] 另外,在行方向上相邻的接触孔像素 13 彼此的间隔(图 1 所示的间隔 D)是分别鉴于共用电极 4 的配线电阻的减少范围和因配置接触孔像素 13 而导致的开口率的下降的允许量以及显示质量而决定的。这对于 1 个接触孔像素 13 和最接近它的 4 个接触孔像素 13 的距离也是同样的。

[0044] 本发明不限于上述实施方式,可在权利要求所示的范围内进行种种变更。即,将在权利要求所示的范围内适当地变更的技术方案组合而得到的实施方式也包含于本发明的技术范围内。

[0045] (实施方式的总括)

[0046] 如上,在本发明的一实施方式所涉及的液晶显示装置中,优选上述划分为:上述列的方向的长度是 40 个上述像素的长度、上述行的方向是 40 个上述像素的长度的矩形区域。

[0047] 另外,在本发明的一实施方式所涉及的液晶显示装置中,优选上述划分为:上述列的方向的长度是 80 个上述像素的长度、上述行的方向是 80 个上述像素的长度的矩形区域。

[0048] 根据上述构成,将适当地分散有接触孔的一定的划分区域反复排列,从而得到上述的适当地分散有接触孔的液晶显示装置。

[0049] 另外,在本发明的一实施方式所涉及的液晶显示装置中,其特征为:上述像素包括多个副像素,上述接触孔形成于多个上述副像素中的任一个上述副像素。

[0050] 根据上述构成,将接触孔形成于构成像素的多个副像素中的任一个副像素,从而能够充分实现以下两者:抑制由于接触孔而引起的显示质量的下降;以及降低共用电极的

配线电阻。

[0051] 另外,在本发明的一实施方式所涉及的液晶显示装置中,其特征在于:上述共用电极由透明导电体形成。

[0052] 根据上述构成,与像素电极重叠的共用电极是透射光的透明导电体,因而透射开口率扩大,能够有助于提高整体的透射率。

[0053] 另外,在本发明的一实施方式所涉及的液晶显示装置中,其特征在于:在上述第2基板上形成有其它上述共用电极。

[0054] 根据上述构成,在第2基板侧形成有共用电极的情况下,能够在与像素电极之间形成垂直方向的电场,因而能够在液晶模式下应用垂直取向模式。

[0055] 在说明书中给出的具体实施方式或实施例仅是阐明本发明的技术内容,不应该仅限于那样的具体例而狭义地解释,能够在本发明的精神和所记载的权利要求范围内做各种变更而实施。

[0056] 实施例

[0057] 下面,举出实施例更详细地说明本发明,但本发明只要不超出其要旨即可,并不限于这些实施例。

[0058] 遵守上述的接触孔像素(形成有接触孔的像素)的配置位置的2个必要条件而制作了2个液晶显示装置。首先,在第1个液晶显示装置中,制作了将40像素×40像素的划分区域反复排列而成的液晶显示装置。在划分区域内,以由最接近1个接触孔像素的4个接触孔像素形成的四边形的2个对角线和栅极总线所成的2个角度分别为45度的方式配置接触孔像素。另外,将配置于相邻的2条栅极总线的接触孔像素彼此的间隔设为9个像素。当使制作的液晶显示装置的开口率下降15%时,在显示画面上识别不到条纹等,得到了良好的显示质量。而且,当使制作的液晶显示装置的开口率下降30%时,几乎识别不到显示画面上的条纹等,得到了良好的显示质量。

[0059] 接着,在第2个液晶显示装置中,制作了将80像素×80像素的划分区域反复排列而成的液晶显示装置。在划分区域内,以由最接近1个接触孔像素的4个接触孔像素形成的四边形的2条对角线和栅极总线所成的2个角度分别为45度和66.8度的方式配置接触孔像素。另外,将配置于相邻的2条栅极总线的接触孔像素彼此的间隔设为11个像素。当使制作的液晶显示装置的开口率下降15%时,显示画面上的条纹等几乎不明显,得到了良好的显示质量。而且,当使制作的液晶显示装置的开口率下降30%时,显示画面上的条纹等几乎不明显,得到了良好的显示质量。

[0060] 如上,在划分区域内,将由最接近1个接触孔像素的4个接触孔像素形成的四边形的2个对角线和栅极总线所成的2个角度的差设为不到30度,而且,在划分区域内的所有源极总线上都配置1个接触孔像素,从而显示画面上的条纹等不明显,得到具有良好的显示质量的液晶显示装置。特别是,前一种液晶显示装置在显示画面上几乎识别不到条纹等,得到了更良好的显示质量,因此优选将上述2个角度分别设为45度或者接近45度的角度。

[0061] 工业上的可使用性

[0062] 本发明所涉及的液晶显示装置能够适用于个人电脑、移动电话、便携式信息终端、便携式音乐播放器或数码相机等电子设备的显示装置。

[0063] 附图标记说明

[0064]	1	像素
[0065]	2	接触孔
[0066]	3	未形成接触孔的像素
[0067]	4	共用电极
[0068]	5	像素阵列
[0069]	6	像素电极
[0070]	7	栅极总线
[0071]	8	源极总线
[0072]	9	共用配线
[0073]	10	通孔
[0074]	10'	通孔
[0075]	11	接触孔
[0076]	12	接触孔
[0077]	13	形成有接触孔的像素
[0078]	14	绝缘膜
[0079]	15	显示面板
[0080]	17	取向膜
[0081]	20	划分区域
[0082]	21	透明基板
[0083]	22	半导体层
[0084]	22a	沟道区域
[0085]	22b	杂质注入区域
[0086]	23	栅极绝缘膜
[0087]	24	第 1 层间绝缘膜
[0088]	25	第 2 层间绝缘膜
[0089]	26	栅极电极
[0090]	27	漏极电极
[0091]	28	源极电极
[0092]	29	漏极区域
[0093]	30	源极区域
[0094]	31	透明基板
[0095]	32	TFT 基板
[0096]	33	相对基板
[0097]	40	液晶层
[0098]	41	像素

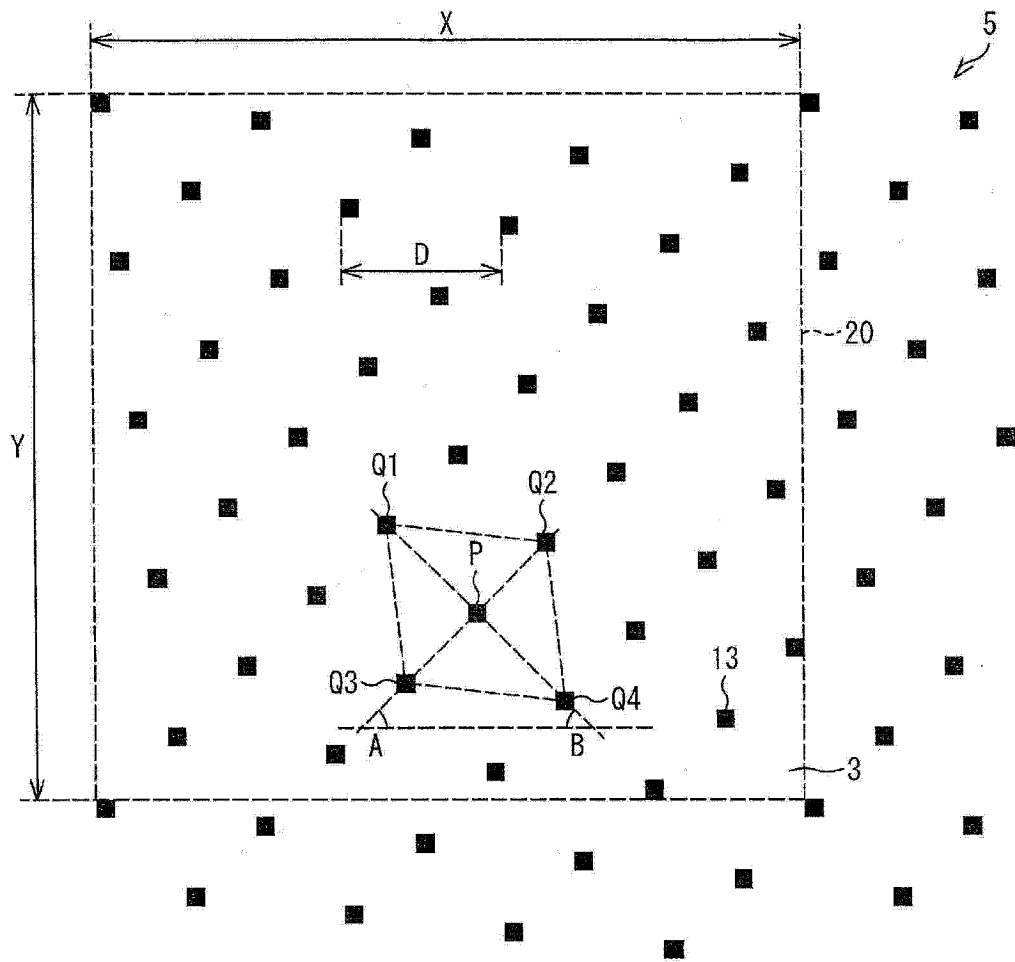


图 1

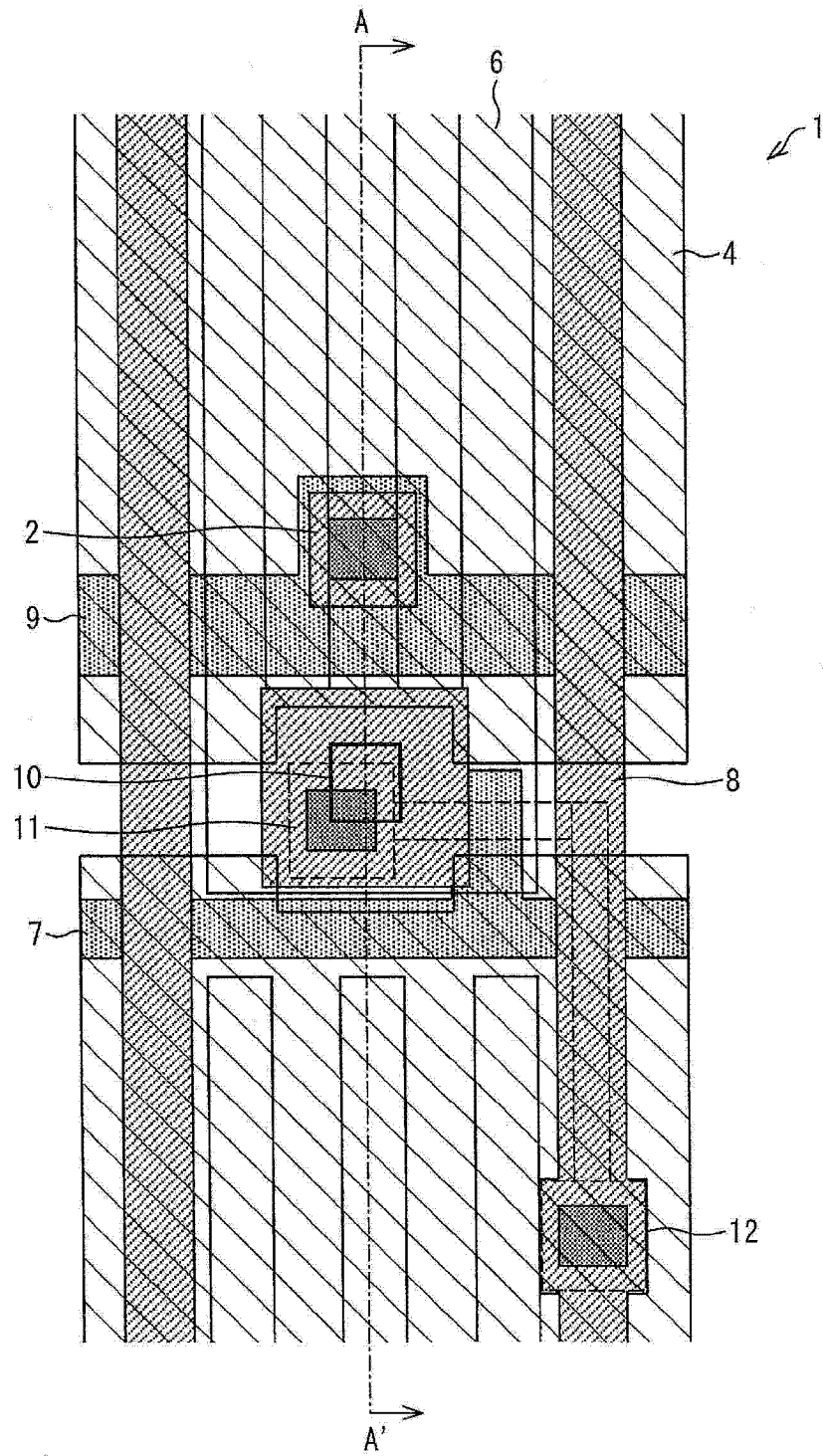


图 2

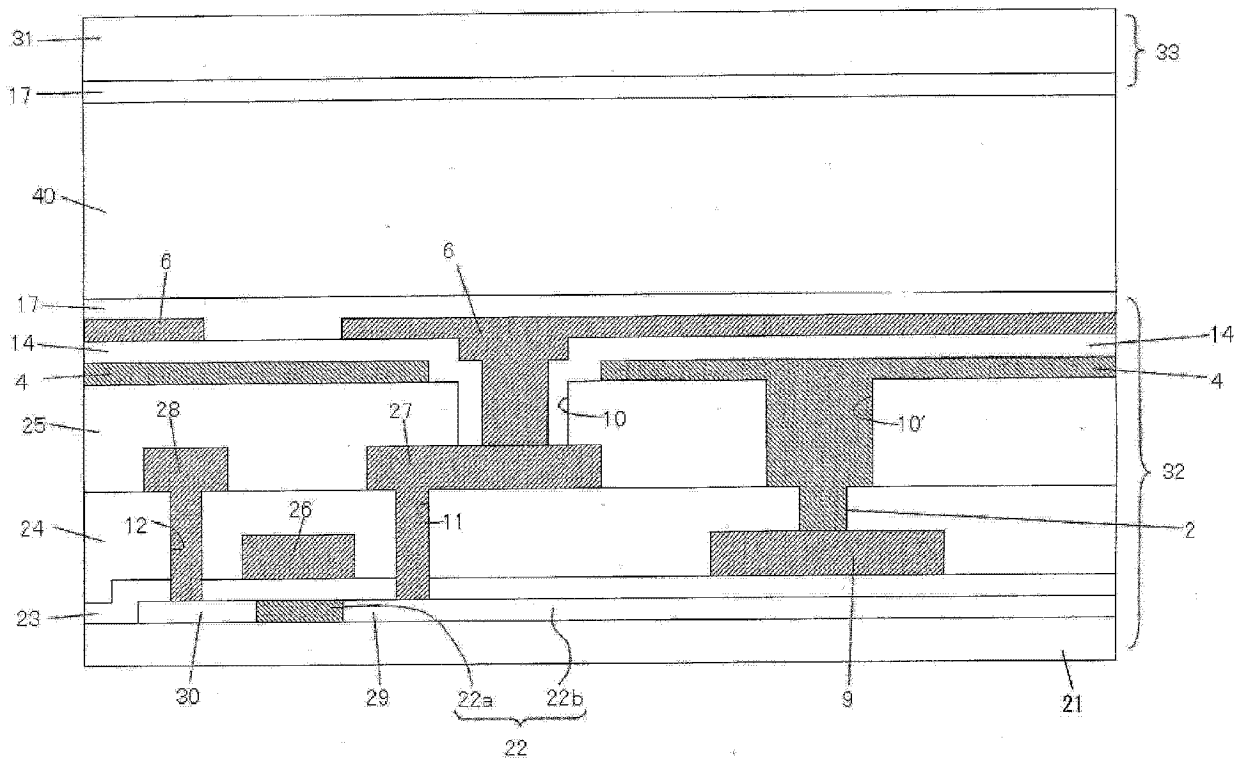


图 3

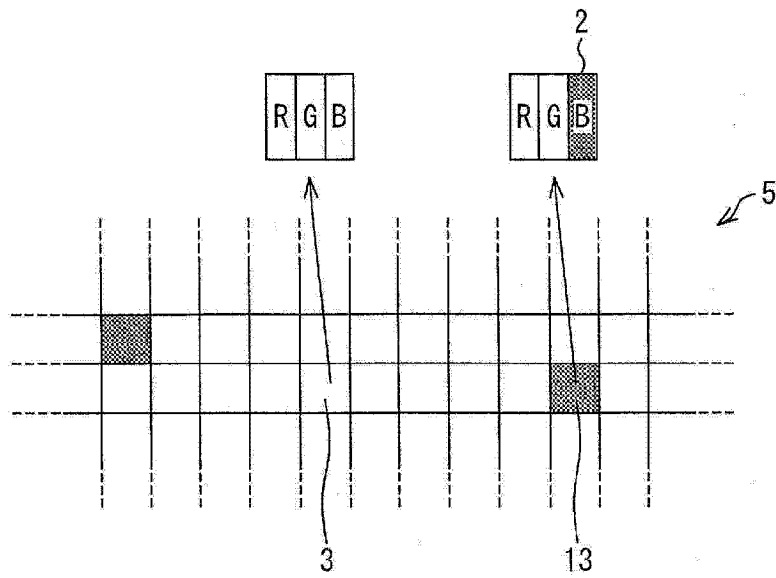


图 4

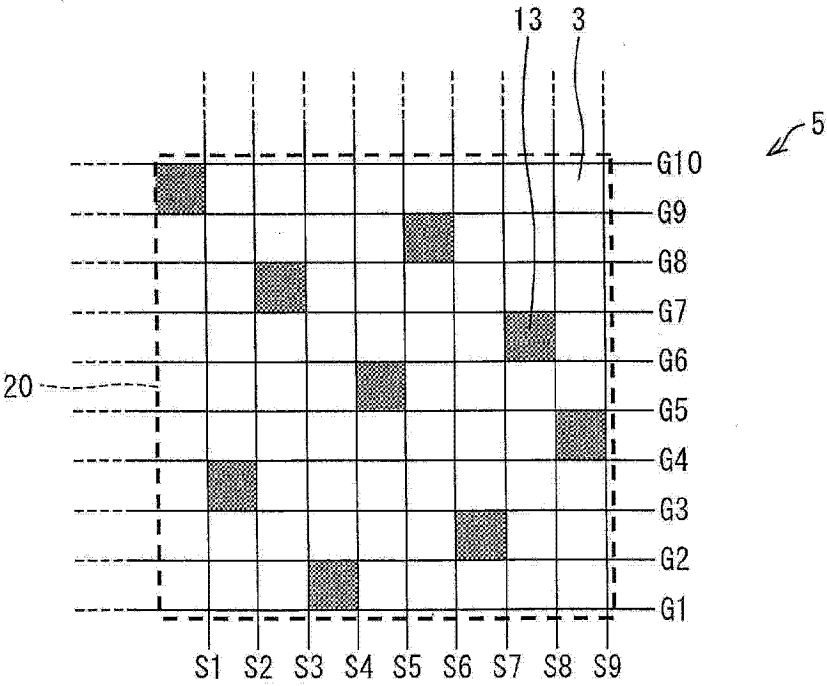


图 5

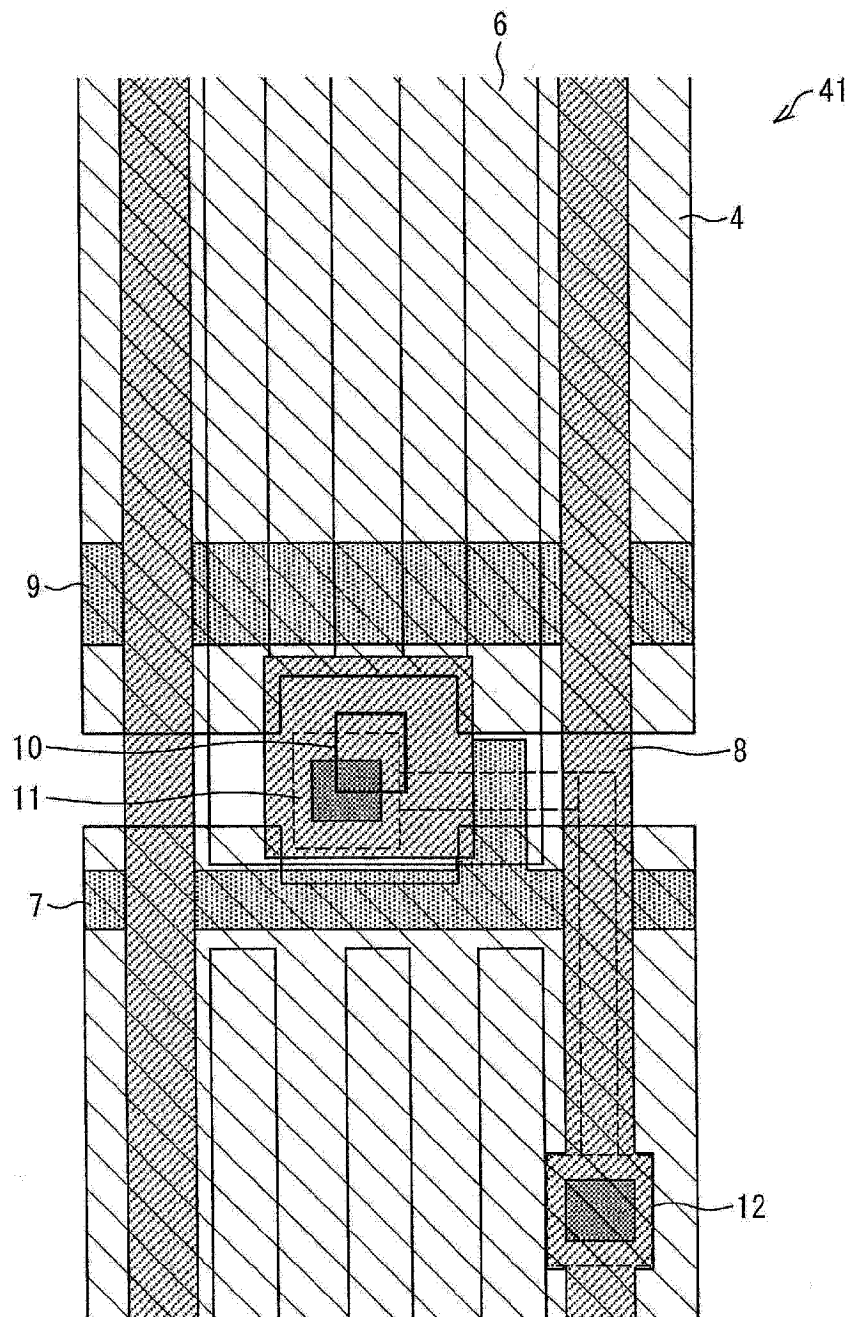


图 6

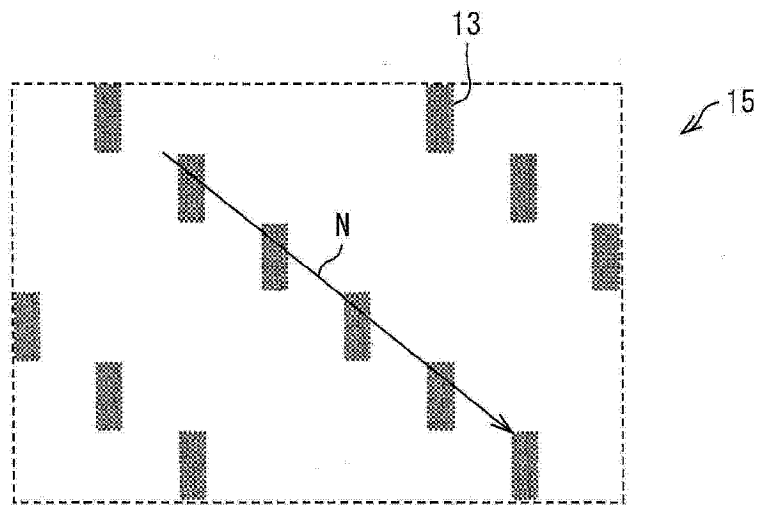


图 7

专利名称(译)	液晶显示装置		
公开(公告)号	CN103250092A	公开(公告)日	2013-08-14
申请号	CN201180058831.9	申请日	2011-12-21
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	川岛由纪 田坂泰俊 海濂泰佳 中西登		
发明人	川岛由纪 田坂泰俊 海濂泰佳 中西登		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/1343 G02F1/134336 G02F1/1368 G02F1/136227 G02F2201/40		
优先权	2010294115 2010-12-28 JP		
其他公开文献	CN103250092B		
外部链接	Espacenet SIPO		

摘要(译)

选择本发明所涉及的液晶显示装置的划分区域 (20) 内的任意1个像素P (接触孔像素 (13))。像素P是最接近另一像素P的4个像素Q1~Q4 (接触孔像素 (13)) 中的任一个像素, 或者是由最接近自身的4个像素Q1~Q4形成的四边形所包含的像素并且是最接近另一像素P的4个像素Q1~Q4中的任一个像素。而且, 由4个像素Q1~Q4形成的四边形的2条对角线和栅极总线 (线段AB) 所成的2个角度的差不到30度。另外, 在划分区域 (20) 内的各源极总线处配置有1个接触孔像素 (13)。

