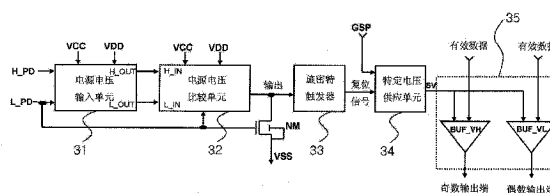




(45) 授权公告日 2015.02.25



1. 一种用于液晶显示器的源极驱动器电路,其特征在于,该电路包括:

一电源电压输入单元,配置以细分第一电源电压和第二电源电压,并分别输出下部分压和上部分压,使得在该第二电源电压保持中间电平的时间周期内该下部分压的电平高于该上部分压的电平;

一电源电压比较单元,配置以接收该电源电压输入单元的该下部分压和该上部分压作为下部输入电压和上部输入电压,比较该下部输入电压和该上部输入电压,并于该下部输入电压高于该上部输入电压的该时间周期内输出用于复位的输出电压;

一施密特触发器,配置以将该电源电压比较单元的输出电压输出为复位信号并防止对外部环境的敏感响应;

一特定电压供应单元,配置以在自该施密特触发器的复位信号的输入和第一栅极启动脉冲的输入之间的一时间周期内输出特定电压电平的电压;以及

一输出缓冲器单元,配置以在输出自该特定电压供应单元所供应的特定电压电平的电压之后输出有效数据,在电源开启之后立即将该有效数据供应至液晶显示面板的数据线。

2. 如权利要求1所述的源极驱动器电路,其特征在于,该第一电源电压包括用于驱动源极驱动器的逻辑电路的电源电压,并且第二电源电压包括用于驱动该源极驱动器的电源电压。

3. 如权利要求1所述的源极驱动器电路,其特征在于,该电源电压输入单元包括:

一上部 PMOS 晶体管,配置以响应上部关电信号而开启并传送该第二电源电压;

一上部分压输出部,配置以在一预定电阻比细分经该上部 PMOS 晶体管所输入的该第二电源电压,并输出该上部分压;

一下部晶体管,配置以响应下部关电信号而开启并传送该第一电源电压;以及

一下部分压输出部,配置以在一预定电阻比细分经该下部 PMOS 晶体管所输入的该第一电源电压,并输出该下部分压。

4. 如权利要求3所述的源极驱动器电路,其特征在于,该上部分压输出部设定预定电阻比,从而在该第二电源电压保持该中间电平的该时间周期内该下部分压的电平高于该上部分压的电平。

5. 如权利要求1所述的源极驱动器电路,其特征在于,该电源电压比较单元包括:

一使能部,配置以响应下部关电信号而自预备模式变为使能模式;

一比较部,配置以透过该使能部而供应有该第一电源电压、比较该下部输入电压和该上部输入电压以及根据比较的结果输出该输出电压;以及

一负载部,配置以允许该输出电压自该比较部产生。

6. 如权利要求1所述的源极驱动器电路,其特征在于,该输出缓冲器单元配置以通过共享输入端接收特定电压和有效数据,或通过开关选择性地接收特定电压和有效数据。

7. 如权利要求1所述的源极驱动器电路,其特征在于,进一步包括一 MOS 晶体管,配置以响应关电信号而开启并将该电源电压比较单元的输出信号降噪至接地端。

液晶显示器的源极驱动器电路

技术领域

[0001] 本发明涉及一种操作液晶显示器的源极驱动器的技术,尤其涉及液晶显示器(LCD)的源极驱动器电路,其可以防止当电源开启时自源极驱动器提供至 LCD 面板的噪声数据所致而显示的劣质影像。

背景技术

[0002] 通常, LCD 包括具有多个栅极线和多个数据线以矩阵形式垂直排列的像素区域的 LCD 面板、提供驱动信号和数据信号至 LCD 面板的驱动电路、以及为 LCD 面板提供光的背光。

[0003] 驱动器电路包括提供数据信号至 LCD 面板的各个数据线的源极驱动器、将栅极驱动脉冲施加至 LCD 面板的各个栅极线的栅极驱动器、以及时序控制器,其接收如自 LCD 面板的驱动系统输入的垂直和水平同步信号和时钟信号的显示数据和控制信号,并在适于源极驱动器和栅极驱动器重塑影像的时序输出所接收的显示数据和控制信号。

[0004] 图 1 说明了传统 LCD 面板的加电顺序。

[0005] 当第一电源电压 VCC 上升至目标电平时,第二电源电压 VDD 上升至中间电平。此时,复位信号 Reset 开始朝向目标电平上升,并且第二电源电压 VDD 于中间电平保持时间 t_1 然后上升至最终目标电平。当时间 t_2 消逝时,复位信号 Reset 达到目标电平。当时间 t_3 消逝并且时间 t_4 开始时,提供第一栅极启动脉冲 GSP,然后通过时序控制器和源极驱动器开始提供有效数据。第一电源电压 VCC 是指驱动源极驱动器的逻辑电路的电源电压,而第二电源电压 VDD 是指驱动源极驱动器的电源电压。

[0006] 如上所述,在有效数据自源极驱动器提供至 LCD 面板之前两个电源电压 VCC 和 VDD 以时间差而提供。在此情况下,包括于源极驱动器内的输出缓冲器的输入端浮动,并且因此不清晰的噪声数据提供至 LCD 面板。因此,噪声影像显示在如图 2(a) 所示的时间周期 t_2 和 t_3 内,并且在图 2(b) 所示的时间周期 t_4 之后实现正常显示操作。

[0007] 如此,当使用传统的源极驱动器时,不清晰的噪声数据在有效数据输出至 LCD 面板之前输出于 LCD 面板上。显示于 LCD 面板上的噪声影像给用户造成不舒服的感觉而且也降低了产品的可靠性。

发明内容

[0008] 需解决的课题

[0009] 因此,本发明致力于解决现有技术中的问题,并且本发明的目的是藉由在电源开启之后,有效数据自源极驱动器提供至 LCD 面板之前,通过包括于源极驱动器内的输出缓冲器供给特定电压电平的电压而防止噪声劣质影像的显示。

[0010] 本发明的技术问题并不仅限于前面所提及的目的,本发明的另一个技术课题及优点根据以下的说明可更明确理解。

[0011] 解决方法

[0012] 为了实现上述目的,根据本发明的一个方面,

[0013] 提供一种用于液晶显示器的源极驱动器电路,包括:配置以细分第一电源电压和第二电源电压使得第二电源电压的中间电平低于第一电源电压的电平的电源电压输入单元;

[0014] 配置以比较自电源电压输入单元输入的分压,并且在第二电源电压的中间电平高于第一电源电压的电平的时间周期内输出高电平的输出电压的电源电压比较单元;

[0015] 配置以将电源电压比较单元的输出电压输出为复位信号并防止对外部环境的敏感响应的施密特触发器;

[0016] 配置以在自施密特触发器的复位信号的输入与第一栅极启动脉冲的输入之间的时间周期内输出特定电平的电压的特定电压供应单元;以及

[0017] 配置以在输出自特定电压供应单元提供的特定电平的电压之后输出有效数据,在电源开启之后立即将该有效数据供应至液晶显示面板的数据线的输出缓冲器单元。

[0018] 为了实现上述目的,根据本发明的另一方面,

[0019] 提供一种用于液晶显示器的源极驱动器电路,包括:配置以在电源开启之后立即开启输出缓冲器的输出端和相应的数据线直至输入有效数据的多个输出开关;

[0020] 配置以在电源开启之后立即通过连接数据线实现电荷共享直至输入有效数据的多个电荷共享开关;以及

[0021] 配置以控制输出开关与电荷共享开关的开关操作的控制单元。

[0022] 发明效果

[0023] 本发明提供一种用于 LCD 的源极驱动器电路,其可以在电源开启之后,立即藉由将特定电压电平的电压强制提供至数据线,直至有效数据通过数据线提供至 LCD 面板而完全防止噪声劣质影像的显示。

[0024] 再者,在 LCD 中,连接至数据线的输出缓冲器的输出端开启直至电源开启之后立即通过数据线将有效数据输入至 LCD 面板,并且通过连接各个数据线而实现电荷共享。同样,可以完全地防止显示噪声劣质影像。

[0025] 因此,可以防止产品可靠性的降低。

附图说明

[0026] 图 1 为说明传统 LCD 面板的加电顺序的波形图;

[0027] 图 2(a) 和图 2(b) 为说明传统 LCD 中初始驱动运作而显示劣质影像之后的正常影像显示的示意图;

[0028] 图 3 为说明根据本发明实施例中用于 LCD 的源极驱动器电路的方块图;

[0029] 图 4 为说明图 3 的电源电压比较单元的详细电路图;

[0030] 图 5 为说明自图 3 的各个单元输出的信号的波形图;

[0031] 图 6 为说明图 3 的电源电压比较单元的详细电路图;

[0032] 图 7 为电源电压比较单元的输入电压和输出电压的波形图;

[0033] 图 8(a) 和图 8(b) 为说明根据本发明实施例中 LCD 的初始驱动运作于输入有效数据之后和之前的两种正常影像显示的示意图;以及

[0034] 图 9 为说明根据本发明另一实施例中用于 LCD 的源极驱动器电路的方块图。

具体实施方式

[0035] 以下将配合图式详细说明本发明的首选实施例。无论如何,相同的附图标记在这里将用于表示相同或相似的部分。

[0036] 图 3 为说明根据本发明的实施例中用于 LCD 的源极驱动器电路的方块图。参考图 3,源极驱动器电路包括电源电压输入单元 31、电源电压比较单元 32、施密特触发器 33、特定电压供应单元 34 以及输出缓冲器单元 35。

[0037] 电源电压输入单元 31 配置以在预定比例细分具有不同电平的第一电源电压 VCC 和第二电源电压 VDD。

[0038] 图 4 为说明电源电压输入单元 31 的实施例的电路图。电源电压输入单元 31 包括开关 PMOS 晶体管 HP1、上部分压输出部 41、开关 PMOS 晶体管 LP1 以及下部分压输出部 42。

[0039] 如图 5 所示,PMOS 晶体管开启以响应时间周期 t_1 内的上部关电信号 H_PD ,其中第二电源电压 VDD 在时间周期 t_1 内保持中间电平。因此,第二电源电压 VDD 通过 PMOS 晶体管 HP1 传送至上部分压输出部 41。上部分压输出部 41 通过使用串联的两个电阻 HR1 和 HR2 细分通过 PMOS 晶体管 HP1 提供的第二电源电压 VDD,并提供上部分压 H_OUT 作为电源电压比较单元 32 的上部输入电压 H_IN 。

[0040] 再者,在时间周期 t_1 内,PMOS 晶体管 LP1 开启以响应下部关电信号 L_PD 。因此,第一电源电压 VCC 通过 PMOS 晶体管 LP1 传送至下部分压输出部 42。下部分压输出部 42 通过使用串联的两个电阻 LR1 和 LR2 细分通过 PMOS 晶体管 LP1 提供的第一电源电压 VCC,并提供下部分压 L_OUT 作为电源电压比较单元 32 的下部输入电压 L_IN 。

[0041] 如图 7 所示,开始时,第一电源电压 VCC 低于第二电源电压的中间电平。然而,在时间周期 t_1 提供至电源电压比较单元 32 的下部输入电压 L_IN 通过适当地设定上部分压输出部 41 的电阻 HR1 和 HR2 的比例以及下部分压输出部 42 的电阻 LR1 和 LR2 的比例而调整为高于上部输入电压 H_IN 。

[0042] 电源电压比较单元 32 比较下部输入电压 L_IN 和上部输入电压 H_IN ,其中该下部输入电压 L_IN 和上部输入电压 H_IN 自电源电压输入单元 31 输入,并在下部输入电压 L_IN 高于上部输入电压 H_IN 的时间周期 t_1 内输出高电平的输出信号 OUT(参考图 7)。

[0043] 图 6 为说明电源电压比较单元 32 的实施例的电路图。如图 6 所示,电源电压比较单元 32 包括使能部 61、比较部 62 以及负载部 63。

[0044] 使能部 61 包括串联的 PMOS 晶体管 CP1 和 CP2。PMOS 晶体管 CP1 开启以响应在时间周期 t_1 内提供的低电平的关电信号 PD。因此,第一电源电压 VCC 通过 PMOS 晶体管 CP1 和 CP2 传送至比较部 62。

[0045] 比较部 62 包括 PMOS 晶体管 CP3 和 CP4。PMOS 晶体管 CP3 和 CP4 分别通过公共源极节点 N1 被提供为具有第一电源电压 VCC,以及通过其栅极被提供为具有下部输入电压 L_IN 和上部输入电压 H_IN 。

[0046] 如上所述,由于在时间周期 t_1 内下部输入电压 L_IN 高于上部输入电压 H_IN ,故 PMOS 晶体管 CP3 关闭,而 PMOS 晶体管 CP4 开启。

[0047] 负载部 63 包括 NMOS 晶体管 CN1 和 CN2。由于 PMOS 晶体管 CP3 关闭,故节点 N1 处于低电平。因此,NMOS 晶体管 CN1 和 CN2 保持关闭状态。

[0048] 因此,如图 7 所示,高电平的输出电压 OUT 通过比较部 62 的 PMOS 晶体管 CP4 输出。

[0049] 因此,如图 5 和图 7 所示,电源电压比较单元 32 在第一电源电压 VCC 上升至目标电平的时间周期内输出高电平的复位信号 Reset,随后第二电源电压 VDD 开始上升至最终目标电平,也就是说,在时间周期 t1 内第二电源电压 VDD 保持在中间电平。

[0050] 当自电源电压比较单元 32 产生的输出电压 OUT 用作为复位信号 Reset 时,施密特触发器 33 保持复位信号 Reset 的稳定波形,而没有过于敏感地响应外部环境(噪声)。

[0051] 如图 5 所示,特定电压供应单元 34 逻辑地结合复位信号 Reset 和特定电压 SV,并在时间周期 t2 和 t3 内输出特定电压 SV。自特定电压供应单元 34 输出的特定电压 SV 通过输出缓冲器单元 35 的输出缓冲器 BUF1 与 BUF2 提供至 LCD 面板的数据线。虽然一对输出缓冲器 BUF1 和 BUF2 提供于图 3 的输出缓冲器单元 35 中,必要时输出缓冲器可依需求而多多提供。

[0052] 因此,如图 8(a) 所示,LCD 面板上没有显示出不清晰的噪声影像。

[0053] 此后,在时间周期 t4 之后,特定电压 SV 不再提供至输出缓冲器单元 35 的输出缓冲器 BUF1 和 BUF2,并且通过输出缓冲器 BUF1 和 BUF2 将有效数据提供至 LCD 面板的数据线。

[0054] 因此,如图 8(b) 所示,正常影像藉由有效数据来显示。

[0055] 输出缓冲器单元 35 的输出缓冲器 BUF1 和 BUF2 可以通过具有时间差的单一输入端接收特定电压 SV 和有效数据,或者可以通过独立开关选择性地接收特定电压 SV 和有效数据。

[0056] 参考图 3,在时间周期 t2 和 t3 消逝之后,NMOS 晶体管 NM 开启以响应下部关电信号 L_PD,并将电源电压比较单元 32 的输出电压 OUT 降噪至接地端 VSS,从而使输出电压 OUT 无效。

[0057] 图 9 为说明根据本发明的另一实施例中用于 LCD 的源极驱动器电路的方块图。参考图 9,源极驱动器电路包括输出缓冲器 BUF1、BUF2、BUF3 以及 BUF4、输出开关 SW_OUT1、SW_OUT2、SW_OUT3 和 SW_OUT4、以及电荷共享开关 SW_CS1、SW_CS2、SW_CS3 和 SW_CS4。

[0058] 在正常状态中,在控制单元如时序控制器的控制下,连接至数据线的输出开关 SW_OUT1 将输出缓冲器 BUF1 的输出端或输出缓冲器 BUF2 的输出端连接至奇数输出端 OUTPUT<odd>。此外,在控制单元的控制下,连接至数据线的输出开关 SW_OUT2 将输出缓冲器 BUF1 的输出端或输出缓冲器 BUF2 的输出端连接至偶数输出端 OUTPUT<even>。

[0059] 类似地,连接至另一数据线的输出开关 SW_OUT3 和 SW_OUT4 将输出缓冲器 BUF3 和 BUF4 的输出端连接至奇数输出端 OUTPUT<odd> 和偶数输出端 OUTPUT<even>。

[0060] 输出开关 SW_OUT1、SW_OUT2、SW_OUT3 以及 SW_OUT4 配置为在可以输入不清晰的数据的时间周期 t2 和 t3 内通过控制单元关闭。因此,无法防止不清晰的噪声数据在时间周期 t2 和 t3 内输入并显示于 LCD 面板上。

[0061] 然而,当输出开关 SW_OUT1、SW_OUT2、SW_OUT3 和 SW_OUT4 在时间周期 t2 和 t3 内简单地关闭的情况下,可以通过数据电压显示轻微的噪声影像,其中该数据电压不均匀地保留在数据线上。

[0062] 为了防止此现象,在本实施例中,在控制单元的控制下关闭所有的电荷共享开关 SW_CS1、SW_CS2、SW_CS3 和 SW_CS4。因此,连接至多个奇数输出端 OUTPUT<odd> 和多个偶数输出端 OUTPUT<even> 的各个数据线连接并且电荷共享。因此,可以更加完全地防止噪声影

像在时间周期 t2 和 t3 内显示。另外,可以显示具有清晰色彩的影像。

[0063] 虽然通过在时间周期 t2 和 t3 内连接各个数据线而共享电荷可以防止噪声影像显示的技术应用于一交叉结构,其中输出开关 SW_OUT1 和 SW_OUT2 选择性地接收输出缓冲器 BUF1 和 BUF2 的输出信号,并且输出开关 SW_OUT3 和 SW_OUT4 选择性地接收输出缓冲器 BUF3 和 BUF4 的输出信号,但本发明并不局限于此。例如,当上述技术应用于输出缓冲器 BUF1 至 BUF4 的输出信号和输出开关 SW_OUT1 至 SW_OUT4 为 1 : 1 对应连接的结构时,可以获得相同的效果。

[0064] 虽然上述本发明的首选实施例为说明性目的,熟悉本领域的技术人员可以理解地是,在不脱离所附权利要求揭露的本发明的范围和精神下,可以对本发明作出各种修改、添加及替换。

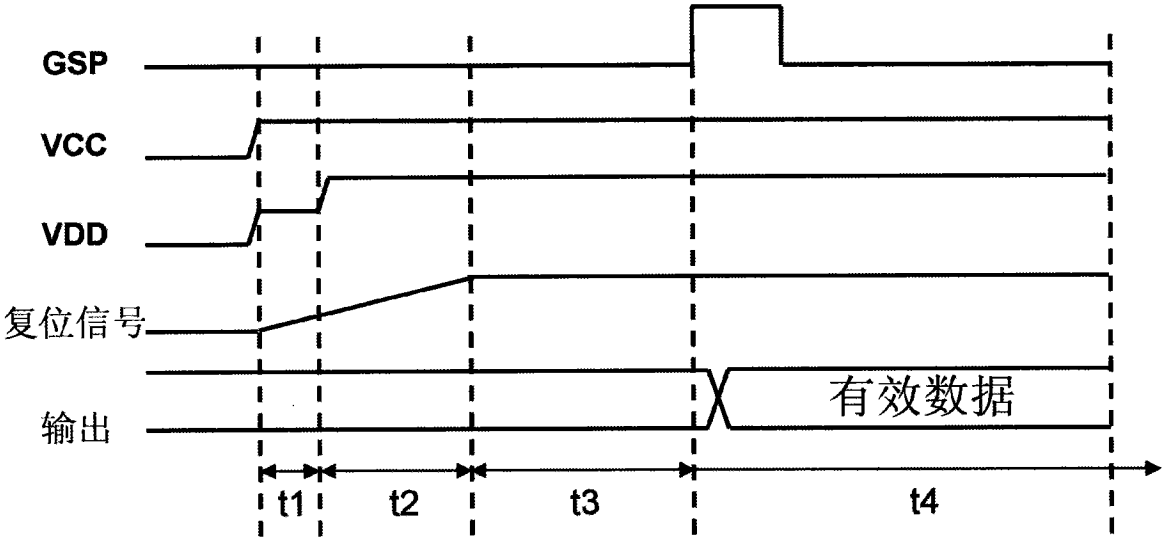


图 1

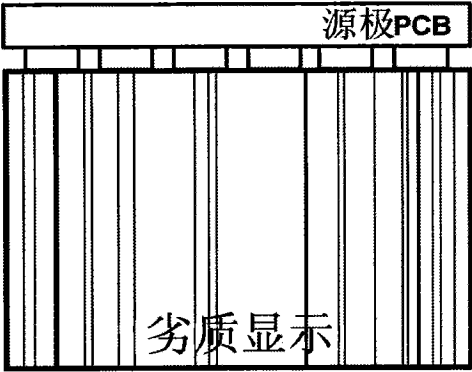


图 2(a)

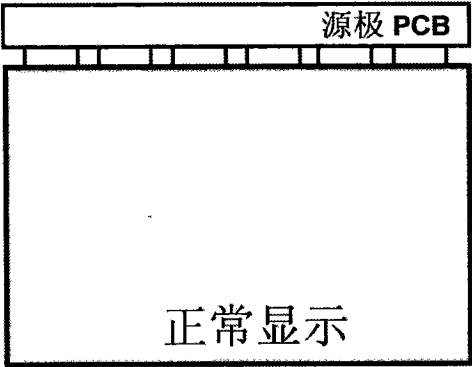


图 2(b)

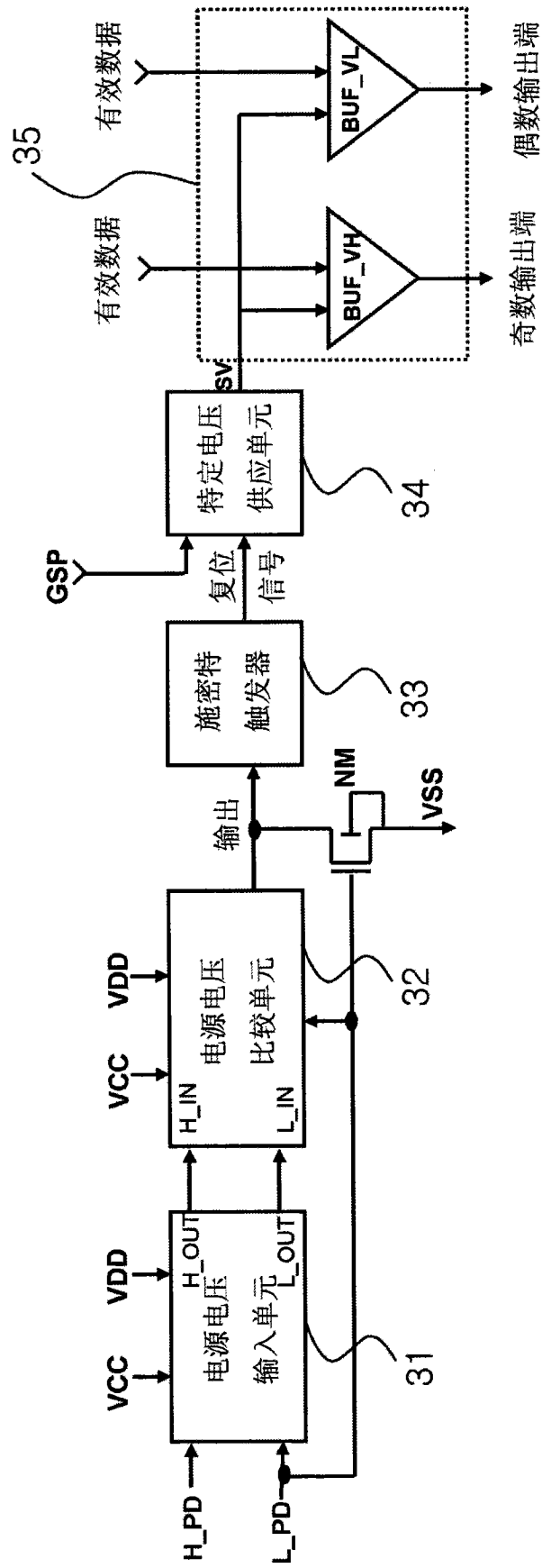


图 3

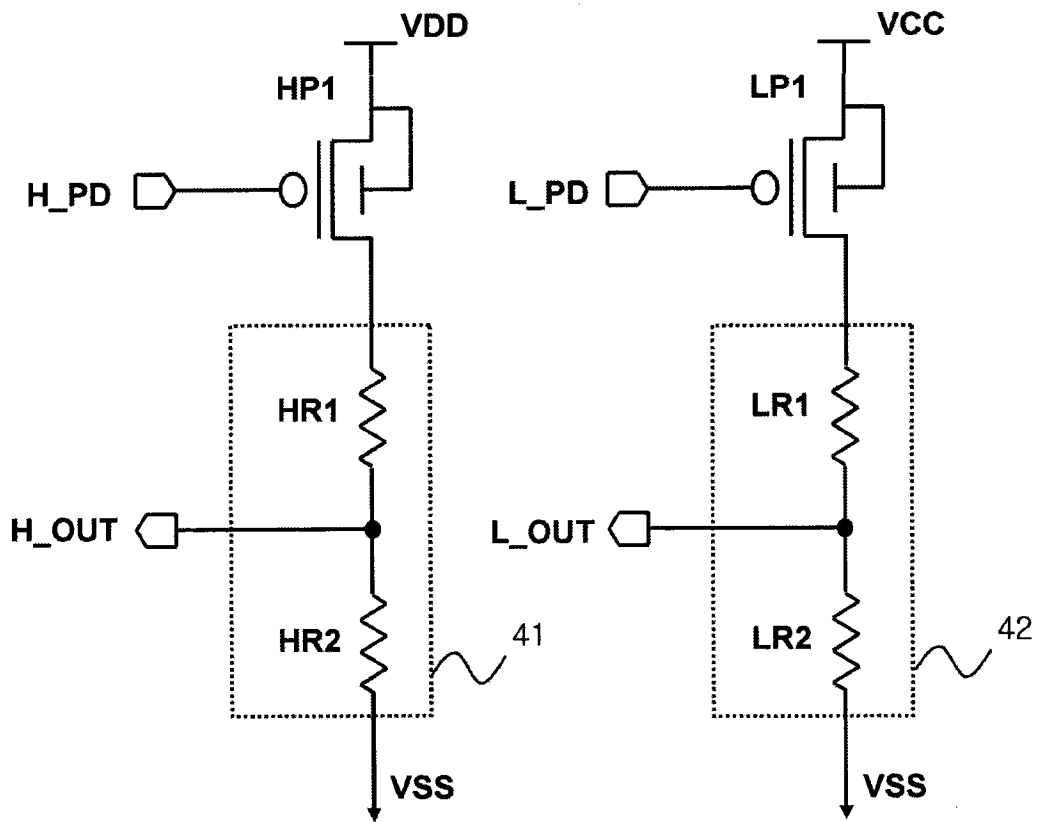


图 4

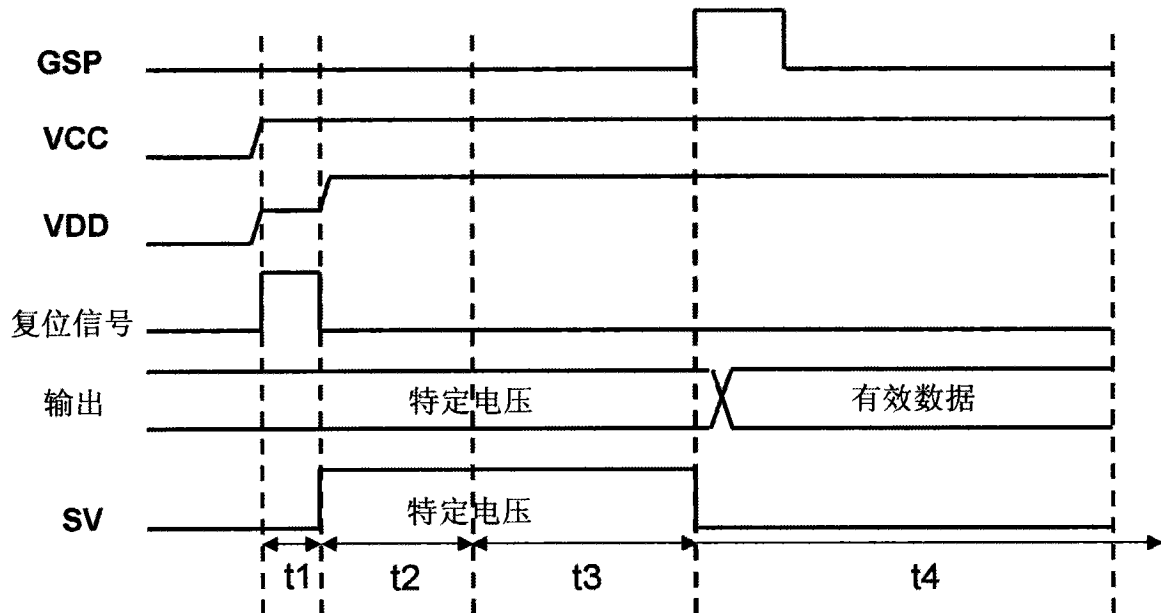


图 5

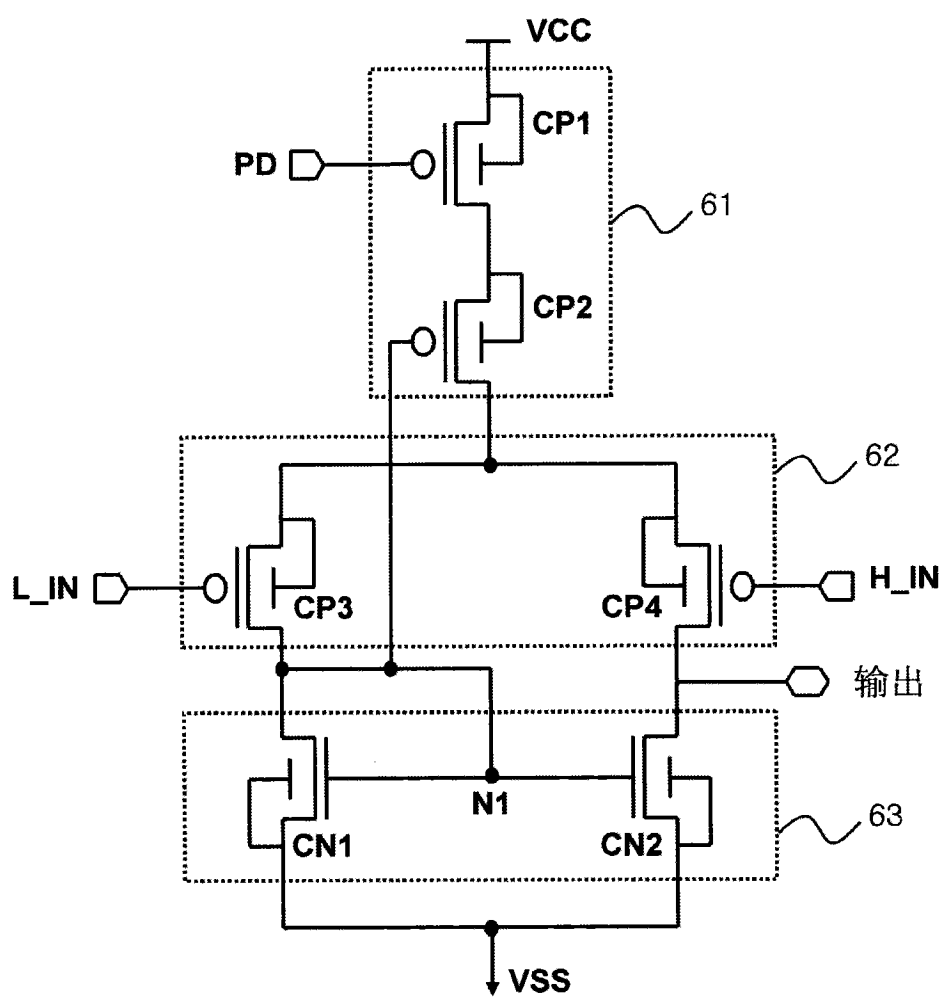


图 6

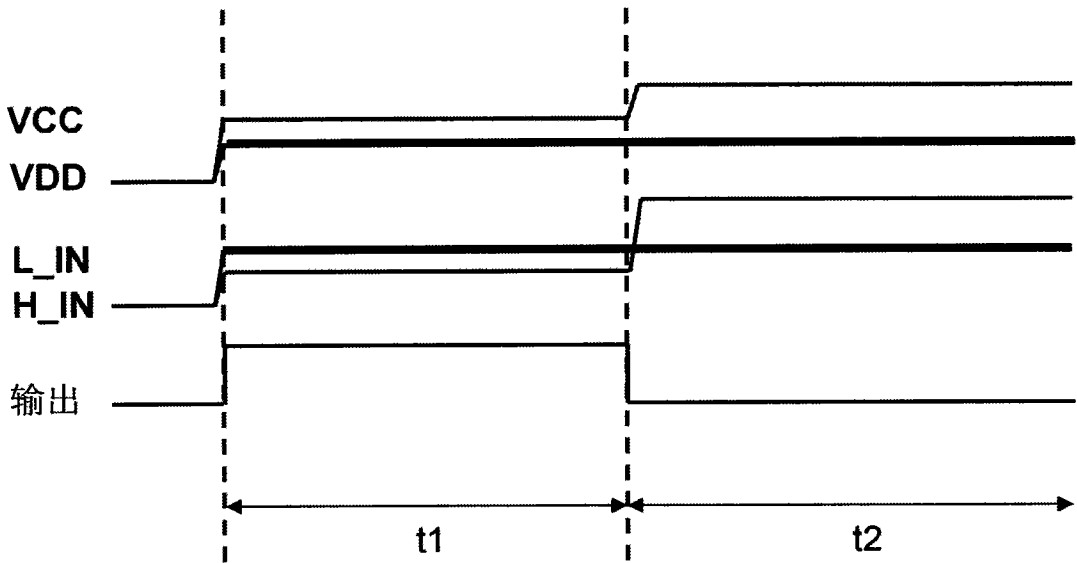


图 7

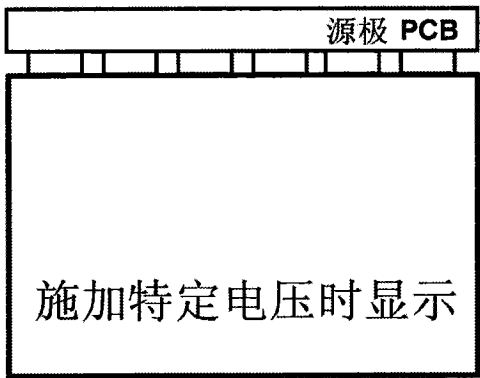


图 8(a)

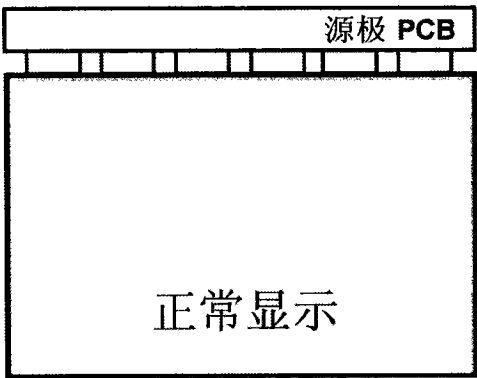


图 8(b)

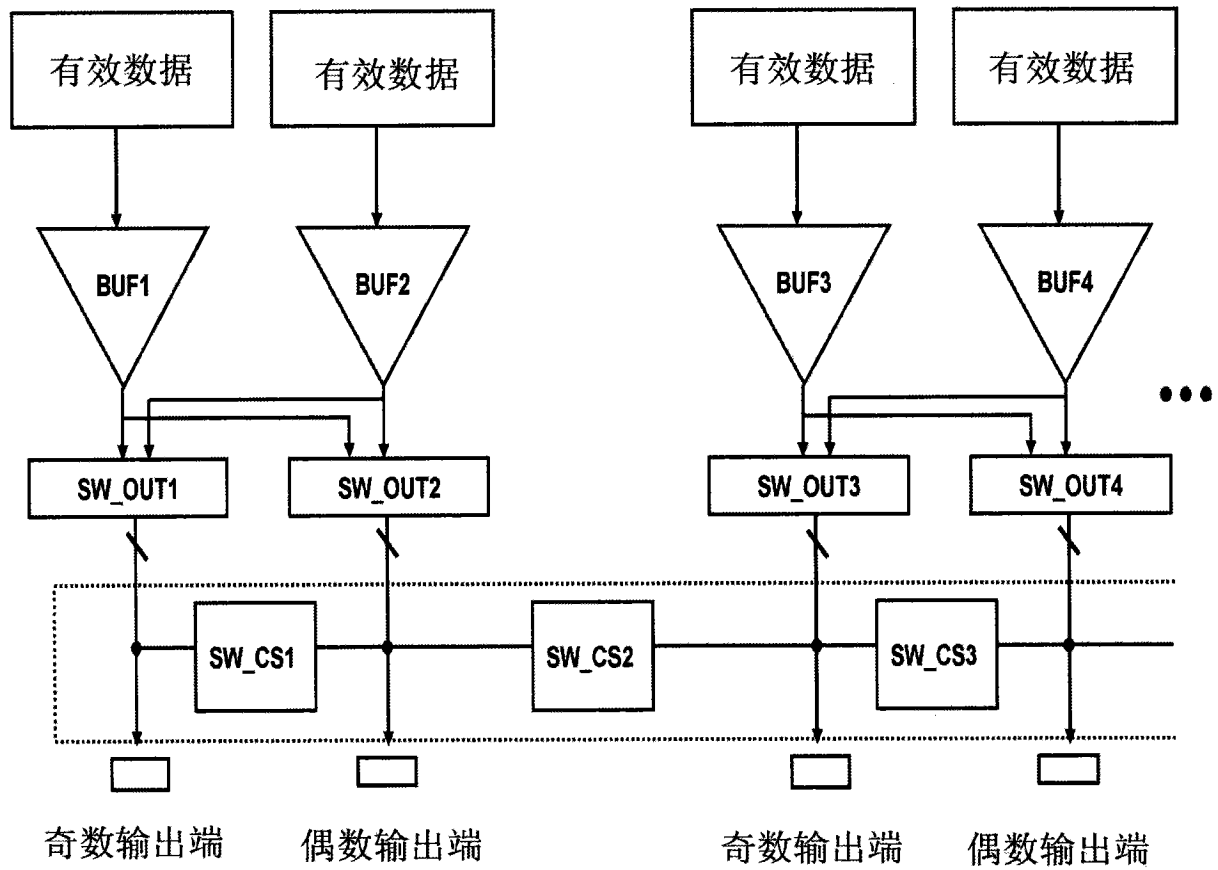


图 9

专利名称(译)	液晶显示器的源极驱动器电路		
公开(公告)号	CN102770898B	公开(公告)日	2015-02-25
申请号	CN201080062671.0	申请日	2010-03-12
[标]申请(专利权)人(译)	硅工厂股份有限公司		
申请(专利权)人(译)	硅工厂股份有限公司		
当前申请(专利权)人(译)	硅工厂股份有限公司		
[标]发明人	林宪用 崔丁焕 金彦泳 罗俊晔 金大成 韩大根		
发明人	林宪用 崔丁焕 金彦泳 罗俊晔 金大成 韩大根		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G2330/026 G09G2330/06 G09G2310/0291 G09G3/3688		
代理人(译)	刘俊		
审查员(译)	林峰		
优先权	1020100008474 2010-01-29 KR		
其他公开文献	CN102770898A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种当液晶显示装置开启时，防止在输入有效数据之前显示噪声数据的技术。本发明包括：电源电压输入单元，其细分VCC电源电压和VDD电源电压，并且输出分压，其中该电压被细分并且通过将VDD电源电压的中间电平设置为低于VCC电源电压的电平来输出；电源电压比较器，比较电源电压输入单元细分之后所输入的电压，并且在一阶段内输出“高”状态的输出电压，其中在该阶段内VCC电源电压的电平显示为比VDD电源电压的中间电平更高的状态；施密特触发器，将电源电压比较器的输出电压输出为复位信号，并防止该复位信号对外部环境的敏感响应；以及特定电压供应器，在第一栅极启动脉冲与自施密特触发器输入的复位信号之间的阶段内输出特定电平的电压。

