



## (12) 发明专利

(10) 授权公告号 CN 101369081 B

(45) 授权公告日 2010.12.08

(21) 申请号 200810129876.0

审查员 朱艳艳

(22) 申请日 2008.08.14

(30) 优先权数据

212435/2007 2007.08.16 JP

212815/2007 2007.08.17 JP

(73) 专利权人 索尼公司

地址 日本东京都

(72) 发明人 樱井彻 森藤东吾 山本宥司

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 马高平

(51) Int. Cl.

G02F 1/1362(2006.01)

G02F 1/1343(2006.01)

H01L 27/12(2006.01)

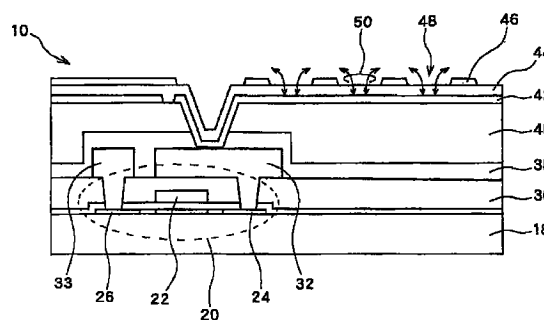
权利要求书 1 页 说明书 9 页 附图 4 页

(54) 发明名称

液晶显示装置

(57) 摘要

本发明涉及一种液晶显示装置。在该液晶显示装置中,通过提高设置于一对电极之间的绝缘膜的密合性来谋求显示品质的提高。该液晶显示装置,由相对的一对基板挟持液晶,在一对基板的一方的基板上隔着 FFS 绝缘膜设置驱动液晶的一对电极。作为一对基板中的一方基板的元件基板(10)包含透光性基板(18)、形成于其上的像素 TFT(20)、钝化膜(38)、平坦化膜(40)、像素电极(42)、FFS 绝缘膜(44)和共用电极(46)。形成于像素电极(42)和共用电极(46)之间的 FFS 绝缘膜(44)是压缩应力大于等于 0 且小于等于  $5 \times 10^4 \text{N/cm}^2$  的膜。



1. 一种液晶显示装置,由相对的一对基板挟持液晶,在所述一对基板中的一方基板上隔着绝缘膜设置驱动所述液晶的一对电极,该一对电极包括下部电极及上部电极,其特征为,

所述上部电极配置于所述绝缘膜的所述液晶侧并且设有开口部;

所述下部电极形成在包括有机绝缘膜的平坦化膜上;

所述绝缘膜是包含氮化硅膜的无机绝缘膜,其与所述平坦化膜及所述下部电极密合,并且是压缩应力大于等于 0 且小于等于  $5 \times 10^4 \text{N/cm}^2$  的膜。

2. 根据权利要求 1 所述的液晶显示装置,其特征为,

由所述绝缘膜和所述一对电极形成保持电容。

3. 根据权利要求 1 所述的液晶显示装置,其特征为,

所述一对电极,一方的电极是像素电极,另一方的电极是共用电极。

4. 根据权利要求 3 所述的液晶显示装置,其特征为,

所述一对电极中的至少一方由透明导电膜形成。

5. 根据权利要求 2 所述的液晶显示装置,其特征为,

所述绝缘膜,其折射率大于等于 1.46 且小于等于 2.00、介电常数大于等于 4 且小于等于 7。

6. 根据权利要求 1 所述的液晶显示装置,其特征为,

所述绝缘膜在不使所述平坦化膜及所述下部电极变质的条件下形成。

## 液晶显示装置

### 技术领域

[0001] 本发明涉及一种液晶显示装置,特别涉及由相对的一对基板挟持液晶、在所述一对基板上隔着绝缘层设置驱动所述液晶的一对电极的液晶显示装置。

### 背景技术

[0002] 作为液晶显示装置的显示方式,以往 TN(Twisted Nematic,扭曲向列)方式一直被广泛使用,但是该方式在显示原理上,对视场角存在限制。作为解决该方法,横向电场方式已为众所周知,该横向电场方式在同一基板上形成像素电极和共用电极,对该像素电极和共用电极之间施加电压,使之发生与基板大致平行的电场,在与基板面基本平行的面内驱动液晶分子。

[0003] 在横向电场方式中,IPS(In Plane Switching,平面内开关)方式和 FFS(Fringe Field Switching,边缘场开关)方式已为众所周知。就 IPS 方式而言,要组合配置梳状的像素电极和梳状的共用电极。就 FFS 方式而言,对于隔着绝缘层所形成的上部电极和下部电极,将任意一方分配为共用电极,将另一方分配为像素电极,在上部电极上作为连通电场的开口形成例如缝隙等。

[0004] 作为上部电极和下部电极之间的绝缘层,在专利文献 1 中公示出,一种对于由隔着绝缘膜的上下 2 层 ITO 构成像素电极和共用信号电极的情形,作为上下 ITO 之间的绝缘层由 TFT 的表面保护绝缘层的一层来构成的例子以及由 TFT 的栅绝缘膜来构成的例子。

[0005] 专利文献 1 特开 2001-183685 号公报

[0006] 在液晶显示装置中,为了抑制驱动液晶时的像素电位变化,设置有保持电容。在 FFS 方式的情况下,可以利用上部电极和下部电极之间的绝缘膜,将在上部电极和下部电极之间的重合部分形成的电容作为保持电容来使用。为了使保持电容成为小型且较大的电容值,需要提高上部电极和下部电极之间绝缘膜的膜特性。

[0007] 在 FFS 方式的情况下,在元件侧玻璃基板上形成晶体管之后形成平坦化膜,并在其上依次叠层形成下部电极、绝缘膜及上部电极。这样,因为在多个膜形成工序之中形成绝缘膜,所以绝缘膜在和其前后的膜之间的关系上密合性出现变化,根据情况的不同有时在膜间发生剥离。若绝缘膜发生了剥离,则会发生上部电极和下部电极之间的绝缘性被破坏、驱动液晶的电场紊乱、作为保持电容的特性大幅下降等的问题,并且液晶显示装置的显示品质下降。

### 发明内容

[0008] 本发明的目的在于提供一种能够通过提高形成于上部电极和下部电极之间的绝缘膜的密合性来谋求显示品质提高的液晶显示装置。

[0009] 本发明是基于发现了对于 FFS 方式的液晶显示装置来说,在形成了上部电极和下部电极之间的绝缘膜时,在成膜后的绝缘膜的残余应力大小和下述的密合性之间存在一定的关系,该密合性是绝缘膜和其他膜之间的密合性。也就是说,只要绝缘膜的残余应力在某

个范围内,密合性就可以维持为大致一定的值,但是若超过了某个范围,则在和其他膜之间发生绝缘膜的剥离。下面的方法是基于该结果而得出的。

[0010] 本发明所涉及的液晶显示装置,由相对的一对基板挟持液晶,在所述一对基板的一方的基板上隔着绝缘膜设置驱动所述液晶的一对电极,其特征为,所述绝缘膜是压缩应力大于等于 0 且小于等于  $5 \times 10^4 \text{N/cm}^2$  的膜。根据实验,只要是该范围的压缩应力,就不会发生绝缘膜的剥离,使用该绝缘膜,能够实现显示品质优良的液晶显示装置。

[0011] 另外,在本发明所涉及的液晶显示装置中,优选,由所述绝缘膜和所述一对电极形成保持电容。例如,与使用像素 TFT 的栅膜形成保持电容的情形相比,使保持电容的设计性得到提高。

[0012] 另外,在本发明所涉及的液晶显示装置中,优选,所述绝缘膜是无机绝缘膜。另外,在本发明所涉及的液晶显示装置中,优选,所述绝缘膜包含氮化硅膜或氧化硅膜或者氮氧化硅膜中的至少一种。一般来说无机绝缘膜与有无绝缘膜相比介电常数更高,因而可以获得优良的电容特性。

[0013] 另外,在本发明所涉及的液晶显示装置中,优选,在所述一对基板的一方基板上形成晶体管,在其上成膜的平坦化膜,在该平坦化膜上隔着所述绝缘膜形成所述一对电极。即便在平坦化膜上形成绝缘膜,只要在所述压缩应力的范围内,就不发生绝缘膜的剥离,可以实现显示特性优良的液晶显示装置。

[0014] 另外,在本发明所涉及的液晶显示装置中,优选,所述一对电极其一方侧的电极是像素电极,另一方的电极是共用电极。另外,在本发明所涉及的液晶显示装置中,优选,所述一对电极的至少一方分别由透明导电膜形成。另外,在本发明所涉及的液晶显示装置中,优选,在所述一对电极之中配置于所述液晶侧的电极上,设有开口部。

[0015] 另外,在本发明所涉及的液晶显示装置中,其特征为,所述无机绝缘膜,折射率大于等于 1.46 且小于等于 2.00,介电常数大于等于 4 且小于等于 7。据此,能够作为液晶显示装置的保持电容确保充分的膜特性,使液晶显示装置的显示品质得到提高。

[0016] 另外,在本发明所涉及的液晶显示装置中,其特征为,在所述一对基板的一方基板上形成晶体管,在其上成膜的平坦化膜,在该平坦化膜上隔着所述绝缘膜形成所述一对电极;所述一对电极的一方的电极是透明导电膜;所述一对电极的另一方的电极配置于所述液晶侧,且具有开口部;所述绝缘膜在不使所述平坦化膜及所述一方的电极变质的条件下形成。据此,能够抑制因用于保持电容的绝缘膜的形成工序而使其他膜的膜特性受到影响。例如,即便在对一方的电极使用透明导电膜时,也可以基本上消除其透明性、电导率的劣化。加之,能够获得电容特性优良的绝缘膜。

[0017] 另外,在本发明所涉及的液晶显示装置中,其特征为,所述绝缘膜是无机绝缘膜;所述平坦化膜是有机绝缘膜。一般来说有机绝缘膜与无机绝缘膜相比其成膜的平坦性更好,因而可以进一步减少在此前的膜形成中所产生的阶梯差,并且一般来说无机绝缘膜与有机绝缘膜相比介电常数更高,因而能够获取优良的电容特性。

[0018] 另外,在本发明所涉及的液晶显示装置中,其特征为,所述绝缘膜,其折射率大于等于 1.46 且小于等于 2.00,介电常数大于等于 4 且小于等于 7。据此,能够作为液晶显示装置的保持电容确保充分的膜特性,使液晶显示装置的显示品质得到提高。

## 附图说明

[0019] 图 1 是在本发明所涉及的实施方式中构成液晶显示装置的元件基板上像素的俯视图。

[0020] 图 2 是沿图 1 中的 A-A 线的剖视图。

[0021] 图 3 是表示在本发明所涉及的实施方式中制造液晶显示装置的过程的流程图。

[0022] 图 4 是说明在本发明所涉及的实施方式中 FFS 绝缘膜的残余应力和 FFS 绝缘膜的剥离频率之间的关系附图。

[0023] 图 5 是表示在本发明所涉及的实施方式中的其他结构例附图。

[0024] 图 6 是表示在本发明所涉及的实施方式中的别的结构例附图。

[0025] 符号说明

|        |               |               |
|--------|---------------|---------------|
| [0026] | 10、12、14 元件基板 | 18 透光性基板      |
| [0027] | 20 像素 TFT     | 22、23 栅电极     |
| [0028] | 30 层间绝缘膜      | 32 源电极        |
| [0029] | 33 漏电极        | 34 漏布线        |
| [0030] | 36 栅布线        | 38 钝化膜 (PV 膜) |
| [0031] | 40 平坦化膜       | 42 像素电极       |
| [0032] | 44FFS 绝缘膜     | 46 共用电极       |
| [0033] | 48、49 缝隙      | 50 电场         |

## 具体实施方式

[0034] 以下,对于本发明所涉及的实施方式,使用附图详细进行说明。以下,将对于在 FFS 方式的液晶显示装置中进行由红 (R)、绿 (G)、蓝 (B) 3 色所构成的显示的情形,进行说明,当然既可以是除了 R、G、B 之外例如还包含 C (青绿色) 等的多色构成,也可以是直接进行黑白显示的构成。另外,下面所述的形状、结构及材质等是说明所用的 1 例,可以配合液晶显示装置的用途适当进行变更。另外,在下面,作为横向电场驱动方式,将说明作为通过电场的开口而在上部电极具有缝隙的 FFS 方式,但也可以是作为通过电场的开口而在上部电极具有梳齿状或栅栏状开口的 FFS 方式。另外,也可以不是 FFS 方式,而是 IPS 方式。这里,所谓的缝隙,是指两端闭合的开口,各个缝隙,是指相互不连接而离散配置的开口,所谓的梳齿状或栅栏状开口,是指其形状为多个开口相互在一方端连接的开口。

[0035] 图 1 是构成液晶显示装置的元件基板 10 上的像素俯视图。液晶显示装置,由相对的一对基板挟持液晶,由一对电极驱动液晶来进行显示,为了驱动多个像素,在每个像素中配置晶体管。在区分配置有该晶体管一方的基板和与之相对的基板时,可以将配置有晶体管的基板称为元件基板 10,并且可以将与元件基板 10 相对的另一方的基板称为对向基板。另外,在进行彩色显示时,要由 R (红)、G (绿)、B (蓝) 的 3 个子像素来构成 1 个像素,并在各个子像素的每个中都配置晶体管。

[0036] 图 1 是表示特别在利用 FFS 方式的有源矩阵型液晶显示装置元件基板 10 上有关采用 R、G、B 的 3 色结构进行显示时显示区域的 1 个像素部分,也就是与 3 色对应的 3 个子像素的平面结构的附图。图 2 是沿着图 1 所示的 A-A 线夸大表示厚度方向的剖视图。

[0037] 如图 1 所示,在液晶显示装置的元件基板 10 上,多条漏布线 34 分别延伸为直线状

(在图 1 的例子中沿纵向延伸),并且沿与其延伸方向相交的方向(这里是垂直的方向,在图 1 的例子中是横向)分别排列多条栅布线 36。漏布线 34,是从未图示的液晶显示装置控制电路传输影像数据信号的信号线,有时按照其意思称为数据线,或者只称为信号线。栅布线,是传输下述扫描信号的信号线,有时按照其意思称为扫描线,该扫描信号选择每个像素中所配置的晶体管。

[0038] 由多条漏布线 34 和多条栅布线 36 划分的各个区域是像素配置区域,在图 1 中对应于 R、G、B 的 3 色构成来示出 3 个子像素配置区域。由于 3 个子像素的结构相同,因而下文中像素一词只要不特别声明,就作为子像素单位进行说明,并且将所述子像素区域仅仅作为像素区域来说明。还有,共用电极 46 由于跨过元件基板 10 的整个面或者多个像素而配置,因而在图 1 中,除了下述缝隙 48 的形状线以外,未示出其轮廓线。

[0039] 在由漏布线 34 和栅布线 36 划分的各像素配置区域中,分别配置像素 TFT20。在图 1 的例子中,对于各像素 TFT20,半导体层按大致 U 字型延伸(在附图中大致 U 字型上下颠倒进行表示),并且横截该大致 U 字型的 2 根臂部,使栅布线 36 与漏布线 34 的排列方向垂直延伸。在该结构中,像素 TFT20 的源电极 32 和连接于漏布线 34 的漏电极 33 一起,相对栅极布线 36 位于同一侧。因此,在像素 TFT20 中,具有栅布线 36 在源和漏之间与半导体层 2 次相交的结构,换言之,其具有在半导体层的源和漏之间设置 2 个栅电极的结构。

[0040] 这样,像素 TFT20 的漏通过漏电极 33 连接于最近的漏布线 34 上,另一方面,源通过源电极 32 连接于像素电极 42。像素电极 42 是一种平板状的电极,设置于每个像素中,与该像素的像素 TFT20 的源进行连接。在图 1 中,示出矩形形状的像素电极 42。

[0041] 共用电极 46,如上所述,配置于元件基板 10 之上。不过,根据情况的不同,也可以将共用电极 46 设置于每个像素中。在该结构的情况下,要配置连接各像素的共用电极 46 的共用电极布线。共用电极 46 是在透明电极膜层上设置作为开口部的缝隙 48 的电极。该缝隙 48,具有在对像素电极 42 和共用电极 46 之间施加电压时通过电场 50(参见图 2),使之产生对基板面基本平行的横向电场的功能。

[0042] 在共用电极 46 之上,配置取向膜,并且作为取向处理要进行研磨处理。研磨方向,例如在图 1 中,能够沿与栅布线 36 平行的方向进行。共用电极 46 的缝隙 48,其长边的延伸方向相对该研磨方向稍微倾斜地形成。能够使之以例如  $5^{\circ}$  左右的角度相对研磨方向倾斜的方式形成。通过在共用电极 46 之上形成取向膜,进行研磨处理,制作出元件基板 10。

[0043] 下面,使用图 2 的剖视图,说明 FFS 方式的液晶显示装置中的元件基板 10 的结构。图 2,如上所述,是沿图 1A-A 线的剖视图,示出有关 1 个像素的各要件。

[0044] 元件基板 10 包含:透光性基板 18、在其上隔着适当的缓冲层所形成的像素 TFT20、层间绝缘膜 30、源电极 32、漏电极 33、钝化膜(PV 膜)38、平坦化膜 40、像素电极 42、FFS 绝缘膜 44 和共用电极 46。

[0045] 图 3 是表示包含元件基板 10 的详细制造过程在内的液晶显示装置的制造方法过程的流程图。在下面,使用图 1、图 2 的符号进行说明。最开始准备透光性基板 18,在其上形成作为晶体管的像素 TFT20(S10)。

[0046] 透光性基板 18,由例如玻璃板构成。像素 TFT20,隔着适当的缓冲层配置于透光性基板 18 之上,这里使用低温形成的多晶硅来作为半导体层,在其上依次配置栅绝缘膜、栅电极 22 而形成。栅绝缘膜,例如由氧化硅( $\text{SiO}_x$ )、氮化硅( $\text{SiN}_x$ )等构成,覆盖半导体层地

配置在透光性基板 18 上。栅电极 22, 由例如 Mo、Al 等金属构成, 与半导体层相对配置于栅绝缘膜上。这样, 将栅电极 22 在元件基板 10 上, 配置于半导体层的上层侧。

[0047] 在形成作为晶体管的像素 TFT20 之后, 形成层间绝缘膜 30。层间绝缘膜 30, 由例如氧化硅、氮化硅等构成, 覆盖栅电极 22 等而配置。

[0048] 接着, 在层间绝缘膜上形成源用和漏用的接触孔, 引出源电极 32 和漏电极 33。漏电极 33 由例如 Mo、Al、Ti 等的金属构成, 配置在层间绝缘膜 30 上, 并且通过作为所述接触孔中的一方的漏用接触孔, 连接到像素 TFT20 的漏上。还有, 漏电极 33 按原状延伸, 成为漏布线 34。源电极 32 由例如与漏电极 33 相同的材料构成, 配置在层间绝缘膜 30 上, 并且通过作为所述接触孔的另一方的源用接触孔, 连接到像素 TFT20 的源极上。源电极 32, 如下所述, 与作为透明电极膜的像素电极 42 相连接。

[0049] 还有, 这里, 在像素 TFT20 中, 将漏电极 33 及作为数据线的漏布线 34 的连接部分设为像素 TFT20 的漏, 将源电极 32 及像素电极 42 的连接部分设为像素 TFT20 的源, 但是由于像素 TFT20 的漏和源具有互换性, 因而也可以和所述情况相反, 将与数据线侧连接的一方称为源, 将与像素电极 42 侧连接的一方称为漏。

[0050] 将源电极 32、漏电极 33 引导出之前总体作为像素 TFT 的形成工序, 随后形成钝化(PV)膜 38(S12)。PV 膜 38 是一种绝缘膜, 具有根据外部环境保护包含源电极 32、漏电极 33 在内的像素 TFT20 整体的功能。PV 膜 38 和所述的层间绝缘膜 30 相同, 能够由例如氧化硅、氮化硅等构成。也可以将 PV 膜 38 和层间绝缘膜 30 设为相互不同的膜质。

[0051] 接着, 形成平坦化膜 40(S14)。平坦化膜 40, 是覆盖漏电极 33 及漏布线 34、源电极 32 而配置于 PV 膜 38 上的膜, 为了使在此前的膜形成工序、接触孔工序等中产生了凹凸的表面平坦化而设置。

[0052] 作为平坦化膜 40, 能够使用例如丙烯酸树脂等的有机透明绝缘膜、氮化硅 ( $\text{SiN}_x$ ) 膜、氧化硅 ( $\text{SiO}_x$ ) 膜、氮氧化硅 ( $\text{SiO}_x\text{Ny}$ ) 膜等的无机绝缘膜。平坦化膜 40, 考虑到要在其上形成 FFS 绝缘膜 44 的情况, 优选, 耐热性、耐反应性高的绝缘膜。从该观点来看, 优选, 使用氮化硅膜、氧化硅膜、氮氧化硅膜等的无机绝缘膜。在使用丙烯酸树脂等的有机透明绝缘膜时, 优选, 使平坦化膜形成工序之后的工序低温化, 抑制平坦化膜 40 的膜质的变化。例如, 优选, 将平坦化膜形成工序之后的工序的处理温度设为约  $150^\circ\text{C}$  到约  $300^\circ\text{C}$  的范围。

[0053] 在平坦化膜形成之后, 形成作为下部电极的像素电极 42(S16)。具体而言, 在 PV 膜 38 和平坦化膜 40 上形成接触孔, 接着作为透明导电膜使铟锡氧化物 (ITO) 或铟锌氧化物 (IZO) 在整个面上成膜, 并且将该透明导电膜形成为像素电极 42 的图案。据此, 通过接触孔, 源电极 32 和像素电极 42 电连接。

[0054] 在像素电极 42 形成之后, 在整个面上形成 FFS 绝缘膜 44(S18)。FFS 绝缘膜 44, 是为了对作为下部电极的像素电极 42 和下面将形成的作为上部电极的共用电极 46 之间进行分隔而配置的绝缘膜, 另外还是为了在构成 FFS 方式的液晶显示装置的各像素中形成保持电容而使用的绝缘膜。

[0055] FFS 绝缘膜 44, 从为了保持电容而使用的观点来看, 优选, 介电常数高的材料的膜。从而, 与有机绝缘膜相比无机绝缘膜更为理想, 例如可以包含氮化硅膜或氧化硅膜或者氮氧化硅膜之中的至少一个。

[0056] 另外, 由于在 FFS 绝缘膜 44 的形成之前, 已经形成有平坦化膜 40 和像素电极 42,

因而要考虑和这些膜之间的密合性,设定 FFS 绝缘膜 44 的成膜条件。具体而言,因为由于从平坦化膜形成后到 FFS 绝缘膜成膜前的平坦化膜 40 及像素电极 42 的表面状态和使其变化的处理条件、FFS 绝缘膜 44 本身的成膜条件,导致 FFS 绝缘膜 44 和其他膜之间的密合性变化,所以要在密合性稳定的范围的条件之下,形成 FFS 绝缘膜 44。

[0057] 图 4 是示出了通过实验求出的 FFS 绝缘膜的残余应力与剥离频率之间关系的结果的附图。在下面,使用图 1 到图 3 的符号进行说明。

[0058] FFS 绝缘膜 44 的残余应力大小,能够根据形成 FFS 绝缘膜 44 后的玻璃板反翘量的大小来求取。例如,在和图 2 相同的结构中,计量进展至图 3 的 S16 的工序时的中间工序的元件基板 10 的反翘量,接着在 S18 中形成 FFS 绝缘膜 44,计量其中间工序中的元件基板 10 的反翘量。根据这些计量,来求取因使 FFS 绝缘膜 44 成膜所导致的反翘量的变化,并将该反翘量的变化作为因 FFS 绝缘膜 44 的成膜中的残余应力所引起的变化,来求取残余应力的大小。

[0059] 另外,FFS 绝缘膜 44 的剥离频率,能够通过有这样形成 FFS 绝缘膜 44 的中间工序的元件基板 10 上,观察 FFS 绝缘膜 44 和其他膜之间的剥离程度,将其作为剥离部位数目或者剥离面积的大小等,而定量求取。例如,能够在 1 片中间工序的元件基板 10 上,计算 FFS 绝缘膜 44 的剥离部位数目,将其作为相对的剥离频率。剥离频率的观察,可以在形成 FFS 绝缘膜 44 后的状态下进行,但是为了加快评价,也可以附加一定的试验条件。例如,可以将制造液晶显示装置所使用的清洗工序等附加于试验条件中,通过计算其加速条件之下的剥离频率,使剥离频率的评价变得容易,另外,还可以评价此后制造工序中的 FFS 绝缘膜 44 的剥离耐受性。例如,也可以进行一定条件之下的超声波清洗,评价此时的剥离频率。

[0060] 图 4 是在横轴上取得 FFS 绝缘膜 44 的残余应力大小并且在纵轴上取得剥离频率来表示双方之间关系的附图。如图所示,残余应力是压缩应力,并且在其大小在大于等于 0 且小于等于  $5 \times 10^4 \text{N/cm}^2$  的范围内,FFS 绝缘膜 44 基本上不会发生剥离。若残余应力成为拉伸应力,则根据拉伸应力的大小,剥离频率增大。

[0061] 根据观察,FFS 绝缘膜 44 的剥离,比起其和作为下部电极的像素电极 42 之间,在其和平坦化膜 40 之间的界面上更加多发。FFS 绝缘膜 44 所接触的膜有多个膜,在残余应力和剥离频率之间关系的评价中,需要综合评价 FFS 绝缘膜 44 和其他膜之间的密合性。

[0062] 根据图 4 的结果判明,FFS 绝缘膜 44 的残余应力,在为压缩应力时设为大于等于 0 且小于等于  $5 \times 10^4 \text{N/cm}^2$  的范围,从而能够提高 FFS 绝缘膜 44 和其他膜之间的密合性,谋求液晶显示装置的显示品质的提高。FFS 绝缘膜 44 残余应力的控制,能够通过变更 FFS 绝缘膜 44 的成膜条件来进行。例如,能够通过控制成膜速度,使残余应力进入指定范围内。另外,可以通过控制成膜温度的上升速度、冷却速度,使残余应力进入指定范围内。另外,还可以考虑形成 FFS 绝缘膜 44 之前的中间工序的元件基板 10 的残余应力状态,设定 FFS 绝缘膜 44 的成膜条件,使 FFS 绝缘膜 44 的残余应力进入指定范围内。

[0063] 另外,由于在 FFS 绝缘膜 44 的形成之前,已经形成有平坦化膜 40 和像素电极 42,因而要设定 FFS 绝缘膜 44 的成膜条件,以不使这些膜变质。

[0064] 平坦化膜 40,如上所述,使用丙烯酸树脂等的有机透明绝缘膜或者氮化硅膜、氧化硅膜、氮氧化硅膜等的无机绝缘膜。这里,在使用氮化硅膜、氮化硅膜及氮氧化硅膜那样的无机绝缘膜作为平坦化膜 40 时,根据 FFS 绝缘膜 44 的成膜条件,其膜特性基本上不会变化。



另一方面,在使用有机透明绝缘膜作为平坦化膜 40 时,根据 FFS 绝缘膜 44 的成膜温度不同,有时因氧化性反应气体类而产生的反应等进展,平坦化膜 40 的膜特性会变化。例如,有时平坦化膜 40 的透射度达到 90% 以下,其结果为显示品质下降。因此,优选,将 FFS 绝缘膜 44 的成膜条件设定为平坦化膜 40 不会变质的温度范围内。另外,更为优选,在将成膜时的氧化性反应气体类减少到不使平坦化膜 40 的表面状态劣化的程度的条件下,开始成膜。

[0065] 另外,像素电极 42,如上所述,作为透明导电膜使用铟锡氧化物 (ITO) 或者铟锌氧化物 (IZO),但是这些膜因还原性气氛而使其透明性及电导率劣化。例如,有时这些膜的透射率下降到 70% 以下,或者电阻率增大到  $10^3 \Omega \text{ cm}$  以上,其结果为显示品质下降。从而,优选,FFS 绝缘膜 44 在不含还原性反应气体类(例如氢)的成膜条件之下形成。但是,作为 FFS 绝缘膜,如上所述使用氮化硅膜、氧化硅膜、氮氧化硅膜等的无机绝缘膜时,有时要使用例如硅烷 ( $\text{SiH}_4$ ) 那样包含氢的气体类,即便在不使用硅烷时,也大多在反应的运载气体中使用例如氨气 ( $\text{NH}_3$ ) 那样的包含氢的气体类。这样,在不可避免地使用还原性反应气体类时,优选,将 FFS 绝缘膜 44 的成膜条件设定为像素电极 42 不会因还原反应而变质的温度范围内。另外,更为优选,在将成膜时的还原性反应气体类减少到不会使透明导电膜的透明性及电导率劣化的程度的条件下,开始成膜。

[0066] 这样,优选,FFS 绝缘膜 44 在满足不使平坦化膜 40 变质和不使像素电极 42 变质的条件下进行成膜。实际上,FFS 绝缘膜形成工序 (S18) 可以在大于等于约  $150^\circ\text{C}$  且小于等于约  $300^\circ\text{C}$  的条件下进行成膜。只要在该温度范围内,即便为了 FFS 绝缘膜形成而使用氧化性反应气体类,平坦化膜 40 的膜特性也基本上不会变化。另外,即便为了 FFS 绝缘膜形成而使用还原性反应气体类,在像素电极 42 中还原反应也基本上不会进展,不发生透明性的劣化。加之,可以获得电容特性优良的绝缘膜。

[0067] 而且,由于可以将无机绝缘膜用于 FFS 绝缘膜 44,所以可以获得折射率大于等于 1.46、小于等于 2.00 并且介电常数大于等于 4、小于等于 7 的特性。通过在该特性的范围内选择恰当的值,并且恰当设定 FFS 绝缘膜 44 的膜厚,就可以配合液晶显示装置的规格,将保持电容设为恰当的值。

[0068] 再次返回图 3,在形成 FFS 绝缘膜 44 之后,形成作为上部电极的共用电极 46 (S20)。具体而言,在 FFS 绝缘膜 44 之上,作为透明导电膜使铟锡氧化物 (ITO) 或者铟锌氧化物 (IZO) 在整个面上成膜,该透明导电膜作为共用电极 46,为了使之具有多个缝隙 48,通过图案化来开口。共用电极 46 通过未图示的共用电极布线供应共用电极电位。

[0069] 缝隙 48,是用来在作为下部电极的像素电极 42 和作为上部电极的共用电极 46 之间通过电场 50 的开口,该电场 50 用来驱动液晶。缝隙 48,如图 1 所示,是在从栅布线 36 延伸的方向稍稍倾斜的方向上具有长轴的细长且闭合形状的开口。该倾斜角度,要考虑下面的工序中的取向处理的研磨角度来设定。

[0070] 若形成了作为上部电极的共用电极 46,则将取向膜配置于其上 (S22)。取向膜,是具有使液晶分子进行初始取向的功能的膜,例如对聚酰亚胺等的有机膜实施研磨处理而使用。这样一来,就制作出元件基板 10 (S24)。而且,虽然这里没有说明,但是要另行制作配置有滤色器、取向膜等的对向基板,并组合该对向基板和元件基板 10,将液晶挟持于其间 (S26),制作出液晶显示装置 (S28)。

[0071] 这样,就在作为同一基板的透光性基板 18 上,在平坦化膜 40 的上层部隔着作为绝

缘层的 FFS 绝缘膜 44 形成作为上部电极的共用电极 46 和作为下部电极的像素电极 42。还有,可以将该构造称为重迭 (overlayer) 构造。然后,可以在作为上部电极的共用电极 46 上形成缝隙 48,对共用电极 46 和作为下部电极的像素电极 42 之间施加电压,在缝隙 48 中通过电场 50,使之产生对基板面基本平行的横向电场,通过取向膜来驱动液晶。此时,可以使用由共用电极 46、像素电极 42 和其间的 FFS 绝缘膜 44 形成的电容,作为液晶显示的保持电容。这样一来,就构成利用 FFS 方式的有源矩阵型液晶显示装置。

[0072] 这样,因为使用由共用电极 46、像素电极 42 和其间的 FFS 绝缘膜 44 形成的电容,作为液晶显示的保持电容,所以易于获得符合液晶显示装置规格的保持电容。也就是说,FFS 绝缘膜 44 的介电常数、膜厚等可以和像素 TFT20 的特性等相独立地进行设定,并且设定的自由度较大。另外,如上所述,因为作为上部电极的共用电极 46 和作为下部电极的像素电极 42 之间的 FFS 绝缘膜 44,使其残余应力进入指定的范围内,所以能够使其和其他膜之间的密合性得到提高。据此,能够提高液晶显示装置的显示品质。

[0073] 在上面,虽然隔着 FFS 绝缘膜,将下部电极作为像素电极,将上部电极作为共用电极,并在共用电极上设置缝隙,但是也可以将下部电极作为共用电极,将上部电极作为像素电极。在下面,对和图 1、图 2 共用的要件附加相同的符号,省略其详细的说明。

[0074] 图 5 是表示将下部电极作为共用电极 46、将上部电极作为像素电极 42 并在像素电极 42 上设置缝隙 49 的元件基板 12 结构的附图。在将上部电极作为像素电极 42 时,如图 5 所示,与源电极 32 连接的像素电极 42 配置于 FFS 绝缘膜 44 的上部。而且,在作为元件基板 12 最表面侧的电极的像素电极 42 上,设置缝隙 49。缝隙 49,如同图 1、图 2 所关联说明的那样,是在从栅布线 36 延伸的方向稍稍倾斜的方向上具有长轴的细长且闭合形状的开口。另外,作为下部电极的共用电极 46 跨及元件基板 12 的整个面或者多个像素而配置。

[0075] 在该元件基板 10 上,也可以通过进行与所述结构相对应的制造工序的变更,按和图 3 所说明的过程相同的制造过程,获得液晶显示装置。而且,如同图 3 的 S18 所说明的那样,当形成 FFS 绝缘膜 44 的时候,通过使残余应力的大小进入指定的范围,就可以使其和其他膜之间的密合性得到提高。据此,可以提高液晶显示装置的显示品质。另外,通过在满足不使平坦化膜 40 变质和不使作为下部电极的共用电极 46 变质的条件下进行成膜,就可以提高液晶显示装置的显示品质。

[0076] 在上面,作为从透光性基板的一侧朝向取向膜的方向,按半导体、栅极绝缘膜及栅电极的顺序进行配置的结构,说明了像素 TFT 的结构。可以取代该配置,使用被称为所谓 I/S (inverted staggered) 型的配置结构的像素 TFT。这里,所谓的 I/S 型,指的是从透光性基板的一侧朝向取向膜的方向,按栅电极、栅极绝缘膜及半导体层的顺序进行配置的结构。在下面,对和图 1、图 2 共用的要件附加相同的符号,省略其详细的说明。

[0077] 图 6 是表示将像素 TFT21 的结构设为 I/S 型的元件基板 14 结构的附图。这里,在透光性基板 18 之上首先配置栅电极 23,在栅电极 23 上形成栅绝缘膜,在栅绝缘膜上叠层半导体层。半导体层例如可以使用非晶硅等。半导体层对形成沟道的层和形成源 / 漏接触层的高掺杂层进行叠层。然后,在该高掺杂层的两端侧分别连接源电极 32 和漏电极 33。如果除去像素 TFT21 的形成工序,其他制造工序的内容和图 3 所说明的内容相同。

[0078] 从而,在该元件基板 14 上,也可以通过进行与所述像素 TFT 形成工序相对应的制造工序的变更,按和图 3 所说明的过程相同的制造过程,获得液晶显示装置。而且,如同图 3

的 S18 所说明的那样,当形成 FFS 绝缘膜 44 的时候,通过将从平坦化膜形成后到 FFS 绝缘膜成膜前的平坦化膜 40 及像素电极 42 表面状态和使其变化的处理条件以及残余应力的的大小进入指定的范围,就可以使其和其他膜之间的密合性得到提高。据此,可以提高液晶显示装置的显示品质。另外,通过在满足不使平坦化膜 40 变质和不使作为下部电极的共用电极 46 变质的条件下进行成膜,就可以提高液晶显示装置的显示品质。

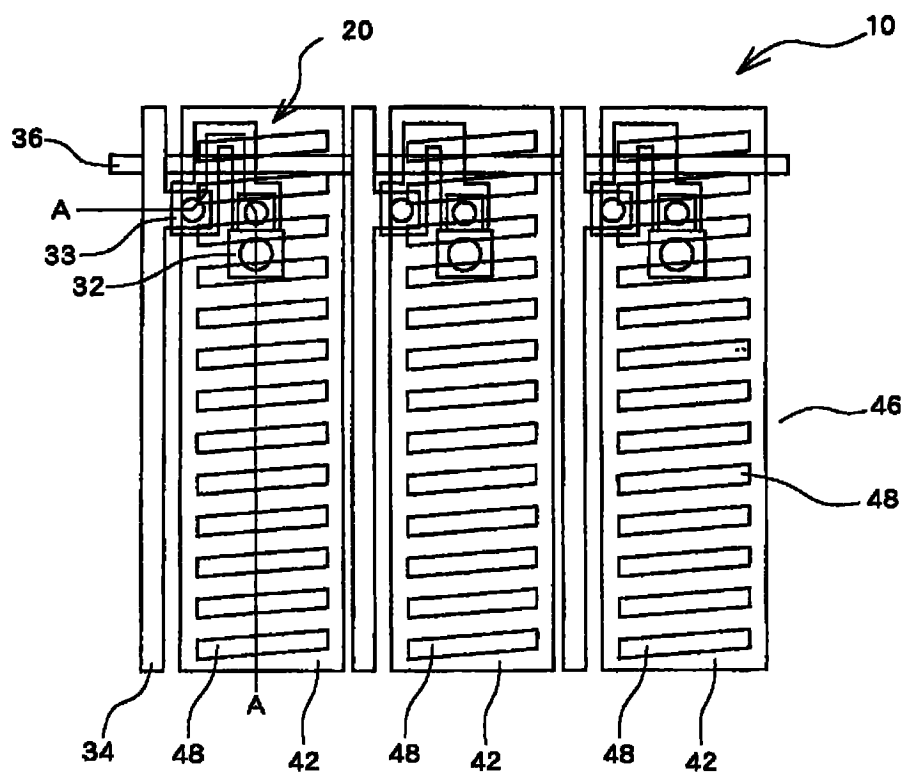


图 1

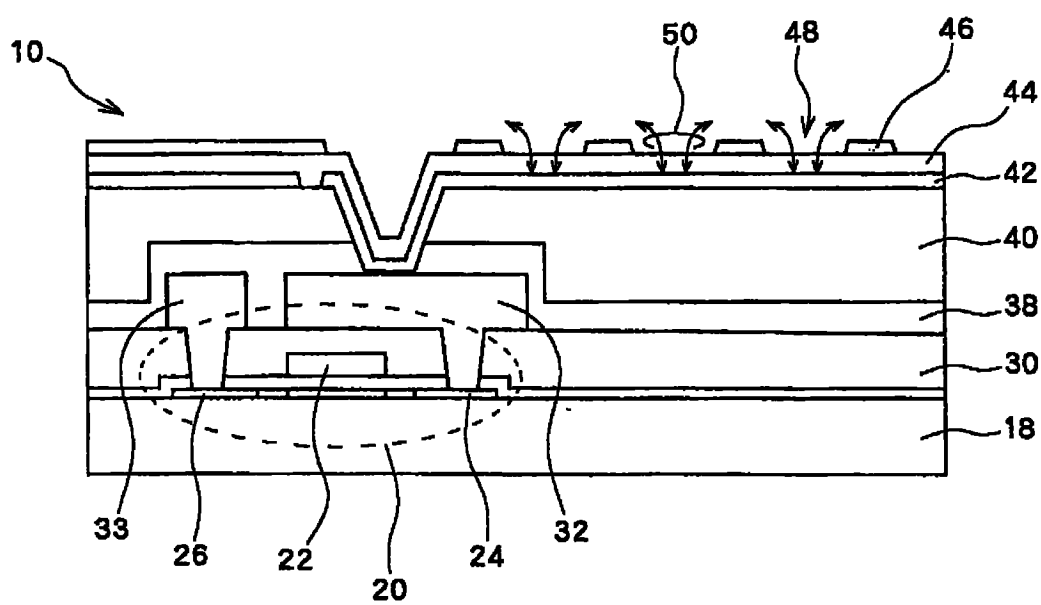


图 2

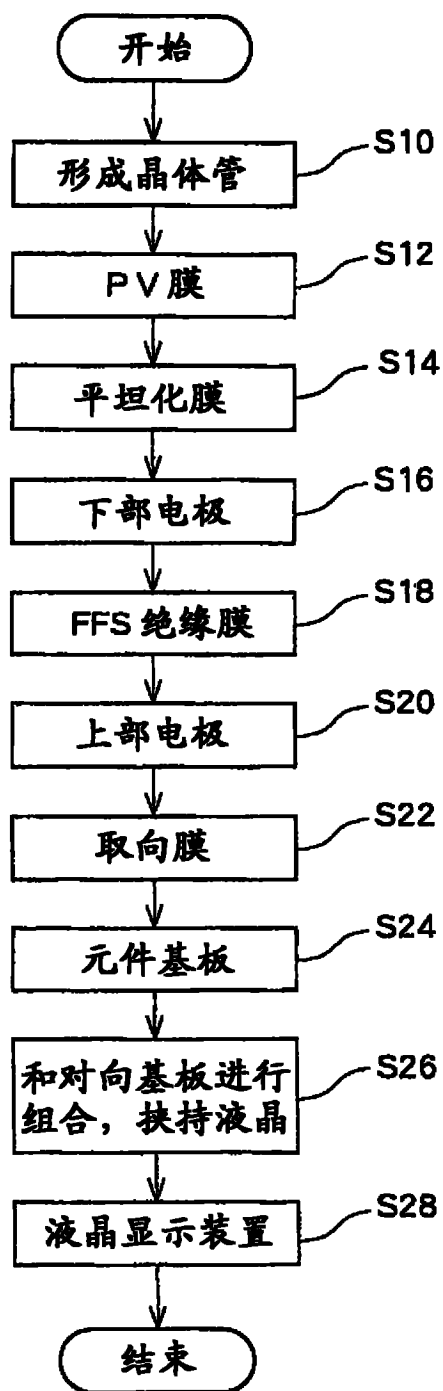


图 3

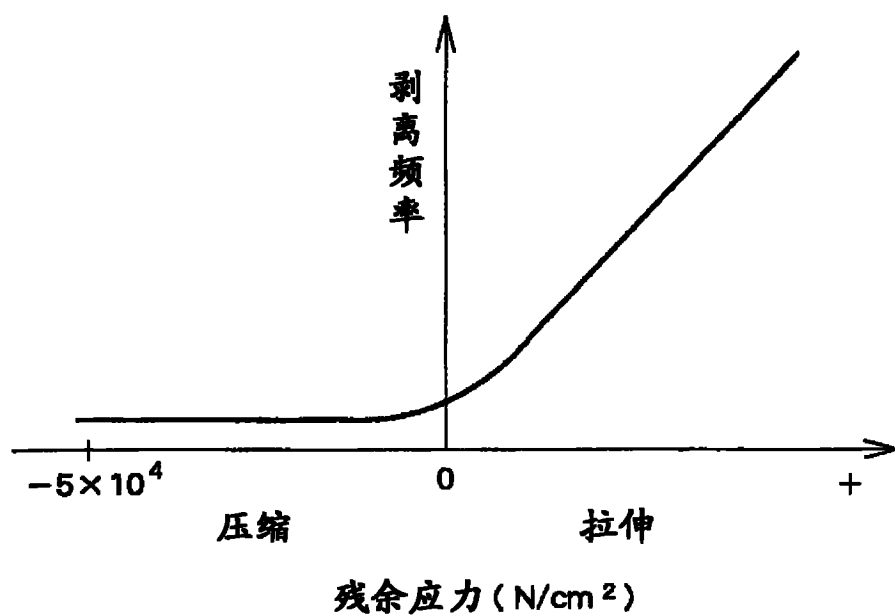


图 4

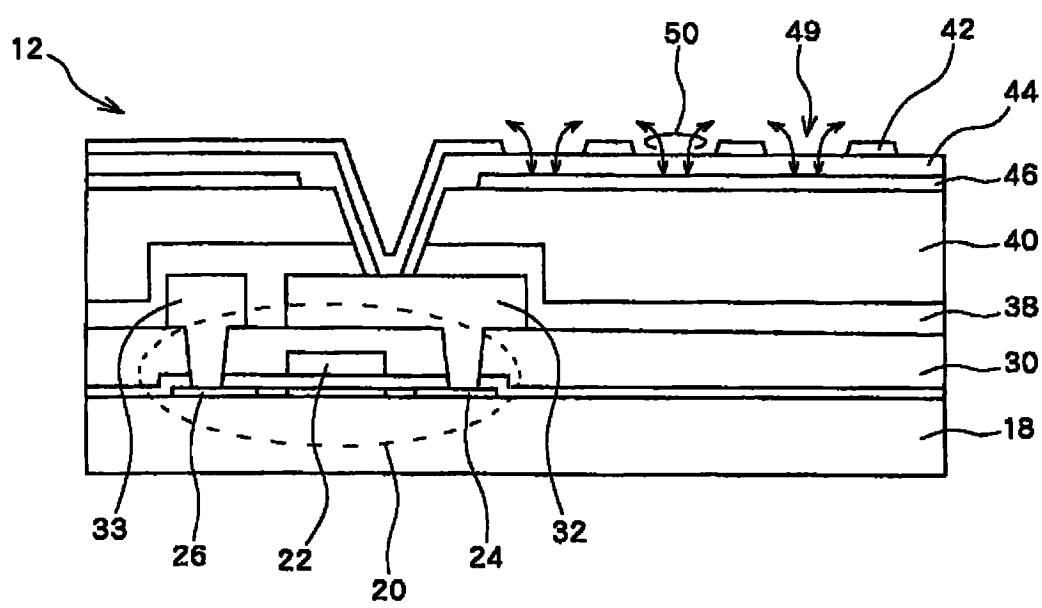


图 5

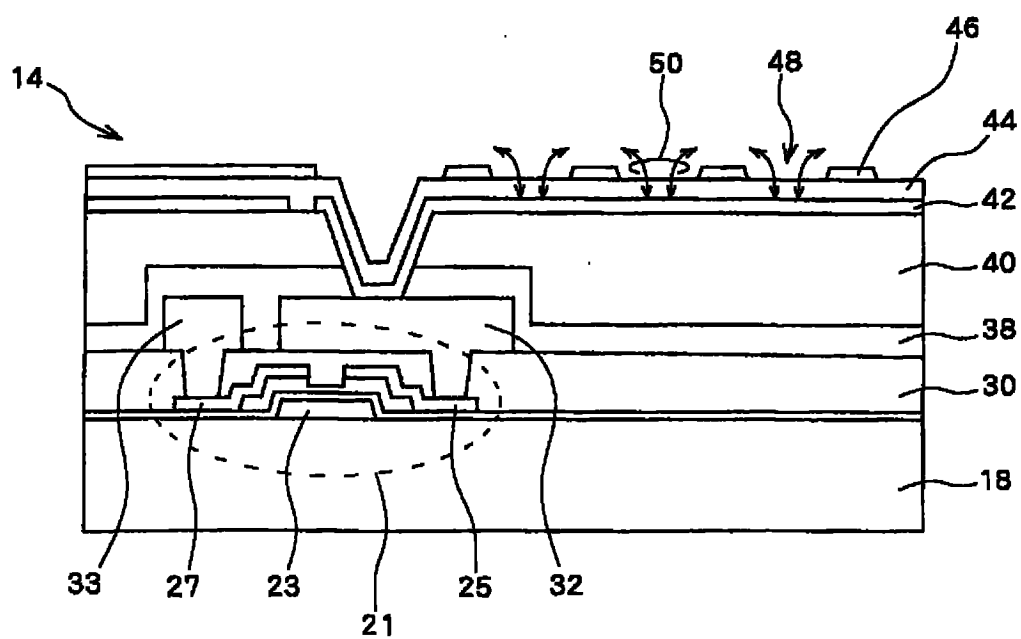


图 6

|                |                                                      |         |            |
|----------------|------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置                                               |         |            |
| 公开(公告)号        | <a href="#">CN101369081B</a>                         | 公开(公告)日 | 2010-12-08 |
| 申请号            | CN200810129876.0                                     | 申请日     | 2008-08-14 |
| [标]申请(专利权)人(译) | 爱普生映像元器件有限公司                                         |         |            |
| 申请(专利权)人(译)    | 爱普生映像元器件有限公司                                         |         |            |
| 当前申请(专利权)人(译)  | 索尼公司                                                 |         |            |
| [标]发明人         | 樱井彻<br>森藤东吾<br>山本宥司                                  |         |            |
| 发明人            | 樱井彻<br>森藤东吾<br>山本宥司                                  |         |            |
| IPC分类号         | G02F1/1362 G02F1/1343 H01L27/12                      |         |            |
| 审查员(译)         | 朱艳艳                                                  |         |            |
| 优先权            | 2007212815 2007-08-17 JP<br>2007212435 2007-08-16 JP |         |            |
| 其他公开文献         | CN101369081A                                         |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a>       |         |            |

#### 摘要(译)

本发明涉及一种液晶显示装置。在该液晶显示装置中，通过提高设置于一对电极之间的绝缘膜的密合性来谋求显示品质的提高。该液晶显示装置，由相对的一对基板挟持液晶，在一对基板的一方的基板上隔着FFS绝缘膜设置驱动液晶的一对电极。作为一对基板中的一方基板的元件基板(10)包含透光性基板(18)、形成于其上的像素TFT(20)、钝化膜(38)、平坦化膜(40)、像素电极(42)、FFS绝缘膜(44)和共用电极(46)。形成于像素电极(42)和共用电极(46)之间的FFS绝缘膜(44)是压缩应力大于等于0且小于等于 $5 \times 10^4 \text{N/cm}^2$ 的膜。

