

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G02F 1/1345 (2006.01)
G09F 9/00 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200680031500.5

[43] 公开日 2008 年 8 月 27 日

[11] 公开号 CN 101253446A

[22] 申请日 2006.4.21

[21] 申请号 200680031500.5

[30] 优先权

[32] 2005. 8. 30 [33] JP [31] 248538/2005

[86] 国际申请 PCT/JP2006/308403 2006.4.21

[87] 国际公布 WO2007/026446 日 2007.3.8

[85] 进入国家阶段日期 2008.2.28

[71] 申请人 夏普株式会社

地址 日本大阪府

[72] 发明人 藤川阳介

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 刘春成

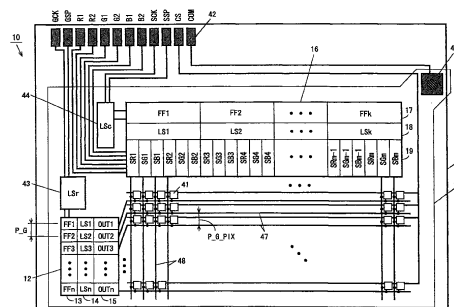
权利要求书 3 页 说明书 24 页 附图 11 页

[54] 发明名称

器件基板和液晶面板

[57] 摘要

本发明提供器件基板和液晶面板。缩小器件基板的框尺寸，而不大幅变更布局。在基底基板(11)上整体地形成有由显示元件(41)构成的元件阵列和以行单位控制显示元件(41)的行控制电路(12)，由此构成液晶面板的元件侧基板(10)。行控制电路(12)具有将与显示元件(41)的行对应的触发电路(13)呈一维状连续配置的结构。触发电路(13)的配置间隔(P_G)比显示元件(41)的行的配置间隔(P_{G_PIX})窄，并且，两者的差为对于行控制电路(12)能够容许的最小配线宽度以下或者最小配线间隔以下。在将行控制电路(12)在长边方向上缩小而得到的空区域中，配置视频信号线组、电平转换器等。也可以按照同样的方法将列控制电路在长边方向上缩小。



1. 一种器件基板，整体地形成有元件及其控制电路，其特征在于，包括：

基底基板；

由在所述基底基板上呈二维状配置的元件构成的元件阵列；和
在所述基底基板上沿着所述元件阵列的一边配置的、以行单位或者列单位控制所述元件的控制电路，

所述控制电路具有将与所述元件的控制单位对应的单位控制电路呈一维状连续配置的结构，

所述单位控制电路的配置间隔比所述元件的控制单位的配置间隔窄，并且，两者的差为对于所述控制电路能够容许的最小配线宽度以下或者最小配线间隔以下。

2. 根据权利要求1所述的器件基板，其特征在于：

所述控制电路具有沿着所述元件阵列的列方向的边、将与所述元件的行对应的触发电路呈一维状连续配置的结构，

所述触发电路的配置间隔比所述元件的行的配置间隔窄，并且，两者的差为所述最小配线宽度以下或者所述最小配线间隔以下。

3. 根据权利要求1所述的器件基板，其特征在于：

所述控制电路具有沿着所述元件阵列的行方向的边、将与所述元件的列对应的触发电路呈一维状连续配置的结构，

所述触发电路的配置间隔比所述元件的列的配置间隔窄，并且，两者的差为所述最小配线宽度以下或者所述最小配线间隔以下。

4. 根据权利要求1所述的器件基板，其特征在于：

所述控制电路具有沿着所述元件阵列的行方向的边、将与所述元件的列对应的采样电路呈一维状连续配置的结构，

所述采样电路的配置间隔比所述元件的列的配置间隔窄，并且，两者的差为所述最小配线宽度以下或者所述最小配线间隔以下。

5. 根据权利要求 1 所述的器件基板，其特征在于：
所述控制电路以在所述元件阵列的外周部分的 1 个角附近形成空区域的方式配置，
在所述空区域中配置有用于同时传送多根同种信号的配线组。
6. 根据权利要求 5 所述的器件基板，其特征在于：
所述配线组中包括多根视频信号线。
7. 根据权利要求 5 所述的器件基板，其特征在于：
所述配线组中包括相展开后的多根视频信号线。
8. 根据权利要求 5 所述的器件基板，其特征在于：
所述配线组中包括与各色信号对应的 4 根以上的视频信号线。
9. 根据权利要求 1 所述的器件基板，其特征在于：
所述控制电路以在所述元件阵列的外周部分的 1 个角附近形成空区域的方式配置，
在所述空区域中配置有对在外端子与所述控制电路之间传送的信号的电平进行变换的电平转换器。
10. 根据权利要求 1 所述的器件基板，其特征在于：
还包括在所述基底基板上沿着所述元件阵列的行方向的边配置的、对与所述元件的列对应的列配线进行预充电的预充电电路，
所述控制电路以在所述元件阵列的外周部分的 1 个角附近形成空区域的方式配置，
连接外部端子和所述预充电电路的配线通过所述空区域。
11. 根据权利要求 1 所述的器件基板，其特征在于：
还包括在所述基底基板上沿着所述元件阵列的另一边配置的、以行单位和列单位中与所述控制电路不同的单位控制所述元件的另一控制电路。

12. 根据权利要求 11 所述的器件基板，其特征在于：

所述控制电路以在所述元件阵列的外周部分的 1 个角附近形成空区域的方式配置，

在所述空区域中配置有对在外端子与另一控制电路之间传送的信号的电平进行变换的电平转换器。

13. 根据权利要求 1 所述的器件基板，其特征在于：

还包括在所述基底基板上沿着所述元件阵列的其它两边按照分成第一部分和第二部分的方式进行配置的、以行单位和列单位中与所述控制电路不同的单位控制所述元件的另一控制电路，

所述控制电路以在所述元件阵列的外周部分的 2 个角附近分别形成空区域的方式配置，

连接外部端子和所述第一部分的配线通过所述空区域的一个，连接外部端子和所述第二部分的配线通过所述空区域的另一个。

14. 一种液晶面板，具有将两块基板贴合的结构，其特征在于，包括：

元件侧基板，该元件侧基板包括：基底基板，由在所述基底基板上呈二维状配置的显示元件构成的像素阵列，和在所述基底基板上沿着所述像素阵列的一边配置的、以行单位或者列单位控制所述显示元件的控制电路；和

与所述元件侧基板相对的相对基板，

所述控制电路具有将与所述显示元件的控制单位对应的单位控制电路呈一维状连续配置的结构，

所述单位控制电路的配置间隔比所述显示元件的控制单位的配置间隔窄，并且，两者的差为对于所述控制电路能够容许的最小配线宽度以下或者最小配线间隔以下。

器件基板和液晶面板

技术领域

本发明涉及器件基板和液晶面板，特别涉及整体地（monolithic）形成有元件及其控制电路的器件基板、和使用该器件基板的液晶面板。

背景技术

以液晶面板为代表的各种平面型显示器件已被实用化，并被搭载在以便携式电子设备为首的各种电子设备中。特别地，近年来，为了设备的小型化，包括整体地形成有元件及其驱动电路的元件侧基板的液晶面板（以下称为整体型液晶面板）已被实用化。

参照图 16 和图 17，对整体（monolithic）型液晶面板的结构进行说明。图 16 是表示液晶面板的外观的图。如图 16 所示，液晶面板具有将元件侧基板 1 与相对基板 2 贴合的结构。在元件侧基板 1 与相对基板 2 重叠的部分，形成有配置有显示元件的像素区域 3。像素区域 3 的外周部分由黑矩阵（black matrix）4 覆盖。在元件侧基板 1 上的由黑矩阵 4 覆盖的部分，形成有显示元件的驱动电路等。

在液晶面板的 1 边上设置有多个外部端子 5。外部端子 5 包括：电源端子；在元件侧基板 1 上形成的驱动电路用的控制端子；用于向在相对基板 2 上形成的相对电极提供规定电位的端子；和用于向在元件侧基板 1 上形成的存储电容线提供规定电位的端子等。

图 17 是以往的液晶面板的元件侧基板的平面图。图 17 所示的元件侧基板 90 是在基底基板 91 上整体地形成有显示元件及其驱动电路的器件基板。在基底基板 91 上，形成有显示元件 41、行控制电路 92、列控制电路 96、外部端子 42、行侧电平转换器 43、列侧电平转换器 44、和共用转移部件 45。此外，在与元件侧基板 90 相对的相对基板（未图示）上，形成有相对电极 46。

显示元件 41 在基底基板 91 上在行方向上并列配置有 $3m$ 个、在列方向上并列配置有 n 个，形成像素阵列。行控制电路 92 包括触发电路

(flip-flop circuit) 93、电平转换器 (level shifter) 94、和输出电路 95 各 n 个, 以行单位控制显示元件 41。列控制电路 96 包括 k 个 ($=m/2$ 个) 触发电路 97、 k 个电平转换器 98、和 $3m$ 个采样电路 (sampling circuit) 99, 以列单位控制显示元件 41。此外, 在元件侧基板 90 上形成的电路的动作与在后述的元件侧基板 10 (图 1) 上形成的电路的动作相同, 因此, 在此省略说明。

像素阵列的外周部分被称为“框”。行控制电路 92 和列控制电路 96 以及连接这些控制电路与外部端子 42 的配线, 被配置在框中 (典型地, 被配置在框的邻接的两边上)。例如, 行控制电路 92 与像素阵列分离几百 μm 左右而配置在框的一边 (列方向的边) 上, 列控制电路 96 与像素阵列分离几百 μm 左右而配置在框的另一边 (行方向的边) 上。

一般, 在元件侧基板 90 中, 触发电路 93 的配置间隔 P_G 与显示元件 41 的行的配置间隔 P_G_PIX 相同, 采样电路 99 的配置间隔 P_S 与显示元件 41 的列的配置间隔 P_S_PIX 相同 (参照图 17)。

另外, 一直以来, 也已知有在列控制电路中包括与采样电路相同数目的触发电路的元件侧基板。在该元件侧基板中, 列控制电路中包含的触发电路的配置间隔与显示元件的列的配置间隔相同。

此外, 与本申请发明相关的技术, 在以下的文献中被公开。专利文献 1 中公开了在像素矩阵基板上设置长边方向的尺寸比像素区域的宽度或者高度短的驱动电路。专利文献 2 中公开了在使扫描驱动器和数据驱动器中包含的有源元件的配设间距变窄而产生的配线区域上, 通过绝缘膜配置共用转移电极。专利文献 3 的图 24 中公开了用扇状的倾斜配线将线区块 (line-block) 选择电路和像素连接。

专利文献 1: 日本特开 2000-292805 号公报

专利文献 2: 日本特开 2002-6331 号公报

专利文献 3: 日本特开 2003-186045 号公报

发明内容

在最近的整体型液晶面板中, 配置有行控制电路的部分的框的宽度为 2、3mm 左右, 配置有列控制电路的部分的框的宽度为 4mm 左右,

为了设备的小型化，希望框尺寸尽可能小。另外，如果能够缩小元件侧基板的框尺寸，则在 1 块母基板上能够搭载的元件侧基板的块数增加，因此，液晶面板的成本降低。因此，即使将框尺寸稍微缩小，在实用上也有很大意义。

当在框的一边上配置行控制电路、在框的另一边上配置列控制电路的情况下，框的宽度应该与行控制电路或者列控制电路的短边方向的长度大致相等。但是，在实际的整体型液晶面板中，框的宽度大多比控制电路的短边方向的长度大。

例如，当在框的一边上配置行控制电路、在框的另一边上配置列控制电路的情况下，除此以外的电路配置在框的 4 角。但是，将在元件侧基板上形成的电路与外部端子连接的配线，也需要配置在框的 4 角。特别地，在框的 4 个角中接近外部端子的一侧的 2 个角（图 16 所示的 R1 和 R2），需要配置很多与外部端子连接的配线。因为这样在元件侧基板的一部分集中配置电路和配线，所以框尺寸有时会增大。

另外，有设置在液晶面板的外部的信号源电路以比在元件侧基板上形成的电路低的电压进行动作的情况。在该情况下，在元件侧基板上设置有对在元件侧基板上形成的电路与外部端子之间流动的信号的电平进行变换的电平转换器（例如，图 17 所示的行侧电平转换器 43 和列侧电平转换器 44）。但是，当电平转换器的尺寸比行控制电路或者列控制电路的短边方向的尺寸大时，框尺寸增大。

另外，当供给到液晶面板的视频信号被相展开的情况下，框尺寸有时也会增大。例如，当视频信号被 4 相展开的情况下，在元件侧基板上需要配置总共 12 根（RGB×4 根）的视频信号线。当视频信号线的宽度为 50 μm 、配线间隔为 10 μm 时，视频信号线的配线区域的宽度为 710 μm 。视频信号的相展开，在大画面的液晶面板中是有效的，但是也成为框尺寸增大的主要原因。

另外，为了提高显示品质，提出了包括与 4 色以上的颜色对应的显示元件的液晶面板。在该液晶面板中，伴随着元件侧基板上配置的视频信号线的根数的增加，框尺寸会增加。

另外，也提出了包括整体地形成有与显示无关的电路（例如音频放大器电路）的元件侧基板的液晶面板。在该液晶面板中，将与显示

无关的电路和用于向该电路供给信号的配线配置在元件侧基板上，因此，框尺寸会增大。

另一方面，作为缩小框尺寸的方法，可考虑以下所述的方法。首先，可考虑缩小行控制电路或者列控制电路的短边方向的尺寸的方法。但是，在最近的整体型液晶面板中，行控制电路的短边方向的尺寸为1~2mm左右，列控制电路的短边方向的尺寸为3mm左右，几乎没有将它们缩小的余地。

另外，可考虑使行控制电路或者列控制电路移动到元件侧基板的一个角，以形成用于配置电路和配线的空区域的方法。但是，由于需要确保共用转移部件的配置区域等原因，其它部分的框尺寸有时反而会增大。

另外，可考虑将应该配置在元件侧基板上的视频信号线分成2个以上的组，以组为单位将视频信号线配置在不同的路径上，由此防止配线集中的方法。但是，当将视频信号线配置在不同的路径上时，视频信号线的配线负荷和延迟时间变得不统一，显示品质会恶化。

因此，本发明的目的是提供缩小框尺寸而不大幅变更布局的器件基板和使用该器件基板的液晶面板。

本发明的第一方面是一种器件基板，其整体地形成有元件及其控制电路，其特征在于，包括：基底基板；由在上述基底基板上呈二维状配置的元件构成的元件阵列；和在上述基底基板上沿着上述元件阵列的一边配置的、以行单位或者列单位控制上述元件的控制电路，上述控制电路具有将与上述元件的控制单位对应的单位控制电路呈一维状连续配置的结构，上述单位控制电路的配置间隔比上述元件的控制单位的配置间隔窄，并且，两者的差为对于上述控制电路能够容许的最小配线宽度以下或者最小配线间隔以下。

本发明的第二方面的特征在于，在本发明的第一方面中，上述控制电路具有沿着上述元件阵列的列方向的边、将与上述元件的行对应的触发电路呈一维状连续配置的结构，上述触发电路的配置间隔比上述元件的行的配置间隔窄，并且，两者的差为上述最小配线宽度以下或者上述最小配线间隔以下。

本发明的第三方面的特征在于，在本发明的第一方面中，上述控

制电路具有沿着上述元件阵列的行方向的边、将与上述元件的列对应的触发电路呈一维状连续配置的结构，上述触发电路的配置间隔比上述元件的列的配置间隔窄，并且，两者的差为上述最小配线宽度以下或者上述最小配线间隔以下。

本发明的第四方面的特征在于，在本发明的第一方面中，上述控制电路具有沿着上述元件阵列的行方向的边、将与上述元件的列对应的采样电路呈一维状连续配置的结构，上述采样电路的配置间隔比上述元件的列的配置间隔窄，并且，两者的差为上述最小配线宽度以下或者上述最小配线间隔以下。

本发明的第五方面的特征在于，在本发明的第一方面中，上述控制电路以在上述元件阵列的外周部分的1个角附近形成空区域的方式配置，在上述空区域中配置有用于同时传送多根同种信号的配线组。

本发明的第六方面的特征在于，在本发明的第五方面中，上述配线组中包括多根视频信号线。

本发明的第七方面的特征在于，在本发明的第五方面中，上述配线组中包括相展开后的多根视频信号线。

本发明的第八方面的特征在于，在本发明的第五方面中，上述配线组中包括与各色信号对应的4根以上的视频信号线。

本发明的第九方面的特征在于，在本发明的第一方面中，上述控制电路以在上述元件阵列的外周部分的1个角附近形成空区域的方式配置，在上述空区域中配置有对在外端子与上述控制电路之间传送的信号的电平进行变换的电平转换器。

本发明的第十方面的特征在于，在本发明的第一方面中，还包括在上述基底基板上沿着上述元件阵列的行方向的边配置的、对与上述元件的列对应的列配线进行预充电的预充电电路，上述控制电路以在上述元件阵列的外周部分的1个角附近形成空区域的方式配置，连接外部端子和上述预充电电路的配线通过上述空区域。

本发明的第十一方面的特征在于，在本发明的第一方面中，还包括在上述基底基板上沿着上述元件阵列的另一边配置的、以行单位和列单位中与上述控制电路不同的单位控制上述元件的另一控制电路。

本发明的第十二方面的特征在于，在本发明的第十一方面中，上

述控制电路以在上述元件阵列的外周部分的 1 个角附近形成空区域的方式配置，在上述空区域中配置有对在外部端子与上述另一控制电路之间传送的信号的电平进行变换的电平转换器。

本发明的第十三方面的特征在于，在本发明的第一方面中，还包括在上述基底基板上沿着上述元件阵列的其它两边按照分成第一部分和第二部分的方式进行配置的、以行单位和列单位中与上述控制电路不同的单位控制上述元件的另一控制电路，上述控制电路以在上述元件阵列的外周部分的 2 个角附近分别形成空区域的方式配置，连接外部端子和上述第一部分的配线通过上述空区域的一个，连接外部端子和上述第二部分的配线通过上述空区域的另一个。

本发明的第十四方面是一种液晶面板，其具有将两块基板贴合的结构，其特征在于，包括：

元件侧基板，该元件侧基板包括：基底基板，由在上述基底基板上呈二维状配置的显示元件构成的像素阵列，和在上述基底基板上沿着上述像素阵列的一边配置的、以行单位或者列单位控制上述显示元件的控制电路；和

与上述元件侧基板相对的相对基板，

上述控制电路具有将与上述显示元件的控制单位对应的单位控制电路呈一维状连续配置的结构，

上述单位控制电路的配置间隔比上述显示元件的控制单位的配置间隔窄，并且，两者的差为对于上述控制电路能够容许的最小配线宽度以下或者最小配线间隔以下。

发明效果

根据本发明的第一方面，通过使用长边方向的尺寸比相同方向的元件阵列的尺寸小的控制电路，在配置有控制电路的部分的框中形成空区域（既没有配置元件也没有配置其控制电路的区域）。因此，通过在所形成的空区域中配置电路或配线，能够缩小器件基板的框尺寸。另外，通过缩小框尺寸，能够增加在 1 块母基板上能够搭载的器件基板的块数，从而降低器件基板的成本。另外，因为元件的控制单位的配置间隔与单位控制电路的配置间隔的差小，所以能够几乎不使控制电路的短边方向的尺寸增大，而缩小控制电路的长边方向的尺寸。

根据本发明的第二方面，在控制电路是具有将触发电路连续配置的结构的情况下，通过以比元件的行稍窄的间隔配置触发电路，行控制电路的列方向的尺寸变得比像素阵列的列方向的尺寸小。通过在由此形成的空区域中配置电路或配线，能够缩小器件基板的框尺寸。

根据本发明的第三方面，在控制电路是具有将触发电路连续配置的结构的情况下，通过以比元件的列稍窄的间隔配置触发电路，列控制电路的行方向的尺寸变得比像素阵列的行方向的尺寸小。通过在由此形成的空区域中配置电路或配线，能够缩小器件基板的框尺寸。

根据本发明的第四方面，在控制电路是具有将采样电路连续配置的结构的情况下，通过以比元件的列稍窄的间隔配置采样电路，列控制电路的行方向的尺寸变得比像素阵列的行方向的尺寸小。通过在由此形成的空区域中配置电路或配线，能够缩小器件基板的框尺寸。

根据本发明的第五方面，将用于同时传送多根同种信号的配线组配置在通过适当地配置控制电路而形成的空区域中，由此，能够将该配线组配置在相同路径中以维持等长性，同时能够缩小器件基板的框尺寸。

根据本发明的第六方面，能够将多根视频信号线配置在相同路径中以维持等长性，同时能够缩小器件基板的框尺寸。

根据本发明的第七方面，能够将相展开后的多根视频信号线配置在相同路径中以维持等长性，同时能够缩小器件基板的框尺寸。

根据本发明的第八方面，能够将与各色信号对应的 4 根以上的视频信号线配置在相同路径中以维持等长性，同时能够缩小器件基板的框尺寸。

根据本发明的第九方面，将控制电路用的电平转换器配置在通过适当地配置控制电路而形成的空区域中，由此能够缩小器件基板的框尺寸。

根据本发明的第十方面，将连接外部端子和预充电电路的配线配置在通过适当地配置控制电路而形成的空区域中，由此能够缩小器件

基板的框尺寸。

根据本发明的第十一方面，对于包括另一控制电路的器件基板，也在配置有控制电路的部分的框中形成空区域，在所形成的空区域中配置电路或配线，由此能够缩小框尺寸。

根据本发明的第十二方面，将另一控制电路用的电平转换器配置在通过适当地配置控制电路而形成的空区域中，由此能够缩小器件基板的框尺寸。

根据本发明的第十三方面，将另一控制电路用的控制配线分为 2 部分配置在通过适当地配置控制电路而形成的 2 个空区域中，由此能够缩小器件基板的框尺寸。

根据本发明的第十四方面，通过使用长边方向的尺寸比相同方向的像素阵列的尺寸小的控制电路，在配置有控制电路的部分的框中形成空区域（既没有配置元件也没有配置其控制电路的区域）。因此，通过在所形成的空区域中配置电路或配线，能够缩小元件侧基板的框尺寸，从而缩小液晶面板的外形尺寸。另外，通过缩小元件侧基板的框尺寸，能够增加在 1 块母基板上能够搭载的元件侧基板的块数，从而降低液晶面板的成本。

附图说明

图 1 是本发明的第一实施方式的液晶面板的元件侧基板的平面图。

图 2 是本发明的第二实施方式的液晶面板的元件侧基板的平面图。

图 3 是本发明的第三实施方式的液晶面板的元件侧基板的平面图。

图 4A 是表示以往的液晶面板的元件侧基板中的配线间隔的图。

图 4B 是表示以往的液晶面板的元件侧基板中的配线间隔的图。

图 4C 是表示本发明的实施方式的液晶面板的元件侧基板中的配线间隔的图。

图 4D 是表示本发明的实施方式的液晶面板的元件侧基板中的配线间隔的图。

图 5 是图 4C 的 X 部的放大图。

图 6 是本发明的实施方式的器件基板的第一例的平面图。

图 7 是本发明的实施方式的器件基板的第二例的平面图。

图 8 是本发明的实施方式的器件基板的第三例的平面图。

图 9 是本发明的实施方式的器件基板的第四例的平面图。

图 10 是本发明的实施方式的器件基板的第五例的平面图。

图 11 是本发明的实施方式的器件基板的第六例的平面图。

图 12 是本发明的实施方式的器件基板的第七例的平面图。

图 13 是本发明的实施方式的器件基板的第八例的平面图。

图 14 是本发明的实施方式的器件基板的第九例的平面图。

图 15 是本发明的实施方式的器件基板的第十例的平面图。

图 16 是表示整体型液晶面板的外观的图。

图 17 是以往的液晶面板的元件侧基板的平面图。

符号说明

10、20、30	元件侧基板
11、21、31	基底基板
12、22、32	行控制电路
13、23、33	触发电路 (flip-flop circuit)
14、24、34	电平转换器 (level shifter)
15、25、35	输出电路
16、26、36	列控制电路
17、27、37	触发电路
18、28、38	电平转换器
19、29、39	采样电路
41	显示元件
42	外部端子
43	行侧电平转换器
44	列侧电平转换器
45	共用转移部件
46	相对电极
47	扫描信号线
48	数据信号线

具体实施方式

图 1~图 3 分别为本发明的第一~第三实施方式的液晶面板的元件侧基板的平面图。图 1~图 3 所示的元件侧基板 10、20、30 分别为在基底基板 11、21、31 上、整体地形成有显示元件及其驱动电路的器件基板。通过将元件侧基板 10、20、30 与相对基板如图 16 所示进行贴合，得到本发明的第一~第三实施方式的液晶面板。

在图 1 所示的元件侧基板 10 中，在基底基板 11 上形成有显示元件 41、行控制电路 12、列控制电路 16、外部端子 42、行侧电平转换器 43、列侧电平转换器 44、和共用转移部件 45。显示元件 41 在基底基板 11 上沿行方向并列配置有 $3m$ 个、沿列方向并列配置有 n 个，形成像素阵列。行控制电路 12 包括触发电路 13、电平转换器 14、和输出电路 15 各 n 个。列控制电路 16 包括 k 个 ($=m/2$ 个) 触发电路 17、 k 个电平转换器 18、和 $3m$ 个采样电路 19。

图 2 所示的元件侧基板 20，除了布局结构之外，与元件侧基板 10 相同。在元件侧基板 20 中，在基底基板 21 上形成有显示元件 41、行控制电路 22、列控制电路 26、外部端子 42、行侧电平转换器 43、列侧电平转换器 44、和共用转移部件 45。显示元件 41 在基底基板 21 上沿行方向并列配置有 $3m$ 个、沿列方向并列配置有 n 个，形成像素阵列。行控制电路 22 包括触发电路 23、电平转换器 24、和输出电路 25 各 n 个。列控制电路 26 包括 k 个 ($=m/2$ 个) 触发电路 27、 k 个电平转换器 28、和 $3m$ 个采样电路 29。

图 3 所示的元件侧基板 30，具有与元件侧基板 20 类似的布局结构。在元件侧基板 30 中，在基底基板 31 上形成有显示元件 41、行控制电路 32、列控制电路 36、外部端子 42、行侧电平转换器 43、列侧电平转换器 44、和共用转移部件 45。显示元件 41 在基底基板 31 上沿行方向并列配置有 m 个、沿列方向并列配置有 n 个，形成像素阵列。行控制电路 32 包括触发电路 33、电平转换器 34、和输出电路 35 各 n 个。列控制电路 36 包括触发电路 37、电平转换器 38、和采样电路 39 各 m 个。

此外，行控制电路 12、22、32 也被称作栅极驱动器，列控制电路 16、26、36 也被称作源极驱动器。另外，在图 1~图 3 中，仅图示出以

下说明所需要的配线，省略除此以外的配线（例如，电源配线）。另外，图 1~图 3 所示的相对电极 46 形成在与基底基板 11、21、31 相对的相对基板（未图示）上。以下，将显示元件 41 的行方向（图中的横方向）仅称为“行方向”，将显示元件 41 的列方向（图中的纵方向）仅称为“列方向”。

以下，参照图 1 说明元件侧基板 10 的结构（但是，布局结构将在后面说明）和动作。显示元件 41，如上所述，在行方向上并列配置有 $3m$ 个、在列方向上并列配置有 n 个，形成像素阵列。在该像素阵列中，配设有 n 根扫描信号线 47（也被称作栅极总线）和 $3m$ 根数据信号线 48（也被称作源极总线）。各扫描信号线 47 与同行中配置的显示元件 41 连接。各数据信号线 48 与同列中配置的显示元件 41 连接。在行方向上邻接配置的 3 个显示元件 41，依次与红、绿和蓝的副像素（sub-pixel）（也被称作绘素（picture element））对应。

行控制电路 12 使用 n 根扫描信号线 47 以行单位对显示元件 41 进行控制。使用 1 个触发电路 13、1 个电平转换器 14、和 1 个输出电路 15 对显示元件 41 的 1 行进行控制。

n 个触发电路 13 被串联连接，形成 n 段的移位寄存器。栅极起动脉冲（gate start pulse）GSP 经由外部端子 42 被供给至移位寄存器的数据输入端。栅极时钟 GCK 经由外部端子 42 被供给至移位寄存器的时钟端子。栅极起动脉冲 GSP 以 1 帧时间中 1 次的比例处于有效状态（在此为高电平）。栅极时钟 GCK 以在 1 线时间（line time）中 1 次的比例向规定的方向（在此为上升方向）变化。

n 个触发电路 13 的输出信号通常为低电平。在栅极起动脉冲 GSP 处于有效状态时当栅极时钟 GCK 上升时，只有第一个触发电路 13 的输出信号变成高电平。接着，当栅极时钟 GCK 上升时，只有第二个触发电路 13 的输出信号变成高电平。以下同样地，每当栅极时钟 GCK 上升时，依次只有第三个、第四个、……触发电路 13 的输出信号变成高电平。

电平转换器 14 将触发电路 13 的输出信号的电压变换为能够输入到输出电路 15 中的电平。此外，电平转换器 14 在不能用触发电路 13 的输出信号直接控制输出电路 15 的情况下设置。

输出电路 15 根据电平转换器 14 的输出信号, 将向扫描信号线 47 施加的电压切换至第一电平(与有效状态对应的电平)和第二电平(与非有效状态对应的电平)。

因此, 在第一线时间, 向第一个扫描信号线 47 施加的电压为上述第一电平, 第一行的显示元件 41 被控制为选择状态。在第二线时间, 向第二个扫描信号线 47 施加的电压变成上述第一电平, 第二行的显示元件 41 被控制为选择状态。以下同样地, 在第 i 线时间(i 为 1 以上 n 以下的整数), 向第 i 个扫描信号线 47 施加的电压变成上述第一电平, 第 i 行的显示元件 41 被控制为选择状态。这样, 显示元件 41 在 1 线时间内逐行地被控制为选择状态。

一般地, 当同时向液晶面板供给(与各色信号对应的信号线的根数) $\times a$ 根的视频信号时, 将 a 称为相展开数。元件侧基板 10 被同时供给 6 根模拟的视频信号 R1、R2、G1、G2、B1、B2, 因此, 相展开数为 2。

列控制电路 16 使用 $3m$ 根数据信号线 48 以列单位对显示元件 41 进行控制。显示元件 41 每 6 列被分成一组, 各组使用 1 个触发电路 17、1 个电平转换器 18、和 6 个采样电路 19 进行控制。此外, 一般当相展开数为 a 时, 显示元件 41 每 $3a$ 列被分为一组, 各组使用 1 个触发电路 17、1 个电平转换器 18、和 $3a$ 个采样电路 19 进行控制。

k 个($=m/2$ 个)触发电路 17 被串联连接, 形成 k 段的移位寄存器。此外, 一般当相展开数为 a 时, 由 (m/a) 个触发电路 13 形成 (m/a) 段的移位寄存器。源极起动脉冲(source start pulse) SSP 经由外部端子 42 被供给至移位寄存器的数据输入端子。源极时钟 SCK 经由外部端子 42 被供给至移位寄存器的时钟端子。源极起动脉冲 SSP 以在 1 线时间中 1 次的比例处于有效状态(在此为高电平)。源极时钟 SCK 在应该对视频信号进行采样的定时向规定的方向(在此为上升方向)变化。

k 个触发电路 17 的输出信号通常为低电平。在源极起动脉冲 SSP 处于有效状态时当源极时钟 SCK 上升时, 只有第一个触发电路 17 的输出信号变成高电平。接着, 当源极时钟 SCK 上升时, 只有第二个触发电路 17 的输出信号变成高电平。以下同样地, 每当源极时钟 SCK 上升时, 依次只有第三个、第四个……触发电路 17 的输出信号变成高

电平。

电平转换器 18 将触发电路 17 的输出信号的电压变换为能够输入到采样电路 19 中的电平。此外，电平转换器 18 在不能用触发电路 17 的输出信号直接控制采样电路 19 的情况下设置。

采样电路 19，当电平转换器 18 的输出信号上升时，对 6 根视频信号 R1、R2、G1、G2、B1、B2 中的任一个进行采样。所采样的信号被供给到数据信号线 48。在元件侧基板 10 中，1 个触发电路 17 与 6 个采样电路 19 对应。因此，当 1 个触发电路 17 的输出信号上升时，6 个采样电路 19 同时进行采样，6 根视频信号同时被供给到 6 根数据信号线 48。

行侧电平转换器 43 将经由外部端子 42 输入的信号 GCK、GSP 的电压变换为能够输入到行控制电路 12 中的电平。列侧电平转换器 44 将经由外部端子 42 输入的信号 SCK、SSP 的电压变换为能够输入到列控制电路 16 中的电平。此外，行侧电平转换器 43 在不能用经由外部端子 42 输入的信号直接控制行控制电路 12 的情况下设置，列侧电平转换器 44 在不能用经由外部端子 42 输入的信号直接控制列控制电路 16 的情况下设置。

这样，行控制电路 12 依次选择显示元件 41 的行，列控制电路 16 对显示元件 41 的行供给视频信号。显示元件 41 在由行控制电路 12 选择时，根据由列控制电路 16 供给的视频信号，切换显示状态。以行单位选择显示元件 41，对选择的显示元件的行供给视频信号，由此进行画面显示。

图 2 所示的元件侧基板 20 的结构（但是，除了布局结构以外）和动作与元件侧基板 10 相同，因此，在此省略说明。图 3 所示的元件侧基板 30 的结构（但是，除了布局结构以外）和动作，在以下方面与元件侧基板 10 不同。在元件侧基板 30 中，列控制电路 36 使用 m 根数据信号线 48 以列单位对显示元件 41 进行控制。1 根模拟的视频信号 VD 经由外部端子 42 被供给至列控制电路 36。使用 1 个触发电路 37、1 个电平转换器 38、和 1 个采样电路 39，对显示元件 41 的 1 列进行控制。

m 个触发电路 37 被串联连接，形成 m 段的移位寄存器。与元件侧

基板 10 的情况相同的信号 SCK、SSP, 经由外部端子 42 被供给至移位寄存器的数据输入端子和时钟端子。电平转换器 38 将触发电路 37 的输出信号的电压变换为能够输入到采样电路 39 中的电平。采样电路 39, 当电平转换器 38 的输出信号上升时, 对视频信号 VD 进行采样。采样的信号被供给到数据信号线 48。

以下, 对元件侧基板 10、20、30 的布局结构进行说明。在图 1 所示的元件侧基板 10 中, 触发电路 13 以列方向的尺寸(配置在元件侧基板上时的列方向的尺寸)比显示元件 41 的列方向的尺寸小的方式设计。电平转换器 14 和输出电路 15 以列方向的尺寸为触发电路 13 的列方向的尺寸以下的方式设计。

n 个触发电路 13 沿着像素阵列的列方向的边呈一维状连续配置。电平转换器 14 和输出电路 15, 与对应的触发电路 13 在行方向上并列配置。因此, 电平转换器 14 和输出电路 15, 以与触发电路 13 相同的间隔配置。

另外, 触发电路 13 的配置间隔 P_G 比显示元件 41 的行的配置间隔 P_G_PIX 窄, 但是这两个配置间隔的差设置有一定的限制。即, 两个配置间隔的差 ($P_G_PIX - P_G$) 被限制为设计行控制电路 12 时能够容许的最小配线宽度以下或者最小配线间隔以下。结果, 行控制电路 12 的列方向的尺寸比像素阵列的列方向的尺寸小, 但两者的差为上述最小配线宽度的 n 倍以下或者上述最小配线间隔的 n 倍以下。

通过这样使用列方向的尺寸比像素阵列小的行控制电路 12, 能够在配置有行控制电路 12 的部分的框中形成空区域(既没有配置显示元件也没有配置其控制电路的区域)。在图 1 所示的元件侧基板 10 中, 行控制电路 12 被配置在框的一边(列方向的边)的远离外部端子 42 的位置(在图 1 中为下侧), 在框的左上角形成空区域。在形成的空区域中配置有行侧电平转换器 43、列侧电平转换器 44、相展开后的视频信号线等。由此, 能够使配置有行控制电路 12 的部分的框的宽度缩小。

接着, 在图 2 所示的元件侧基板 20 中, 采样电路 29 以行方向的尺寸(配置在元件侧基板上时的行方向的尺寸)比显示元件 41 的行方向的尺寸小的方式设计。触发电路 27 和电平转换器 28 以行方向的尺寸为采样电路 29 的行方向的尺寸的 6 倍以下(一般地, 当相展开数为

a 时，为 $3a$ 倍以下）的方式设计。

$3m$ 个采样电路 29 沿着像素阵列的行方向的边呈一维状连续配置。触发电路 27 和电平转换器 28，与对应的 6 个采样电路 29 在列方向上并列配置。因此，触发电路 27 和电平转换器 28，以与 6 个采样电路 29 相同的间隔配置。

另外，采样电路 29 的配置间隔 P_S 比显示元件 41 的列的配置间隔 P_S_PIX 窄，但是这两个配置间隔的差设置有一定的限制。即，两个配置间隔的差 ($P_S_PIX - P_S$) 被限制为设计列控制电路 26 时能够容许的最小配线宽度以下或者最小配线间隔以下。结果，列控制电路 26 的行方向的尺寸比像素阵列的行方向的尺寸小，但两者的差为上述最小配线宽度的 $3m$ 倍以下或者上述最小配线间隔的 $3m$ 倍以下。

通过这样使用行方向的尺寸比像素阵列小的列控制电路 26，能够在配置有列控制电路 26 的部分的框中形成空区域。在图 2 所示的元件侧基板 20 中，列控制电路 26 被配置在框的一边（行方向的边）的远离外部端子 42 的位置（在图 2 中为右侧），在框的左上角形成空区域。在形成的空区域中配置有行侧电平转换器 43、列侧电平转换器 44、相展开后的视频信号线等。由此，能够使配置有列控制电路 26 的部分的框的宽度缩小。

接着，在图 3 所示的元件侧基板 30 中，触发电路 37 以行方向的尺寸比显示元件 41 的行方向的尺寸小的方式设计。电平转换器 38 和采样电路 39 以行方向的尺寸为触发电路 37 的行方向的尺寸以下的方式设计。

m 个触发电路 37 沿着像素阵列的行方向的边呈一维状连续配置。电平转换器 38 和采样电路 39，与对应的触发电路 37 在列方向上并列配置。因此，电平转换器 38 和采样电路 39 以与触发电路 37 相同的间隔配置。

另外，触发电路 37 的配置间隔 P_S 比显示元件 41 的列的配置间隔 P_S_PIX 窄，但是这两个配置间隔的差设置有一定的限制。即，两个配置间隔的差 ($P_S_PIX - P_S$) 被限制为设计列控制电路 36 时能够容许的最小配线宽度以下或者最小配线间隔以下。结果，列控制电路 36 的行方向的尺寸比像素阵列的行方向的尺寸小，但两者的差为上述

最小配线宽度的 m 倍以下或者上述最小配线间隔的 m 倍以下。

通过这样使用行方向的尺寸比像素阵列小的列控制电路 36，能够在配置有列控制电路 36 的部分的框中形成空区域。在图 3 所示的元件侧基板 30 中，列控制电路 36 被配置在框的一边（行方向的边）的远离外部端子 42 的位置（在图 3 中为右侧），在框的左上角形成空区域。在形成的空区域中配置有行侧电平转换器 43、列侧电平转换器 44 等。由此，能够使配置有列控制电路 36 的部分的框的宽度缩小。

这样，根据元件侧基板 10、20、30，使行控制电路 12 或者列控制电路 26、36 的长边方向的尺寸缩小以形成空区域，在所形成的空区域中配置电路（例如，行侧电平转换器 43、列侧电平转换器 44）、配线（例如，相展开后的视频信号线），由此，能够使配置有行控制电路 12 或者列控制电路 26、36 的部分的框的宽度缩小。此外，根据在元件侧基板上形成的电路的尺寸和在元件侧基板上形成的配线的混杂度，也有能够使框的宽度在两边缩小的情况。

此外，根据元件侧基板 10、20、30，能够不损害等长性地配置连接外部端子 42 和列控制电路 16、26、36 的多个视频信号线（详细内容将在后文叙述）。由此，能够使视频信号线的配线负荷均匀化，防止显示品质的恶化。另外，通过在上述空区域中配置行侧电平转换器 43、列侧电平转换器 44，能够在液晶面板的外部使用低电压化的信号源电路。因此，能够使用广泛流通的已有的部件构成低耗电的液晶显示装置。

此外，在元件侧基板 10、20、30 中，使行控制电路或者列控制电路的一方缩小，但是也可以利用上述的方法使行控制电路和列控制电路两者缩小。

以下，参照图 4A~图 4D，将元件侧基板 10、20、30 的布局结构与以往的元件侧基板的布局结构对比而进行说明。在图 4A~图 4D 及其说明中，将在元件侧基板上整体地形成的行控制电路或者列控制电路称作“控制电路”，将由控制电路控制的配线称作“像素间配线”。换言之，在此所说的控制电路为行控制电路 12 和列控制电路 26、36 中的任一个，在此所说的像素间配线为扫描信号线 47 和数据信号线 48 中的任一个。

图 4A 是表示一般的液晶面板的元件侧基板中的配线间隔的图。在一般的元件侧基板中,控制电路的输出位置的间隔 $A1$ 与显示元件的相同方向的配置间隔 B 相同 ($A1=B$),控制电路的长边方向的尺寸 $W1$ 与像素阵列的相同方向的尺寸大致相同。但是,在图 4A 所示的结构中,需要将电路和配线集中配置在框的 4 角(特别是靠近外部端子的一侧的 2 个角),存在框尺寸增大的问题。

图 4B 是表示专利文献 2(日本特开 2002-6331 号公报)中公开的液晶面板的元件侧基板中的配线间隔的图。在该情况下,控制电路被分为多个部分配置在框中。另外,控制电路的输出位置的间隔 $A2$ 比显示元件的相同方向的配置间隔 B 窄 ($A2<B$),控制电路的长边方向的尺寸 $W2$ 的合计与像素阵列的相同方向的尺寸相比足够小。控制电路与像素间配线通过扇状的倾斜配线连接。

在该专利文献中,并未具体地公开将控制电路的长边方向的尺寸缩小到什么程度。实际中,为了确保能够配置共用转移电极的那样的区域,需要使控制电路缩小某一程度(至少几%以上)。但是,为了将控制电路的长边方向的尺寸缩小至该程度,需要使控制电路中包含的晶体管的结构、配线的布局大幅变更。另外,当缩小长边方向的尺寸时,短边方向的尺寸大多要增大。另外,在图 4B 所示的结构中,连接控制电路和像素间配线的倾斜配线的配线长和配线延迟不统一,显示品质会恶化。

图 4C 是表示元件侧基板 10、20、30 中的配线间隔的图。在元件侧基板 10、20、30 中,控制电路的输出位置的间隔 $A3$ 比显示元件的相同方向的配置间隔 B 窄 ($A3<B$),控制电路的长边方向的尺寸 $W3$ 比像素阵列的相同方向的尺寸小。元件侧基板 10、20、30 在这一点与图 4B 所示的结构相同。除此以外,在元件侧基板 10、20、30 中,与图 4B 所示的结构不同,控制电路的输出位置的间隔 $A3$ 与显示元件的相同方向的配置间隔 B 的差 ($B-A3$) 为设计控制电路时能够容许的最小配线宽度以下或者最小配线间隔以下。

当将元件侧基板的电路图案曝光时,例如,使用具有 $4\mu\text{m}$ 左右的分辨率的曝光装置。另外,为了防止由制造时的异物引起的膜残留或断线,有时也使用比该分辨率粗的设计规则进行布局。这样,元件侧

基板以几 μm 左右的设计规则进行布局,在某些位置以 $10\mu\text{m}$ 左右的设计规则进行布局。

但是,并不是全部电路都以设计规则的极限值进行布局,在布局结果中大多分散有几 μm 左右的富余。因此,为了使控制电路中包含的触发电路或采样电路的尺寸在特定方向上缩小设计规则的极限值以下,不需要使这些电路中包含的晶体管或配线大幅移动,将上述的富余稍微削减即足够。由此,能够不使触发电路和采样电路的布局大幅变更,而在特定方向上缩小这些电路的尺寸。

这样利用分散在布局结果中的富余,将触发电路或者采样电路的尺寸在特定方向上缩小设计规则的极限值以下,由此,能够将控制电路的短边方向的长度保持为大致相同(最好情况是相同),同时能够将控制电路的长边方向的尺寸 $W3$ 缩小设计规则的极限值的 n 倍以下、 $3m$ 倍以下或者 m 倍以下。

例如,在 $240(\text{列}) \times \text{RGB} \times 320(\text{行})$ 点结构的液晶面板中,考虑显示元件的行以 $150\mu\text{m}$ 的间隔配置的情况。在该情况下,如果行控制电路中包含的触发电路等的配置间隔比显示元件的行的配置间隔小 $2\mu\text{m}$,则行控制电路的列方向的尺寸比像素阵列的列方向的尺寸小 $2\mu\text{m} \times 320 = 640\mu\text{m}$ 。

上述 $2\mu\text{m}$ 的值,从曝光装置的分辨率来看足够小,是 1 根配线也不能配置的小尺寸。因此,即使使行控制电路中包含的触发电路等的列方向的尺寸减小 $2\mu\text{m}$,触发电路等的行方向的尺寸也几乎不发生变化。因此,能够维持行控制电路的行方向的尺寸,同时将列方向的尺寸缩小 $640\mu\text{m}$ 。

另外,在 $240(\text{列}) \times \text{RGB} \times 320(\text{行})$ 点结构的液晶面板中,考虑显示元件的列以 $50\mu\text{m}$ 的间隔配置的情况。在该情况下,如果列控制电路中包含的采样电路等的配置间隔比显示元件的列的配置间隔小 $1\mu\text{m}$,则列控制电路的行方向的尺寸缩小 $1\mu\text{m} \times (240 \times 3) = 720\mu\text{m}$ 。

上述 $1\mu\text{m}$ 的值,从曝光装置的分辨率来看足够小,是 1 根配线也不能配置的小尺寸。因此,即使使列控制电路中包含的采样电路等的行方向的尺寸减小 $1\mu\text{m}$,采样电路等的列方向的尺寸也几乎不发生变化。因此,能够维持列控制电路的列方向的尺寸,同时将行方向的尺

寸缩小 $720\mu\text{m}$ 。

这样，在上述的例子中，能够将行控制电路的列方向的尺寸缩小 $640\mu\text{m}$ 、将列控制电路的行方向的尺寸缩小 $720\mu\text{m}$ 。在最近的液晶面板中，框的宽度为 2mm 左右，视频信号线的线宽为 $50\mu\text{m}$ 左右。因此，如果将控制电路的长边方向的尺寸缩小 $640\mu\text{m}$ 或者 $720\mu\text{m}$ ，则能够形成能够配置电平转换器等电路和多个视频信号线的足够宽度的空区域。此外，一般在彩色液晶面板中，显示元件的列数比显示元件的行数多，因此，如果使列控制电路中包含的采样电路等的配置间隔缩小非常小的量，则能够使列控制电路的行方向的尺寸大幅缩小。

另外，在元件侧基板 10、20、30 中，控制电路具有触发电路或者采样电路呈一维状连续的结构。因此，在将控制电路分为多个部分配置在框中的情况下，能够防止连接控制电路和像素间配线的配线的长度在某处显著不同、在显示画面中出现边界。

以下，对元件侧基板 10、20、30 中的、连接控制电路和像素间配线的配线（以下称为连接配线）进行说明。在元件侧基板 10、20、30 中，作为连接配线，可以使用笔直地连接控制电路的输出位置和像素间配线的倾斜配线。在该情况下，连接配线的长度变得不统一，但在即使连接配线的长度不统一也能得到足够的显示品质的情况下，能够使用上述那样的直线的倾斜配线。

在直线的倾斜配线不能得到足够的显示品质的情况下，通过使用在中途弯曲的配线作为连接配线，能够使连接配线的长度统一。在图 4C 中，将控制电路的输出位置和像素间配线从左边开始依次作为第一个、第二个、……第 z 个。第一个输出位置与第一个像素间配线由直线的倾斜配线 $L1$ 连接，第 z 个输出位置与第 z 个像素间配线由直线的倾斜配线 $L2$ 连接。倾斜配线 $L1$ 、 $L2$ 与控制电路的长边方向的边所成的角分别为 θ_1 、 θ_2 。另外，如图 4C 所示，当将控制电路和像素阵列以中央对齐的方式配置的情况下， $\theta_1 = \theta_2$ 。

参照图 5，说明任意位置的连接配线的形状。图 5 是图 4C 的 X 部的放大图。设通过第 i 个（ i 是满足 $1 < i < z$ 的整数）输出位置并平行于倾斜配线 $L2$ 的直线、与通过第 i 个像素间配线的一端并平行于倾斜配线 $L1$ 的直线的交点为 P_i 。第 i 个输出位置与第 i 个像素间配线，由连

接第 i 个输出位置与点 P_i 的配线、和连接点 P_i 与第 i 个像素间配线的一端的配线（即，连接第 i 个输出位置和第 i 个像素间配线的一端、并在点 P_i 弯曲的配线）连接。

在使用图 4C 和图 5 所示的连接配线的情况下，连接配线的长度变得统一，连接配线的配线电阻和电容变得统一。因此，能够防止由使用扇状的倾斜配线而引起的显示不均匀。

或者，在元件侧基板 10、20、30 中，也可以使用图 4D 所示的连接配线。在液晶面板的元件侧基板中，大多情况下配线和电路集中在控制电路的一端。在该情况下，可以以远离配线和电路集中的区域的方式配置控制电路。具体地说，可以将控制电路配置成不与像素阵列中央对齐，使连接配线的倾斜度在控制电路的一端（图 4D 中的左端）附近的一侧大、在控制电路的另一端（图 4D 中的右端）附近的一侧小。由此，能够在控制电路的一端（图 4D 中的左端）形成足够宽度的空区域。

在使用图 4D 所示的连接配线的情况下，控制电路中包含的触发电路和采样电路的配置间隔的缩小量（B-A4）比图 4C 所示的情况下的缩小量（B-A3）小。因此，对构成控制电路中包含的触发电路和采样电路的晶体管或配线的布局进行修正的必要性进一步变小。因此，能够几乎不变更控制电路的短边方向的尺寸，而缩小控制电路的长边方向的尺寸，从而缩小元件侧基板的框尺寸。

此外，在使用图 4C 和图 4D 所示的倾斜配线作为连接配线的情况下，希望以连接配线的长度（换言之，控制电路与元件阵列的分离尺寸）尽可能短的方式进行布局。即，希望以相对于控制电路的短边方向的尺寸，控制电路与元件阵列的分离尺寸充分小的方式进行布局。例如，在控制电路的短边方向的尺寸为几 mm 的情况下，设上述分离尺寸与以往的液晶面板为相同程度（即，几百 μm 左右），希望以倾斜配线收纳在该分离尺寸的区域内的方式调整布局。如果这样进行布局，则即使使用倾斜配线作为连接配线，上述分离尺寸也不会增大，因此，能够防止器件基板的框的增大。

到此，作为本发明的器件基板的例子，对液晶面板的元件侧基板进行了说明，但是本发明也能够应用于整体地形成有元件阵列及其控

制电路的其它的器件基板。例如，本发明也能够应用于有机电致发光面板等显示面板、传感器矩阵等传感器面板等。在应用于其它的器件基板的情况下，也使行控制电路或者列控制电路的长边方向的尺寸比元件阵列的相同方向的尺寸小，以形成空区域，并在所形成的空区域中配置电路、配线等，由此，能够缩小器件基板的尺寸。

通过缩小行控制电路或者列控制电路的长边方向的尺寸而形成的空区域的利用方式，可考虑很多的变化。图 6~图 15 是本发明的实施方式的器件基板的平面图。参照图 6~图 15，包括已经叙述的结构在内，对本发明的各种实施方式进行说明。此外，在图 6~图 15 中，粗线是强调表示视频信号线，LS 是表示电平转换器。另外，在以下的说明中，举出电平转换器作为介于外部端子与控制电路之间的电路的代表例，但是在将其它电路（例如，电源电路）设置在器件基板上的情况下也是同样的。

（1）配线集中在器件基板的一角的情况（图 6）

当在器件基板上整体地形成某电路时，有时该电路的控制配线集中配置在器件基板的一角，器件基板的尺寸增大。因此，通过在本发明而形成的空区域中配置配线，能够缩小器件基板的尺寸。另外，通过用短的配线将在器件基板上形成的电路与外部端子连接，能够使电路稳定地动作。

（2）用于同时传送多根同种信号的配线组集中在器件基板的一角的情况（图 7）

为了防止配线集中在器件基板的一角，考虑将配线分为 2 个以上的组，将各组中包含的配线配置在不同的路径中的方法。但是，当对用于同时传送多根同种信号的配线组（例如，用于同时传送多根与各色成分对应的模拟视频信号的视频信号线组）应用该方法时，配线长和配线延迟变得不统一，有时显示品质会恶化。因此，用于同时传送多根同种信号的配线组需要配置在相同路径中。因此，通过将用于同时传送多根同种信号的配线组配置在应用本发明而形成的空区域中，能够将该配线组配置在相同路径中以维持等长性，同时缩小器件基板的尺寸。

另外，在包括与 4 色以上的颜色对应的元件的器件基板中，通过

在应用本发明而形成的空区域中配置与各色信号对应的 4 根以上的视频信号线，能够将 4 根以上的视频信号线配置在相同路径中以维持等长性，同时缩小器件基板的尺寸。该方法能够应用于包括与 4 色以上的颜色对应的显示元件的液晶面板。

(3) 相展开后的视频信号线集中在器件基板的一角的情况 (图 8)

供给到器件基板的视频信号线有时会被相展开。一般，设相展开数为 a 时，在器件基板上配置 $3a$ 根视频信号线。因此，通过应用本发明而形成的空区域中配置相展开后的视频信号线，能够将该配线组配置在相同路径中以维持等长性，同时缩小器件基板的尺寸。

(4) 整体地形成有行侧电平转换器的情况 (图 9)

在经由外部端子输入的信号不能直接控制行控制电路的情况下，在外部端子与行控制电路之间，配置有对在两者之间传送的信号的电平进行变换的电平转换器。该电平转换器优选配置在器件基板的一角，但是列控制电路和配线也配置在那里，因此，器件基板的尺寸有时会增大。因此，通过将行侧电平转换器配置在应用本发明而形成的空区域中，能够缩小器件基板的尺寸。

(5) 整体地形成有列侧电平转换器的情况 (图 10)

在经由外部端子输入的信号不能直接控制列控制电路的情况下，在外部端子与列控制电路之间，配置有对在两者之间传送的信号的电平进行变换的电平转换器。该电平转换器优选配置在器件基板的一角，但是行控制电路和配线也配置在那里，因此，器件基板的尺寸有时会增大。因此，通过将列侧电平转换器配置在应用本发明而形成的空区域中，能够缩小器件基板的尺寸。

(6) 整体地形成有预充电电路的情况 (图 11)

在器件基板上，有时沿着元件阵列的行方向的边，配置有对与元件的列对应的列配线进行预充电的预充电电路。例如，为了提高显示元件的充电率，在液晶面板的元件侧基板上，配置有对列配线进行预充电的预充电电路。但是，在包括预充电电路的器件基板中，为了配置预充电电路用的控制配线，配线集中在器件基板的一角，器件基板的尺寸有时会增大。因此，通过将连接外部端子和预充电电路的配线配置在应用本发明而形成的空区域中，能够缩小器件基板的尺寸。

(7) 外部端子沿着行控制电路的长边方向设置的情况(图 12)

在至此说明的器件基板(参照图 1~图 3、图 6~图 11)中,外部端子沿着列控制电路的长边方向、隔着列控制电路而设置在元件阵列的相反侧。在这样的器件基板中,配线集中在列控制电路的一端或者两端。另一方面,在图 12 所示的器件基板中,外部端子沿着行控制电路的长边方向、隔着行控制电路而设置在元件阵列的相反侧。在这样的器件基板中,配线集中在行控制电路的一端或者两端,器件基板的尺寸增大。因此,通过将配线配置在应用本发明而形成的空区域中,能够缩小器件基板的尺寸。

(8) 行控制电路被分开配置在元件阵列的两侧的情况(图 13)

在器件基板中,有时行控制电路被分开配置在元件阵列的两侧。例如,在大画面的液晶面板中,扫描信号线的电阻变高,因此,有时采用将元件阵列分为左右两部分,从元件阵列的左右两侧驱动扫描信号线的方法。在这样的器件基板中,配线集中在行控制电路的一端或者两端,器件基板的尺寸增大。因此,通过将配线配置在应用本发明而形成的空区域中,能够缩小器件基板的尺寸。

(9) 整体地形成有与元件的控制无关的电路的情况(图 14)

在器件基板上,有时设置有与元件的控制无关的电路(以下,称为增值电路)。例如,在液晶面板的元件侧基板上,作为增值电路,有时设置有音频放大器电路、照度传感器电路等。如果考虑向设备的组装,则优选包括增值电路的器件基板的尺寸小。因此,通过将增值电路用的控制配线配置在应用本发明而形成的空区域中,能够缩小器件基板的尺寸。

(10) 列控制电路由整体地形成的开关电路和 IC 芯片构成的情况(图 15)

设置在器件基板上的列控制电路,有由在基底基板上整体地形成的开关电路、和搭载在基底基板上的 IC 芯片构成的情况。在该情况下,与列控制电路连接的视频信号线被配置在开关电路和 IC 芯片之间,因此,由于视频信号线,配线很少集中在器件基板的一角。但是,在行侧电平转换器被配置在器件基板的一角的情况下,因为开关电路和开关电路用的控制配线也被配置在那里,所以器件基板的尺寸有时会增

大。因此，通过将行侧电平转换器配置在应用本发明而形成的空区域中，能够缩小器件基板的尺寸。

此外，在将图 6~图 15 所示的器件基板作为液晶面板的元件侧基板使用的情况下，可以将该元件侧基板与相对基板如图 16 所示进行贴合。由此，能够得到外形尺寸小的液晶面板。

如以上所示，根据本发明的器件基板，通过使用长边方向的尺寸比相同方向的元件阵列的尺寸小的控制电路，在配置有控制电路的部分的框中形成空区域。因此，通过在形成的空区域中配置电路或配线，能够缩小器件基板的框尺寸。另外，通过缩小框尺寸，能够增加在 1 块母基板上能够搭载的器件基板的块数，从而降低器件基板的成本。另外，因为元件的行或者列的配置间隔与控制电路中包含的单位控制电路的配置间隔的差小，所以能够几乎不使控制电路的短边方向的尺寸增大，而缩小控制电路的长边方向的尺寸。

另外，根据具有这样的器件基板作为元件侧基板的本发明的液晶面板，通过缩小元件侧基板的框尺寸，能够缩小液晶面板的外形尺寸，并且降低液晶面板的成本。

产业上的可利用性

本发明的器件基板具有能够在由元件阵列与控制电路的尺寸的差产生的空区域中配置电路和配线、因此能够缩小器件基板的框尺寸的特征。因此，能够应用于液晶面板、有机电致发光面板、传感器矩阵等整体地形成有元件阵列及其控制电路的各种器件基板。

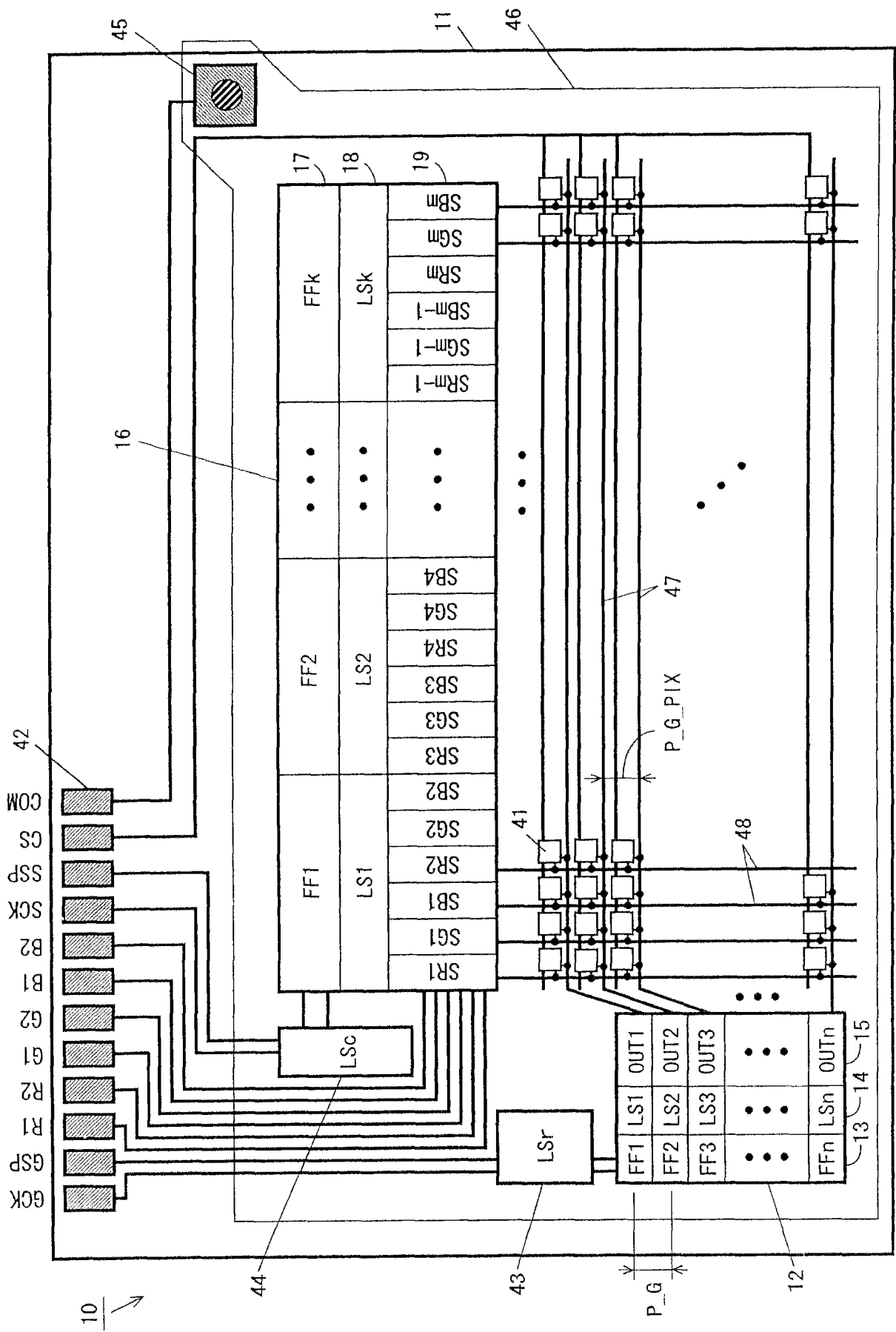
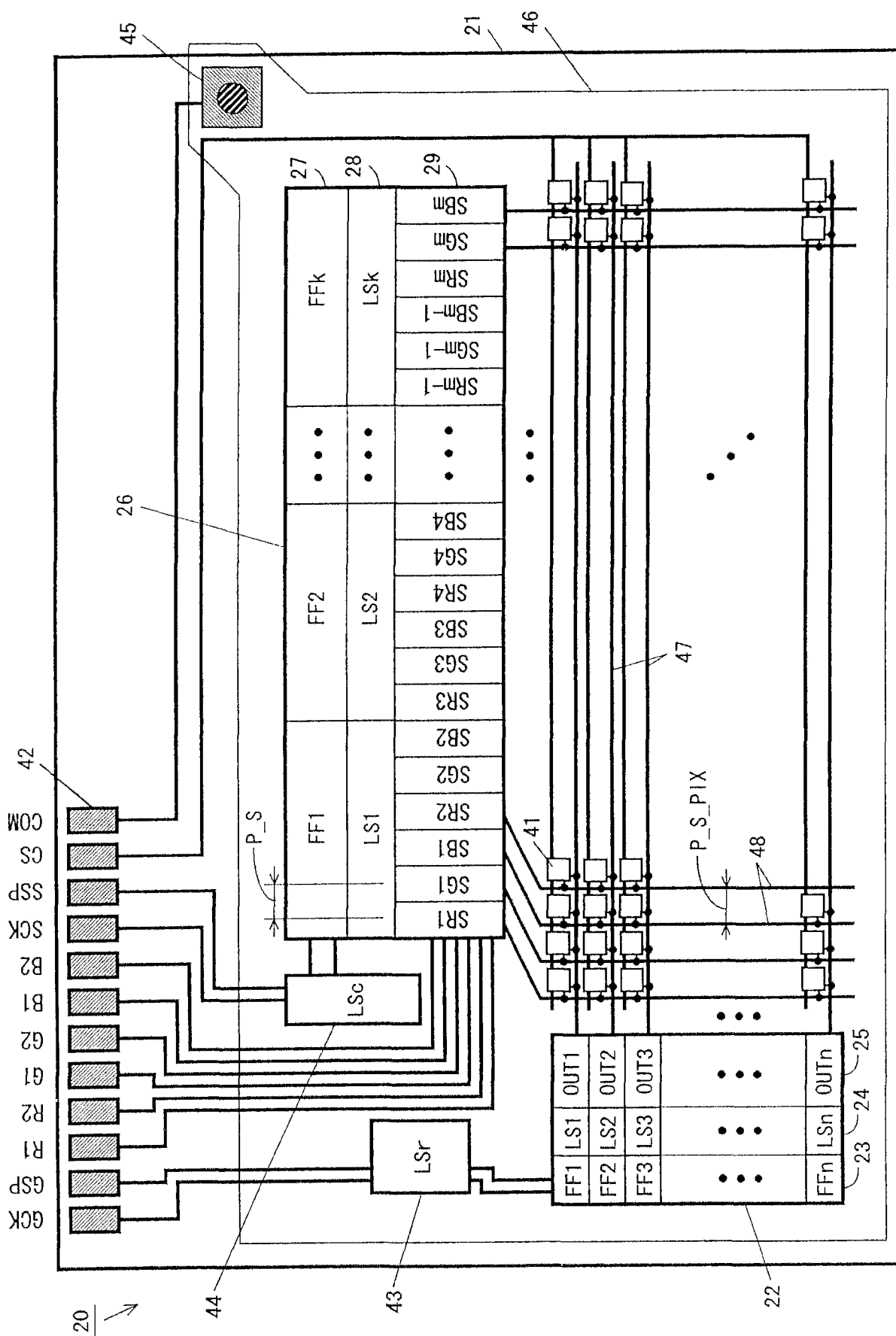
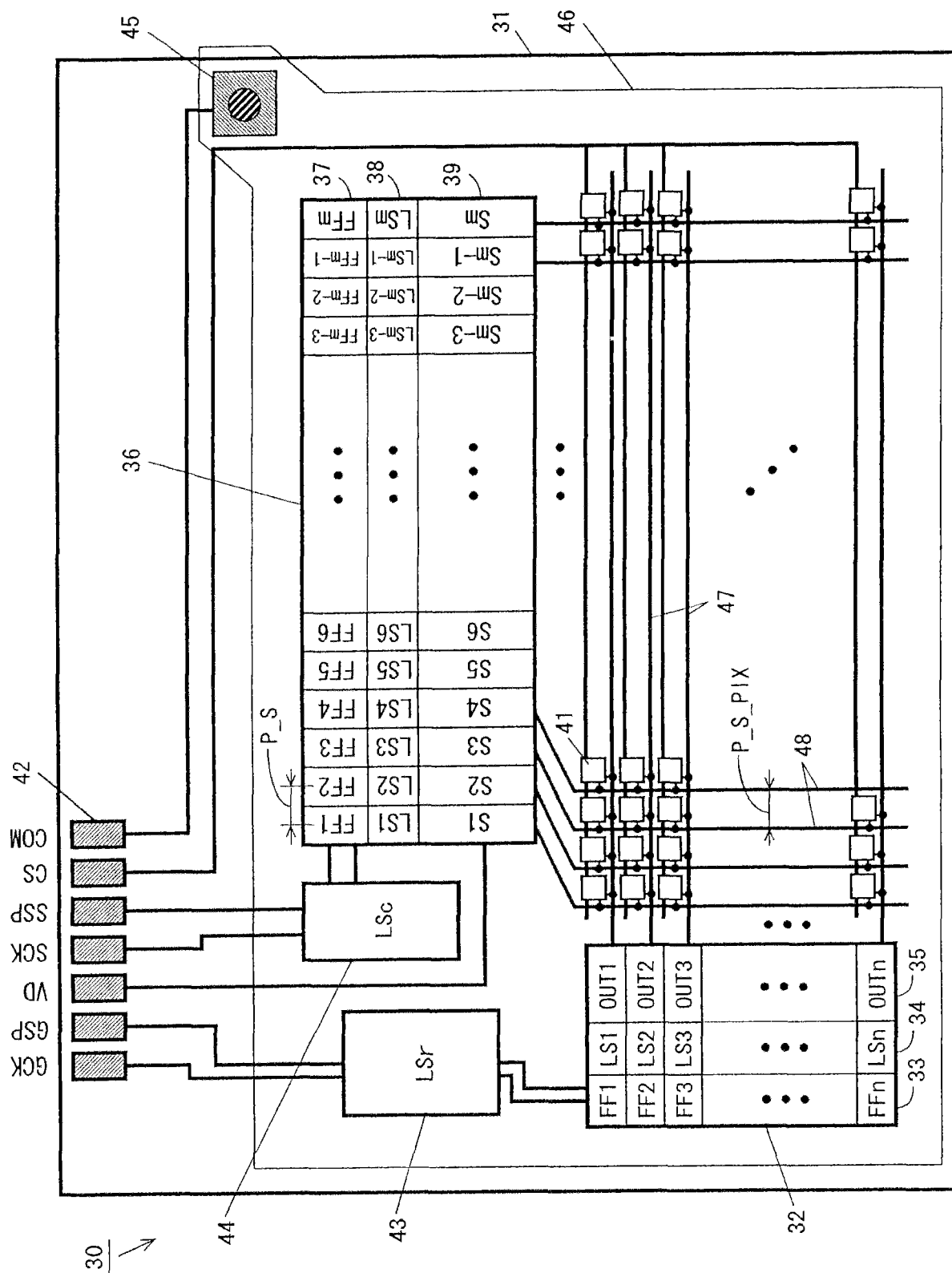


图1

2
文



3
XII

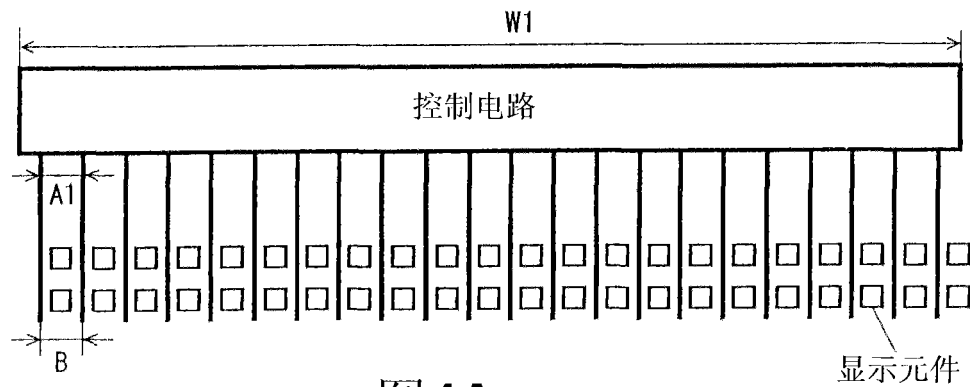


图4A

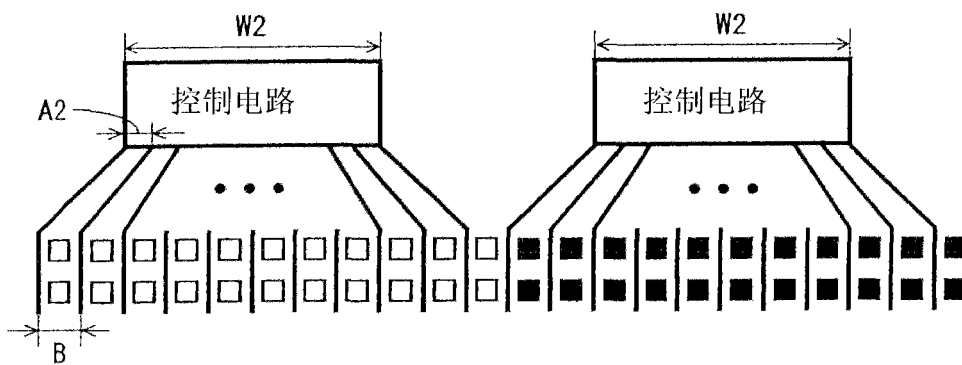


图4B

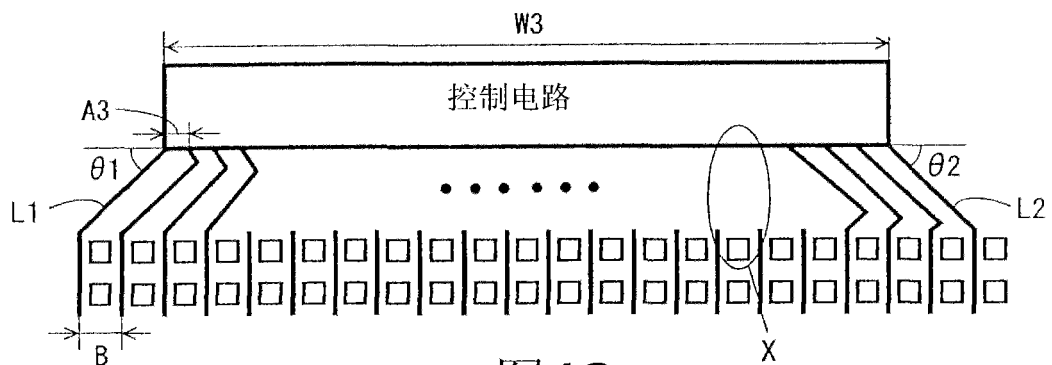


图4C

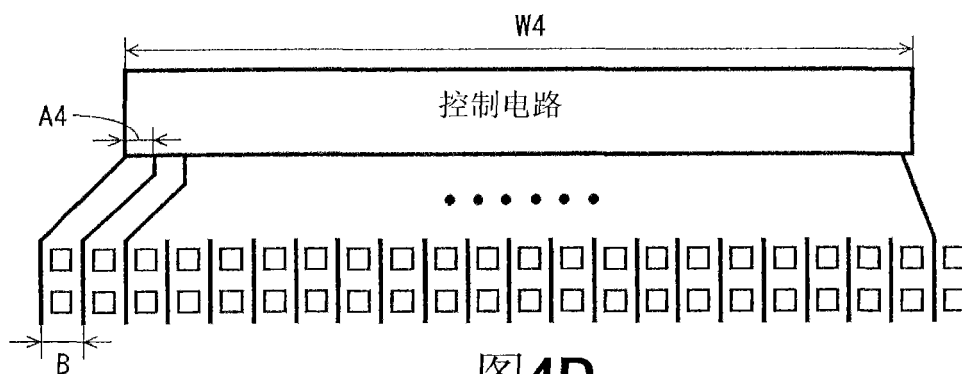


图4D

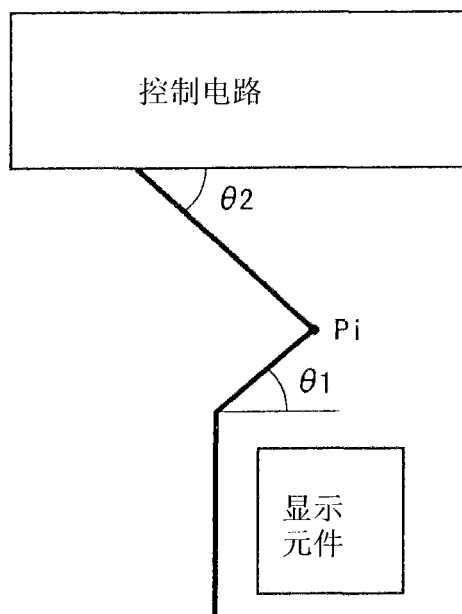


图5

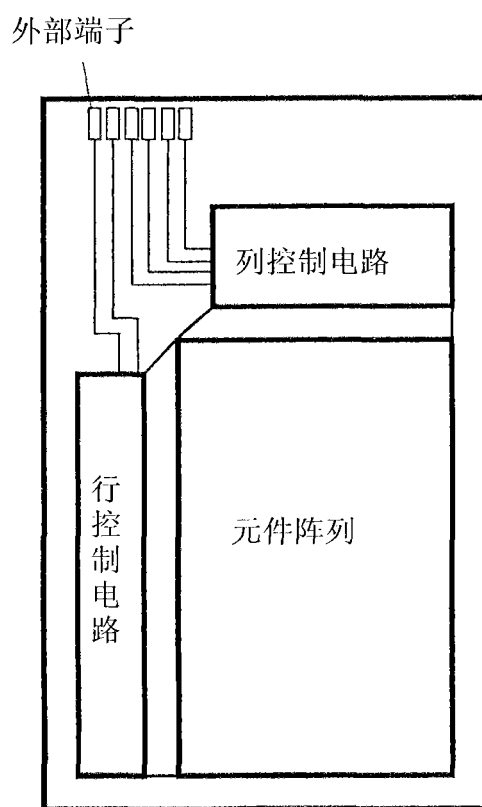


图6

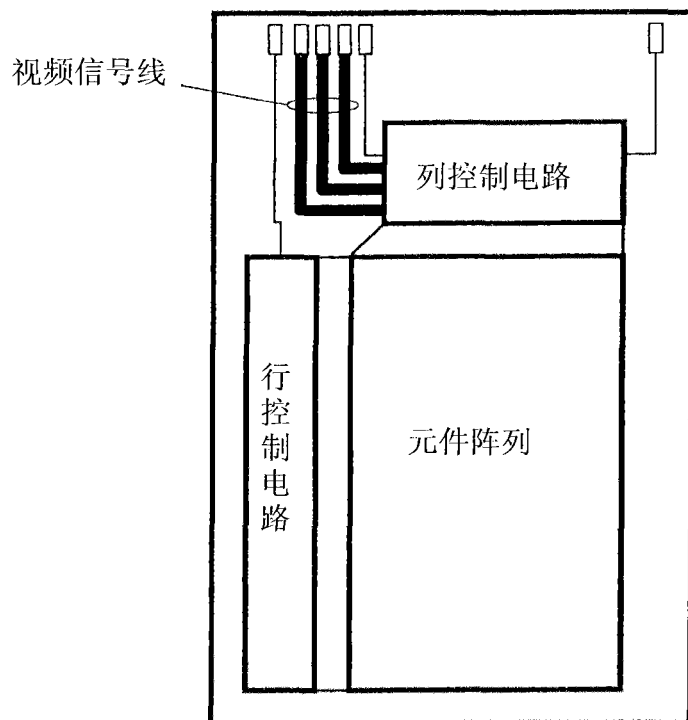


图7

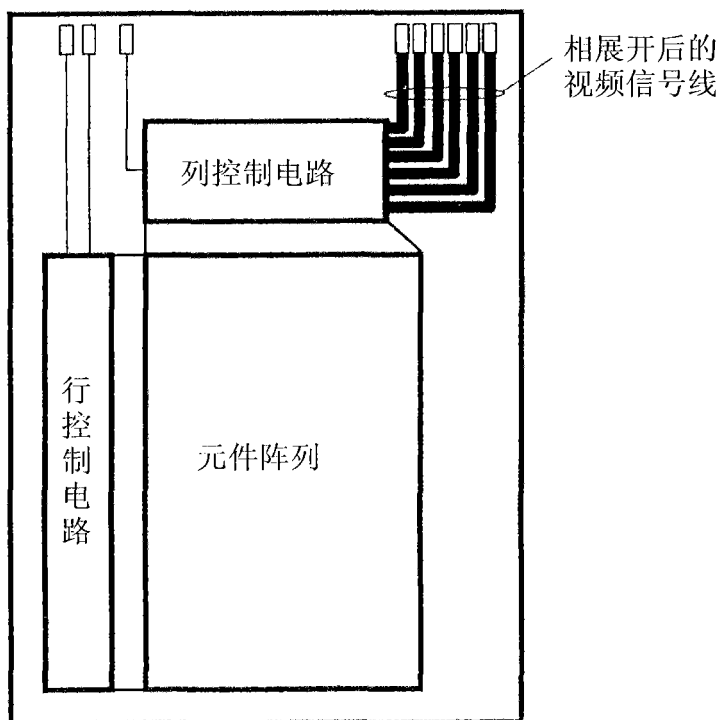


图8

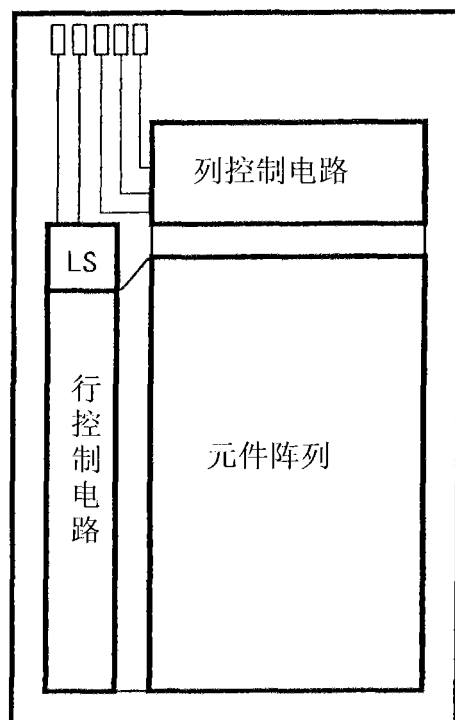


图9

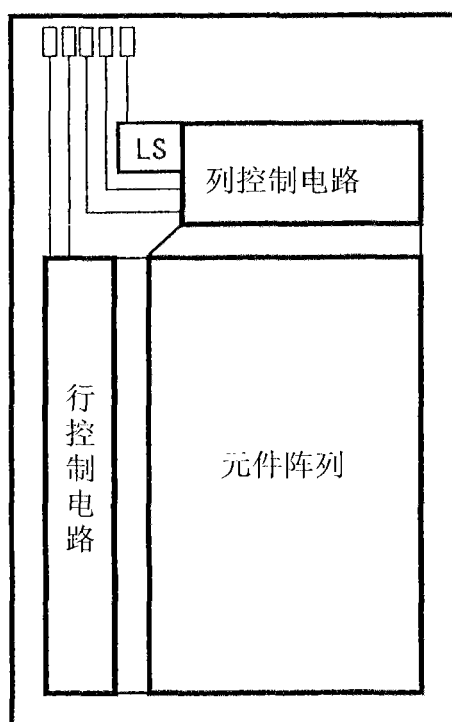


图10

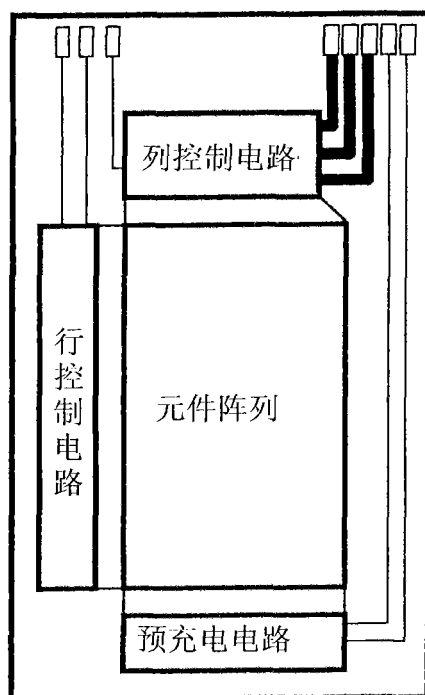


图11

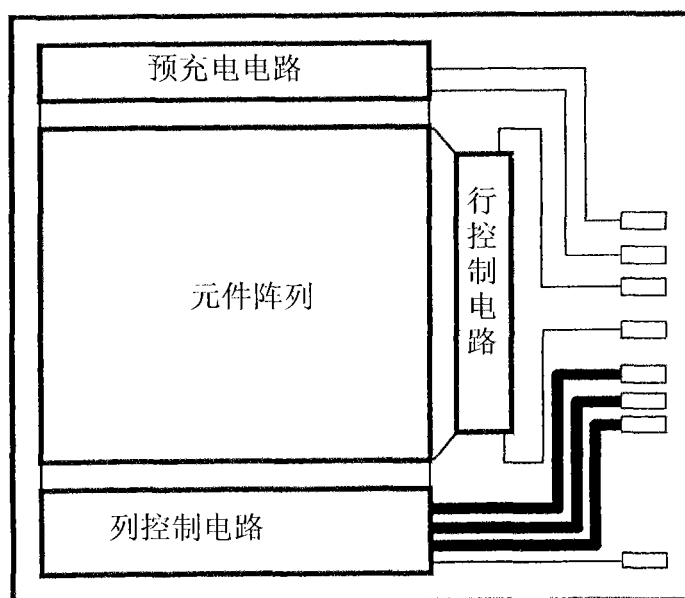


图12

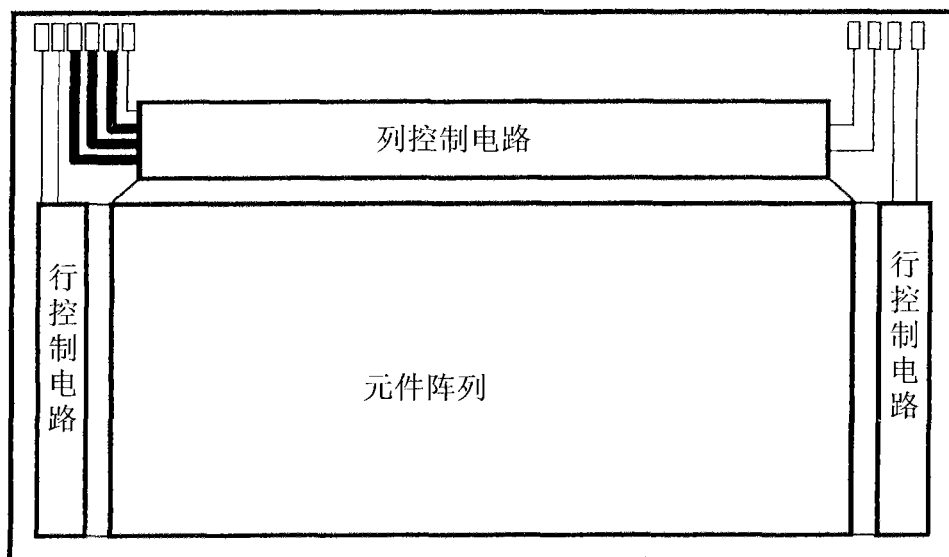


图13

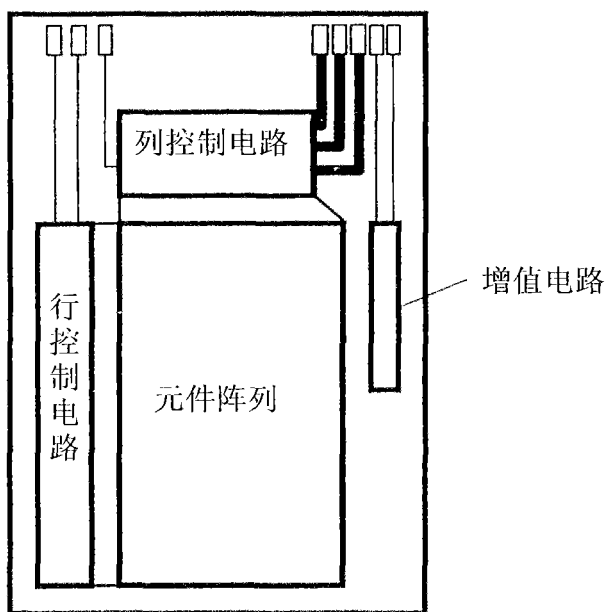


图14

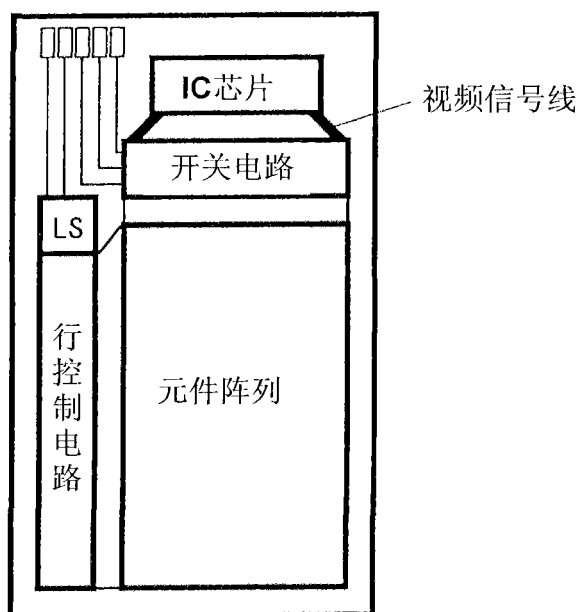


图15

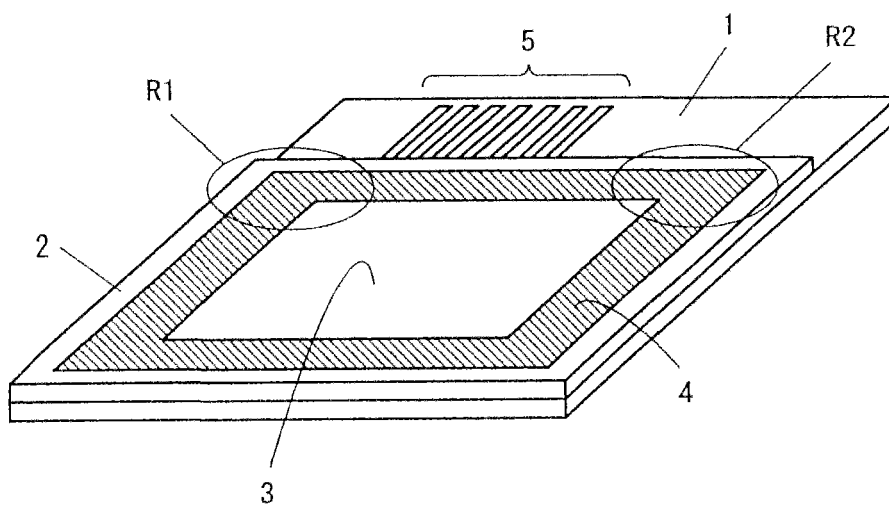


图16

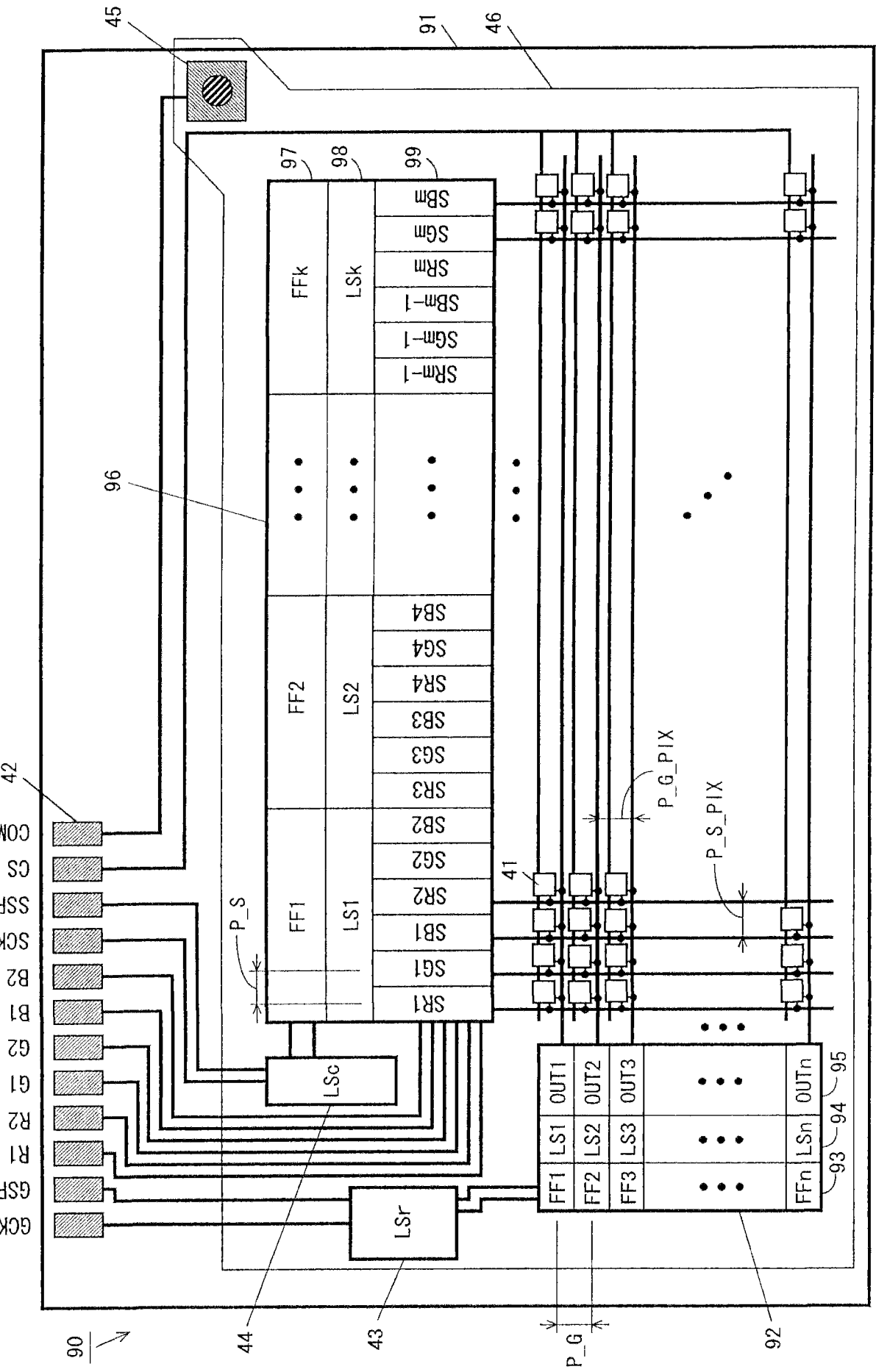


图17

专利名称(译)	器件基板和液晶面板		
公开(公告)号	CN101253446A	公开(公告)日	2008-08-27
申请号	CN200680031500.5	申请日	2006-04-21
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	藤川阳介		
发明人	藤川阳介		
IPC分类号	G02F1/1345 G09F9/00		
CPC分类号	G02F1/1345 G02F1/13452 G09G3/3674 G09G3/3685 G09G2300/0426		
代理人(译)	刘春成		
优先权	2005248538 2005-08-30 JP		
其他公开文献	CN101253446B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供器件基板和液晶面板。缩小器件基板的框尺寸，而不大幅变更布局。在基底基板(11)上整体地形成有由显示元件(41)构成的元件阵列和以行单位控制显示元件(41)的行控制电路(12)，由此构成液晶面板的元件侧基板(10)。行控制电路(12)具有将与显示元件(41)的行对应的触发电路(13)呈一维状连续配置的结构。触发电路(13)的配置间隔(P_G)比显示元件(41)的行的配置间隔(P_G_PIX)窄，并且，两者的差为对于行控制电路(12)能够容许的最小配线宽度以下或者最小配线间隔以下。在将行控制电路(12)在长边方向上缩小而得到的空区域中，配置视频信号线组、电平转换器等。也可以按照同样的方法将列控制电路在长边方向上缩小。

