



(45) 授权公告日 2011.12.28

审查员 胡阳

权利要求书 3 页 说明书 9 页 附图 18 页

1. 一种用于制造液晶显示器件的方法,包括:

提供划分为像素部分、第一区域的电路部分以及第二区域的电路部分的第一基板;

在所述第一基板上形成硅薄膜;

在所述硅薄膜上形成第一栅绝缘薄膜;

在所述第一栅绝缘薄膜上形成导电薄膜;

在所述像素部分、所述第一区域的电路部分和所述第二区域的电路部分中的所述导电薄膜上形成感光薄膜图案,其中所述像素部分具有第一感光薄膜图案和第二感光薄膜图案,其中所述第一感光薄膜图案的厚度大于所述第二感光薄膜图案的厚度;

通过利用所述感光薄膜图案作为掩模而选择性地除去所述硅薄膜和所述导电薄膜,在所述像素部分、所述第一区域的电路部分以及所述第二区域的电路部分处形成由所述硅薄膜形成的有源图案并且在所述有源图案的上部处形成由所述导电薄膜形成并以与所述有源图案相同形状构图的导电薄膜图案;

通过除去所述第一和第二感光薄膜图案的一部分,由保留的第一感光薄膜图案形成第三感光薄膜图案;

通过利用所述第三感光薄膜图案作为掩模而除去所述导电薄膜图案的一部分,在所述像素部分的所述有源图案的一定上部上形成由所述导电薄膜构成的存储电极;

在所述第一基板上形成第二栅绝缘薄膜;

在所述第一区域的电路部分处形成栅极并且在所述第一区域的电路部分的所述有源图案的一定区域处形成 p+ 源区和 p+ 漏区;

在所述像素部分和所述第二区域的所述电路部分处形成栅极,并且在所述像素部分处形成公共线,其中所述公共线与所述存储电极交叠,并且所述第二栅绝缘薄膜插入在所述公共线与所述存储电极二者之间以形成存储电容;

在所述像素部分的所述有源图案的一定区域处和所述第二区域的所述电路部分的所述有源图案的一定区域处形成 n+ 源区和 n+ 漏区;以及

粘接所述第一基板和第二基板。

2. 根据权利要求 1 所述的方法,其特征在于,还包括:在所述像素部分的所述有源图案的一定区域处和所述第二区域的所述电路部分的有源图案的一定区域处形成 n+ 源区和 n+ 漏区之后,并且在粘接所述第一基板和第二基板之前,进行以下步骤:

在所述第一基板上形成第二绝缘薄膜;

除去所述第一和第二栅绝缘薄膜的一部分及所述第二绝缘薄膜的一部分以形成暴露所述有源图案的所述 n+ 源区和所述 n+ 漏区的第一和第二接触孔;以及

形成通过所述第一接触孔与所述有源图案的所述 n+ 源区电连接的源极并且形成通过所述第二接触孔与所述有源图案的所述 n+ 漏区电连接的漏极。

3. 根据权利要求 2 所述的方法,其特征在于,还包括:在形成通过所述第一接触孔与所述有源图案的所述 n+ 源区电连接的源极并且形成通过所述第二接触孔与所述有源图案的所述 n+ 漏区电连接的漏极之后,并且在粘接所述第一基板和第二基板之前,进行以下步骤:

在所述第一基板上形成第三绝缘薄膜;

除去所述第三绝缘薄膜的一部分以形成暴露所述像素部分的所述漏极的一部分的第

三接触孔 ; 以及

形成通过所述第三接触孔与所述漏极电连接的像素电极。

4. 根据权利要求 1 所述的方法, 其特征在于, 所述有源图案和所述存储电极利用单一掩模工艺形成。

5. 根据权利要求 1 所述的方法, 其特征在于, 所述有源图案由多晶硅薄膜形成。

6. 根据权利要求 1 所述的方法, 其特征在于, 所述存储电极由导电材料构成。

7. 根据权利要求 1 所述的方法, 其特征在于, 在所述第一区域的电路部分的所述有源图案的一定区域处形成 p^+ 源区和 p^+ 漏区包括 :

在所述第一基板上形成导电薄膜 ;

用第一阻挡薄膜覆盖整个所述像素部分和所述第二区域的所述电路部分以及所述第一区域的部分所述电路部分 ;

通过利用所述第一阻挡薄膜作为掩模而选择性除去所述导电薄膜以在所述第一区域的电路部分处形成栅极 ; 以及

通过利用所述栅极作为掩模将高浓度的 p^+ 离子注入到所述第一区域的所述电路部分以在所述第一区域的所述电路部分的所述有源图案的一定部分处形成 p^+ 源区和 p^+ 漏区。

8. 根据权利要求 7 所述的方法, 其特征在于, 在所述像素部分的所述有源图案的一定区域和所述第二区域的所述电路部分的所述有源图案的一定区域处形成所述 n^+ 源区和 n^+ 漏区包括 :

用第二阻挡薄膜覆盖所述第一区域的整个电路部分、以及所述像素部分的一部分和所述第二区域的所述电路部分的一部分 ;

通过利用所述第二阻挡薄膜作为掩模选择性除去所述导电薄膜以在所述像素部分和所述第二区域的所述电路部分处形成栅极 ; 以及

通过利用所述第二阻挡薄膜作为掩模将高浓度的 n^+ 离子注入到所述像素部分和所述第二区域的所述电路部分以在所述像素部分的一定部分处和所述第二区域的所述电路部分的一定部分处形成 n^+ 源区和 n^+ 漏区。

9. 根据权利要求 8 所述的方法, 其特征在于, 通过利用湿刻方法过刻蚀所述导电薄膜, 与所述第二阻挡薄膜的宽度相比, 所述像素部分和所述第二区域的所述电路部分处的栅极的宽度减小。

10. 根据权利要求 8 所述的方法, 其特征在于, 在除去所述第二阻挡薄膜后, 将低浓度的 n^- 离子注入到所述栅极以在所述像素部分的所述有源图案的一定区域处和所述第二区域的所述电路部分的所述有源图案的一定区域处形成轻掺杂漏区。

11. 一种液晶显示器件, 包括 :

划分为像素部分和第一区域的电路部分以及第二区域的电路部分的第一基板 ;

分别在所述像素部分和所述第一区域和第二区域的所述电路部分处形成的像素部分有源图案、电路部分第一和第二有源图案 ;

在所述像素部分有源图案和所述电路部分第一和第二有源图案上形成的第一栅绝缘薄膜 ;

在所述像素部分有源图案的一定区域上形成的存储电极 ;

在所述第一基板上形成的第二栅绝缘薄膜 ;

分别在所述像素部分和所述第一区域和第二区域的电路部分处形成的像素部分栅极和电路部分第一和第二栅极；

在所述第一基板上形成的第二绝缘薄膜，其中所述第二绝缘薄膜覆盖所述像素部分栅极和所述电路部分第一和第二栅极；

分别与所述像素部分有源图案和所述电路部分第一和第二有源图案电连接的像素部分源极和电路部分第一和第二源极；

分别与所述像素部分有源图案和所述电路部分第一和第二有源图案电连接的像素部分漏极和电路部分第一和第二漏极；

在所述第一基板上形成的第三绝缘薄膜，其中所述第三绝缘薄膜覆盖所述像素部分漏极的一部分和所述像素部分源极，并且其中所述第三绝缘薄膜由诸如苯并环丁烯或丙烯酸树脂的有机材料构成；以及

第二基板，其以相互面对的方式与所述第一基板相粘接。

12. 根据权利要求 11 所述的器件，其特征在于，将高浓度 p+ 杂质离子注入到所述第一区域的所述电路部分以形成第一源区和第一漏区。

13. 根据权利要求 12 所述的器件，其特征在于，将高浓度 n+ 杂质离子分别注入到所述像素部分以形成源区和漏区以及所述第二区域的所述电路部分以形成第二源区和第二漏区。

14. 根据权利要求 13 所述的器件，其特征在于，所述像素部分源极、所述电路部分第一源极和所述电路部分第二源极通过分别形成在所述第一栅绝缘薄膜、所述第二栅绝缘薄膜和所述第二绝缘薄膜的第一区域处的第一接触孔分别电连接到所述源区、所述第一源区和所述第二源区。

15. 根据权利要求 13 所述的器件，其特征在于，所述像素部分漏极、所述电路部分第一漏极和所述电路部分第二漏极通过分别形成在所述第一栅绝缘薄膜、所述第二栅绝缘薄膜和所述第二绝缘薄膜的第二区域处的第二接触孔分别电连接到所述漏区、所述第一漏区和所述第二漏区。

16. 根据权利要求 11 所述的器件，其特征在于，所述像素部分漏极通过形成在所述第三绝缘薄膜的第三区域处的第三接触孔与像素电极电连接。

17. 根据权利要求 11 所述的器件，其特征在于，所述有源图案由多晶硅薄膜构成。

18. 根据权利要求 11 所述的器件，其特征在于，所述存储电极由导电材料构成。

19. 根据权利要求 11 所述的器件，其特征在于，还包括：

在所述像素部分处形成的公共线，其中所述公共线与所述存储电极交叠，并且所述第二栅绝缘薄膜插入在所述公共线与所述存储电极二者之间以形成第一存储电容。

20. 根据权利要求 19 所述的器件，其特征在于，所述公共线与所述像素部分漏极的一部分交叠，并在二者之间插入所述第二绝缘薄膜以形成第二存储电容。

21. 根据权利要求 11 所述的器件，其特征在于，所述第二绝缘薄膜由氮化硅薄膜构成。

22. 根据权利要求 11 所述的器件，其特征在于，所述第二绝缘薄膜形成为包含氮化硅薄膜的双层或多层。

23. 根据权利要求 15 所述的器件，其特征在于，所述像素部分的所述第二接触孔同时暴露出所述存储电极的一部分和所述漏极的一部分。

液晶显示器件及其制造方法

技术领域

[0001] 本发明涉及一种液晶显示 (LCD) 器件及其制造方法,更具体地,涉及一种通过减少掩膜数量而简化制造工艺并提高产量以及通过获得孔径比改善亮度的 LCD。

背景技术

[0002] 在现在的信息社会,作为主要视觉信息传播媒介的显示器件的重要性不断增加,同时为了在市场中占有重要位置,显示器件必须满足诸如低功耗和外形薄、重量轻并且图像质量高等特点的需要。作为平板显示器中的主要产品的液晶显示器 (LCD) 能够满足显示条件并适合大规模生产,因此其各种不同类型的新产品已出现,并作为核心部件产品其最终将取代现有的阴极射线管 (CRT)。

[0003] 一般地, LCD 器件通过根据图像信息将数据信号独立地提供给以矩阵形式排列的液晶单元而通过控制液晶单元的透光率显示所需的图像。

[0004] 通常用于 LCD 器件的驱动方法的有源矩阵 (AM) 方法为一种通过利用作为开关器件的非晶硅薄膜晶体管 (a-Si TFT) 驱动像素部分的液晶的方法。

[0005] 然而,非晶硅薄膜 TFT 的电迁移率不能支持需要 1MHz 或更高速度的外围电路。因此,研究者正在积极开发通过利用比非晶硅 TFT 具有更好场效应迁移率的多晶硅而将像素部分和驱动电路部分集成在玻璃基板上。

[0006] 由于多晶硅 TFT 技术具有低感光性和高场效应迁移率的优势,因此驱动电路能直接制造在该基板上。

[0007] 迁移率的增加能提高驱动电路部分的工作频率,其决定驱动像素的数量,并因此可改善显示器件的图像分辨率 (精细度或精度)。另外,由于减少了像素部分的信号电压的充入时间,还降低了传输信号的失真,因此可提高图像质量。

[0008] 现在将参考图 1 描述 LCD 器件的结构。

[0009] 图 1 所示为描述现有技术 LCD 器件的平面示意图,具体地,描述一种驱动电路部分集成在阵列基板上的 LCD 器件的平面示意图。

[0010] 如图所示, LCD 器件包括滤色片基板 5、阵列基板 10 和形成在该滤色片基板 5 和该阵列基板 10 之间的液晶层 (未示出)。

[0011] 阵列基板 10 包括像素部分 35、单元像素以矩阵形式排列的图像显示区,以及驱动电路部分 30,其包括数据驱动电路单元 31 和设置在像素部分 35 外围上的栅驱动电路单元 32。

[0012] 虽然未示出,像素部分 35 包括在基板上沿垂直和水平方向排列的多条栅线和多条数据线以限定多个像素区域,作为开关器件的 TFT 形成在栅线和数据线的各交叉处,以及形成在像素区域处的像素电极。

[0013] 与滤色片基板 5 相比,阵列基板 10 的驱动电路单元 30 突出出来并设置在阵列基板 10 的像素部分 35 的外边缘。这种情况下,数据驱动电路单元 31 设置在突出的阵列基板 10 的较长侧而栅驱动电路单元 32 设置在突出的阵列基板 10 的较短侧。

[0014] 此时,为了适当地输出输入的信号,数据驱动电路单元 31 和栅驱动电路单元 32 利用 CMOS(互补型金属氧化物半导体),即反相器,结构的 TFT。

[0015] CMOS 为一种具有 MOS 结构的集成电路,其用于需要高速信号处理的驱动电路部分 TFT 中,需要 n 沟道 TFT 和 p 沟道 TFT,并具有在 NMOS 和 PMOS 之间的中间级别的速度和密度特性。

[0016] 栅驱动电路单元 32 和数据驱动电路单元 31 通过栅线和数据线将扫描信号和数据信号提供给像素电极。栅驱动电路单元 32 和数据驱动电路单元 31 与外部信号输入端子(未示出)相连接,控制从外部信号输入端子输入的外部信号并将它输出至像素电极。

[0017] 用于实现色彩的滤色片(未示出)和作为形成在阵列基板 10 上的像素电极的相对电极的公共电极(未示出)形成在滤色片基板 5 的像素部分 35 上。

[0018] 在滤色片基板 5 和阵列基板 10 之间制备盒间隙,以允许基板通过衬垫料(未示出)彼此均匀分隔开,并且基板 5 和 10 通过形成在像素部分 35 外围上的密封图案(未示出)彼此粘接从而形成液晶显示面板。这种情况下,两基板 5 和 10 通过形成在滤色片基板 5 或阵列基板 10 上的粘接键而彼此粘接。

[0019] 由于所构成的集成有驱动电路的 LCD 器件使用多晶硅 TFT,其为具有优异的图像质量和精细度的优异器件特性,并且耗能低。

[0020] 然而,由于 n 沟道 TFT 和 p 沟道 TFT 一起形成在同一基板上,集成有驱动电路的 LCD 器件具有缺点,因此与只形成单一类型沟道的非晶硅 TFT LCD 相比,其制造工艺相当复杂。

[0021] 另外,需要执行多个光刻工序以制造包含该 TFT 的阵列基板。

[0022] 光刻工艺为一种通过将掩模上设好的图案转移到有薄膜沉积在其上的基板上而形成所需图案的工艺,其包括涂覆感光溶液、曝光和显影的多个工序,因此它存在产量降低的问题。

[0023] 尤其地,由于用于形成图案的掩模非常昂贵,因此,用于该工艺的掩模数量的增加将使 LCD 器件的制造成本成比例增加。

发明内容

[0024] 因此,本发明的一个目的在于提供一种液晶显示(LCD)器件及其制造方法,其通过利用单一掩模工艺形成有源图案和存储电极而减少用于制造薄膜晶体管的掩模数量。

[0025] 本发明的另一目的在于提供一种通过利用有机绝缘薄膜而改善孔径比的 LCD 及其制造方法。

[0026] 为了得到这些和其它优点并根据本发明的目的,作为概括性的和广义的描述,提供一种用于制造 LCD 器件的方法,该方法包括提供划分为第一区域和第二区域的像素部分和电路部分的第一基板;在该像素部分和该电路部分上形成有源图案和第一栅绝缘薄膜并且在该像素部分的有源图案的一定上部上形成存储电极;在该第一基板上形成第二栅绝缘薄膜;在该第一区域的电路部分处形成栅极并且在该第一区域的电路部分的有源图案的一定区域上形成 p+ 源区/漏区;在该第二区域的像素部分和电路部分处形成栅极,并在该像素部分处形成公共线;在该第二区域的像素部分和电路部分的有源图案的一定区域处形成 n+ 源区/漏区;以及粘接该第一和第二基板。

[0027] 为了得到上述目的,还提供一种 LCD 器件,其包括:划分为第一区域和第二区域的电路部分和像素部分第一基板;分别形成在该第一区域和第二区域的电路部分和像素部分处的像素部分有源图案、电路部分第一和第二有源图案;形成在该像素部分的有源图案和该电路部分的第一和第二有源图案处的第一栅绝缘薄膜;形成在像素部分的有源图案的一定区域上的存储电极;形成在像素部分的有源图案的一定区域上的存储电极;形成在第一基板上的第二栅绝缘薄膜;分别形成在第一区域和第二区域的像素部分和电路部分处的像素部分栅极和电路部分第一和第二栅极;分别电连接至像素部分的有源图案和电路部分的第一和第二有源图案的像素部分源极和电路部分第一和第二源极;分别电连接至像素部分的有源图案和电路部分的第一和第二有源图案的像素部分漏极和电路部分第一和第二漏极;以及以相互面对的方式与第一基板相粘接的第二基板。

[0028] 本发明的以上和其它目的、特征、各方面和优点将在下面的说明中并结合附图将更加明显得出。

附图说明

[0029] 本申请所包含的附图用于进一步理解本发明,其与说明书相结合并构成说明书的一部分,所述附图表示本发明的实施方式并与说明书一起解释本发明的原理。

[0030] 附图中:

[0031] 图 1 示出了描述现有技术集成有驱动电路的液晶显示 (LCD) 器件的结构示意图;

[0032] 图 2 示出了根据本发明第一实施方式的 LCD 器件的阵列基板部分的平面图;

[0033] 图 3A-3I 示出了沿着图 2 的阵列基板的线 II-II' 提取的截面图并依次描述了制造工序;

[0034] 图 4 示出了根据本发明第二实施方式的 LCD 器件的阵列基板的部分平面图;

[0035] 图 5A 到图 5J 示出了沿着图 4 的阵列基板的线 IV-IV' 提取的截面图并依次描述了制造工序;

[0036] 图 6A 到图 6F 描述了沿着图 4 的阵列基板的线 IV-IV' 提取的平面图并依次描述了制造工序;以及

[0037] 图 7A 到图 7F 示出了描述图 5A 和图 6A 中的第一掩模工序的截面图。

具体实施方式

[0038] 现在参照附图将描述根据本发明的 LCD 器件及其制造方法。

[0039] 图 2 所示为根据本发明第一实施方式的 LCD 器件的阵列基板一部分的平面图,尤其描述包含像素部分的薄膜晶体管 (TFT) 的一个像素。

[0040] 实际的 LCD 包括 N 条栅线和 M 条数据线彼此交叉形成的 MxN 个像素,为简单起见在附图中只示出了一个像素。

[0041] 如图所示,栅线 116 和数据线 117 沿着垂直和水平方向排列形成,以在阵列基板 110 上限定像素区域。作为开关元件的薄膜晶体管 (TFT) 形成在栅线 116 和数据线 117 的各交叉点处,与该 TFT 相连接并与滤色片基板 (未示出) 的公共电极一起驱动液晶 (未示出) 的像素电极 118 形成在像素区域内。

[0042] 该 TFT 包括与栅线 116 相连接的栅极 121、与数据线 117 相连接的源极 122 和与像

素电极 118 相连接的漏极 123。另外,该 TFT 还包括有源图案 124',其用于利用提供给栅极 121 的栅电压而在源极 122 和漏极 123 之间形成导电沟道。

[0043] 在本发明的第一实施方式中,有源图案 124' 由多晶硅薄膜形成并朝向像素区域延伸,从而与存储图案 124'' 相连接,该存储图案 124'' 与公共电极线 108 一起形成第一存储电容。即,公共线 108 沿着与像素区域中的栅线 116 基本上相同的方向形成并与存储电容图案 124'' 交叠,在二者之间插入有第一绝缘薄膜(未示出)以形成第一存储电容。这种情况下,通过利用掩模工序对多晶硅薄膜进行存储掺杂而形成存储图案 124''。

[0044] 源极 122 和漏极 123 通过形成在第一和第二绝缘薄膜(未示出)上的第一和第二接触孔 140a 和 140b 电连接至有源图案 124' 的源区和漏区。另外,源极 122 沿着一直方向延伸以形成数据线 117 的一部分,并且漏极 123 朝向像素电极延伸从而通过形成在第三绝缘薄膜(未示出)上的第三接触孔 140c 电连接至像素电极 118。

[0045] 这种情况下,朝向像素电极延伸的漏极 123 的一部分与公共线 108 交叠,并在二者之间插入第二绝缘薄膜以形成第二存储电容。

[0046] 现在将参照附图对如上所述构成的阵列基板的制造工艺进行详细解释。

[0047] 图 3A 到图 3I 示出了沿着图 2 的阵列基板 II-II' 线提取的截面图并依次描述了制造工序,尤其描述了一种其上形成有 n 沟道 TFT 的像素部分的阵列基板的示例制造工序。这种情况下,n 沟道 TFT 和 p 沟道 TFT 都形成在电路部分上。

[0048] 如图 3A 所示,缓冲层 111 和硅薄膜形成在由诸如玻璃的透明绝缘材料形成的基板 110 上,并且使该硅薄膜结晶以形成多晶硅薄膜。然后,通过利用光刻工序(第一掩模工序)对该多晶硅薄膜构图以形成多晶硅薄膜图案 124,其用于形成有源图案和存储图案。

[0049] 接着,如图 3B 所示,覆盖多晶硅薄膜 124 的一部分,在其上进行掺杂以形成存储图案 124''。此时,由光刻胶覆盖的多晶硅薄膜图案 124 的一部分形成有源图案 124',并且这种情况下,进行附加的光刻工艺(第二掩模工序)。

[0050] 然后,如图 3C 所示,第一绝缘薄膜 115a 和第一导电薄膜依次形成在基板 110 的整个表面上,并且通过利用光刻工艺(第三掩模工序)对第一导电薄膜进行选择性地构图以在有源图案 124' 上形成由第一导电薄膜形成的栅极 121 并且同时在存储图案 124'' 上形成由第一导电薄膜形成的公共线 108。

[0051] 第一导电薄膜可由诸如铝(Al)、铝合金、钨、铜、铬和钼的低电阻不透明导电材料构成。

[0052] 在像素区域中公共线 108 与存储图案 124'' 交叠,并在二者之间插入第一绝缘层 115a,并且形成第一存储电容。

[0053] 然后,如图 3D 所示,像素部分阵列基板 110 的前侧和电路部分的 n 沟道 TFT 区域通过用第一阻挡薄膜 170 覆盖(第四掩模工序),将高浓度的 p^+ 离子注入(植入)到电路部分的 p 沟道 TFT 区域以形成 p^+ 源区和 p^+ 漏区。

[0054] 接着,如图 3E 所示,电路部分的 p 沟道 TFT 区域,像素部分 / 电路部分的 n 沟道 TFT 区域的一部分和存储区域通过第二阻挡薄膜 170' 覆盖(第五掩模工序),将高浓度的 n^+ 离子注入到像素部分的有源图案 124' 的一定区域以形成 n^+ 源区 124a 和 n^+ 漏区 124b。这里,附图标记 124c 表示在源区 124a 和漏区 124b 之间形成导电沟道的沟道区域。

[0055] 然后,除去第二阻挡薄膜 170' 并且将低浓度 n^- 离子注入到基板 110 的整个表面上

以在 n^+ 源区 124a 和沟道区 124c 之间以及 n^+ 漏区 124b 和 n^+ 沟道区 124c 之间形成 LDD (轻掺杂漏) 区 124I。

[0056] 这种情况下, 存储区域可通过第二阻挡薄膜 170' 覆盖或者不通过其覆盖, 并且以同样的方式将 n^+ 离子注入到电路部分的 n 沟道 TFT 区域以形成 n^+ 源区、 n^+ 漏区和 LDD 区。

[0057] 接着, 如图 3F 所示, 第二绝缘薄膜 115b 沉积在基板 110 的整个表面上, 并且通过光刻工艺 (第六掩模工序) 将第一绝缘薄膜 115a 的一部分和第二绝缘薄膜 115b 的一部分除去以形成暴露出源区 124a 一部分的第一接触孔 140a 和暴露出漏区 124b 一部分的第二接触孔 140b。

[0058] 如图 3G 所示, 第二导电薄膜形成在基板 110 的整个表面上并接着通过利用光刻工艺 (第七掩模工序) 对其构图以形成通过第一接触孔 140a 与源区 124a 电连接的源极 122 和通过第二接触孔 140b 与漏区 124b 电连接的漏极 123。这里, 源极 122 的一部分朝向像素区域延伸以与公共线 108 交叠, 并在二者之间插入第二绝缘薄膜 115b 以形成第二存储电容。

[0059] 接着, 如图 3H 所示, 第三绝缘薄膜 115c 沉积在基板 110 整个表面上然后通过利用光刻工艺 (第八掩模工序) 对其构图以形成暴露出漏极 123 一部分的第三接触孔 140c。

[0060] 然后, 如图 3I 所示, 第三导电薄膜形成在其上形成有第三绝缘薄膜 115c 的基板 110 的整个表面上, 以形成通过第三接触孔 140c 与漏极 123 电连接的像素电极 118。

[0061] 第三导电薄膜可由诸如氧化铟锡 (ITO) 和氧化铟锌 (IZO) 的透明导电材料构成以形成像素电极 118。

[0062] 在本发明的第一实施方式中, 有源图案和存储图案由多晶硅薄膜形成并且通过单独的掩模工序在该存储图案上进行存储掺杂。即, 像素部分和电路部分的 TFT 通过总共九轮掩模工序制造。相比而言, 在本发明的第二实施方式中, 由硅薄膜形成的有源图案和由导电材料构成的存储电极可通过利用狭缝曝光 (或衍射曝光) 的单一掩模工序形成。

[0063] 图 4 所示为根据本发明第二实施方式的 LCD 器件的阵列基板一部分的平面图, 其中示出了包含像素部分的 TFT 的单一像素。

[0064] 实际的 LCD 包括由 n 条栅线和 M 条数据线彼此交叉形成的 $M \times N$ 个像素, 并且为了简明在附图中只示出了一个像素。

[0065] 如图所示, 在本发明的第二实施方式中, 栅线 216 和数据线 217 沿垂直和水平方向排列形成以在阵列基板 210 上限定像素区域。作为开关元件的薄膜晶体管 (TFT) 形成在栅线 216 和数据线 217 的各交叉处, 以及与 TFT 相连接并且与滤色片基板 (未示出) 的公共电极一起驱动液晶 (未示出) 的像素电极 218 形成在像素区域中。

[0066] 该 TFT 包括连接到栅线 216 的栅极 221、连接到数据线的源极 222 和连接到像素电极 218 的漏极 223。另外, 该 TFT 还包括用于通过提供给栅极 221 的栅电压而在源极 222 和漏极 223 之间形成导电沟道的有源图案 224'。

[0067] 由多晶硅薄膜形成的一部分有源图案 224' 朝向像素区域延伸, 并且由导电材料构成的存储电极 230" 形成在朝向像素区域延伸的有源图案 224' 的上部, 并在二者之间插入第一栅绝缘薄膜 (未示出)。另外, 公共线 208 沿着与栅线 216 基本相同的方向形成在像素区域中并与存储电极 230" 交叠, 并在二者之间插入第二栅绝缘薄膜 (未示出) 以形成第一存储电容。这种情况下, 不同于本发明第一实施方式中的存储图案, 在本发明第二实施方式

中,存储电极 230”由不透明的导电材料构成并利用单一掩模工序与有源图案 224’同时形成。

[0068] 源极 222 和漏极 223 通过形成在第一和第二栅绝缘薄膜(未示出)上的第一和第二接触孔 240a、240b 与有源图案 224’的源区和漏区电连接。另外,源极 222 沿一方向延伸以形成数据线 217 的一部分,并且漏极 223 的一部分朝向像素电极延伸从而通过形成在第三绝缘薄膜(未示出)上的第三接触孔 240c 与像素电极 218 电连接。

[0069] 在这种情况下,朝向像素电极延伸的漏极 223 的一部分与公共线 208 交叠,并在二者之间插入第二绝缘薄膜以形成第二存储电容。

[0070] 这里,在本发明的第二实施方式中,第三绝缘薄膜由有机绝缘薄膜形成并允许像素电极 218 与栅线 216 的一部分和数据线 217 交叠,因此,可改善孔径比。

[0071] 可形成本发明第二实施方式中的阵列基板从而将导电材料沉积在多晶硅薄膜的上部上,接着通过利用狭缝曝光的单一掩模工序可同时形成有源图案 224’和存储电极 230”。这将通过一种用于制造 LCD 的方法进行详细描述。

[0072] 图 5A 到图 5J 所示为沿着图 4 中阵列基板的线 IV-IV’提取的截面图并依次描述了制造工序,以及图 6A 到图 6F 所示为沿着图 4 中阵列基板的线 IV-IV’提取的平面图并依次描述了制造工序。

[0073] 一般地,n 沟道 TFT 和 p 沟道 TFT 可形成在像素部分处,并且 n 沟道 TFT 和 p 沟道 TFT 都形成在电路部分处以形成 CMOS。在附图中,为了解释起见,作为示例描述了用于制造像素部分的 n 沟道 TFT 和电路部分的 n 沟道 TFT 和 p 沟道 TFT 的制造方法。

[0074] 如图 5A 和图 6A 所示,缓冲层 211 和硅薄膜形成在由诸如玻璃的透明绝缘材料构成的基板 210 上,并且使该硅薄膜结晶以形成多晶硅薄膜。

[0075] 这种情况下,缓冲层 211 用于在工艺期间防止存在于基板 210 中的诸如钠(Na)的杂质进入上层。

[0076] 然后,第一栅绝缘层 215a 和导电薄膜形成在其上形成有多晶硅薄膜的基板 210 的整个表面上,接着通过利用光刻工序(第一掩模工序)对其构图以在像素部分的阵列基板 210 上形成有源图案 224’和存储电极 230”并且在电路部分的阵列基板 210 上形成 n 沟道有源图案 224n 和 p 沟道有源图案 224p。

[0077] 如上所述,有源图案 224’、224n 和 224p 及存储电极 230”可通过利用狭缝曝光的单一掩模工序形成,现在将参照附图进行详细描述。

[0078] 图 7A 到图 7F 所示为图 5A 和图 6A 的第一掩模工序的截面图。

[0079] 如图 7A 所示,缓冲层 211 和硅薄膜 224 形成在由诸如玻璃的透明绝缘材料构成的基板 210 上。

[0080] 硅薄膜 224 可形成为非晶硅薄膜或多晶硅薄膜。在本发明该实施方式中,该 TFT 通过利用多晶硅薄膜形成。这种情况下,该多晶硅薄膜可在基板上形成非晶硅薄膜后利用不同的结晶方法形成。以下将对其进行描述。

[0081] 首先,非晶硅薄膜可通过不同方法进行沉积。通常的方法包括低压化学气相沉积(LPCVD)和等离子体增强化学气相沉积(PECVD)。

[0082] 用于结晶非晶硅薄膜的方法包括在炉中在高温下热处理非晶硅薄膜的固相结晶(SPC)和利用激光的受激准分子激光退火(ELA)方法。

[0083] 作为激光结晶,通常利用脉冲形式激光的 ELA,并且近来已提出并正在深入研究一种通过沿水平方向生长晶粒以显著改善结晶特性的连续横向固化 (SLS)。

[0084] 第一栅绝缘薄膜 215a 和由基于钼或铝的导电材料构成的导电薄膜 230 形成在结晶的多晶硅薄膜 224 上。在本发明第二实施方式中,第一栅绝缘薄膜 215a 形成在该多晶硅薄膜 224 上并接着导电薄膜 230 形成在该第一栅绝缘薄膜 215 上,而不是通过在该多晶硅薄膜 224 上直接溅射而形成用于形成存储电极的导电薄膜 230,这可以避免由于溅射而对该多晶硅薄膜 224 表面造成的损伤。

[0085] 接着,如图 7B 所示,在由诸如光刻胶的感光材料构成的感光薄膜 270 形成在基板 210 的整个表面上后,通过狭缝掩模 280 或半色调掩模将光选择性地照射在感光薄膜 270 上。

[0086] 狭缝掩模 280 包括用于全部透射所照射的光线的透射区 (I),用于只透射一部分光线并阻挡部分光线的具有狭缝图案的狭缝区 (II),以及用于全部阻挡所照射的光线的阻挡区 (III)。只有通过狭缝掩模 280 透射的光线可照射到感光薄膜 270 上。

[0087] 接着,当对已通过狭缝掩模 280 曝光的感光薄膜 270 进行显影时,如图 7C 所示,具有一定厚度的第一和第二感光薄膜图案 270A 和 270B 留在光线通过阻挡区 (III) 和狭缝区 (II) 被全部阻挡或部分阻挡的区域处,并且在光线全部透射的透射区 (I) 处的感光薄膜已被全部除去以暴露出导电薄膜 230 的表面。

[0088] 这种情况下,通过阻挡区 (III) 形成的第一感光薄膜图案 270A 的厚度大于通过狭缝区 (II) 形成的第二感光薄膜图案 270B 的厚度。另外,由于使用正性光刻胶,在通过透射区 (I) 光线全部透射的区域处的感光薄膜被完全除去。然而,在这方面,本发明不限于此并且也可使用负性光刻胶。

[0089] 接着,如图 7D 所示,多晶硅薄膜和导电薄膜通过利用第一和第二感光薄膜图案 270A 和 270B 作为掩模而选择性地被除去以在基板 210 上形成由多晶硅形成的有源图案 224'。这种情况下,由导电薄膜形成并以与有源图案 224' 相同形状构图的导电薄膜图案 230' 保留在有源图案 224' 的上部。

[0090] 然后,如图 7E 所示,当执行灰化工艺以除去第一和第二感光薄膜图案 270A、270B 的一部分时,位于有源图案 224' 上部的第二感光薄膜图案,即,已进行过狭缝曝光的狭缝区 (II) 的第二感光薄膜图案被完全除去以暴露出导电薄膜图案 230' 的表面。

[0091] 这种情况下,第一感光薄膜图案保留作为第三感光薄膜图案 270A',其具有通过在对应于阻挡区 (III) 的区域上部处去除第二感光薄膜图案的厚度而获得的厚度。

[0092] 然后,如图 7F 所示,当通过利用剩余的第三感光薄膜图案 270A' 除去导电薄膜图案 230' 的一部分时,形成由导电薄膜构成的存储电极 230'。

[0093] 接着,如图 5B 所示,第二栅绝缘薄膜 215a' 和第一导电薄膜 250 形成在基板 210 的整个表面。

[0094] 为了与栅极一起形成公共线,第一导电薄膜 250 可由诸如铝 (Al)、铝合金、钨 (W)、铜 (Cu)、铬 (Cr)、钼 (Mo) 等低电阻的不透明导电材料构成。

[0095] 并如图 5C 所示,在像素部分和电路部分的整个 n 沟道 TFT 区域和电路部分的 p 沟道 TFT 区域的一定区域由光刻胶构成的第一阻挡薄膜 270 覆盖 (第二掩模工序) 后,通过利用第一阻挡薄膜 270 作为掩模对第一导电薄膜选择性构图以形成由位于电路部分的 p 沟

道 TFT 区域处的第一导电薄膜形成的电路部分栅极 221p。

[0096] 然后,通过利用第一阻挡薄膜 270 作为掩模将高浓度 p^+ 离子注入到电路部分的 p 沟道 TFT 中以形成 p^+ 源区 224pa 和 p^+ 漏区 224pb。这里,附图标记 224pc 表示在 p^+ 源区 224pa 和 p^+ 漏区 224pb 之间形成导电沟道的 p 沟道区。

[0097] 接着,如图 5D、5E 和 6B 所示,在电路部分的整个 p 沟道 TFT 区域、像素部分和电路部分的部分 n 沟道 TFT 区域由第二阻挡薄膜 270" 覆盖后(第三掩模工序),通过利用第二阻挡薄膜 270" 作为掩模对第一导电薄膜进行构图以在存储电极 230" 的上部形成像素部分栅极 221 和电路部分栅极 221n 和 221p 及公共线 208。

[0098] 这种情况下,通过利用湿刻而过刻蚀第一导电薄膜使得栅极 221、221n 和 221p 及存储电极 230" 的宽度减小为小于上部第二阻挡薄膜 270" 的宽度。

[0099] 这里,像素部分的公共线 208 与存储电极 230" 交叠,并在二者之间插入第二栅绝缘薄膜 215a', 形成第一存储电容。这种情况下,在本发明第二实施方式中,由于栅绝缘薄膜包括第一和第二栅绝缘薄膜 215a 和 215a', 可形成薄的第二栅绝缘薄膜 215a', 因此可增加第一存储电容的电容值。相应地,由于可以减少诸如存储电极 230" 或公共线 208 的不透明存储区域的面积,因此可实质上改善孔径比。

[0100] 然后,通过利用第二阻挡薄膜 270" 作为掩模将高浓度的 n^+ 离子注入到像素部分和电路部分的 n 沟道 TFT 区域以形成 n^+ 源区 224a 和 224na 以及 n^+ 漏区 224b 和 224nb。这里,附图标记 224c 和 224nc 表示在 n^+ 源区 224a、224na 和 n^+ 漏区 224b、224nb 之间形成导电沟道的 n 沟道区。

[0101] 如图 5F 所示,在除去第二阻挡薄膜后,将低浓度 n^- 离子注入到基板 210 的整个表面以在 n^+ 源区 224a、224na 和沟道区 224c、224nc 之间以及 n^+ 漏区 224b、224nb 和沟道区 224c、224nc 之间形成 LDD 区域 224I 和 224nI。

[0102] 接着,如图 5G 和图 6C 所示,在第二绝缘薄膜 215b 沉积在基板 210 的整个表面上后,利用光刻工艺(第四掩模工序)将第一栅绝缘薄膜 215a、第二栅绝缘薄膜 215a' 和第二绝缘薄膜 215b 的部分除去以形成暴露出源区 224a、224na 和 224pa 的一部分的第一接触孔 240a、240na 和 240pa 以及暴露出漏区 224b、224nb 和 224pb 的一部分的第二接触孔 240b、240nb 和 240pb。

[0103] 这里,可使用 SiN_x 和 SiO_2 构成的双层作为第二绝缘薄膜 215b。这种情况下,在沉积 SiO_2 后,可对其激活并进行热处理。并且在沉积 SiN_x 后,可对其进行氢化和激活处理。替代地,沉积 SiN_x 和 SiO_2 , 通过单一热处理可同时对其进行氢化和激活处理。

[0104] 另外,可使用 SiN_x 单层或 $SiO_2/SiN_x/SiO_2$ 三层作为第二绝缘薄膜 215b。

[0105] 当形成像素部分的第二接触孔 240b 时,可同时暴露出像素部分的漏区 224b 的一部分和存储电极 230" 的一部分。或者,在形成两个第二接触孔后,可分别暴露出像素部分的漏区 224b 的一部分和存储电极 230" 的一部分,并且然后该两部分通过漏极相连接。

[0106] 然后,如图 5H 和图 6D 所示,第二导电薄膜形成在基板 210 的整个表面上并且通过利用光刻工艺(第五掩模工序)对其构图以形成通过第一接触孔 240a、240na 和 240pa 与源区 224a、224na 和 224pa 电连接的源极 222、222n 和 222p 并且形成通过第二接触孔 240b、240nb 和 240pb 与漏区 224b、224nb 和 224pb 电连接的漏极 223、223n 和 223p。这种情况下,像素部分的源极 222 的一部分沿一个方向延伸以形成数据线 217,并且像素部分的漏极 223

的一部分朝向像素区域延伸以与公共线 208 交叠,并在二者之间插入第二绝缘薄膜 215b 以形成第二存储电容。

[0107] 接着,如图 5I 和图 6E 所示,第三绝缘薄膜 215c 沉积在基板 210 的整个表面上并通过利用光刻工艺(第六掩模工序)对其构图以形成暴露出像素部分的漏极 223 一部分的第三接触孔 240c。

[0108] 这种情况下,为获得高的孔径比,第三绝缘薄膜 215c 可由诸如苯并环丁烯(BCB)或丙烯酸树脂的透明有机材料构成。

[0109] 接着,如图 5J 和图 6F 所示,第三导电薄膜形成在其上形成有第三绝缘薄膜 215c 的基板 210 的整个表面上,并通过利用光刻工艺(第七掩模工序)对其进行选择性构图以形成通过第三接触孔 240c 与像素部分的漏极 223 电连接的像素电极 218。

[0110] 第三导电薄膜可由诸如 IT0 或 IZO 的具有高透光率的透明导电材料构成以形成像素电极 218。

[0111] 在本发明的第二实施方式中,由于第三绝缘薄膜 215c 由有机材料构成,像素电极 218 可与数据线 217 和栅线 216 的一部分交叠,因此可实质上改善孔径比。

[0112] 本发明第一和第二实施方式中的阵列基板以相互面对的方式通过形成在图像显示区域外围的密封剂而彼此粘接以构成液晶显示器件,并且阵列基板和滤色片基板通过形成在阵列基板和滤色片基板上的粘接键而彼此粘接。

[0113] 虽然在不偏离本发明的精神和范围内可以通过各种形式对本发明进行具体描述,但是应当理解除非特别说明,以上所述的实施方式并不限于前文所述的任意详细描述,而应解释为在所附权利要求书所限定的精神和范围内,并因此意图覆盖所有落入所附权利要求书及其等同物的范围之内的改进和变型。

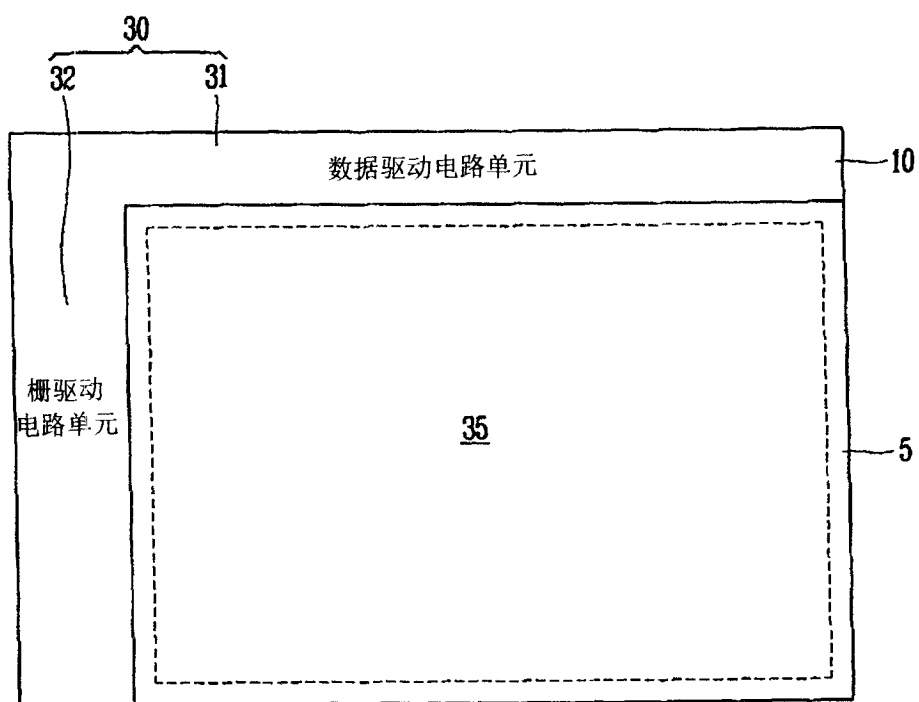


图 1

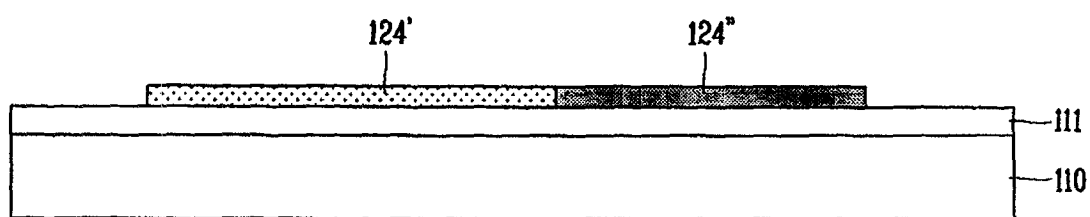


图 3B

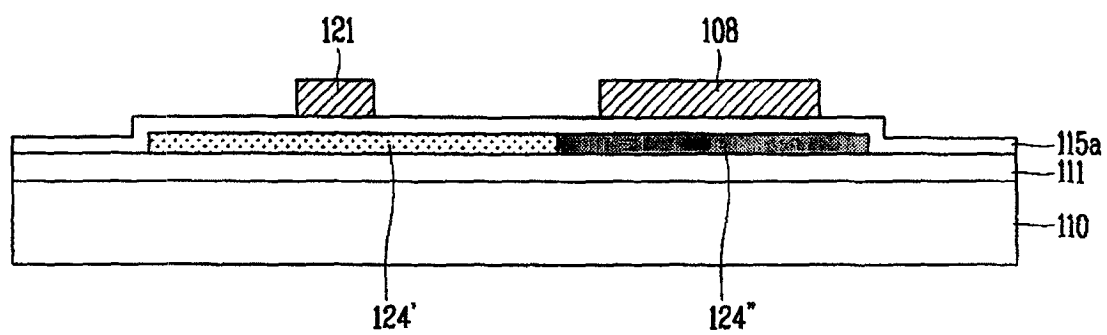


图 3C

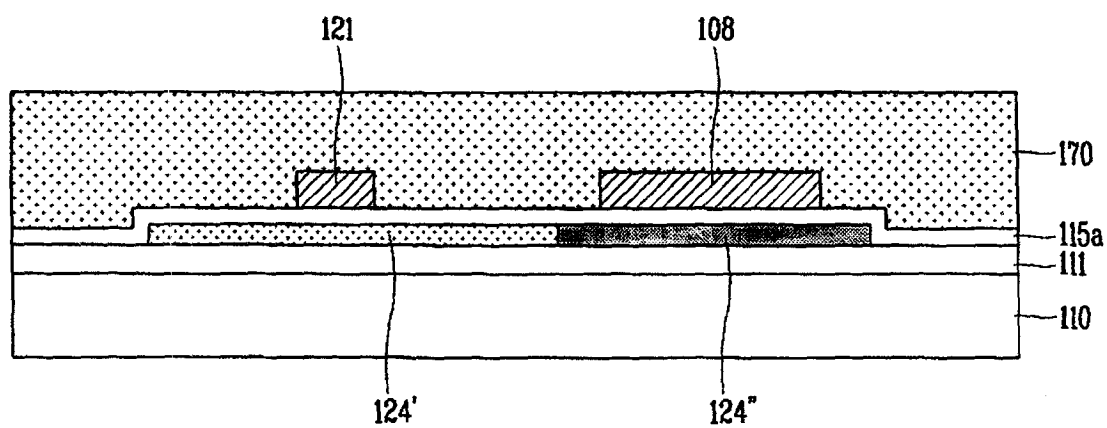


图 3D

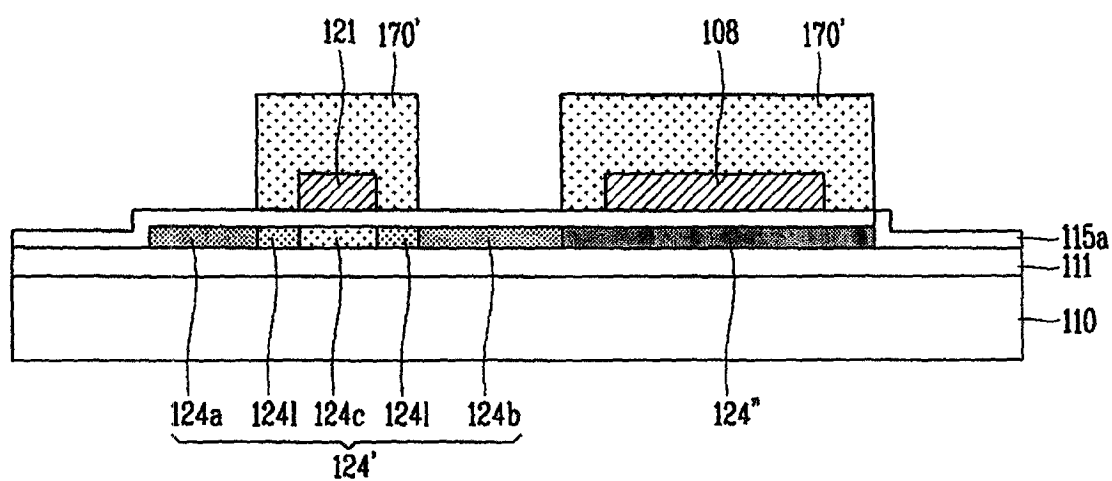


图 3E

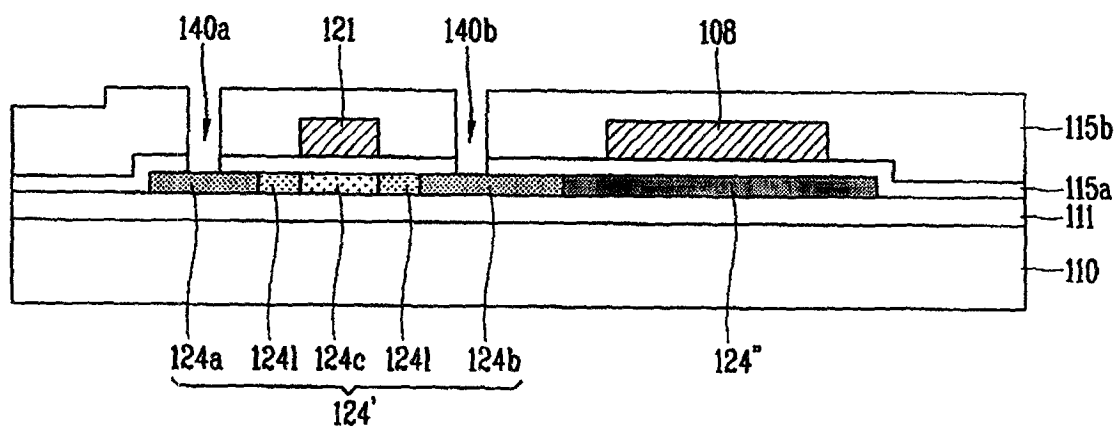


图 3F

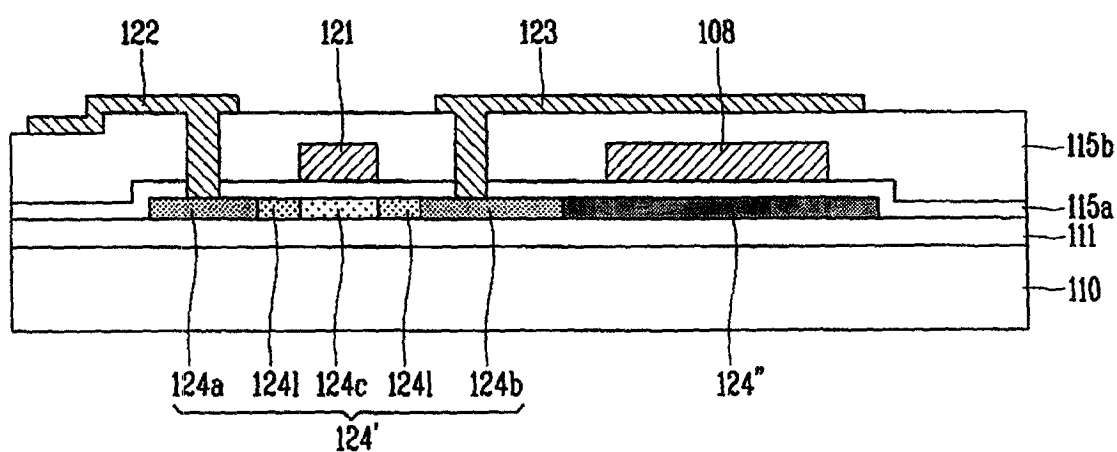


图 3G

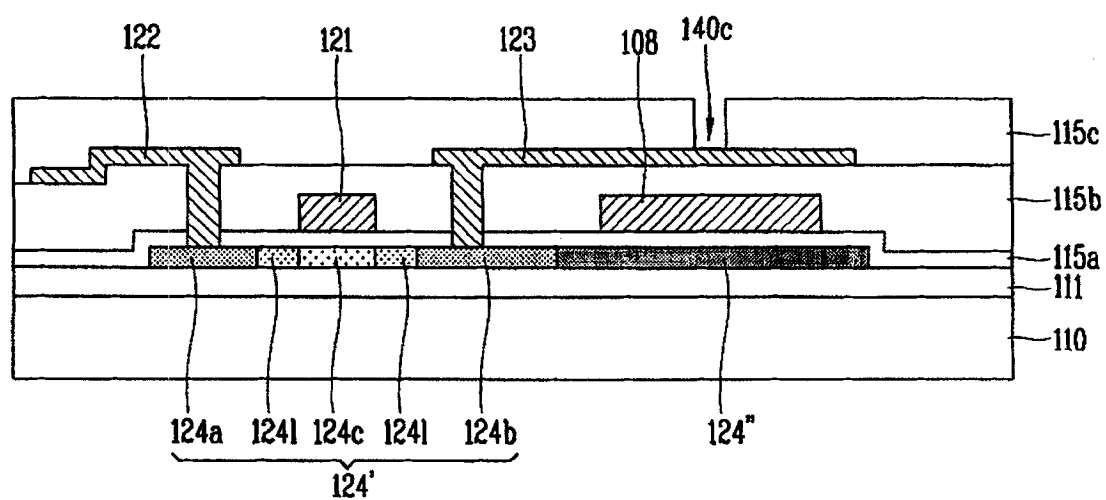


图 3H

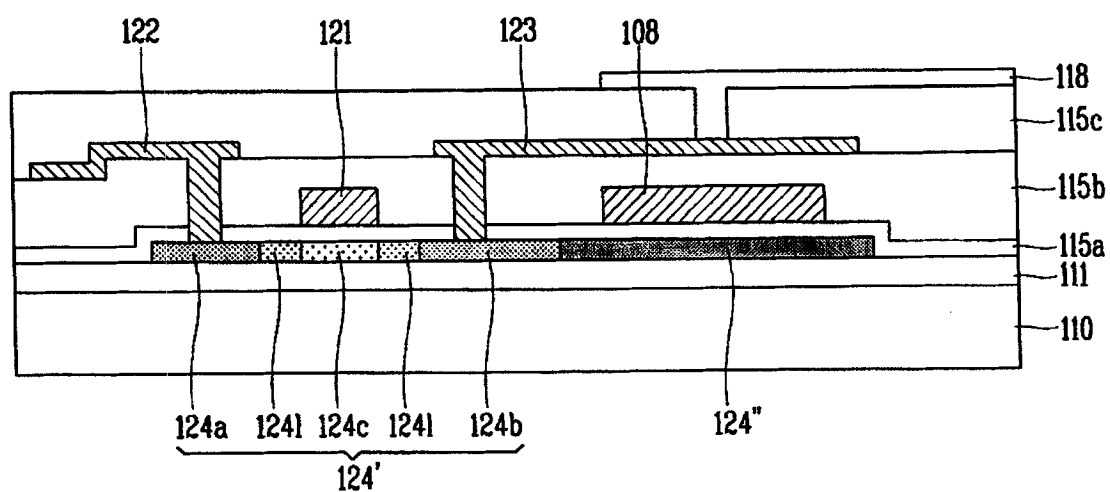


图 3I

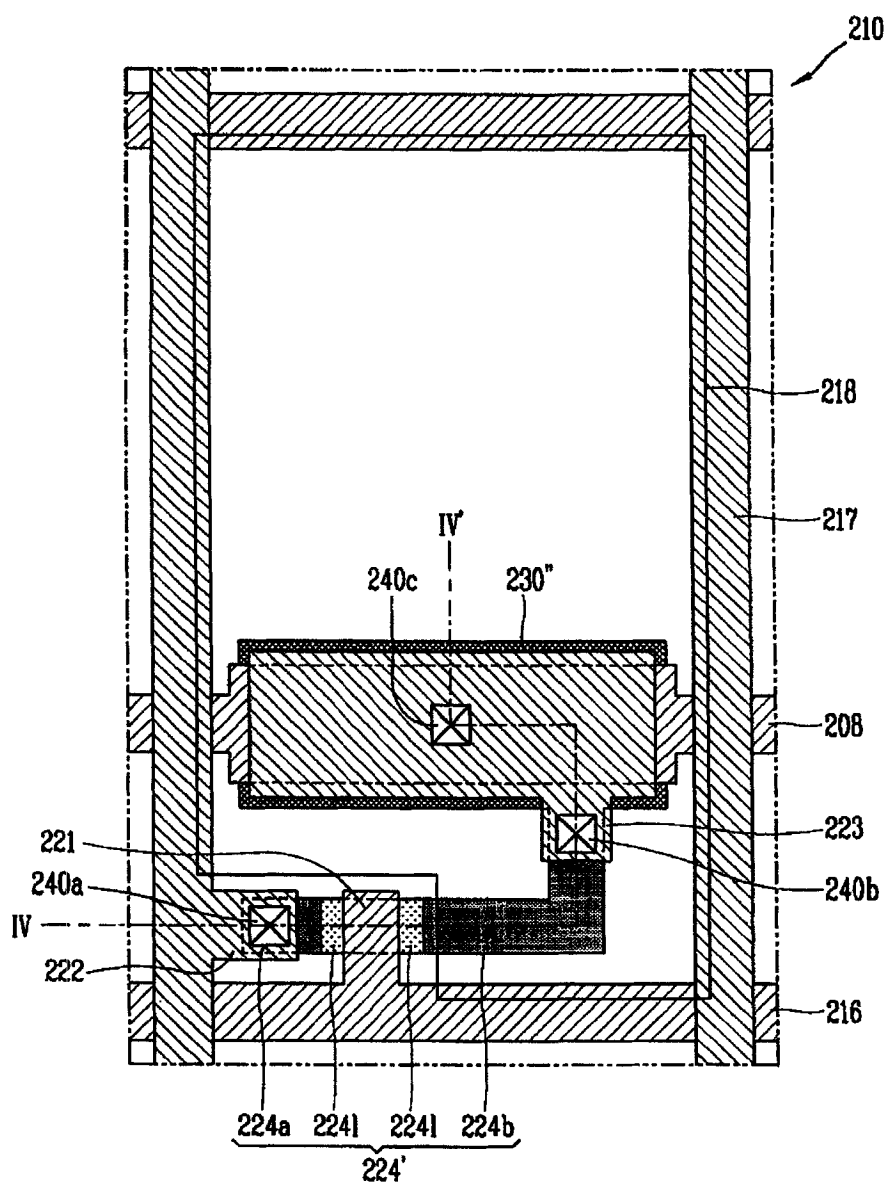


图 4

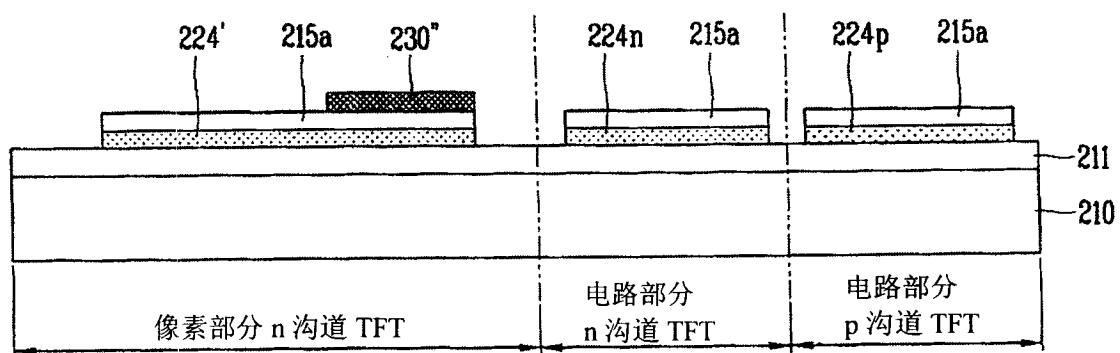


图 5A

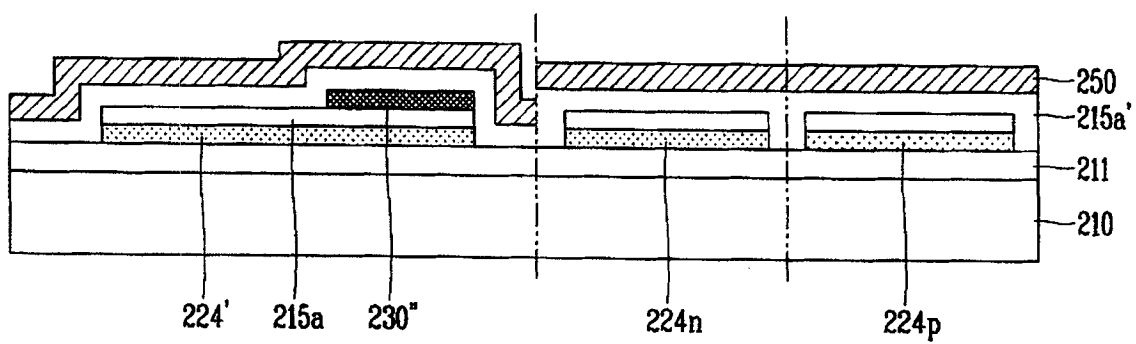


图 5B

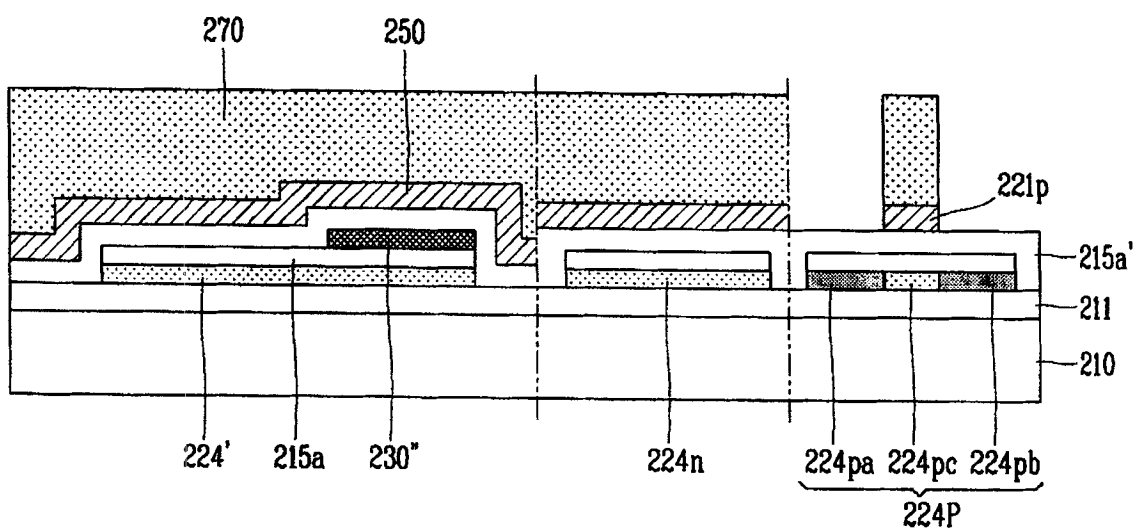


图 5C

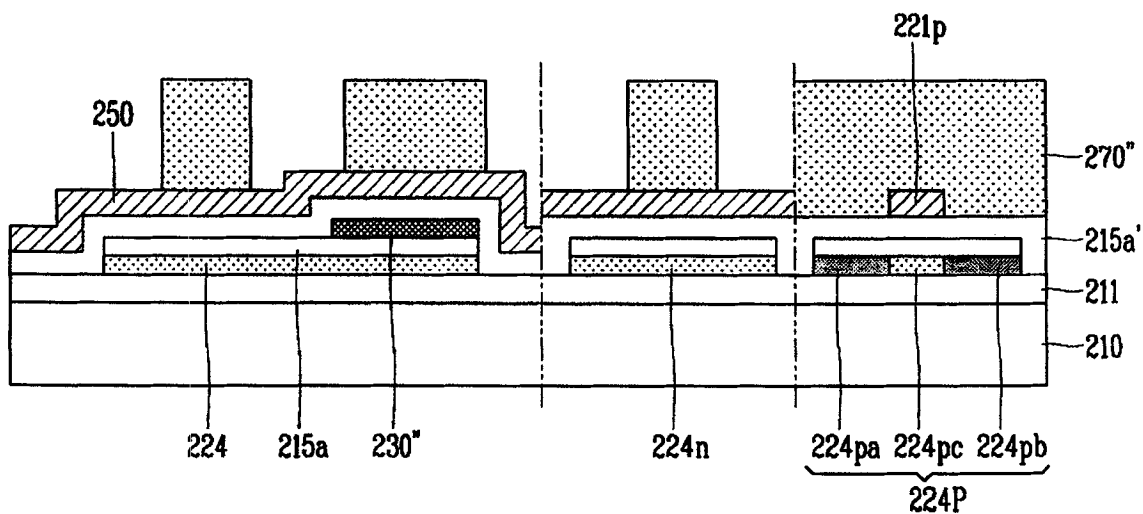


图 5D

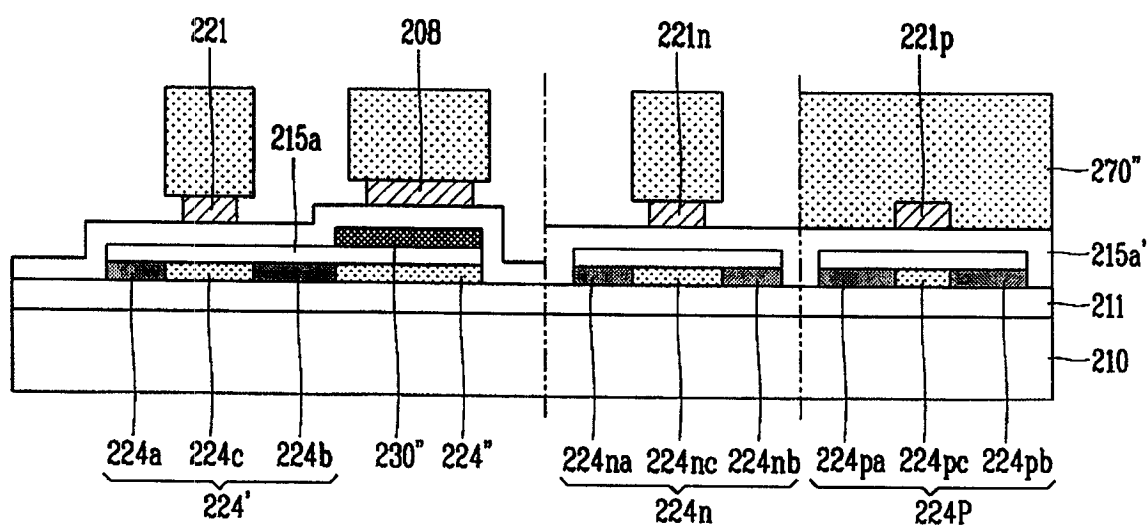


图 5E

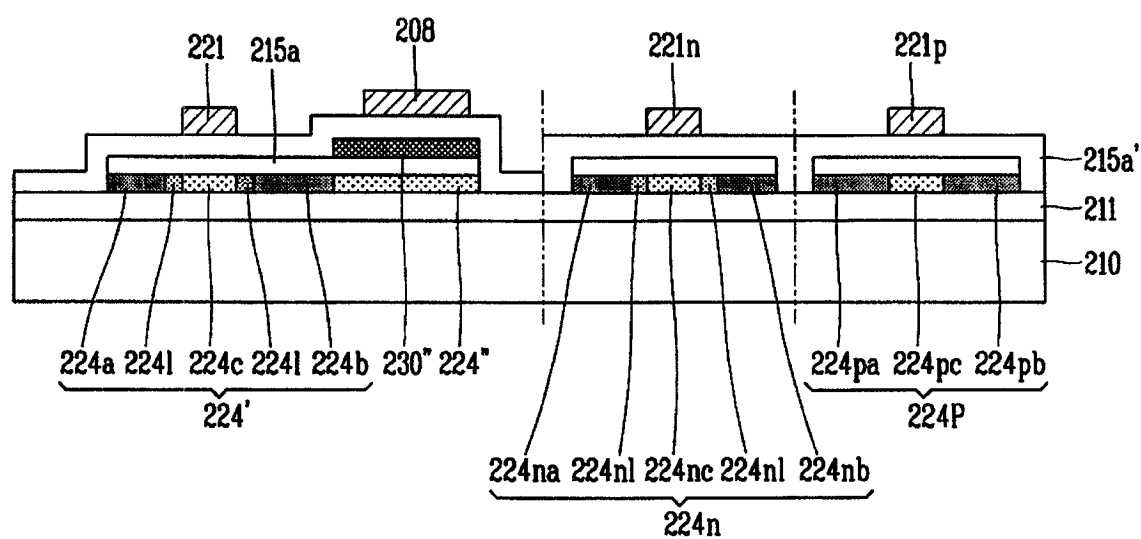


图 5F

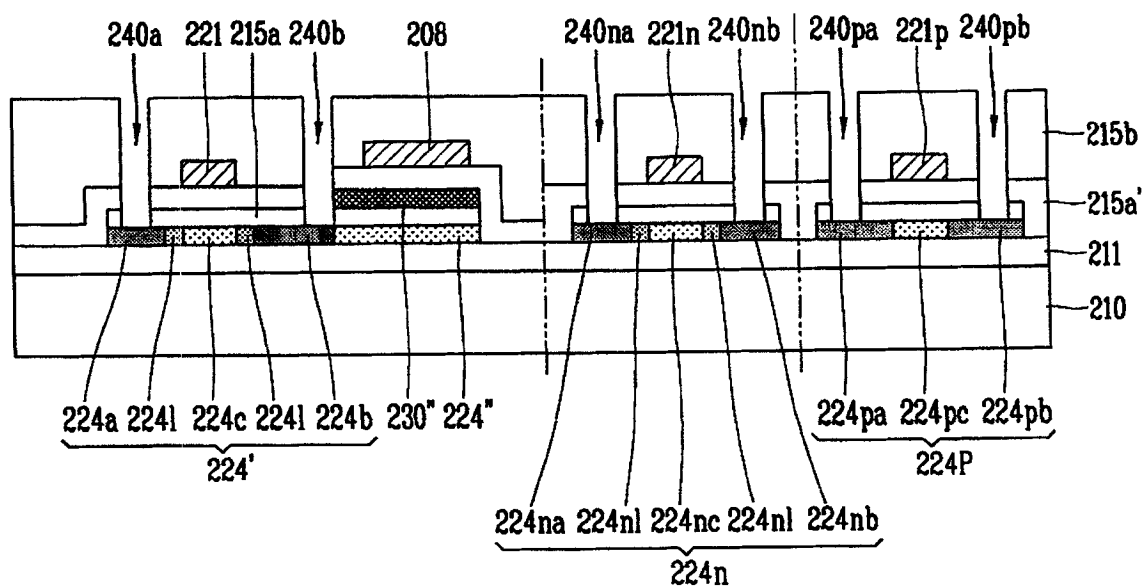


图 5G

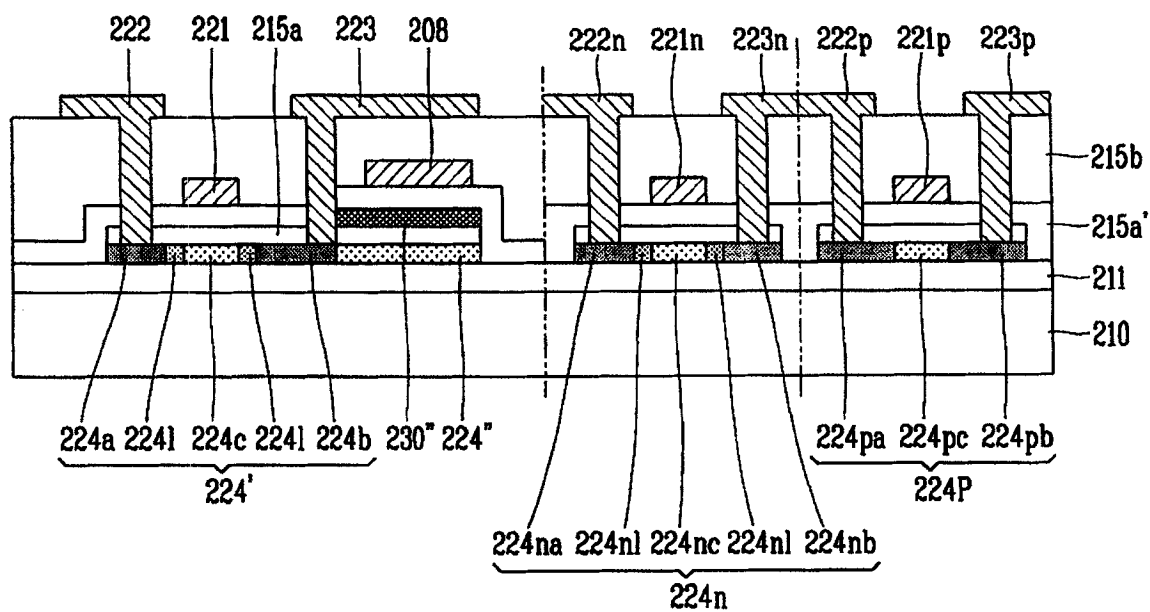


图 5H

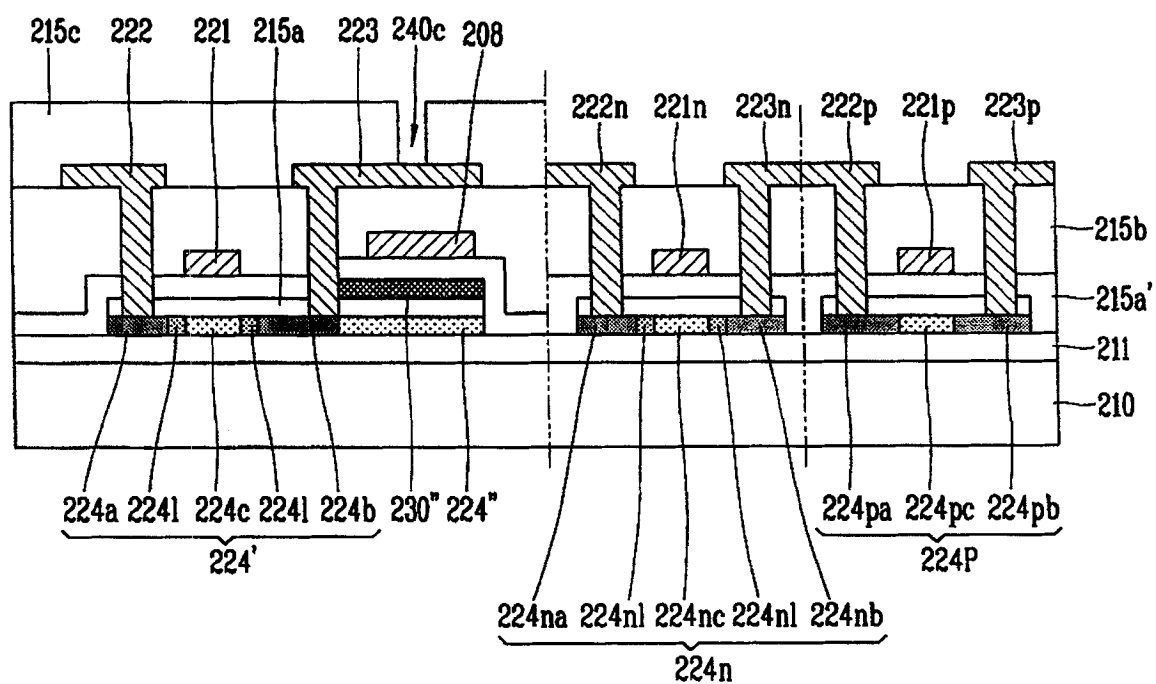


图 5I

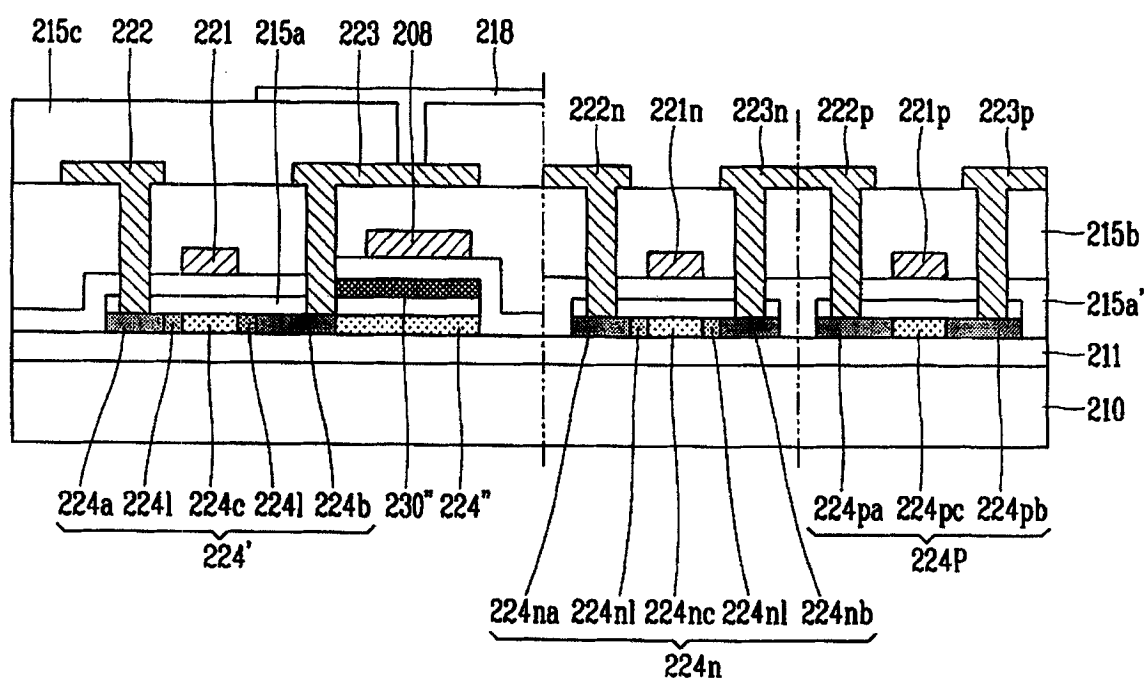


图 5J

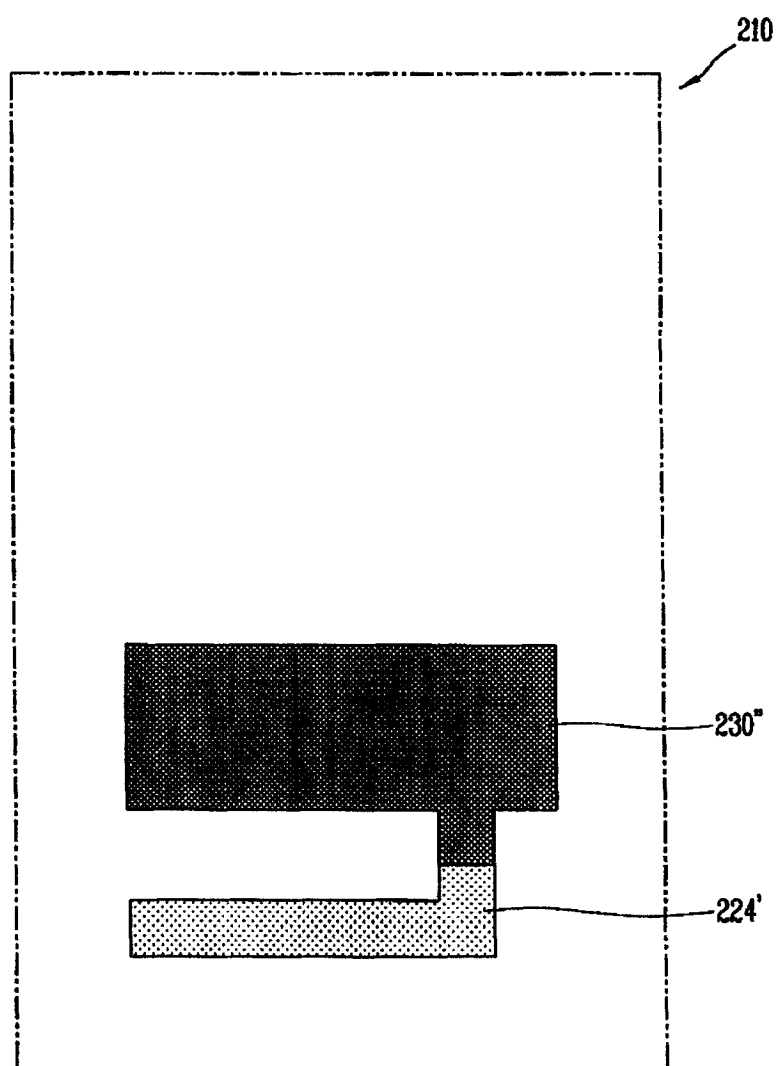


图 6A

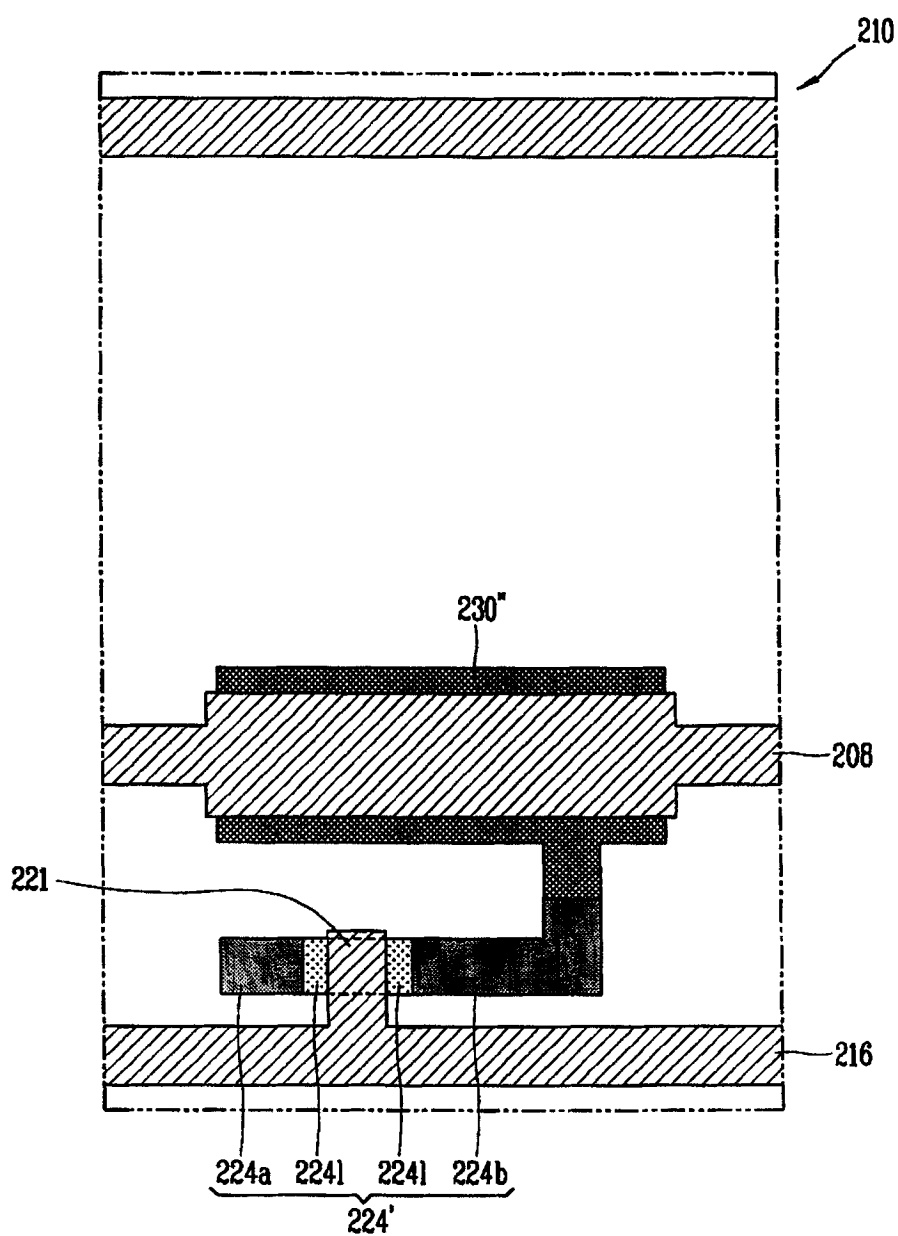


图 6B

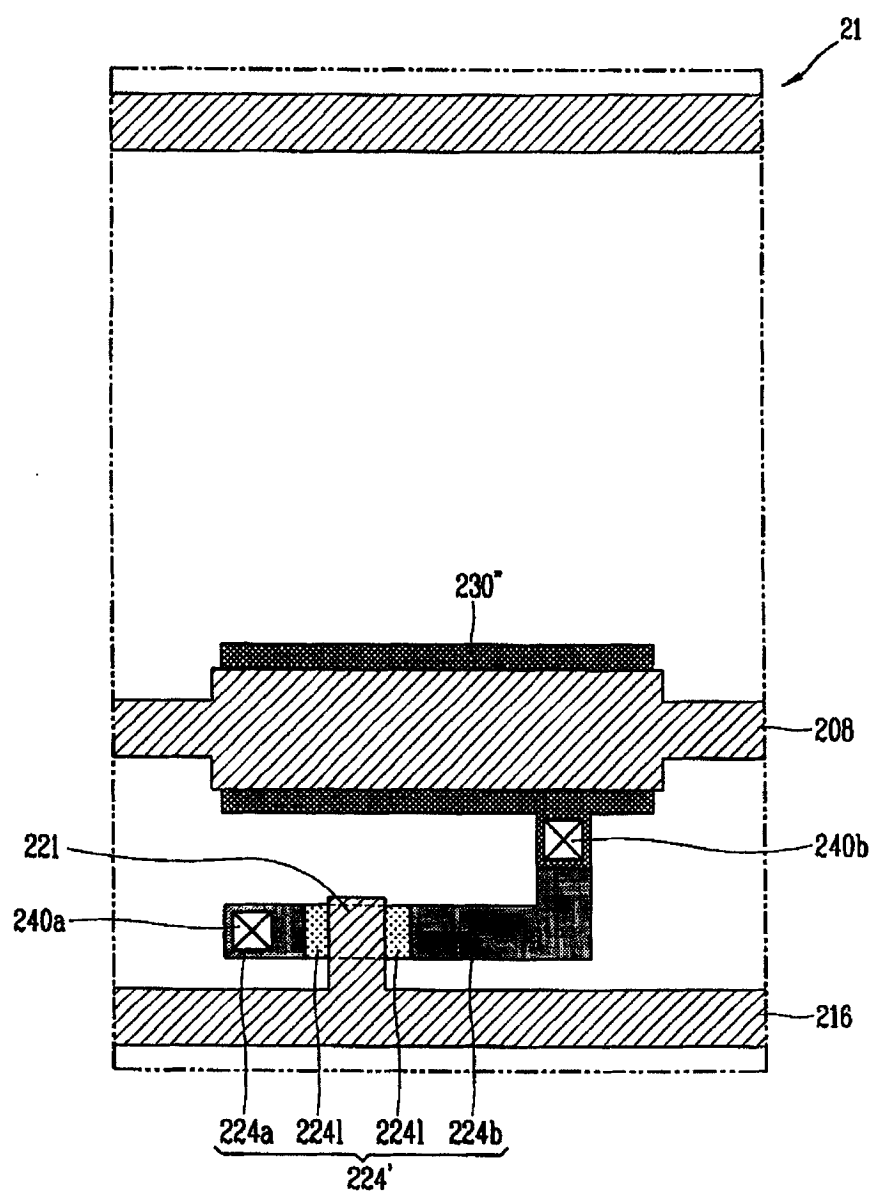


图 6C

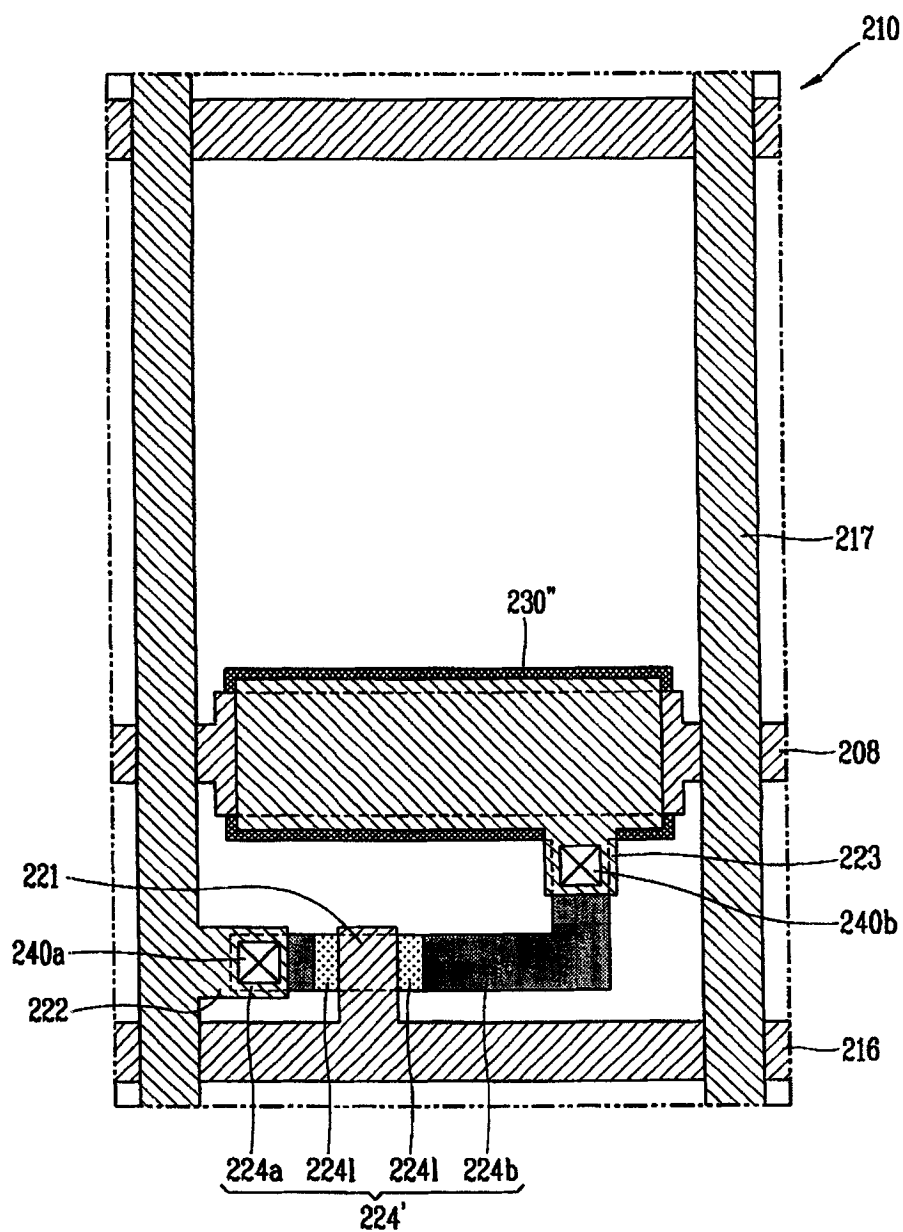


图 6D

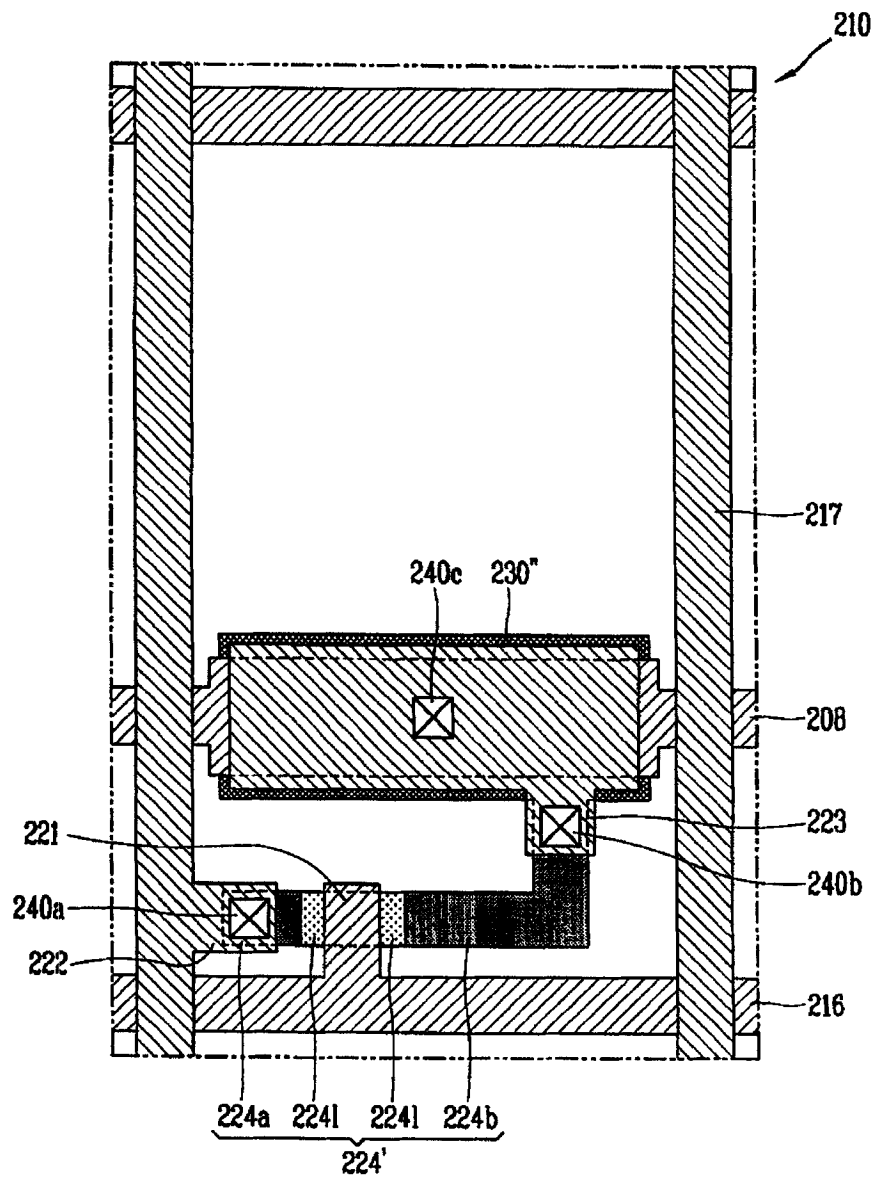


图 6E

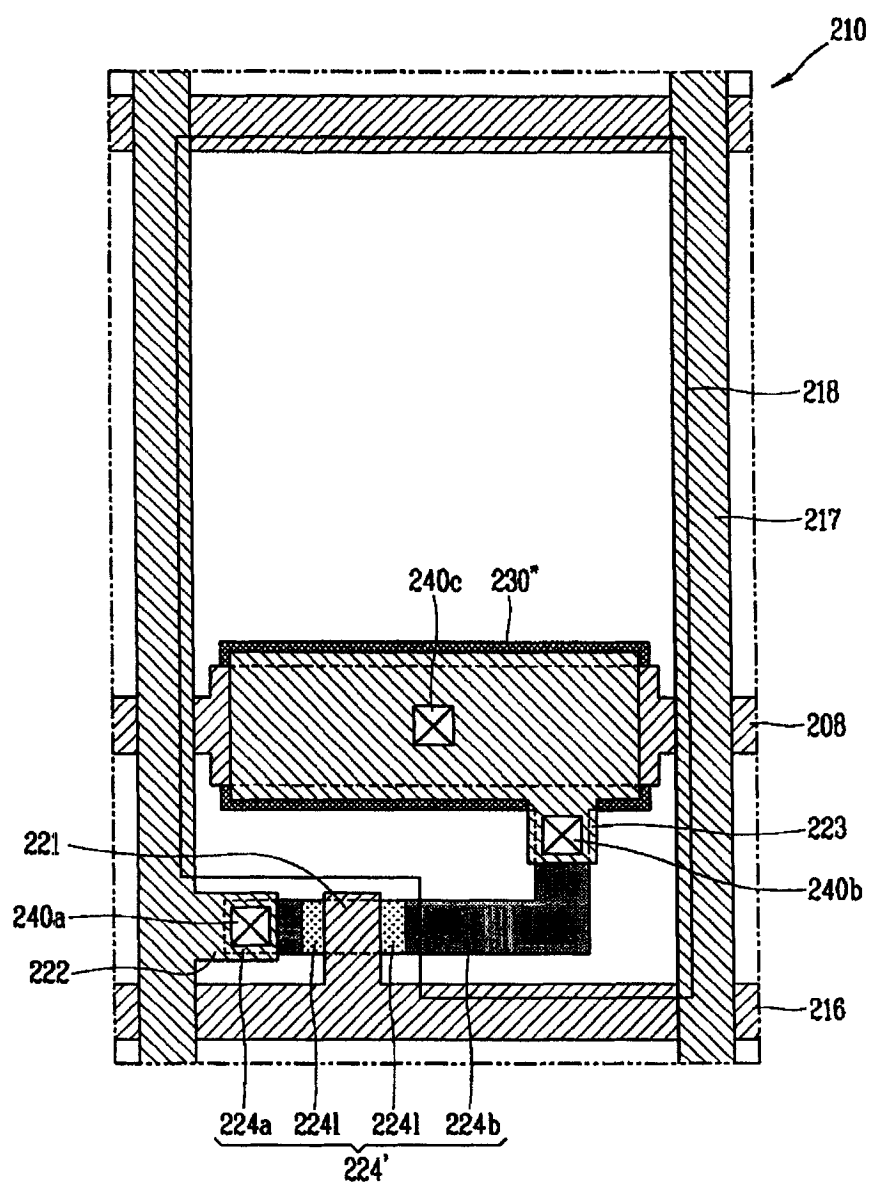


图 6F

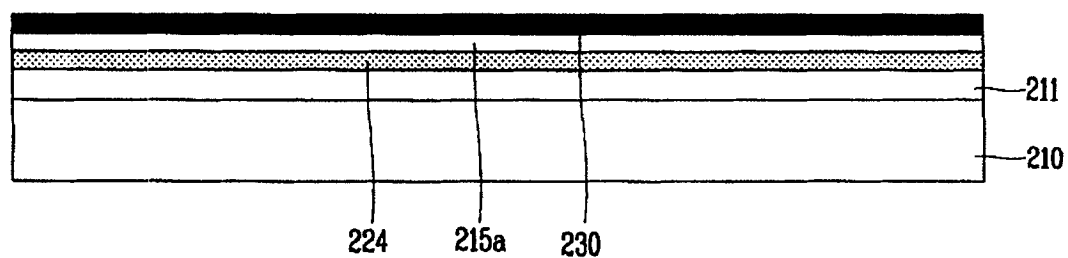


图 7A

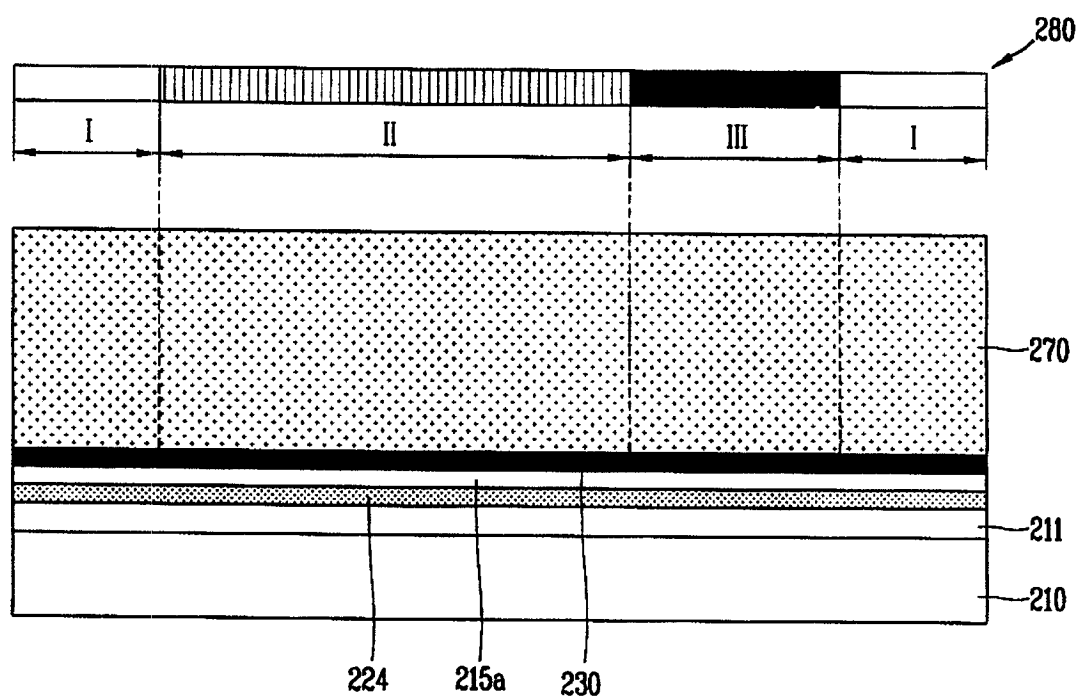


图 7B

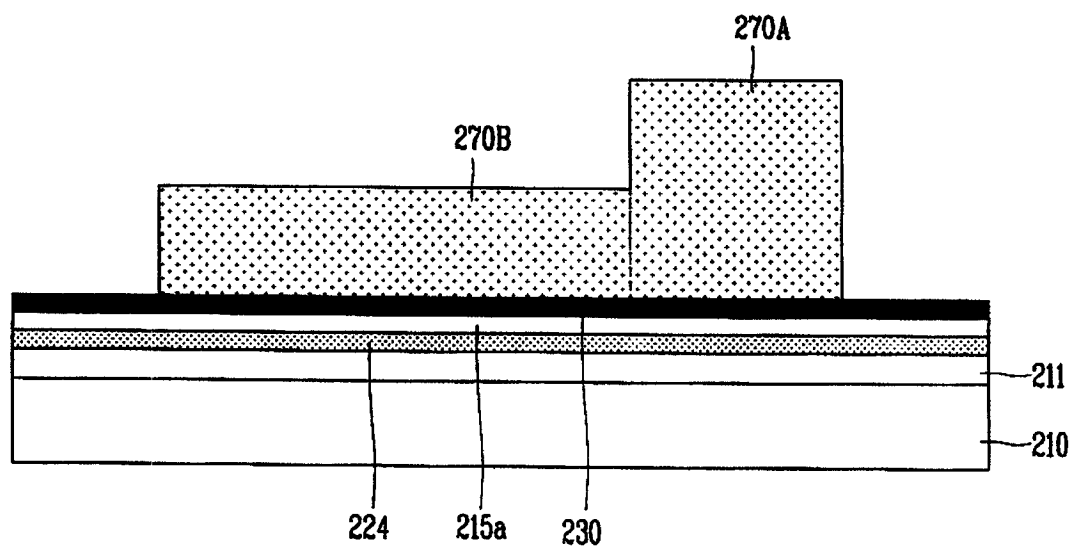


图 7C

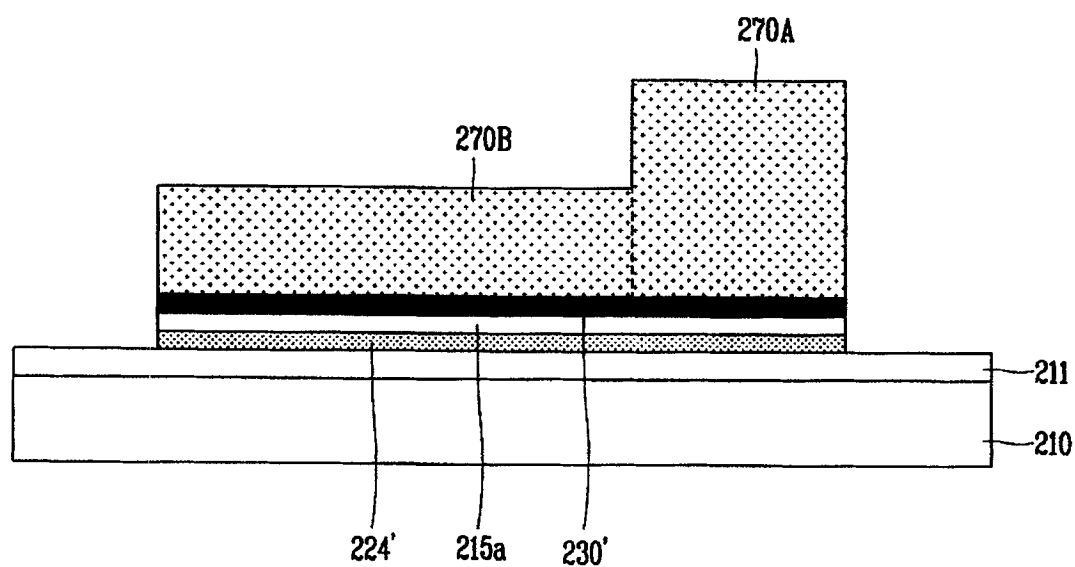


图 7D

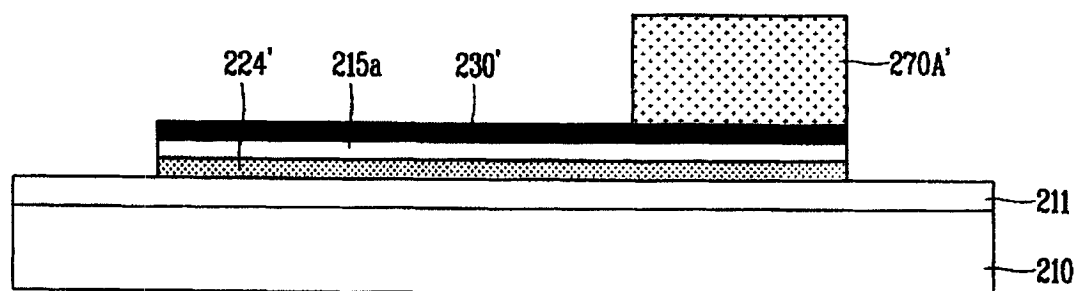


图 7E

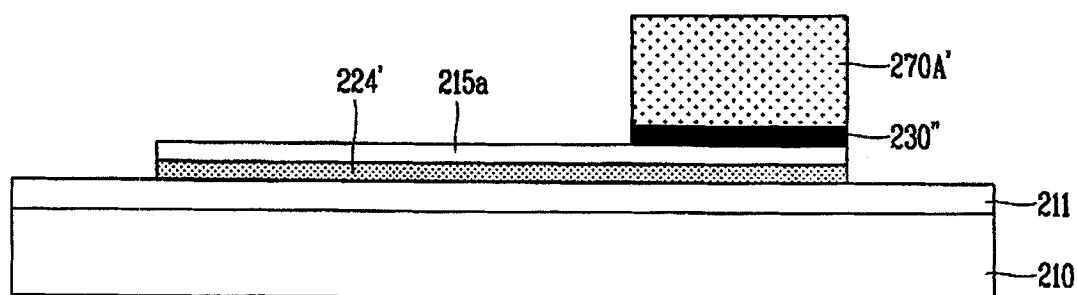


图 7F

专利名称(译)	液晶显示器件及其制造方法		
公开(公告)号	CN101097331B	公开(公告)日	2011-12-28
申请号	CN200610145256.7	申请日	2006-11-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.菲利浦LCD株式会社		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	朴秀婷 金荣柱 李锡宇		
发明人	朴秀婷 金荣柱 李锡宇		
IPC分类号	G02F1/1333 H01L21/00		
CPC分类号	H01L27/13 H01L29/4908 G02F1/136213 G02F1/1368 G02F2202/104 H01L27/1288 H01L27/1214 H01L27/1255		
代理人(译)	徐金国		
审查员(译)	胡阳		
优先权	1020060061668 2006-06-30 KR		
其他公开文献	CN101097331A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种用于制造液晶显示器件的方法，其包括提供划分为第一区域和第二区域的像素部分和电路部分的第一基板；在所述像素部分和所述电路部分上形成有源图案和第一栅绝缘薄膜并且在所述像素部分的所述有源图案的一定上部上形成存储电极；在所述第一基板上形成第二栅绝缘薄膜；在所述第一区域的电路部分处形成栅极并且在所述第一区域的所述电路部分的有源图案的一定区域处形成p+源区和p+漏区；在所述第二区域的所述像素部分和电路部分处形成栅极，并且在所述像素部分处形成公共线；在所述第二区域的所述像素部分和所述电路部分的有源图案的一定区域处形成n+源区和n+漏区；以及将所述第一基板和第二基板相互粘接。

