

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/136 (2006.01)

H01L 21/027 (2006.01)

G03F 7/20 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610169491.8

[43] 公开日 2007年11月7日

[11] 公开号 CN 101067701A

[22] 申请日 2006.12.15

[21] 申请号 200610169491.8

[30] 优先权

[32] 2006.5.3 [33] KR [31] 10-2006-0040062

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 梁竣荣 吴载映 金淑朴

[74] 专利代理机构 北京三友知识产权代理有限公司
代理人 李 辉

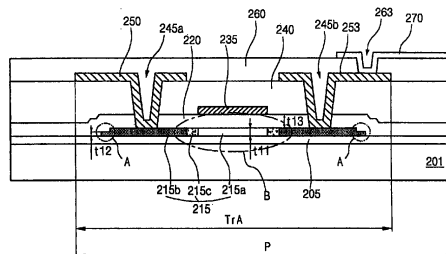
权利要求书 4 页 说明书 15 页 附图 14 页

[54] 发明名称

液晶显示装置及其制造方法

[57] 摘要

本发明提供液晶显示装置及其制造方法。所述液晶显示装置可以包括：位于基板上的半导体层，该半导体层包括沟道部分和位于所述沟道部分的两侧的欧姆接触部分，其中所述半导体层的边沿部分具有呈大致锥形的侧面；覆盖所述半导体层的栅绝缘层；位于所述栅绝缘层上并与所述沟道部分大致对应的栅极；与所述半导体层相接触的源极和漏极；以及与所述漏极相接触的像素电极。



1、一种液晶显示装置，该液晶显示装置包括：

位于基板上的半导体层，该半导体层包括沟道部分和位于所述沟道部分的两侧的欧姆接触部分，其中所述半导体层的边沿部分具有呈大致锥形的侧面；

覆盖所述半导体层的栅绝缘层；

位于所述栅绝缘层上并与所述沟道部分大致对应的栅极；

与所述半导体层接触的源极和漏极；以及

与所述漏极接触的像素电极。

2、根据权利要求1所述的液晶显示装置，其中，所述侧面相对于所述基板的平面具有约30度到约60度的角度 θ_2 。

3、根据权利要求1所述的液晶显示装置，其中，所述栅绝缘层的靠近所述边沿部分的台阶部分的厚度与所述栅绝缘层的其他部分的厚度大致相同，并且其中，所述栅极的靠近所述边沿部分的台阶部分的厚度与所述栅极的其他部分的厚度大致相同。

4、根据权利要求1所述的液晶显示装置，其中，所述半导体层包括多晶硅。

5、根据权利要求1所述的液晶显示装置，其中，所述半导体层还包括大致位于所述沟道部分与所述欧姆接触部分之间的轻掺杂漏极部分。

6、一种液晶显示装置，该液晶显示装置包括：

位于基板上的半导体层，该半导体层包括沟道部分和位于所述沟道部分的两侧的欧姆接触部分，其中所述半导体层的边沿部分具有至少两个台阶；

覆盖所述半导体层的栅绝缘层；

位于所述栅绝缘层上并与所述沟道部分大致对应的栅极；

与所述半导体层接触的源极和漏极；以及

与所述漏极接触的像素电极。

7、根据权利要求6所述的液晶显示装置，其中，所述栅绝缘层的靠

近所述边沿部分的台阶部分的厚度与所述栅绝缘层的其他部分的厚度大致相同，并且所述栅极的靠近所述边沿部分的台阶部分的厚度与所述栅极的其他部分的厚度大致相同。

8、根据权利要求6所述的液晶显示装置，其中，所述半导体层包括多晶硅。

9、根据权利要求6所述的液晶显示装置，其中，所述半导体层还包括大致位于所述沟道部分与所述欧姆接触部分之间的轻掺杂漏极部分。

10、一种液晶显示装置的制造方法，该制造方法包括以下步骤：

形成位于基板上的半导体层，该半导体层包括沟道部分和位于所述沟道部分的两侧的欧姆接触部分，其中所述半导体层的边沿部分具有呈大致锥形的侧面；

形成覆盖所述半导体层的栅绝缘层；

形成位于所述栅绝缘层上并与所述沟道部分大致对应的栅极；

形成与所述半导体层接触的源极和漏极；以及

形成与所述漏极接触的像素电极。

11、根据权利要求10所述的制造方法，其中，所述侧面相对于所述基板的平面具有约30度到约60度的角度 θ_2 。

12、根据权利要求10所述的制造方法，其中，形成所述锥形侧面的步骤包括以下步骤：

形成多晶硅层；

在所述多晶硅层上形成光刻胶图案；以及

同时对所述多晶硅层进行干法刻蚀并对所述光刻胶图案进行灰化。

13、根据权利要求12所述的制造方法，其中，形成所述欧姆接触部分的步骤包括以下步骤：在形成了所述锥形侧面之后，使用所述栅极作为掺杂掩模，用n⁺或p⁺离子来掺杂所述半导体层。

14、根据权利要求10所述的制造方法，其中，所述栅绝缘层的靠近所述边沿部分的台阶部分的厚度与所述栅绝缘层的其他部分的厚度大致相同，并且所述栅极的靠近所述边沿部分的台阶部分的厚度与所述栅极的其他部分的厚度大致相同。

15、根据权利要求 10 所述的制造方法，其中，形成所述半导体层的步骤包括以下步骤：形成大致位于所述沟道部分与所述欧姆接触部分之间的轻掺杂漏极部分。

16、一种液晶显示装置的制造方法，该制造方法包括以下步骤：

形成位于基板上的半导体层，该半导体层包括沟道部分和位于所述沟道部分的两侧的欧姆接触部分，其中所述半导体层的边沿部分具有至少两个台阶；

形成覆盖所述半导体层的栅绝缘层；

形成位于所述栅绝缘层上并与所述沟道部分大致对应的栅极；

形成与所述半导体层接触的源极和漏极；以及

形成与所述漏极接触的像素电极。

17、根据权利要求 16 所述的制造方法，其中，形成所述至少两个台阶的步骤包括以下步骤：

形成多晶硅层；

在所述多晶硅层上形成光刻胶图案；

使用所述光刻胶图案对所述多晶硅层进行第一次干法刻蚀；

对所述光刻胶图案进行灰化；以及

使用经灰化的光刻胶图案对经第一次干法刻蚀的多晶硅层进行第二次干法刻蚀，

其中，将第一次干法刻蚀处理、灰化处理以及第二次干法刻蚀处理重复至少一次。

18、根据权利要求 17 所述的制造方法，其中，形成所述欧姆接触部分的步骤包括以下步骤：在形成了所述至少两个台阶之后，使用所述栅极作为掺杂掩模，用 n+或 p+离子来掺杂所述半导体层。

19、根据权利要求 16 所述的制造方法，其中，所述栅绝缘层的靠近所述边沿部分的台阶部分的厚度与所述栅绝缘层的其他部分的厚度大致相同，并且所述栅极的靠近所述边沿部分的台阶部分的厚度与所述栅极的其他部分的厚度大致相同。

20、根据权利要求 16 所述的制造方法，其中，形成所述半导体层的

步骤包括以下步骤：形成大致位于所述沟道部分与所述欧姆接触部分之间的轻掺杂漏极部分。

21、一种液晶显示装置，该液晶显示装置包括：

位于基板上的半导体层，该半导体层包括沟道部分和位于所述沟道部分的两侧的欧姆接触部分，其中所述半导体层的边沿部分具有向外逐渐减小的厚度；

覆盖所述半导体层的栅绝缘层；

位于所述栅绝缘层上并与所述沟道部分大致对应的栅极；

与所述半导体层接触的源极和漏极；以及

与所述漏极接触的像素电极。

22、根据权利要求 21 所述的液晶显示装置，其中，所述边沿部分具有呈大致锥形的侧面或者具有至少两个台阶。

液晶显示装置及其制造方法

技术领域

本发明涉及一种液晶显示装置，更具体地说，涉及一种液晶显示（LCD）装置以及该 LCD 装置的制造方法。

背景技术

平板显示装置已开始取代阴极射线管（CRT）来用于信息显示应用。已开发出各种类型的平板显示器（如液晶显示（LCD）装置、等离子显示板（PDP）、场发射显示器（FED）以及电致发光显示器（ELD））来取代 CRT。在这些类型的平板显示器中，LCD 装置具有许多优势，如分辨率高、重量轻、外形薄、尺寸小以及电源电压要求低。

通常，LCD 装置包括隔开并彼此相对的两块基板，在这两块基板之间插入有液晶材料。这两块基板包括彼此面对的多个电极，从而施加在这些电极之间的电压会诱发跨过液晶材料的电场。液晶材料中的液晶分子的配向在诱发电场的方向上与诱发电场的强度成比例地变化，从而改变 LCD 装置的透光率。由此，LCD 装置通过改变诱发电场的强度来显示图像。

最近，通常使用有源矩阵型 LCD 装置，其包括按矩阵形式排列的多个薄膜晶体管（TFT）和多个像素电极。由于氢化非晶硅（a-Si:H）的低温应用并且由于它廉价，因此已经使用氢化非晶硅作为 TFT 的有源层。然而，由于氢化非晶硅中的原子是随机排列的，因此硅原子之间的键很弱并且是悬挂的。因此，当照射光或者诱发了电场时，硅原子处于准稳态，从而使得 TFT 不稳定。弱键还导致电特性较差。例如，场效应迁移率值低至 0.1 到 1.0 $\text{cm}^2/\text{V}\cdot\text{sec}$ 。因此，不能可靠地使用具有非晶硅的 TFT 作为开关元件。

与之对照的是，可以将多晶硅用于驱动电路，因为多晶硅比非晶硅

具有更高的场效应迁移率。

图 1 和 2 分别是沿沟道部分的长度方向和宽度方向所截取的剖面图，例示了根据现有技术的具有使用多晶硅的薄膜晶体管的 LCD 装置。

如图 1 和 2 所例示的，在基板 15 上形成有缓冲层 18。在开关区 TrA 中的缓冲层 18 上形成有多晶硅的半导体层 23。整个半导体层 23 具有相同的厚度。半导体层 23 在其中央处具有本征多晶硅的沟道部分 23a、并且在其两侧处具有掺杂多晶硅的欧姆接触部分 23b。当杂质是 n⁺离子时，半导体层 23 在欧姆接触层 23b 与沟道部分 23a 之间还具有轻掺杂漏极（LDD）部分 23c，该 LDD 部分 23c 比欧姆接触部分 23b 具有更低的杂质浓度。

在具有半导体层 23 的基板 15 上形成有栅绝缘层 28。在栅绝缘层 28 上形成有栅极 35，该栅极 35 对应于沟道部分 23a。

在具有栅极 35 的基板 15 上形成有层间绝缘膜 43。该层间绝缘膜 43 和栅绝缘层 28 具有暴露出欧姆接触部分 23b 的半导体接触孔 45a 和 45b。在层间绝缘膜 43 上形成有源极 48 和漏极 53。源极 48 和漏极 53 穿过半导体接触孔 45a 和 45b 接触欧姆接触部分 23b。

在具有源极 48 和漏极 53 的基板 15 上形成有钝化层 60。钝化层 60 具有漏接触孔 63。在像素区 P 中的钝化层 60 上形成有像素电极 65。像素电极 65 穿过漏接触孔 63 接触漏极 53。

如上所述，半导体层 23 的整个部分都具有相同的厚度。半导体层 23 的边沿部分 A 的侧面相对于基板 15 的平面具有等于或大于 80 度的角度 θ_1 。

由于半导体层 23 的结构，栅绝缘层 28 的台阶覆盖性劣化了。栅绝缘层 28 的靠近半导体层 23 的边沿部分 A 的台阶部分具有比栅绝缘层 28 的其他部分的厚度 t1 薄的厚度 t2。因此，参照图 2，栅极 35 的靠近半导体层 23 的边沿部分 A 的台阶部分具有比栅极 35 的其他部分的厚度 t4 薄的厚度 t3。

由于栅绝缘层 28 和栅极 35 的与半导体层 23 的边沿部分 A 对应的台阶部分具有比栅绝缘层 28 和栅极 35 的其他部分的厚度 t1 和 t4 薄的厚度

t_2 和 t_3 ，因此由于边缘场效应而在边沿部分 A 处诱发强电场，并沿沟道部分 23a 的宽度产生很强的侧电流。该侧电流干扰了正常流动的漏电流。

图 3 是例示了在根据现有技术的 LCD 装置中选通电压到漏电流的传递曲线的曲线图。在图 3 中，LDD 部分的宽度为 $1\mu\text{m}$ ，沟道部分的宽度和长度为 $4\mu\text{m}$ 和 $4\mu\text{m}$ 。

当施加 0 V 到 3 V 的范围内的选通电压时，为了使薄膜晶体管正常工作，漏电流应当线性地增大。然而，参照图 3，由于边缘场效应而产生的侧电流会干扰流动的漏电流。因此，产生了传递曲线的凸峰（即，非线性部分）。

该凸峰会导导致薄膜晶体管的导通/截止时间延迟，由此使薄膜晶体管的可靠性劣化。

发明内容

因此，本发明旨在提供一种 LCD 装置及其制造方法，其本质上克服了由于现有技术的局限和缺点而导致的一个或更多个问题。

本发明的优点是提供了一种改进了薄膜晶体管可靠性的 LCD 装置及其制造方法。

本发明的其他特征和优点将在随后的说明中进行阐述，这些特征和优点将部分地根据说明书而变得清楚，或者可以通过实施本发明而获知。本发明的上述目的和其他优点可以由在说明书及其权利要求书以及附图中具体指出的结构而实现并获得。

为实现这些和其他优点并且根据本发明的目的，如在此所具体实现和广泛描述的，一种液晶显示装置包括：位于基板上的半导体层，该半导体层包括沟道部分和位于所述沟道部分的两侧的欧姆接触部分，其中所述半导体层的边沿部分具有呈大致锥形的侧面；覆盖所述半导体层的栅绝缘层；位于所述栅绝缘层上并与所述沟道部分大致对应的栅极；与所述半导体层相接触的源极和漏极；以及与所述漏极相接触的像素电极。

在另一方面中，一种液晶显示装置包括：位于基板上的半导体层，该半导体层包括沟道部分和位于所述沟道部分的两侧的欧姆接触部分，

其中所述半导体层的边沿部分具有至少两个台阶；覆盖所述半导体层的栅绝缘层；位于所述栅绝缘层上并与所述沟道部分大致对应的栅极；与所述半导体层相接触的源极和漏极；以及与所述漏极相接触的像素电极。

在另一方面中，一种液晶显示装置的制造方法包括以下步骤：形成位于基板上的半导体层，该半导体层包括沟道部分和位于所述沟道部分的两侧的欧姆接触部分，其中所述半导体层的边沿部分具有呈大致锥形的侧面；形成覆盖所述半导体层的栅绝缘层；形成位于所述栅绝缘层上并与所述沟道部分大致对应的栅极；形成与所述半导体层相接触的源极和漏极；以及形成与所述漏极相接触的像素电极。

在另一方面中，一种液晶显示装置的制造方法包括以下步骤：形成位于基板上的半导体层，该半导体层包括沟道部分和位于所述沟道部分的两侧的欧姆接触部分，其中所述半导体层的边沿部分具有至少两个台阶；形成覆盖所述半导体层的栅绝缘层；形成位于所述栅绝缘层上并与所述沟道部分大致对应的栅极；形成与所述半导体层相接触的源极和漏极；以及形成与所述漏极相接触的像素电极。

在另一方面中，一种液晶显示装置包括：位于基板上的半导体层，该半导体层包括沟道部分和位于所述沟道部分的两侧的欧姆接触部分，其中所述半导体层的边沿部分具有向外逐渐减小的厚度；覆盖所述半导体层的栅绝缘层；位于所述栅绝缘层上并与所述沟道部分大致对应的栅极；与所述半导体层相接触的源极和漏极；以及与所述漏极相接触的像素电极。

应当理解，上文对本发明的概述与下文对本发明的详述都是示例性和解释性的，旨在提供对如权利要求所述发明的进一步解释。

附图说明

附图被包括进来以提供对本发明的进一步的理解并被并入且构成说明书的一部分，附图示出了本发明多个实施例，并且与以上说明一起用于解释本发明的原理。

在附图中：

图 1 和 2 分别是沿沟道部分的长度方向和宽度方向所截取的剖面图，例示了根据现有技术的具有使用多晶硅的薄膜晶体管的 LCD 装置；

图 3 是例示了在根据现有技术的 LCD 装置中选通电压到漏电流的传递曲线的曲线图；

图 4 和 5 分别是沿沟道部分的长度方向和宽度方向所截取的剖面图，例示了根据本发明第一实施例的具有使用多晶硅的薄膜晶体管的 LCD 装置；

图 6 和 7 分别是沿沟道部分的长度方向和宽度方向所截取的剖面图，例示了根据本发明第二实施例的具有使用多晶硅的薄膜晶体管的 LCD 装置；

图 8 是例示了根据本发明第二实施例的半导体层的 SEM（扫描电子显微镜）图片；

图 9 是例示了在根据本发明第二实施例的 LCD 装置中选通电压到漏电流的传递曲线的曲线图；

图 10 是沿沟道部分的长度方向所截取的剖面图，例示了根据本发明第三实施例的具有使用多晶硅的薄膜晶体管的 LCD 装置；

图 11A 到 11L 是例示了根据第二实施例的 LCD 装置的制造方法的剖面图；以及

图 12A 到 12C 是例示了根据本发明第一实施例的在边沿部分处具有锥形侧面的半导体层的形成方法的剖面图。

具体实施方式

下面详细描述本发明的实施例，其示例示出在附图中。

图 4 和 5 分别是沿沟道部分的长度方向和宽度方向所截取的剖面图，例示了根据本发明第一实施例的具有使用多晶硅的薄膜晶体管的 LCD 装置。沟道部分的长度方向是从源极到漏极的方向，沟道部分的宽度方向是与沟道部分的长度方向相垂直的栅极的延伸方向。

如图 4 和 5 所例示的，在基板 101 上形成有缓冲层 105。在开关区 TrA 中的缓冲层 105 上形成有多晶硅的半导体层 115。

半导体层 115 的除边沿部分 A 以外的部分具有大致相同的厚度 t_5 。边沿部分 A 大致呈锥形，从而边沿部分 A 的厚度可以向外逐渐减小。边沿部分 A 的侧面相对于基板 101 的平面可以具有约 30 度到约 60 度的角度 θ_2 。

半导体层 115 在其中央处具有本征多晶硅的沟道部分 115a、并在其两侧具有掺杂多晶硅的欧姆接触部分 115b。当杂质是 n⁺离子时，半导体层 115 还具有大致位于欧姆接触层 115b 与沟道部分 115a 之间的轻掺杂漏极 (LDD) 部分 115c。此外，当杂质是 n⁺离子时，该轻掺杂漏极 (LDD) 部分可以具有比欧姆接触部分 115b 的杂质浓度低很多的杂质浓度。当杂质是 p⁺离子时，可以不形成轻掺杂漏极 (LDD) 部分 115c。

在具有半导体层 115 的基板 101 上形成有栅绝缘层 120。在栅绝缘层 120 上形成有栅极 135，该栅极 135 大致对应于沟道部分 115a。栅极 135 在宽度方向完全覆盖沟道部分 115a，在长度方向与沟道部分 115a 大致对应。栅绝缘层 120 可以直接形成在栅极 135 的下方。

由于具有约 30 到约 60 度的角度 θ_2 的边沿部分 A 呈大致锥形，所以栅绝缘层 120 和栅极 135 在半导体层 115 上方的台阶覆盖得到了改进。栅绝缘层 120 的靠近边沿部分 A 的台阶部分具有与栅绝缘层 120 的其他部分大致相同的厚度 t_6 。栅极 135 的靠近边沿部分 A 的台阶部分具有与栅极 135 的其他部分大致相同的厚度 t_7 。

在具有栅极 135 的基板 101 上形成有层间绝缘膜 140。该层间绝缘膜 140 和栅绝缘层 120 具有基本上暴露欧姆接触部分 115b 的半导体接触孔 145a 和 145b。

在层间绝缘膜 140 上形成有源极 150 和漏极 153。源极 150 和漏极 153 穿过半导体接触孔 145a 和 145b 接触欧姆接触部分 115b。

半导体层 115、栅极 135、源极 150 以及漏极 153 限定了作为开关元件的薄膜晶体管。

在具有源极 150 和漏极 153 的基板 101 上形成有钝化层 160。钝化层 160 具有漏接触孔 163。在像素区 P 中的钝化层 160 上形成有像素电极 170。像素电极 170 穿过漏接触孔 163 接触漏极 153。

尽管图中未示出，但是与栅极 135 一起形成有选通线，与源极 150 和漏极 153 一起形成有数据线。选通线与数据线彼此交叉以限定像素区 P。

在第一实施例中，由于具有约 30 到约 60 度的角度 θ_2 的边沿部分呈大致锥形，所以栅绝缘层 120 和栅极 135 的靠近边沿部分的台阶部分具有与其他部分大致相同的厚度。结果，可以减轻边缘效应，并且还可以在边沿部分处减小由于该边缘效应而诱发的强电场。因此，可以防止沿沟道部分的宽度方向的侧电流。此外，尽管在边沿部分处可能诱发强电场，但是由于边沿部分具有比半导体层的其他部分小很多的厚度，因此诸如电子和空穴的载流子在边沿部分处减少，由此可以防止侧电流。因此，在侧电流导致的干扰减小的情况下，漏电流正常地流动，并且可以防止凸峰。由此，可以实现薄膜晶体管的可靠性。

图 6 和 7 分别是沿沟道部分的长度方向和宽度方向所截取的剖面图，例示了根据本发明第二实施例的具有使用多晶硅的薄膜晶体管的 LCD 装置。除半导体层的边沿部分的形状以外，第二实施例的 LCD 装置类似于第一实施例的 LCD 装置。略去对与第一实施例的部分类似的部分的详细说明。

如图 6 和 7 所例示的，在基板 201 上形成有缓冲层 205。在开关区 TrA 中的缓冲层 205 上形成有多晶硅的半导体层 215。

半导体层 215 的除边沿部分 A 以外的部分具有大致相同的厚度 t_{11} 。边沿部分 A 呈多台阶形状，使得边沿部分 A 的厚度可以向外减小。边沿部分 A 例如具有至少两个台阶。较低台阶的厚度 t_{12} 可以是半导体层 215 的除边沿部分 A 以外的部分的厚度 t_{11} 的约一半。较高台阶的厚度可以是半导体层 215 的除边沿部分 A 以外的部分的厚度 t_{11} 的约一半。作为另一种选择，较低台阶的厚度 t_{12} 可以与较高台阶的厚度不同。

半导体层 215 在其中央处具有本征多晶硅的沟道部分 215a、并在其两侧具有掺杂多晶硅的欧姆接触部分 215b。当杂质是 n⁺离子时，半导体层 215 还具有大致位于欧姆接触部分 215b 与沟道部分 215a 之间的轻掺杂漏极(LDD)部分 215c。此外，当杂质是 n⁺离子时，该轻掺杂漏极(LDD)

部分可以具有比欧姆接触部分的杂质浓度更低的杂质浓度。当杂质是 p⁺ 离子时，可以不形成轻掺杂漏极 (LDD) 部分 215c。

在具有半导体层 215 的基板 201 上形成有栅绝缘层 220。在栅绝缘层 220 上形成有栅极 235，该栅极 235 大致对应于沟道部分 215a。栅绝缘层 220 可以直接形成在栅极 235 的下方。

由于边沿部分 A 的多台阶形状，栅绝缘层 220 和栅极 235 在半导体层 215 上方的台阶覆盖可以得到改进。栅绝缘层 220 的靠近边沿部分 A 的台阶部分具有与栅绝缘层 220 的其他部分大致相同的厚度 t₁₃。栅极 235 的靠近边沿部分 A 的台阶部分具有与栅极 235 的其他部分大致相同的厚度。

在具有栅极 235 的基板 201 上形成有层间绝缘膜 240。该层间绝缘膜 240 和栅绝缘层 220 具有基本上暴露欧姆接触部分 215b 的半导体接触孔 245a 和 245b。

在层间绝缘膜 240 上形成有源极 250 和漏极 253。源极 250 和漏极 253 穿过半导体接触孔 245a 和 245b 接触欧姆接触部分 215b。

半导体层 215、栅极 235、源极 250 以及漏极 253 限定了作为开关元件的薄膜晶体管。

在具有源极 250 和漏极 253 的基板 201 上形成有钝化层 260。钝化层 260 具有漏接触孔 263。在像素区 P 中的钝化层 260 上形成有像素电极 270。像素电极 270 穿过漏接触孔 263 接触漏极 253。

尽管图中未示出，但是与栅极 235 一起形成有选通线，与源极 250 和漏极 253 一起形成有数据线。选通线与数据线彼此交叉以限定像素区 P。

在第二实施例中，由于边沿部分的多台阶形状，栅绝缘层 220 和栅极 235 的靠近边沿部分的台阶部分具有与其他部分大致相同的厚度。可以减轻边缘效应，并且还可以在边沿部分处减小由于该边缘效应而诱发的强电场。因此，可以防止沿沟道部分的宽度方向的侧电流。此外，尽管在边沿部分处可能诱发强电场，但是由于边沿部分的厚度比半导体层 215 的其他部分的厚度小很多，因此诸如电子和空穴的载流子会在边沿部分

处减少，由此可以防止侧电流。因此，在由侧电流导致的干扰减小的情况下，漏电流正常地流动，并且可以防止凸峰。由此，可以实现薄膜晶体管的可靠性。

图 8 是例示了根据本发明第二实施例的半导体层的 SEM（扫描电子显微镜）图片，图 9 是例示了在根据本发明第二实施例的 LCD 装置中选通电压到漏电流的传递曲线的曲线图。在图 9 中，LDD 部分的宽度为 $1\ \mu\text{m}$ ，沟道部分的宽度和长度分别为 $4\ \mu\text{m}$ 和 $4\ \mu\text{m}$ 。

当施加 $0\ \text{V}$ 到 $2\ \text{V}$ 的范围内的选通电压时，漏电流线性地增大并且薄膜晶体管正常工作。因此，可以防止传递曲线的凸峰（即，非线性部分）。防止了薄膜晶体管的导通/截止时间延迟，由此可以实现薄膜晶体管的可靠性。

当在 $V_{\text{ds}} = 9\text{V}$ 时将图 9 与图 3 的曲线图进行比较时，在图 3 的现有技术中在 $0\ \text{V}$ 到 $3\ \text{V}$ 的选通电压范围内产生了凸峰，而在图 9 中在 $0\ \text{V}$ 到 $2\ \text{V}$ 的选通电压范围内几乎不会产生凸峰。

图 10 是沿沟道部分的长度方向所截取的剖面图，例示了根据本发明第三实施例的具有使用多晶硅的薄膜晶体管的 LCD 装置。第三实施例的 LCD 装置类似于第二实施例的 LCD 装置。略去对与第二实施例的部分类似的部分的详细说明。

第三实施例的边沿部分 A 具有至少 3 个台阶。较低台阶、中间台阶以及较高台阶的厚度为 t_{14} 、 t_{16} 以及 t_{17} 。较低台阶的厚度 t_{14} 可以是半导体层 315 的除边沿部分 A 以外的部分的厚度 t_{15} 的约三分之一。中间台阶的厚度 t_{16} 可以是半导体层 315 的除边沿部分 A 以外的部分的厚度 t_{15} 的约三分之一。较高台阶的厚度 t_{17} 可以是半导体层 315 的除边沿部分 A 以外的部分的厚度 t_{15} 的约三分之一。作为另一种选择，较低、中间以及较高台阶的厚度 t_{14} 、 t_{16} 以及 t_{17} 可以互不相同。随着边沿部分 A 的台阶数量的增加，台阶的厚度减小，由此栅绝缘层 320 的厚度变得更均匀。

在基板 301 上形成有缓冲层 305。在开关区 TrA 中的缓冲层 305 上形成有多晶硅的半导体层 315。

半导体层 315 在其中央处具有本征多晶硅的沟道部分 315a、并在其两侧具有掺杂多晶硅的欧姆接触部分 315b。当杂质是 n⁺离子时，半导体层 315 还具有位于欧姆接触部分 315b 与沟道部分 315a 之间的轻掺杂漏极 (LDD) 部分 315c (其具有比欧姆接触部分 315b 的杂质浓度更低的杂质浓度)。当杂质是 p⁺离子时，可以不形成轻掺杂漏极 (LDD) 部分 315c。

在栅绝缘层 320 上形成有栅极 335，该栅极 335 大致对应于沟道部分 315a。栅绝缘层 320 可以直接形成在栅极 335 的下方。

由于边沿部分 A 的多台阶形状，可以改进栅绝缘层 320 和栅极 335 在半导体层 315 上方的台阶覆盖。栅绝缘层 320 的靠近边沿部分 A 的台阶部分具有与栅绝缘层 320 的其他部分大致相同的厚度 t₁₃。栅极 335 的靠近边沿部分 A 的台阶部分具有与栅极 335 的其他部分大致相同的厚度。

在具有栅极 335 的基板 301 上形成有层间绝缘膜 340。该层间绝缘膜 340 和栅绝缘层 320 具有基本上暴露欧姆接触部分 315b 的半导体接触孔 345a 和 345b。

在层间绝缘膜 340 上形成有源极 350 和漏极 353。源极 350 和漏极 353 穿过半导体接触孔 345a 和 345b 接触欧姆接触部分 315b。

半导体层 315、栅极 335、源极 350 以及漏极 353 限定了作为开关元件的薄膜晶体管。

在具有源极 350 和漏极 353 的基板 301 上形成有钝化层 360。钝化层 360 具有漏接触孔 363。在像素区 P 中的钝化层 360 上形成有像素电极 370。像素电极 370 穿过漏接触孔 363 接触漏极 353。

尽管图中未示出，但是与栅极 335 一起形成有选通线，与源极 350 和漏极 353 一起形成有数据线。选通线与数据线彼此交叉以限定像素区 P。

在第三实施例中，由于边沿部分的多台阶形状，栅绝缘层和栅极的靠近边沿部分的台阶部分具有与其他部分大致相同的厚度。可以减轻边缘效应，并且还可以在边沿部分处减小由于该边缘效应而诱发的强电场。因此，可以防止沿沟道部分的宽度方向的侧电流。此外，尽管在边沿部分处可能诱发强电场，但是由于边沿部分的厚度比半导体层的其他部分

的厚度小很多，因此诸如电子和空穴的载流子会在边沿部分处减少，由此可以防止侧电流。因此，在侧电流的干扰减小的情况下，漏电流正常地流动，并且可以防止凸峰。由此，可以实现薄膜晶体管的可靠性。

参照图 11A 到 11L 和 12A 到 12C 对根据本发明实施例的 LCD 装置的制造方法进行说明。除形成半导体层的处理以外，第一到第三实施例的 LCD 装置的制造方法是相似的。因此，参照图 11A 到 11L 对除半导体层形成处理以外的那些元件形成处理进行共同的说明，而对半导体层的形成处理单独进行说明。

图 11A 到 11L 是例示了根据第二实施例的 LCD 装置的制造方法的剖面图。

如图 11A 所例示的，通过对包括氧化硅 (SiO_2) 和氮化硅 (SiN_x) 的无机材料进行淀积来在基板 201 上形成缓冲层 205。

在缓冲层 205 上淀积非晶硅，并执行结晶处理以形成多晶硅层 212。例如，可以使用 ELA (准分子激光退火) 方法、SLS (序列横向凝固) 方法、热处理方法或 MILC (金属诱导横向结晶) 方法来执行该结晶处理。多晶硅层 212 具有例如约 500 到约 1000 埃的厚度 t_{11} 。

在多晶硅层 212 上涂敷光刻胶。针对该光刻胶执行使用掩模的曝光处理和显影处理，以在像素区 P 的开关区 TrA 中形成光刻胶图案 281。该光刻胶图案 281 具有厚度 t_{21} 和宽度 w_{21} 。

如图 11B 所例示的，使用光刻胶图案 281 作为刻蚀掩模对多晶硅层 (图 11A 的 212) 进行第一次干法刻蚀，以形成半导体层 215。半导体层 215 具有与光刻胶图案 281 的宽度大致相同的宽度。当对多晶硅层进行第一次干法刻蚀时，在真空室中充入包括溴化氢 (HBr) 气体、氯 (Cl_2) 气、六氟化硫 (SF_6) 气体以及溴 (Br_2) 气中的至少两种的干法刻蚀气体，并执行等离子处理。干法刻蚀气体与多晶硅层发生反应而不与光刻胶图案 281 发生反应。因此，光刻胶图案 281 的形状不会由于第一次干法刻蚀而发生变化。该第一次干法刻蚀可以具有各向异性。

如图 11C 所例示的，将干法刻蚀气体替换为作为灰化气体的氧 (O_2) 气，在用于第一次干法刻蚀的室中对基板 201 执行灰化处理。通过该灰

化处理，减小了光刻胶图案（图 11B 的 281）的厚度 t_{21} 和宽度 w_{21} ，并形成了具有厚度 t_{22} 和宽度 w_{22} 的灰化光刻胶图案 282。该灰化处理是各向同性的，并去除了光刻胶图案的侧部和上部。可以通过使氧（ O_2 ）气浓度保持恒定并调节灰化时间来调节所去除的量。通过该灰化处理，由灰化光刻胶图案 282 暴露出半导体层 215 的边沿部分 A。

如图 11D 所例示的，使用灰化光刻胶图案 282 作为刻蚀掩模对半导体层 215 进行第二次干法刻蚀，以部分地去除所暴露的边沿部分 A。当对多晶硅层 212 进行第二次干法刻蚀时，在室中将氧（ O_2 ）气替换为与用于第一次干法刻蚀的干法刻蚀气体类似的包括溴化氢（HBr）气体、氯（ Cl_2 ）气、六氟化硫（ SF_6 ）气体以及溴（ Br_2 ）气中的至少两种的干法刻蚀气体，并执行等离子处理。因此，在边沿部分 A 处大致形成了具有比位于灰化光刻胶图案 282 下方的半导体层 215 的厚度 t_{11} 薄的厚度 t_{12} 的台阶。第二次干法刻蚀时间可以比第一次干法刻蚀时间短。通过调节第二次干法刻蚀时间，可以使该台阶的厚度 t_{12} 为厚度 t_{11} 的约一半。第二次干法刻蚀可以具有各向异性，以减小边沿部分 A 的厚度而不减小边沿部分 A 的宽度。

如图 11E 所例示的，通过灰化处理或剥离处理完全去除灰化光刻胶图案（图 11D 的 282）。

通过以上处理，形成了根据第二实施例的在边沿部分 A 处具有两个台阶的半导体层 215。

通过在第二次干法刻蚀处理之后再增加一个灰化处理和再增加一个干法刻蚀处理，可以形成根据第三实施例的在边沿部分处具有三个台阶的半导体层。按类似的方式，可以形成在边沿部分处具有多个台阶的半导体层。

通过图 12A 到 12C，对根据第一实施例的在边沿部分处具有锥形侧面的半导体层的形成方法进行说明。

如图 12A 所例示的，在多晶硅层 112 上形成光刻胶图案 181。光刻胶图案 181 具有厚度 t_{31} 和宽度 w_{31} 。

如图 12B 和 12C 所例示的，同时执行干法刻蚀处理和灰化处理。在

真空室中充入包括溴化氢 (HBr) 气体、氯 (Cl₂) 气、六氟化硫 (SF₆) 气体和溴 (Br₂) 气中的至少两种的干法刻蚀气体以及作为灰化气体的氧 (O₂) 气, 并执行等离子处理。因此, 同时执行针对多晶硅层 112 的干法刻蚀和针对光刻胶图案 181 的灰化处理。

随着时间的流逝, 光刻胶图案 181 被不断灰化, 光刻胶图案的厚度和宽度变小 ($t_{31} \rightarrow t_{32} \rightarrow t_{33}$ 并且 $w_{31} \rightarrow w_{32} \rightarrow w_{33}$)。同时, 使用正在被灰化的光刻胶图案 181 作为刻蚀掩模不断地对多晶硅层 112 进行干法刻蚀。因此, 从光刻胶图案 (图 12A 的 181) 的轮廓到最终灰化光刻胶图案 (图 12C 的 181) 的轮廓下方的多晶硅层 112 的刻蚀时间不断缩短, 并且刻蚀率也不断减小。当完成了干法刻蚀时, 形成了包括具有约 30 度到约 60 度的角度 θ_2 的锥形侧面的边沿部分 A 的半导体层 115。可以通过调节氧 (O₂) 气浓度来调节该侧面的角度 θ_2 。

通过图 12A 到 12C 中的以上处理, 形成了根据第一实施例的在边沿部分 A 处具有锥形侧面的半导体层 115。

如图 11F 所例示的, 通过对包括氧化硅 (SiO₂) 和氮化硅 (SiN_x) 的无机材料进行淀积来在半导体层 215 (或图 12C 的 115) 上形成栅绝缘层 220。

由于可以通过例如 PECVD (等离子体增强化学汽相淀积) 方法的淀积方法来形成栅绝缘层 220, 因此栅绝缘层 220 的台阶部分往往具有比其他部分更薄的厚度。由于具有多台阶 (或锥形), 半导体层 215 (或图 12C 的 115) 的边沿部分 A 的厚度向外逐渐减小。因此, 栅绝缘层 220 具有大致相同的厚度 t_{13} 。第一实施例的栅绝缘层 220 可以具有在约 10% 到约 15% 的误差容限之内的厚度。

在栅绝缘层 220 上淀积金属层。如图 5 和 7 所例示的, 由于栅绝缘层 220 具有大致均匀的厚度, 因此该金属层也具有大致均匀的厚度。此外, 由于金属具有比无机材料更好的台阶覆盖性, 因此该金属层具有大致相同的厚度。

如图 11G 所例示的, 可以通过掩模处理对金属层进行构图, 以形成选通线 (未示出) 和从该选通线突出的栅极 235。

如图 11H 所例示的, 通过使用栅极 235 作为掺杂掩模, 在半导体层 215 中掺入诸如 n+ 或 p+ 离子的杂质, 以在不被栅极 235 覆盖的两侧形成欧姆接触部分 215b。将半导体层 215 的被栅极 235 覆盖的部分定义为沟道部分 215a。

当执行 n+ 离子掺杂时, 可以形成位于欧姆接触部分 215b 与沟道部分 215a 之间的 LDD 部分 215c。LDD 部分 215c 可以具有比欧姆接触部分 215b 更低的用量。

为了形成 LDD 部分 215c, 使用光刻胶图案形成选通图案。选通图案具有比栅极 235 更宽的宽度。使用该选通图案来执行 n+ 掺杂, 以形成 n+ 掺杂的欧姆接触部分 215b。对该选通图案上的光刻胶图案执行灰化处理, 然后由灰化后的光刻胶图案暴露该选通图案的侧部。使用灰化后的光刻胶图案来执行刻蚀, 以去除选通图案的侧部并形成栅极 235。执行用量比 n+ 离子更低的 n- 掺杂, 以形成位于欧姆接触部分 215b 与沟道部分 215a 之间的 LDD 部分 215c。

如图 11I 所例示的, 通过对包括氧化硅 (SiO_2) 和氮化硅 (SiN_x) 的无机材料进行淀积或对包括苯并环丁烯 (BCB) 和光丙烯酸有机材料进行涂敷, 在具有栅极 235 的基板 201 上形成层间绝缘膜 240。对该层间绝缘膜 240 和栅绝缘层 220 进行构图, 以形成暴露两个欧姆接触部分 215b 的半导体接触孔 245a 和 245b。

如图 11J 所例示的, 在层间绝缘膜 240 上淀积金属, 并对该金属进行构图以形成数据线 (未示出)、从该数据线突出的源极 250 以及与该源极 250 隔开的漏极 253。该数据线与选通线交叉以限定像素区 P。

如图 11K 所例示的, 通过对包括氧化硅 (SiO_2) 和氮化硅 (SiN_x) 的无机材料进行淀积或对包括苯并环丁烯 (BCB) 和光丙烯酸的有机材料进行涂敷, 在具有源极 250 和漏极 253 的基板 201 上形成钝化层 260。对该钝化层 260 进行构图, 以形成暴露漏极 253 的漏接触孔 263。

如图 11L 所例示的, 在钝化层 260 上淀积包括例如氧化铟锡 (ITO) 和氧化铟锌 (IZO) 的透明导电材料, 并对该透明导电材料进行构图以在像素区 P 中形成像素电极 270。像素电极 270 穿过漏接触孔 263 接触漏极

253。

通过以上处理，制成了根据本发明实施例的 LCD 装置。

在本发明的实施例中，由于边沿部分呈多台阶或大致锥形，所以栅绝缘层和栅极的靠近边沿部分的台阶部分具有与其他部分大致相同的厚度。可以减轻边缘效应并且还可以减小在边沿部分处由于边缘效应而诱发的强电场。因此，可以防止沿沟道部分的宽度方向的侧电流。此外，尽管在边沿部分处可能诱发强电场，但是由于边沿部分的厚度比半导体层的其他部分的厚度小很多，因此诸如电子和空穴的载流子会在边沿部分处减少，由此可以防止侧电流。因此，减小了侧电流导致的干扰，漏电流正常地流动，并且可以防止凸峰。由此，可以实现薄膜晶体管的可靠性。

对于本领域的技术人员，很明显，可以在不脱离本发明的精神或范围的情况下对根据本发明的 LCD 装置及其制造方法进行各种修改和变型。由此，如果这些修改和变型落入所附权利要求及其等同物的范围内，则本发明亦涵盖这些修改和变型。

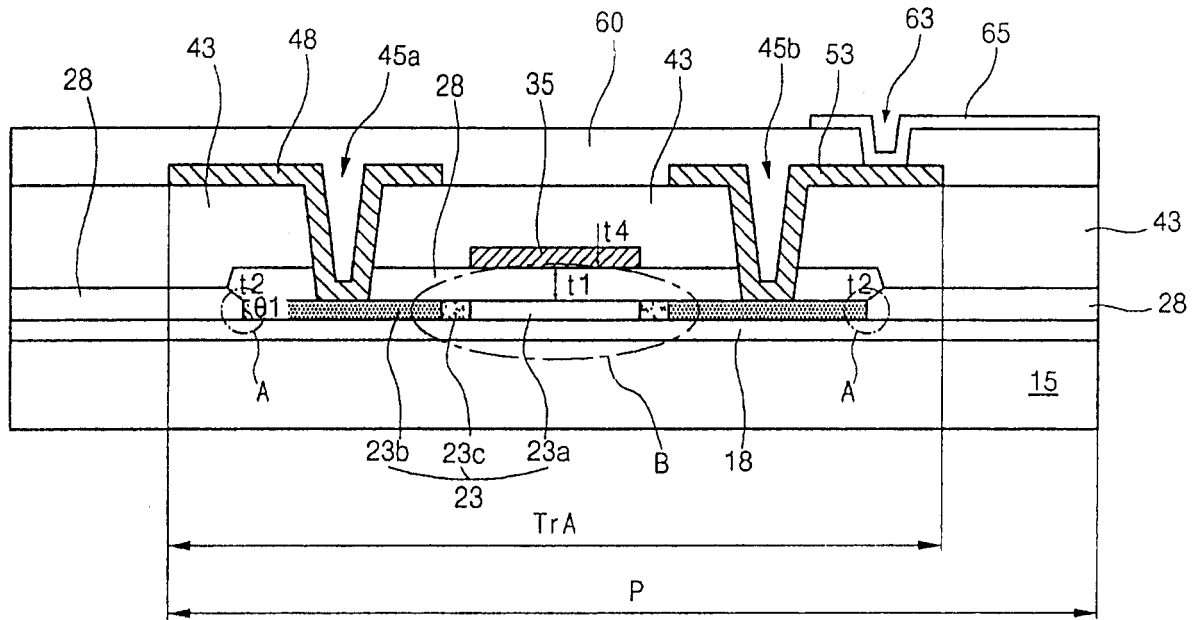


图 1
现有技术

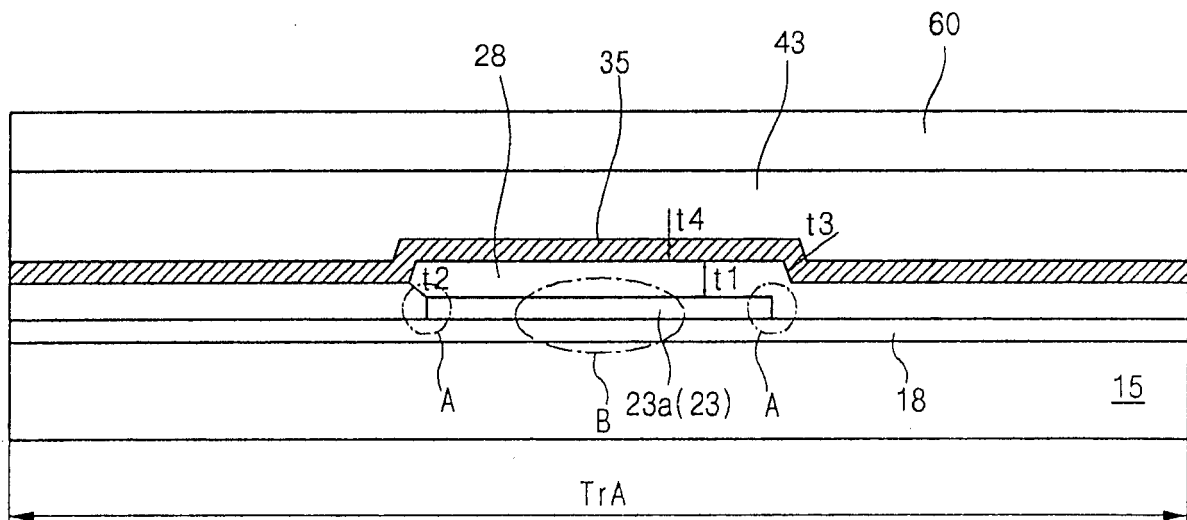


图 2
现有技术

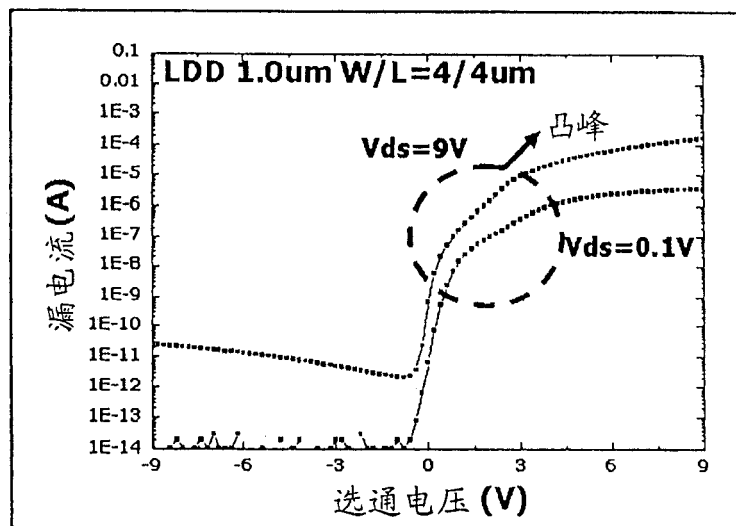


图 3
现有技术

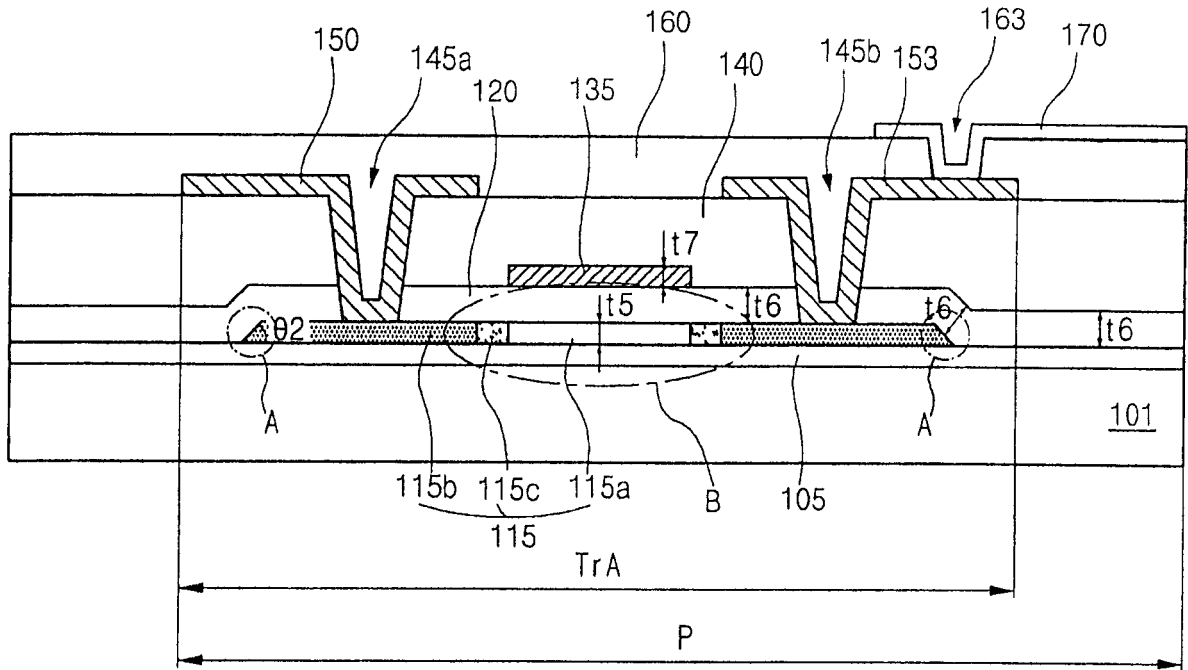


图 4

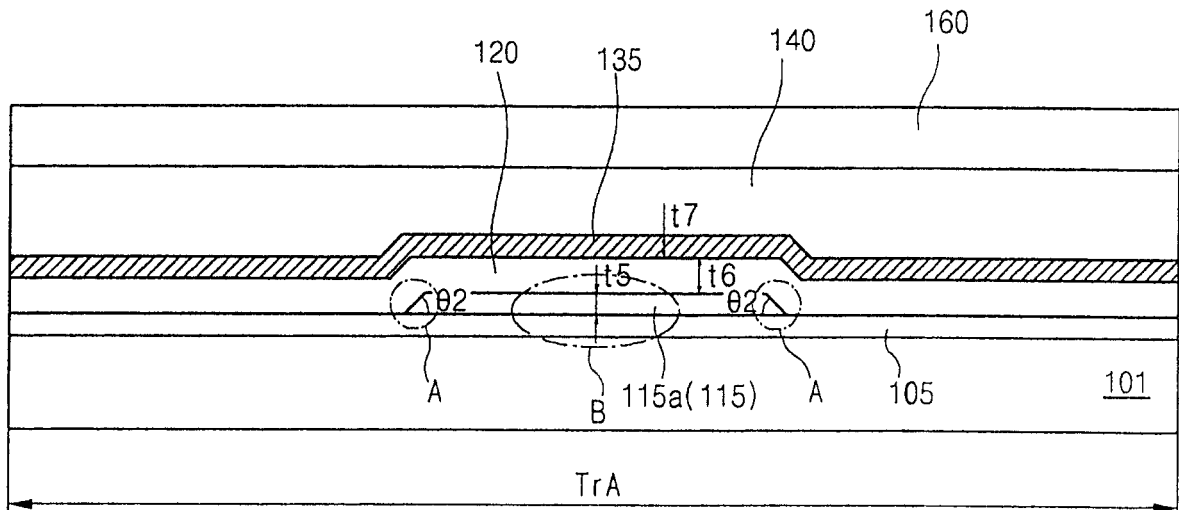


图 5

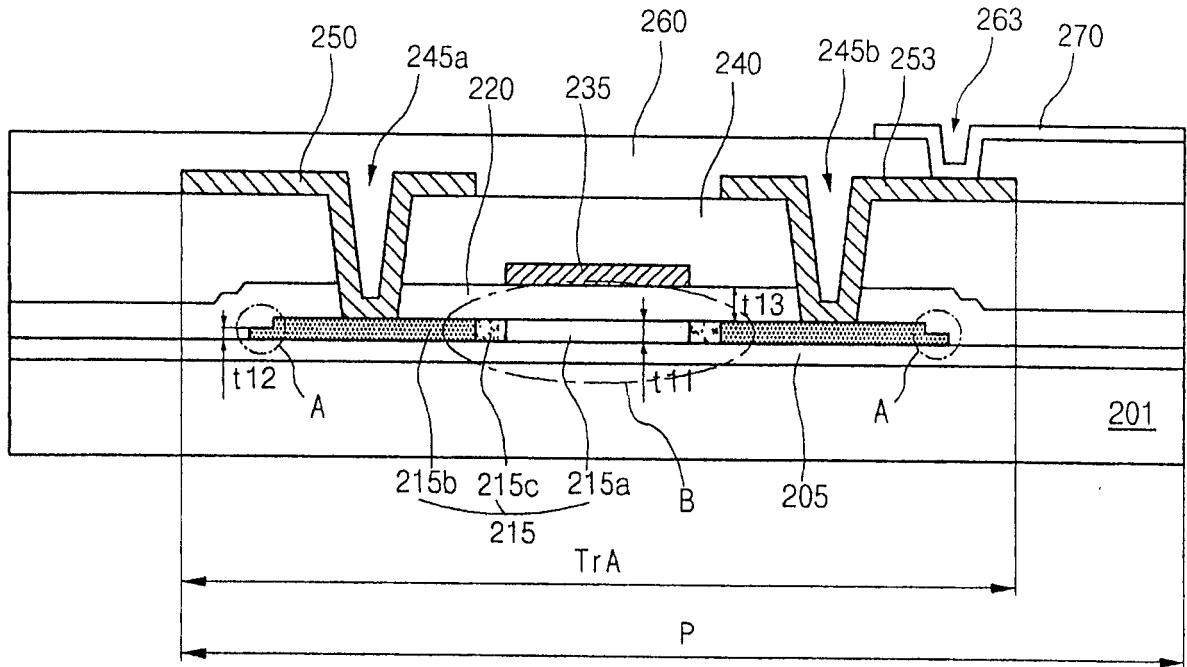


图 6

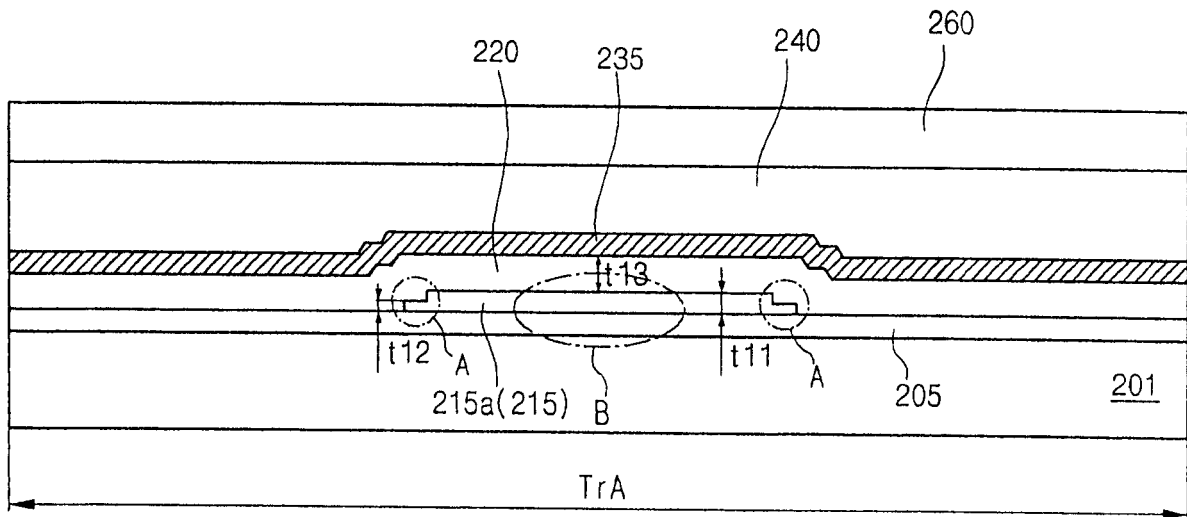


图 7

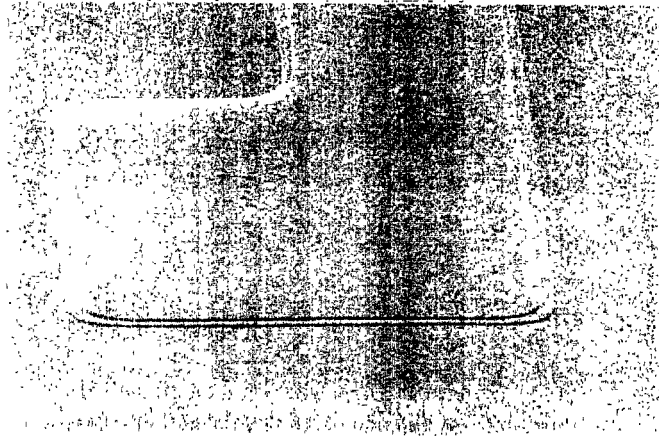


图 8

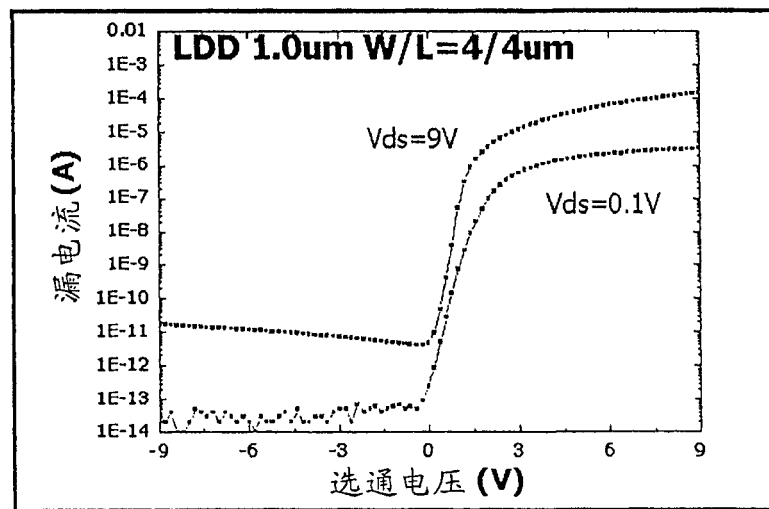


图 9

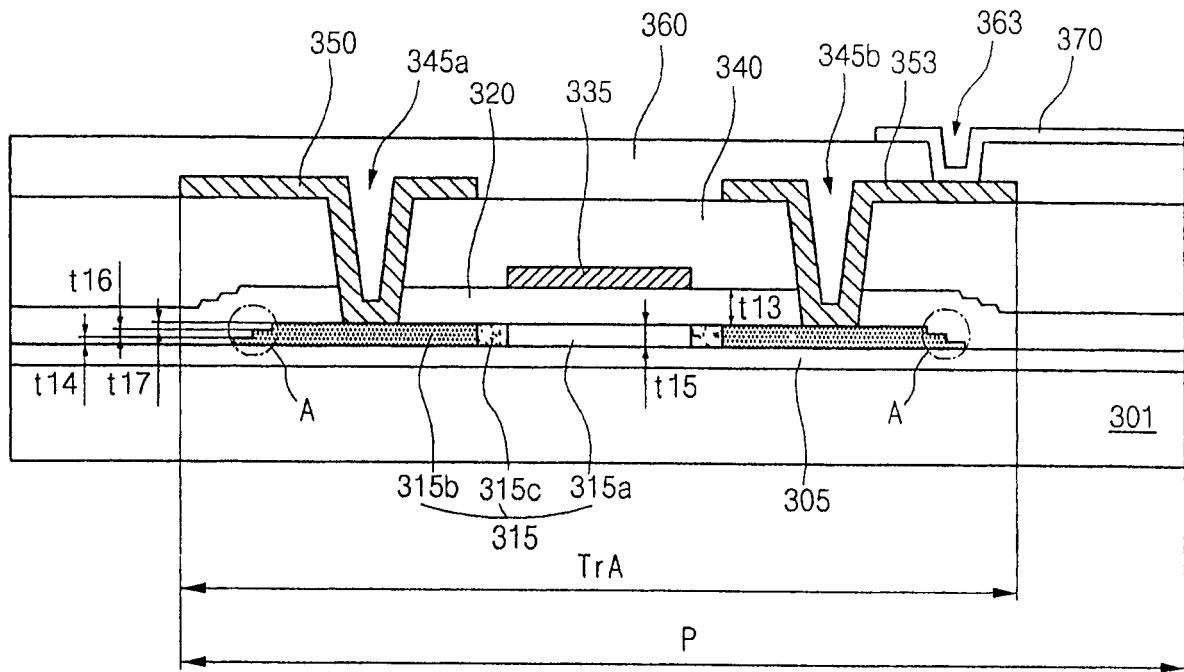


图 10

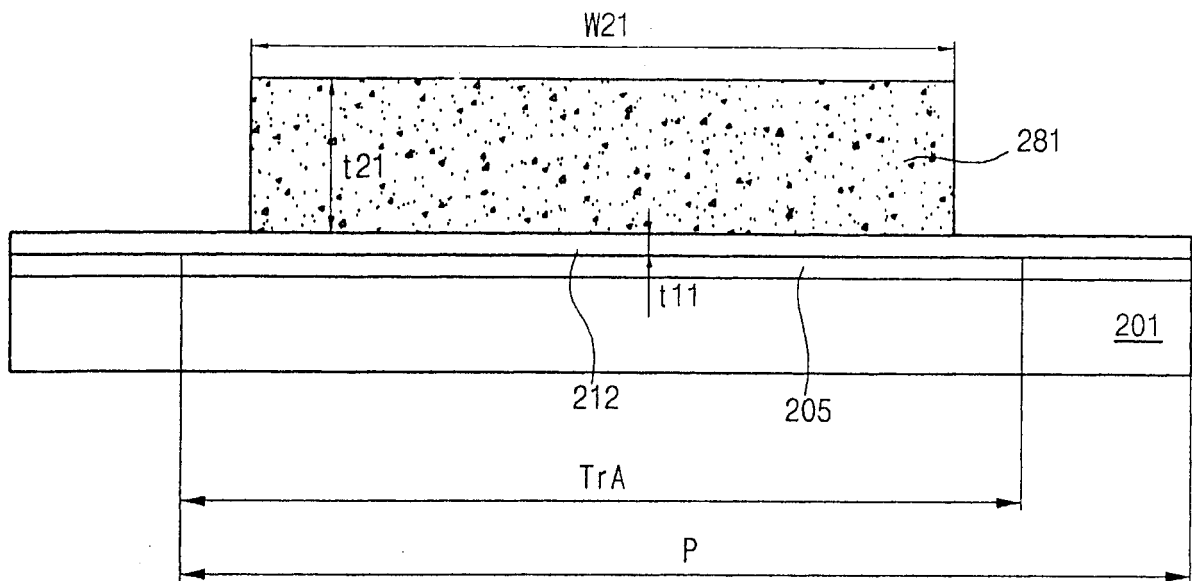


图 11A

第一次干法刻蚀

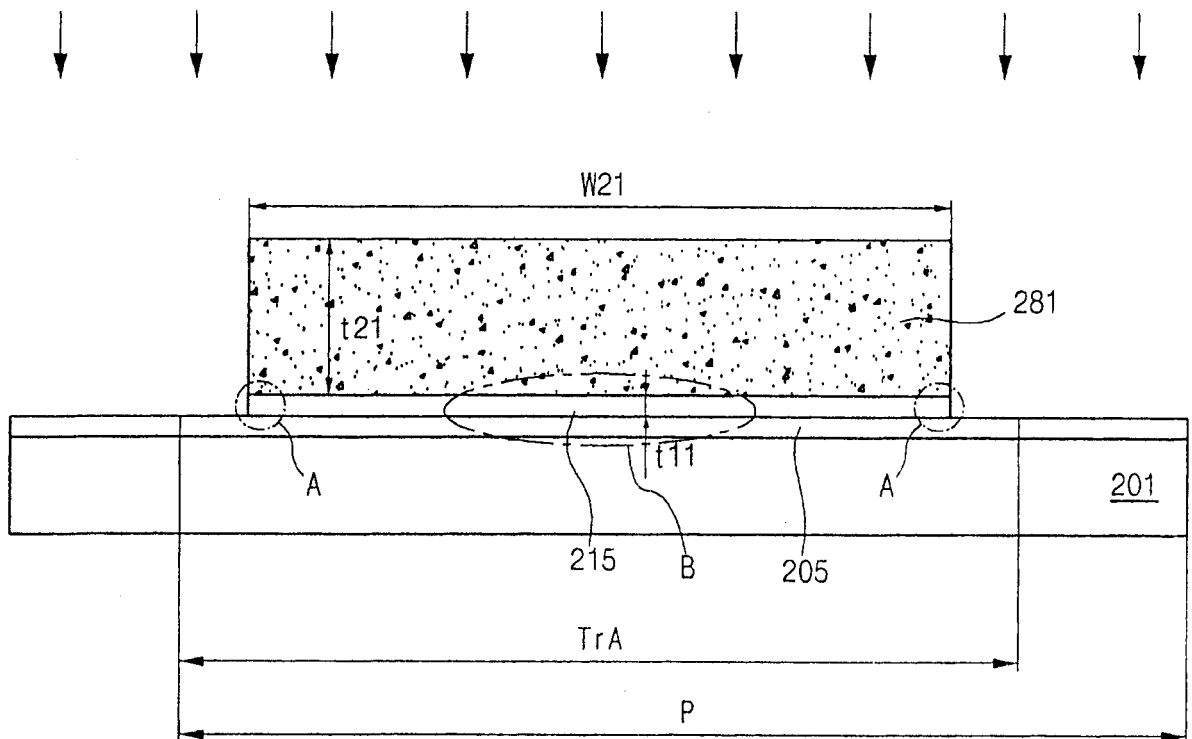
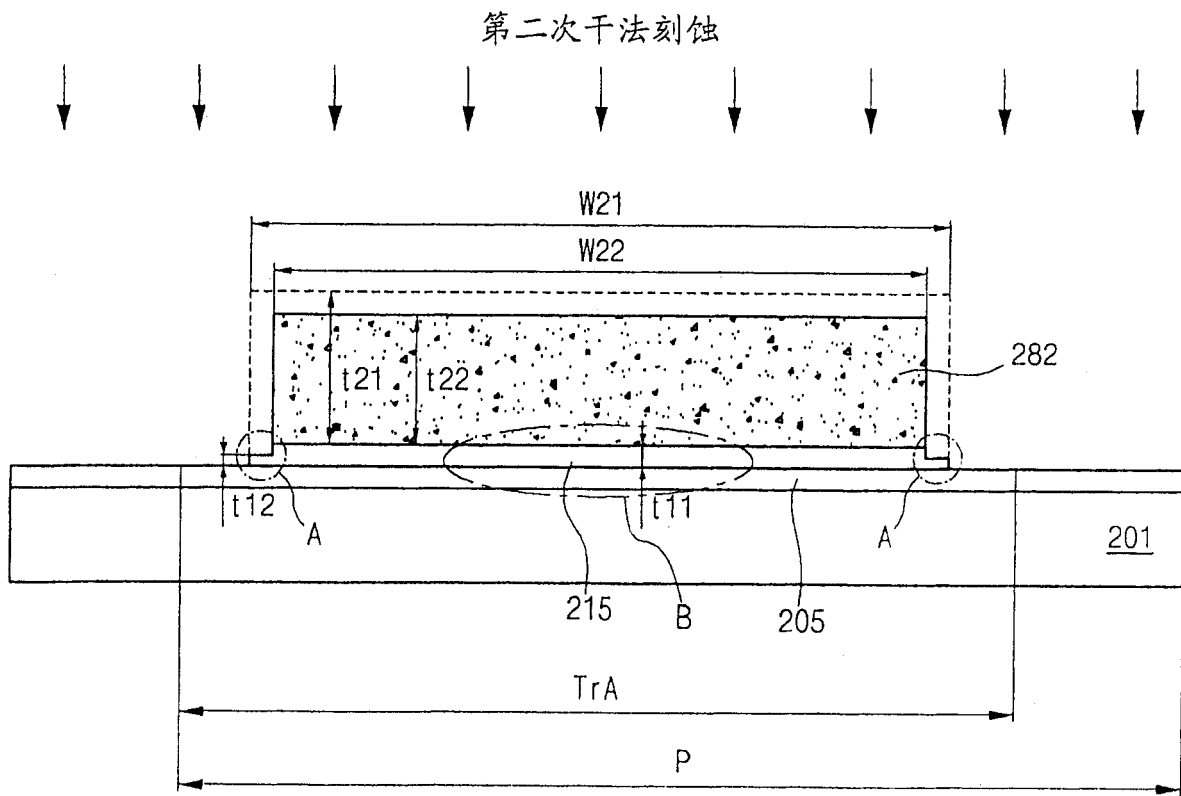
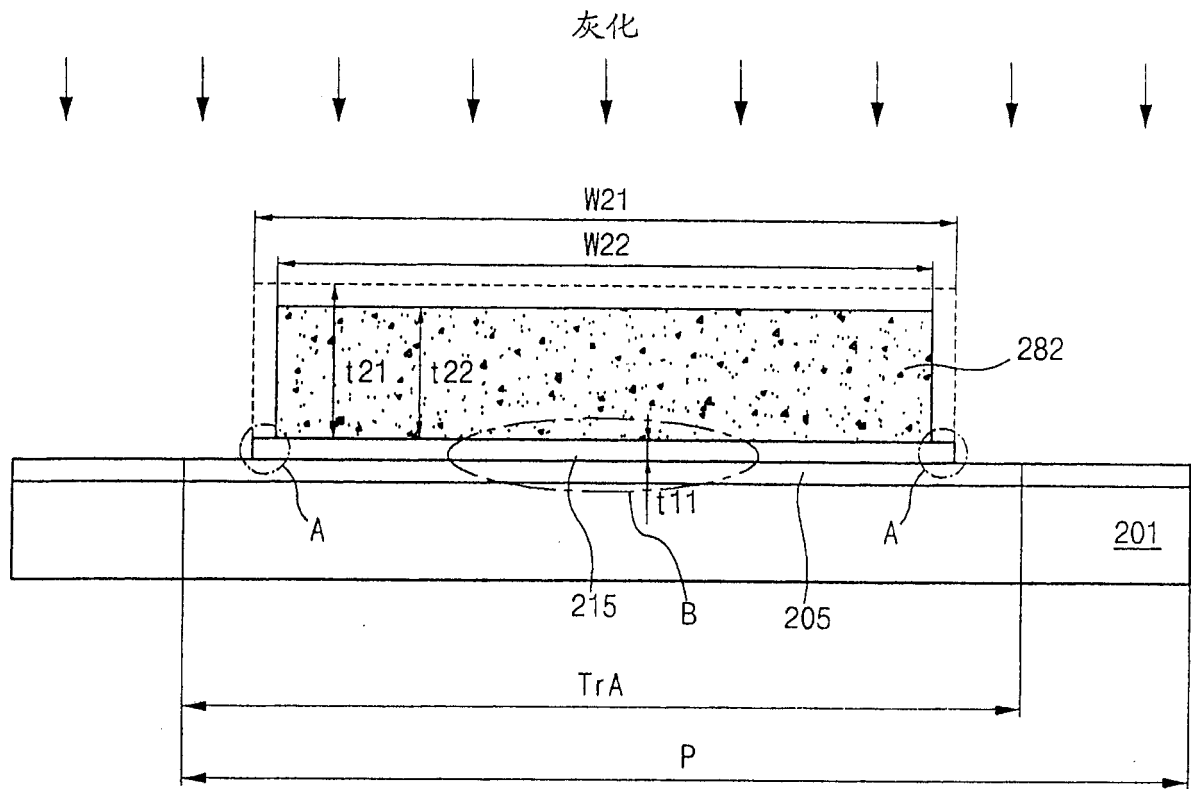


图 11B



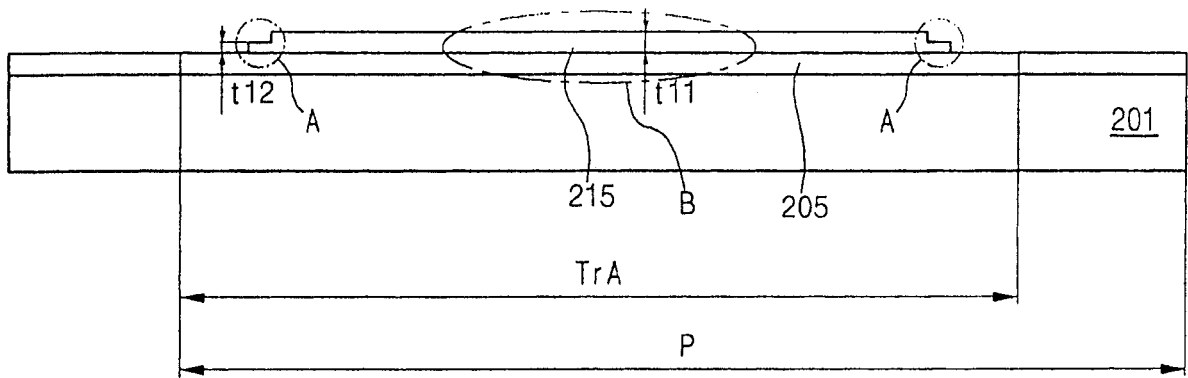


图 11E

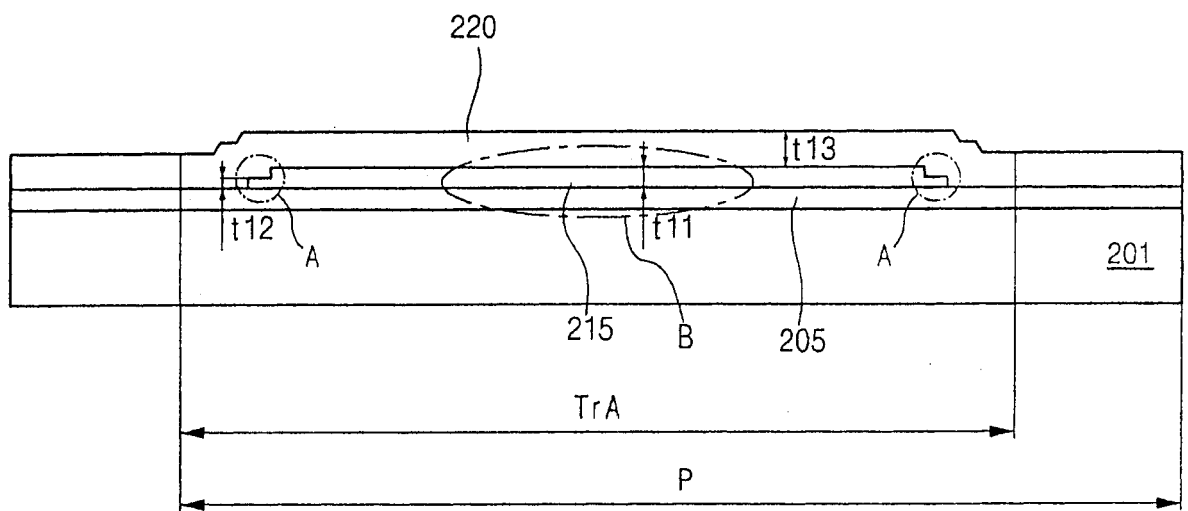


图 11F

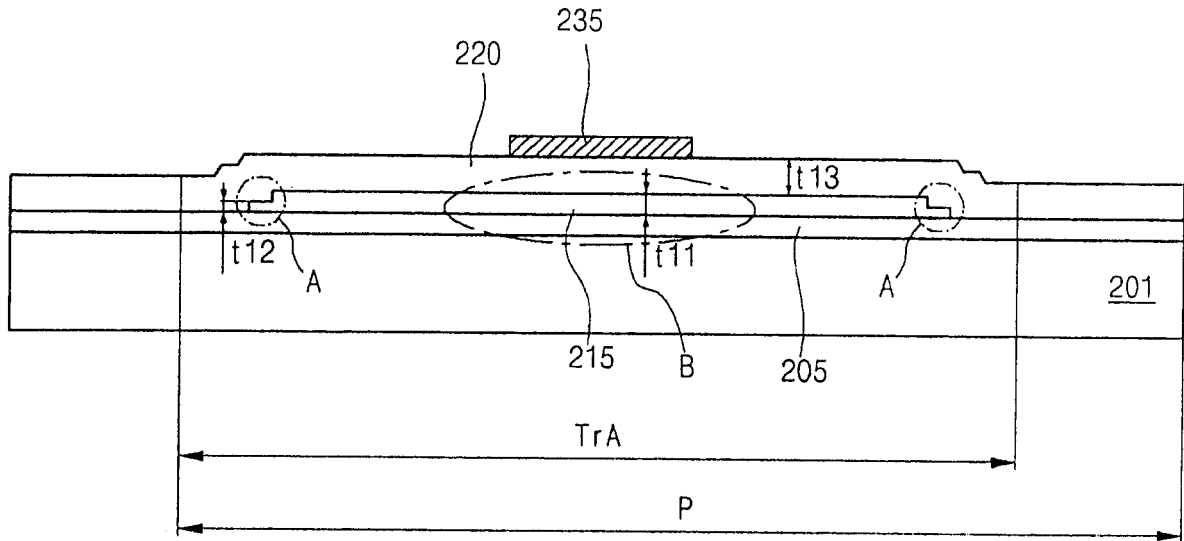


图 11G

掺杂

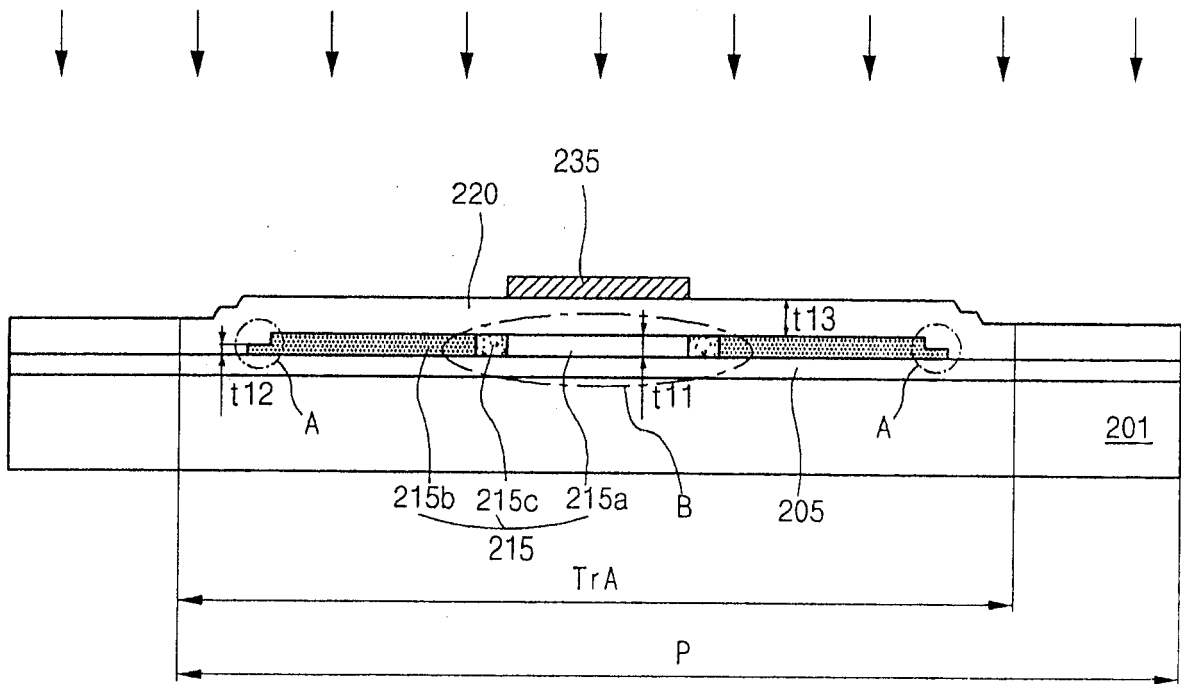


图 11H

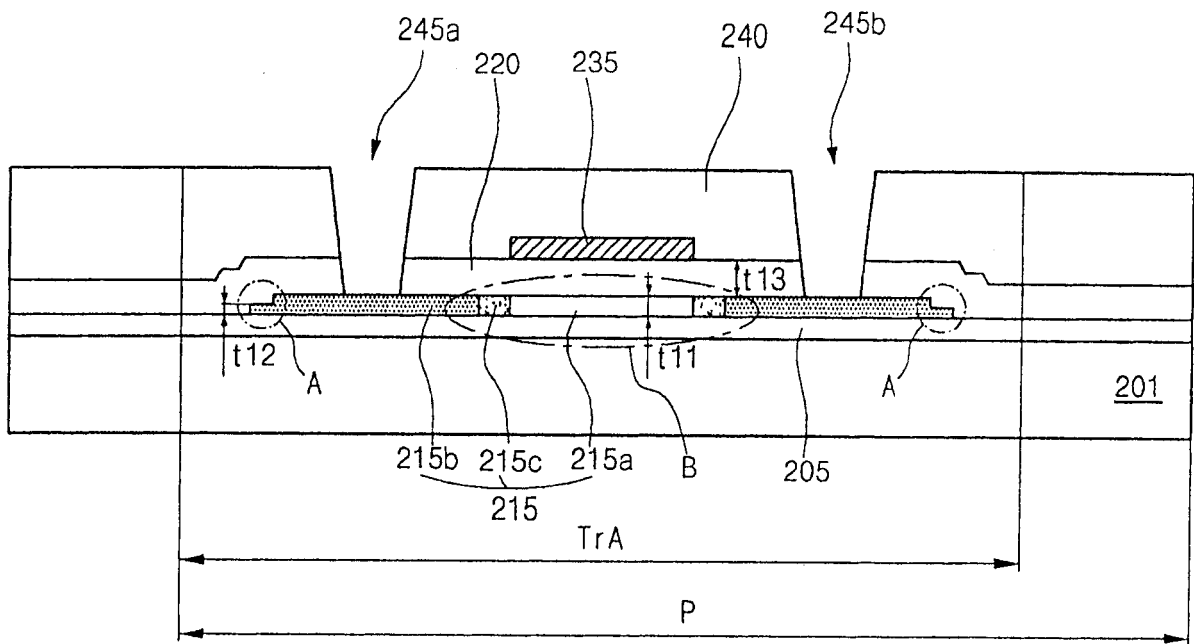


图 11I

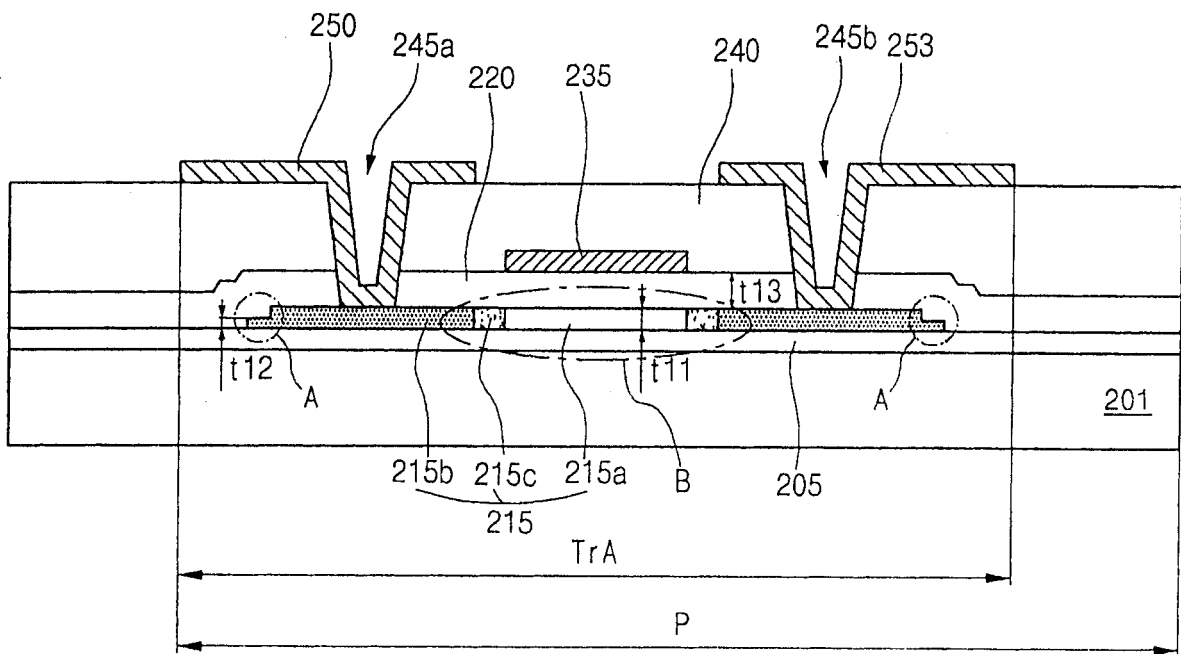


图 11J

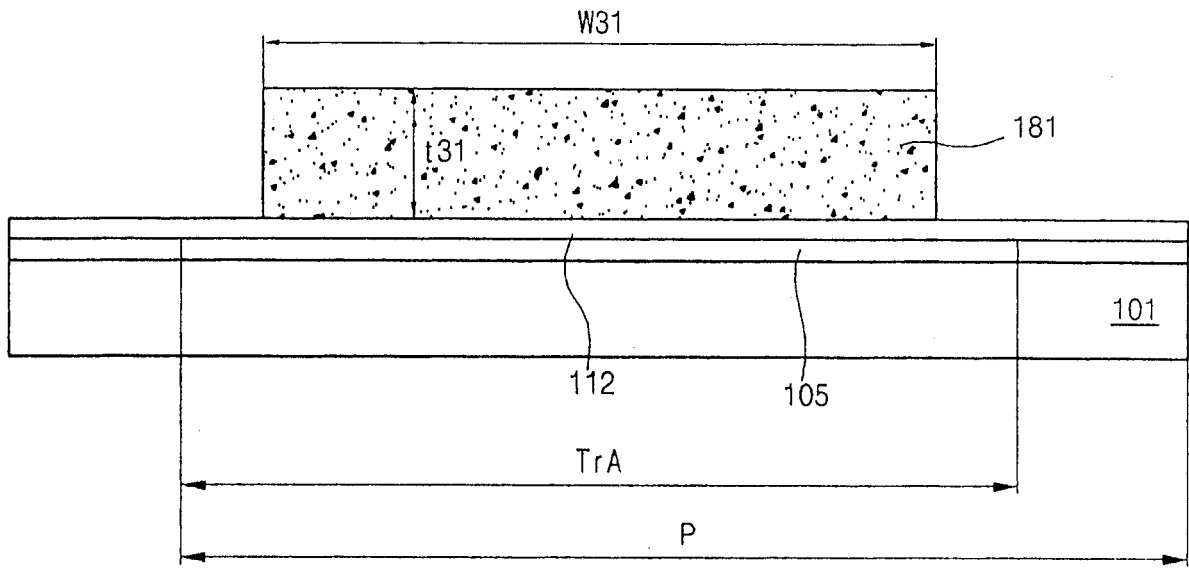


图 12A

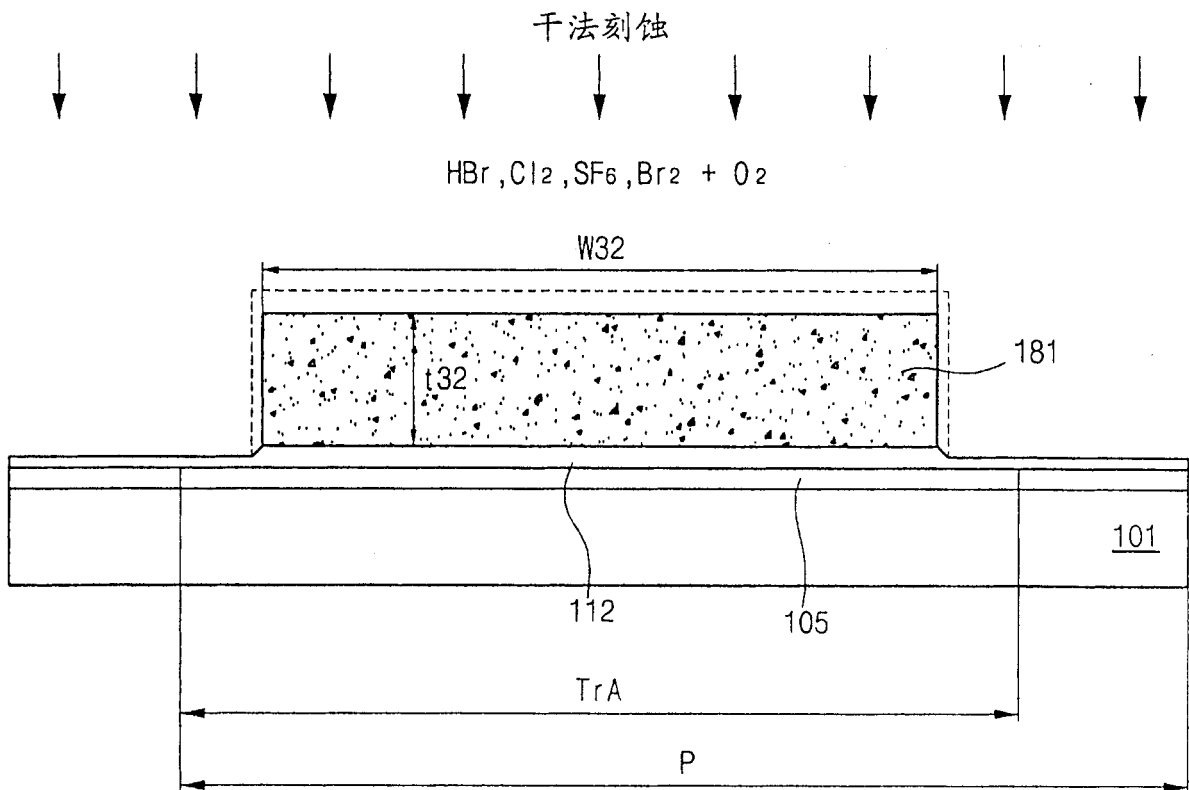


图 12B

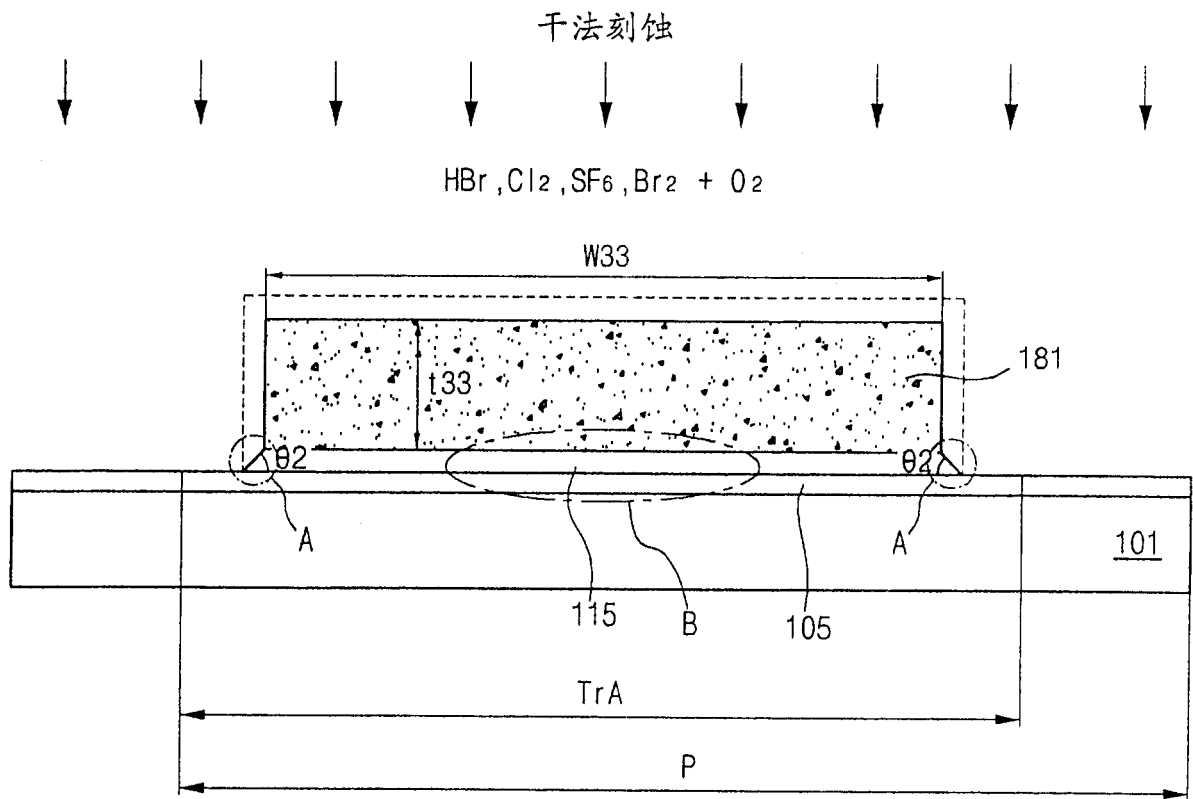


图 12C

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	CN101067701A	公开(公告)日	2007-11-07
申请号	CN200610169491.8	申请日	2006-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	LG.飞利浦LCD株式会社		
[标]发明人	梁竣荣 吴载映 金淑朴		
发明人	梁竣荣 吴载映 金淑朴		
IPC分类号	G02F1/136 H01L21/027 G03F7/20		
CPC分类号	H01L27/1288 H01L27/12 H01L27/1214		
代理人(译)	李辉		
优先权	1020060040062 2006-05-03 KR		
其他公开文献	CN100538483C		
外部链接	SIPO		

摘要(译)

本发明提供液晶显示装置及其制造方法。所述液晶显示装置可以包括：位于基板上的半导体层，该半导体层包括沟道部分和位于所述沟道部分的两侧的欧姆接触部分，其中所述半导体层的边沿部分具有呈大致锥形的侧面；覆盖所述半导体层的栅绝缘层；位于所述栅绝缘层上并与所述沟道部分大致对应的栅极；与所述半导体层相接触的源极和漏极；以及与所述漏极相接触的像素电极。

