

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

H03K 19/0175 (2006.01)



[12] 发明专利说明书

专利号 ZL 01820203.9

[45] 授权公告日 2010年1月20日

[11] 授权公告号 CN 100583216C

[22] 申请日 2001.10.25 [21] 申请号 01820203.9

[30] 优先权

[32] 2000.12.7 [33] JP [31] 372863/00

[86] 国际申请 PCT/JP2001/009356 2001.10.25

[87] 国际公布 WO2002/047063 日 2002.6.13

[85] 进入国家阶段日期 2003.6.6

[73] 专利权人 株式会社日立制作所

地址 日本东京

共同专利权人 日本超大规模集成电路系统株式会社

日立器件工程株式会社

[72] 发明人 金城新 大门一夫 小寺浩一

小田徹史 远藤祐弘

[56] 参考文献

JP5 - 313609A 1993.11.26

JP9 - 219636A 1997.8.19

JP6 - 337655A 1994.12.6

CN1134624A 1996.10.30

US6154069A 2000.11.28

审查员 许凌云

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

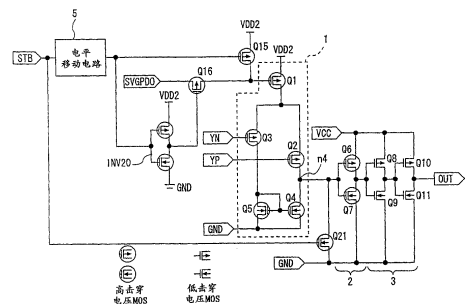
权利要求书 5 页 说明书 24 页 附图 18 页

[54] 发明名称

半导体集成电路以及液晶显示系统

[57] 摘要

一种液晶驱动器件，具有差分型输入电路，包括用于接收差分信号的差分放大级和用于根据差分放大级的输出产生输出信号的缓冲级，该液晶驱动器件通过输入电路接收显示数据的信号并根据显示数据输出用于驱动液晶面板的信号，其中向输入电路的差分放大级施加高于逻辑电源电压 VCC 的液晶驱动电压 VLCD。给出了在没有接收显示数据的周期中中断差分放大级的工作电流的待机功能。



1. 一种半导体集成电路，包含：

输入电路，用于接收从该半导体集成电路的外界输入的一对差分信号，根据该对差分信号之间的电压差施加输出信号；

内部逻辑电路，耦连到输入电路并用于接收来自输入电路的输出信号并进行逻辑运算；以及

输出电路，耦连到逻辑电路，并用于向外界输出幅度大于来自内部逻辑电路信号的幅度的信号，

其中所述输入电路包含：

差分放大级，具有一对差分 MOS 晶体管，该对差分 MOS 晶体管有公共源极节点，

电流连接在公共源极节点和电源电压端之间、并放大该对差分信号的 MOS 晶体管，以及

耦连到该对差分 MOS 晶体管并且基于差分放大级输出的电压产生输出信号的输出级，

其中第一电源电压施加到内部逻辑电路和输出级，并且第二电源电压施加到差分放大级，

其中第二电源电压高于第一电源电压，

其中该半导体集成电路为用于驱动液晶的半导体集成电路，其中向所述输入电路输入作为差分信号的每个像素的数字数据信号，并且根据数字数据信号从所述输出电路输出用于驱动液晶面板的驱动电压，

其中用于驱动液晶面板的电源电压用作所述第二电源电压，并且

其中所述第二电源电压施加到输入电路的差分放大级、输出电路和液晶面板。

2. 根据权利要求 1 的半导体集成电路，其中提供电流的 MOS 晶体管为第一 P 沟道 MOS 晶体管，向其栅极施加偏压，其源极耦连

到电源电压端并且其漏极耦连到公共节点。

3. 根据权利要求 2 的半导体集成电路，其中该对差分 MOS 晶体管包括一对第二 P 沟道 MOS 晶体管，它们的栅极接收该对差分信号，第二 P 沟道 MOS 晶体管的每一个的源极与公共节点相连。

4. 一种液晶显示系统，包含：

液晶面板，包括多个源极线和多个栅极线；

源极线驱动器，与所述多个源极线耦连，并产生用于根据要显示在所述液晶面板上的显示数据选择性地驱动所述源极线的驱动信号；

栅极线驱动器，与所述多个栅极线耦连，并顺序扫描所述栅极线；

电源电路，与所述液晶面板、所述源极线驱动器和所述栅极线驱动器耦连，并提供要施加给所述液晶面板、所述源极线驱动器和所述栅极线驱动器的驱动电源电位；

控制器，与所述源极线驱动器和所述栅极线驱动器耦连，向所述源极线驱动器提供所述显示数据，向所述源极线驱动器和所述栅极线驱动器提供定时控制信号；以及

用于提供要施加给所述源极线驱动器和所述栅极线驱动器的第一电源电位的端子，

其中所述控制器向所述源极线驱动器提供差分型的显示数据，

其中所述源极线驱动器具有用于接收所述差分型的显示数据的差分输入电路、用于锁存所述差分输入电路的输出的数据锁存电路、以及用于产生所述驱动信号的输出电路，

其中作为所述驱动电源电位之一的第二电源电位用作所述差分输入电路的电源电位，

其中所述差分输入电路包含：

差分输入级，包括一对差分 MOS 晶体管，该对差分 MOS 晶体管具有用于接收所述差分型的显示数据的栅极和一个公共节点，

电流源 MOS 晶体管，其漏极与所述公共节点相连，其源极上施加所述第二电源电位，其栅极上施加偏压电位，以及

输出级，耦连到该对差分 MOS 晶体管并且基于差分输入级输出的电压产生输出信号，其中由所述端子提供的第一电源电位用作所述源极线驱动器的所述数据锁存电路以及所述输出级的电源电位，

其中第二电源电位被施加到输入电路的差分输入级、输出电路和液晶面板。

5. 根据权利要求 4 的液晶显示系统，其中所述差分输入电路的第二电源电位高于所述数据锁存电路的第一电源电位。

6. 根据权利要求 5 的液晶显示系统，

其中所述源极线驱动器进一步包含待机控制电路，并且

其中根据所述待机控制电路的控制向所述电流源 MOS 晶体管的所述栅极选择性地施加所述偏压电位。

7. 根据权利要求 6 的液晶显示系统，

其中所述待机控制电路响应从所述控制器施加的所述定时信号中指示所述液晶面板的一个水平周期的信号的激励，而向所述电流源 MOS 晶体管的所述栅极施加所述偏压电位。

8. 一种液晶显示系统，包含：

液晶面板，具有多个源极线和多个栅极线；

多个源极线驱动器，与所述多个源极线耦连，并产生用于根据要显示在所述液晶面板上的显示数据来选择性地驱动所述源极线的驱动信号；

栅极线驱动器，与所述多个栅极线耦连，并顺序扫描所述栅极线；

电源电路，与所述液晶面板、所述多个源极线驱动器和所述栅极线驱动器耦连，并提供要施加给所述液晶面板、所述多个源极线驱动器和所述栅极线驱动器的驱动电源电位；

控制器，与所述多个源极线驱动器和所述栅极线驱动器耦连，向所述多个源极线驱动器提供所述显示数据，向所述多个源极线驱动

器和所述栅极线驱动器施加定时控制信号；以及

用于提供要施加给所述多个源极线驱动器和所述栅极线驱动器的第一电源电位的端子，

其中所述控制器向所述多个源极线驱动器提供差分型的所述显示数据，

其中所述多个源极线驱动器每个都具有：用于接收所述差分型的显示数据的差分输入电路、用于锁存所述差分输入电路的输出的数据锁存电路、以及用于产生所述驱动信号的输出电路，

其中所述差分输入电路中的每一个都包含：

差分输入级，包括一对差分 MOS 晶体管，该对差分 MOS 晶体管具有用于接收所述差分型的显示数据的栅极和一个公共节点，

电流源 MOS 晶体管，其漏极与所述公共节点相连，其源极上施加第二电源电位，其栅极上施加偏压电位，以及

输出级，耦连到该对差分 MOS 晶体管并且基于差分输入级输出的电压产生输出信号，

其中作为所述驱动电源电位之一的第二电源电位用作所述差分输入级和所述输出电路的电源电位，以及

其中从所述端子施加的第一电源电位用作所述数据锁存电路和所述输出级的电源电位。

9. 根据权利要求 8 的液晶显示系统，其中所述差分输入电路的第二电源电位高于所述数据锁存电路的第一电源电位。

10. 根据权利要求 9 的液晶显示系统，

其中所述多个源极线驱动器的每一个进一步包含待机控制电路，以及

其中根据所述待机控制电路的控制向所述电流源 MOS 晶体管的所述栅极选择性地施加偏压电位。

11. 根据权利要求 10 的液晶显示系统，

其中所述待机控制电路响应从所述控制器施加的所述定时信号

中指示所述液晶面板的一个水平周期的信号的激励，而向所述电流源 MOS 晶体管的所述栅极施加所述偏压电位，以及

响应从所述控制器施加的所述定时信号中的允许信号的激励，而中断所述电流源 MOS 晶体管的所述栅极上的所述偏压电位。

12. 根据权利要求 10 的液晶显示系统，

其中所述待机控制电路响应从所述控制器施加的所述定时信号中相应的允许信号的激励，而向所述电流源 MOS 晶体管的所述栅极施加所述偏压电位，以及

响应从所述控制器施加的所述定时信号中与下一源极线驱动器相关的允许信号的激励，而中断所述电流源 MOS 晶体管的所述栅极上的所述偏压电位。

半导体集成电路以及液晶显示系统

技术领域

本发明涉及可用于具有微分电路——例如，小振幅差分信号接口——的半导体集成电路的技术，进一步，涉及尤其适用于接收两种电源的半导体集成电路——例如，液晶驱动器——的技术。

背景技术

用于驱动在笔记本电脑等中用作显示器的 TFT（薄膜晶体管）液晶面板的数据线的液晶驱动器包括用于高速接收 6 比特每像素的数字显示数据并以这些数字数据为基础在 64 色阶中产生 384 个液晶驱动输出电压的液晶驱动器。近几年来，作为这种液晶驱动器中进行数字数据高速发送/接收的接口，使用了 LVD（低电压差分信号）接口或作为 LVDS 接口派生标准的小振幅差分信号接口。通过使用这样的小振幅差分信号接口，与使用 CMOS 级接口等的情形相比，可减小功耗和输入/输出信号的电磁干扰。

图 5 为作为小振幅差分信号接口的例子的 MOSFET 的电路图，在获得本发明之前，本发明者在此对该 MOSFET 进行了考察。

例如在图 5 中所示的，小振幅差分信号接口包括：差分放大级 61，用于放大输入差分信号的不同电压；驱动级 62，利用电平移动电路 62a 增大来自差分放大级 61 的输出电压，并根据该输出电压在输出侧产生一个信号；输出级 63，用于驱动与输出侧相连的负载并输出预定幅度的信号。差分放大级 61 具有与一对差分输入 MOSFET Q62 和 Q63 的公共电源相连的恒流 MOSFET Q61，提供恒定电流。由恒流 MOSFET Q61 控制差分放大级 61 中流动的直流电。

对于小振幅差分信号接口或具有该接口的半导体芯片，需要输入差分信号中心电压更宽的波动许可宽度，还需要通过降低施加到半

导体芯片上的逻辑电源电压来减少能耗。

然而，在小振幅差分信号接口中，施加到驱动级 62 和输出级 63 上的逻辑电源电压 VCC 还施加到供给差分放大级 61 的恒流 MOSFET Q61 的源极上。因此，当电源电压 VCC 降低时，用于提供恒定电流的 MOSFET Q61 的栅-源电压 V_{gs} 也降低了。

在 MOSFET 饱和区中的漏电流由式 (1) 表示。

$$I = \beta(W/L)(V_{gs} - V_{th})^2 \quad \dots\dots\dots (1)$$

其中 β 代表一个常数，W 代表栅宽，L 代表栅长，而 V_{th} 代表阈值电压。

从式 (1) 中可看出，如果栅-源电压 V_{gs} 降低，则当阈值电压 V_{th} 由于 MOSFET 工作过程中的变化而偏离参考值时，这个变化对电流值 I 产生很大的影响，就必须增大栅宽以通过同样大小的电流。

当电源电压 VCC 降低时，差分输入 MOSFET Q62 和 Q63 的公共源极的电位也降低了。由于输入差分信号 YP 和 YN 中心电压的波动，进入差分放大级 61 的电流也发生了相对较大的改变，电流消耗和电路特性也改变了。这使得无法加宽输入差分信号 YP 和 YN 中心电压的波动许可宽度。

此外，当差分输入 MOSFET Q62 和 Q63 的公共源极的电位降低时，来自差分放大级的输出电压变低，并且在驱动级 62 的后一级上必须有电平移动电路 62a。然而，电平移动电路 62a 必须通以直流电，从而电流消耗因此而增大。因此，通常设计成通入电平移动电路 62a 的直流电变小。然而，在这样设计时，电平移动电路 62a 中信号的上升变慢，导致信号延迟时间的增大。

从上面这些我们可以看出，在具有如图 5 所示的输入电路的半导体集成电路中，不能将逻辑电源电压 VCC 设置得过低。结果，无法减少半导体芯片的能耗。

本发明的一个目的是给出半导体集成电路，以及具有能够实现输入差分信号中心电压的更宽波动许可宽度并减少能耗的差分电路的液晶驱动器件。

本发明的另一目的是给出半导体集成电路，以及实现输入差分信号中心电压的更宽波动许可宽度并通过降低逻辑电源电压来降低能耗的液晶驱动器件。

从说明书和附图的描述中，可以清楚地看出本发明的上述和其它目的及其新颖的特色。

发明公开

下面将描述说明书中公开的发明中代表性发明的概要。

包含差分电路的半导体集成电路包括：差分放大级，具有一对源极共同彼此相连的差分 MOS 晶体管以及连在这对差分 MOS 晶体管的公共源极和电源电压端之间提供恒定电流的 MOS 晶体管，用以放大差分输入信号；输出级，用于根据来自差分放大级输出端之一的电压输出产生输出信号；其中施加到差分放大级电源电压端的第二电源电压高于施加到输出级的第一电源电压。

通过这样的装置，可由高于第一电源电压的第二电源电压来增大提供恒定电流的 MOS 晶体管的栅-源电压 V_{gs} 。从式(1)可知，可减小晶体管阈值电压 V_{th} 的变化对电流的影响，此外，还可减小用于通过该电流的晶体管的尺寸。

由于还可以增大提供恒定电流的 MOS 晶体管的漏极侧电压，因此也可以抑制输入差分信号中心电压的改变对电流的影响。因此，可实现具有更宽的中心电压波动许可宽度的电路，其中输入差分信号 YP 和 YN 中心电压的波动不会改变电流消耗和电路特性。

由于还可以增大提供恒定电流的 MOS 晶体管的漏极侧电压，因此可使来自差分放大级的输出电压较高，同时无需在下一级放置电平移动电路。这样，消除了电平移动电路中的直流电，从而可减少能耗。由于电平移动电路变得不必要，因而可防止信号上升沿的延迟，可缩短信号延迟时间。

根据本发明的半导体集成电路包含：输入电路，用于接收一对来自外界的差分信号，并根据该差分信号之间的电压差向内部逻辑电

路提供信号；内部逻辑电路，用于接收来自输入电路的信号并进行逻辑操作；输出电路，用于向外界输出振幅大于内部逻辑电路信号振幅的信号，第一电源电压施加到内部逻辑电路上，高于第一电源电压的第二电源电压施加到输出电路上，其中输入电路包含：差分放大级，具有一对源极彼此共同相连的差分 MOS 晶体管以及连在这对差分 MOS 晶体管的公共源极和电源电压端之间提供恒定电流的晶体管，用以放大差分输入信号；输出级，用于根据来自差分放大级输出端之一的电压输出产生输出信号，第二电源电压施加到差分放大级的电源电压端上。

通过这样的装置，第二电源电压施加到差分放大级上，从而可加宽要输入到输入电路的差分信号中心电压的波动许可宽度，并且，通过将第一逻辑电源电压设置得较低，可减少能耗。由于在输出电路中用于输出高电压信号的电源也用作高于第一电源电压的第二电源电压，因此无需为差分放大级预备新的电源电压。即使在通过预定直流电的情形中，也可减小差分放大级的晶体管的尺寸，从而不会增大芯片面积。

具体地，在用于驱动液晶的半导体集成电路——其中每个像素的数字数据作为差分信号输入到输入电路并根据该数字数据产生用于驱动液晶面板的驱动电压并将该电压从输出电路输出——中，用于驱动液晶面板的电源电压用作第二电源电压。

具体地，提供恒定电流的晶体管为流过恒定电流的 P-沟道 MOS 晶体管，在其栅极上施加偏压。

差分放大级具有两个差分输入 P-沟道 MOS 晶体管，它们的源极相连，用栅极接收一对差分信号，这两个差分输入 P-沟道 MOS 晶体管的公共源极与提供恒定电流的 P-沟道 MOS 晶体管的漏极相连。

在根据本发明的液晶显示系统中，在用于输入显示数据的差分输入电路中加入待机装置，用于中断差分放大级中的工作电流。根据这样的装置，可中断差分放大级中的无用电流，从而进一步降低能

耗。

理想地，由待机装置根据大量显示数据连续传输的时序的外部信号指示来取消工作电流的中断，由待机装置根据连续传输的显示数据输入的完成来启动工作电流的中断。

利用这样的结构，无需从外界输入新的信号来控制待机装置。不用改变传统的要从/向外界接收/传输输入/输出信号的系系统，就可以进行差分放大级的电流控制。

理想地，提供两个时钟输入电路，用于输入差分外部时钟，从而在每个外部时钟向输入电路串连输入两个输入信号的情形中，正相侧和负相侧相对。接收两个输入信号的时序可根据通过两个时钟输入电路输入的两个时钟信号来给出。

利用这样的结构，即使在条件——例如半导体的制造变化、差分外部时钟的中心电压、电源电压、温度等——改变到某一程度时，也不会作为提供接收输入信号的时序的时钟信号的变化而施加影响。这样，可容易地调节锁存显示数据的时序。

附图简述

图 1 为一电路图，示出适当地应用了本发明的小振幅差分信号接口的实施例。

图 2 为一电路图，示出具有根据本发明的小振幅差分信号接口的液晶驱动器的一般结构

图 3 为图 1 的小振幅差分信号接口在 MOSFET 的阈值电压 V_{th} 在 P-沟道和 N-沟道中都较高的情形中的特性图。

图 4 为图 1 的小振幅差分信号接口在 MOSFET 的阈值电压 V_{th} 在 P-沟道和 N-沟道中都较低的情形中的特性图。

图 5 为一电路图，示出本发明者在此处等地方所考察的小振幅差分信号接口的实施例。

图 6 为图 5 的小振幅差分信号接口在 MOSFET 的阈值电压 V_{th} 在 P-沟道和 N-沟道中都较低时的特性图。

图 7 为图 5 的小振幅差分信号接口在 MOSFET 的阈值电压 V_{th} 在 P-沟道和 N-沟道中为一参考值时的特性图。

图 8 为图 5 的小振幅差分信号接口在 MOSFET 的阈值电压 V_{th} 在 P-沟道和 N-沟道中都较高时的特性图。

图 9 为一电路图，示出要施加到小振幅差分信号接口的第二电源电压可从许多电源电压中选择的结构的实施例。

图 10 为 COF 封装的俯视图，示出第二电源电压可由 COF 上的一条线来进行选择的结构的实施例，该图还显示了液晶驱动电压 VLCD 选作第二电源电压的状态。

图 11 示出在图 10 的 COF 中驱动色阶的电压选作第二电源电压的状态。

图 12 为半导体芯片的示意图，示出第二电源电压可从铝线母片中选择的结构的实施例，该图还显示了液晶驱动电压 VLCD 选作第二电源电压的状态。

图 13 示出在图 12 的半导体芯片中驱动色阶的电压选作第二电源电压的状态。

图 14 为半导体芯片的示意图，示出可通过在该半导体芯片上加焊丝来选择第二电源电压的结构的实施例。

图 15 为一电路图，示出产生要施加到小振幅差分信号接口的第二电源电压的电路的实施例。

图 16 为一电路图，示出增加了待机功能的第三实施方案的小振幅差分信号接口。

图 17 为一结构图，示出用增加了待机功能的液晶驱动器构成的液晶显示系统的实施例。

图 18 为一时序图，说明图 17 的液晶显示系统的工作。

图 19 为一时序图，示出由每个液晶驱动器执行的待机过程的工作时序的实施例。

图 20 为一时序图，示出由每个液晶驱动器执行的待机过程的工作时序的另一实施例。

图 21 为一电路图，示出实施方案的液晶驱动器中显示数据的输入单元和传输时钟。

图 22 为一波形图，示出图 21 中显示数据和传输时钟之间的关系。

实现本发明的最佳方式

在下文中将参考附图描述本发明的优选实施方案。

第一实施方案

图 1 为一电路图，清楚地示出适用本发明的小振幅差分信号接口的实施例。在该图中，除了每个 MOSFET 之外，还示出了取优选数值的实施例的栅宽 W (μm) 与栅长 L (μm) 之比 W/L 。

该实施方案的小振幅差分信号接口（差分输入电路）为 LVDS（低电压差分信号）接口或作为 IEEE（电子电气工程学会）所规定的 LVDS 接口的衍生技术的小振幅差分信号接口。例如，该接口接收来自外界的小振幅差分信号（具有 200 mV 至 500 mV 的振幅）——例如外部时钟和数据信号——并根据一对小振幅差分信号之间的电压差向内部电路输出高电平或低电平。

如图 1 所示，该小振幅差分信号接口包括：差分放大级 1，由一对差分输入 MOSFET Q2 和 Q3、一个与差分输入 MOSFET Q2 和 Q3 公共源极相连提供恒定电流的 MOSFET Q1、以及与差分输入 MOSFET Q2 和 Q3 的漏极相连的有源负载 MOSFET Q4 和 Q5；驱动级 2 以及用于接收来自差分放大级 1 的放大输出并根据该输出电压而输出高电平或低电平信号的输出级 3。

对该实施方案的电路中的驱动级 2 和缓冲级 3 施加逻辑电源电压 V_{CC} （例如，2.7V 至 3.6V）。另一方面，对差分放大级 1 施加一个高于逻辑电源电压 V_{CC} 、用于驱动液晶的电源电压 V_{LCD} （例如，6V 至 10V）作为电源电压。对提供恒定电流的 MOSFET Q1 的栅极施加恒压电路和偏压电路产生的用于电流控制的电压 $SVGP$ （例

如, 1.6V 至 1.8V)。通过 MOSFET 饱和区的作用对差分输入 MOSFET Q2 和 Q3 的公共源极侧施加偏流。

通过用于驱动液晶的电源电压 VLCD, 与图 5 中的电路形式相比, 提供恒定电流的 MOSFET Q1 的栅-源电压 V_{gs} 变大了。因此, 从 MOSFET 饱和状态的电流表达式 $I = \beta(W/L)(V_{gs} - V_{th})^2$ 可以看出, 即使由于 MOSFET 工作过程中的变化而引起阈值电压 V_{th} 稍稍偏离参考值, 也不会对漏极电流值产生很大影响。由于栅-源电压 V_{gs} 相对较大, 即使 MOSFET 的栅宽 W 没有增大太多, 也能得到所需的电流值。

此外, 也增大了与差分输入 MOSFET Q2 和 Q3 的源极端相连的节点 n1 的电压。从而, 即使输入差分信号 YP 和 YN 的中心电压波动了一点, 进入差分放大级 1 的电流也不会改变太大, 电流消耗和电路特性保持恒定。因此, 可加宽输入差分信号 YP 和 YN 的中心电压的波动许可宽度。

由于差分输入 MOSFET Q2 和 Q3 公共源极的电压变高, 输出到差分放大级 1 的输出节点 n2 的高电平电压变得高到足以开启驱动级 2 的 P-沟道 MOSFET Q6。从而, 可省略图 5 中传统的小振幅差分信号接口所具有的电平移动电路 62a。因此, 由于减少了电平移动电路的消耗, 可降低能耗, 并且还可以减少信号延迟。

由于向差分放大级 1 施加了大功率源电压 VLCD, 作为差分放大级 1 和通过其栅极接收差分放大级 1 的输出的驱动级 2 的元件, 每个 MOSFET 优选地为高击穿电压的 MOSFET (例如, 7V 的高击穿电压)。

现在将定量地描述小振幅差分信号接口的特性。

图 3 和 4 为示出图 1 的小振幅差分信号接口的特性的曲线图。图 3 为 MOSFET 的阈值电压 V_{th} 由于过程变化而在 P-沟道型和 N-沟道型中都为高的情形的曲线图, 而图 4 为示出阈值电压 V_{th} 在 P-沟道型和 N-沟道型中都为低的情形的曲线图。

每幅曲线图中的横坐标代表施加到提供恒定电流的 MOSFET

Q1 的源极上的电源电压 VLCD 的电压值，而纵坐标代表进入差分放大级 1 的直流电的值。图中曲线表示输入差分信号的中心电压 Vref 为 0.5V、1.2V 和 2.4V 以及芯片温度为 -30℃、25℃ 和 75℃ 的情形。

过程变化引起的特性改变、输入差分信号的中心电压 Vref 引起的特性改变，以及电源电压 VLCD 引起的特性改变将在下文中逐个描述。

过程变化引起的电流值的改变总量低于 10%。例如，在芯片温度为 25℃、液晶驱动电压 VLCD 为 8V 且输入差分信号的中心电压为 1.2V 的条件下，当在图 3 中阈值电压 Vth 为高时，得到了 67 μA 的电流值。另一方面，当在图 4 中阈值电压 Vth 为低时，得到了 73 μA 的电流值。这两个值之间的差别小于 10%。从图中可看出，不考虑芯片温度、液晶驱动电压 VLCD 以及输入差分信号的中心电压，过程变化引起的电流值改变总量是一样的。

在图 3 和 4 中，输入差分信号中心电压 Vref 的改变由实线、虚线、双点划线来表示。从图中可看出，当芯片温度和阈值电压 Vth 的特性都相同时，输入差分信号中心电压 Vref 的偏离很难使电流值发生偏离。

在电源电压较大的情形（图 3 中阈值电压 Vth 为高且芯片温度为 -30℃ 的情形）中，因其引起的电流值改变为 26 μA/5V。在标准情形（芯片温度 30℃）中为 20 μA 至 17 μA/5V。改变总量较小。因此，即使将接口设计成工作在最小电流，最大电流也不会变得过高，可获得低的电流消耗。

图 6 至 8 示出图 5 的传统小振幅差分信号接口的特性图。图 6 示出 MOSFET 的阈值电压在 P 和 N 沟道中都为低且电源电压为最大值 3.6V 的情形。图 7 示出阈值电压 Vth 和电源电压 VCC 都为参考值的情形。图 8 示出阈值电压 Vth 在 P 和 N 沟道中都为高且电源电压为最小值 2.7V 的情形。

在图中，横坐标示出提供恒定电流的 MOSFET Q1 的栅宽 W，纵坐标表示通到差分放大级 1 的直流电的值。曲线表示输入差分信号

的中心电压 V_{ref} 为 0.5V、1.2V 以及 $VCC - 1.2V$ 的情形。

在传统的小振幅差分信号接口中，当提供直流电的 MOSFET Q1 的栅宽设为 100 μm 而输入差分信号的中心电压 V_{ref} 改变 0.5 至 $VCC - 1.2V$ 时，在图 6 的情形中，电流值为 563 μA 至 326 μA ，改变总量为 40% 或更大。类似地，在图 7 的情形中，电流值为 330 μA 至 190 μA ，改变总量为 40% 或更大。在图 8 的情形中，电流值为 173 μA 至 101 μA ，改变总量为 40% 或更大。

当条件为输入差分信号的中心电压保持恒定 ($V_{ref} = 1.2V$) 而其它条件变到最大时，也就是说，当从 MOSFET 的阈值电压 V_{th} 为最小、电源电压 VCC 为最大值 3.6V 而芯片温度为 -30°C 的条件 (图 6 的 A 点) 变到 MOSFET 的阈值电压 V_{th} 为最大、电源电压为最小值 2.7V 而芯片温度为 75°C 的条件 (图 6 中的 C 点) 时，电流值从 484 μA 变到 123 μA ，下降了 74%。在设计接口以使在电流最小条件下也能保证工作的情形中，最大电流变得极高从而无法获得低的电流消耗。

当在基本相同的条件下考察该实施方案的图 1 的小振幅差分信号接口的特性时，可以看出，当还是从 MOSFET 的阈值电压 V_{th} 为最小而芯片温度为 -30°C 的条件 (图 4 中的 A' 点) 变到 MOSFET 的阈值电压为最大而芯片温度为 75°C 的条件 (图 3 中的 C' 点) 时，电流值的下降被从 96 μA 抑制到了 54 μA ，为 43%。

如上所述，构造该实施方案的小振幅差分信号接口以向差分放大级 1 施加高于逻辑电源电压 VCC 的液晶驱动电压 V_{LCD} 。这样，MOSFET 的阈值电压 V_{th} 、输入差分信号的中心电压 V_{ref} 由过程变化引起的改变只有一点点，差分放大级 1 中的电流值没有波动太多，差分放大级 1 的特性 (例如，上升/下降时间、输出电压等) 保持正常。因此，可加宽输入差分信号中心电压的波动许可宽度。

下文中将描述将该小振幅差分信号接口应用到接收两种电源电压的半导体集成电路中的实施例。

图 2 为一框图，示出信号输入部分具有小振幅差分信号接口的

液晶驱动器的一般结构。

作为驱动用作笔记本电脑——但不仅限于此——的显示器的 TFT 液晶面板的该实施方案的液晶驱动器件，液晶驱动器 100 形成在单晶硅等制成的单个半导体芯片上。

该实施方案的液晶驱动器 100 具有由小振幅差分信号接口 101 和 12 实现的接口 101，小振幅差分信号接口 101 和 12 用于接收从外界以小振幅差分信号形式输入的六比特每像素的数字显示数据 DATA00P 和 DATA00N 至 DATA22P 和 DATA22N 以及外部时钟 CLP 和 CLN。液晶驱动器 100 还包括：数据寄存器 104，用于暂时保持输入数字数据；数据锁存电路 122，用于按预定比特数顺序移位保持在数据寄存器 104 中的数据并保持一线数据；移位寄存器 121，用于将数据寄存器 104 中的数据传输到数据锁存电路中的预定比特数；D/A 变换器 123，用于将保持在数据锁存电路 121 中的一线数字数据变换成表示每个像素色阶的模拟信号；输出缓冲器 124，用于根据来自 D/A 变换器 123 的模拟信号产生并输出 TFT 液晶面板的数据线的驱动电压 Y1 至 Y384。

从芯片外向液晶驱动器 100 施加用作内部逻辑电路——例如小振幅差分信号接口 101 的驱动级 2 和缓冲级 3、数据寄存器、移位寄存器以及数据锁存电路 122——工作电源的电源电压 VCC，以及用于产生液晶驱动电压 Y1 至 Y384 驱动液晶的电源电压 VLCD。用于驱动液晶的电源电压 VLCD 被电阻分配电路（未示出）等分成大小不同的电压 V1 至 V10，用于显示色阶，它们被送入 D/A 变换器 123 和输出缓冲器 124。用于驱动液晶的电源电压 VLCD 也被送入小振幅差分信号接口 101 中的差分放大级 1。

在液晶驱动器 100 中，从外界输入的数字显示数据 DATA00P 和 DATA00N 至 DATA22P 和 DATA22N 以及外部时钟 CLP 和 CLN 的中心电压的波动许可宽度可设得较宽，逻辑电源电压 VCC 不会引起小振幅差分信号接口 101 的特性波动，从而电源电压 VCC 可设得较低。这样，可实现能够高速工作的低能耗半导体芯片。

尽管上面已具体描述了此处本发明者所完成的发明，本发明却并不局限于前述实施方案，只要不背离其要旨，本发明可以进行各种改变。

例如，尽管描述了小振幅差分信号接口的具体电路结构，但是我们知道还存在差分放大级等的不同调整，在差分放大级之后一级的电路结构也可进行各种调整。接口并不一定要由 MOSFET 构成，还可以是双极晶体管。在该实施方案中具体表述的值——例如逻辑电源电压、液晶驱动电压 VLCD 和 MOSFET 的尺寸——也可以适当改变。

现在将描述启用除了用于驱动液晶的电源电压的电压作为施加到图 1 中差分放大级 1 上的电压的结构实施例。在图 1 中，用于驱动液晶的电源电压 VLCD 与提供恒定电流的 MOSFET Q1 的源极端相连（图 1）。下文中将描述第二电源电压 VDD2 与源极端相连的情形。

图 9 示出能够从大量电压中选择第二电源电压 VDD2 施加到小振幅差分信号接口上的选择电路的实施例。

在该实施方案中，作为施加到小振幅差分信号接口 101 的差分放大级 1 上的第二电源电压 VDD2，可选择任何从外界施加的用于驱动液晶的电源电压 VLCD 和用于驱动液晶的色阶的色阶电压 V0 至 V10 的适当电压（例如，从最高的往下四个电压）。

当差分放大级 1 的电源电压 VDD2 高于逻辑电源电压 VCC 一定程度时，会产生一种效应。当电源电压 VDD2 太高时，必须极端增大器件击穿电压，从而能耗增加太大。因此，在该实施方案中，任何电位低于用于驱动液晶的电源电压 VLCD 的色阶电压 V0、V1……都可选作电源电压 VDD2。当电源电压 VLCD 太大时，可应用任何更低的色阶电压 V0、V1……

色阶电压 V0 至 V10 在液晶驱动器中以预定比例进行电阻分配，从而产生，例如，64 × 2 色阶的驱动电压。由于驱动电压根据液晶面板的特性而改变，色阶电压 V0 至 V10 从外界输入并进行电阻分

配，从而改变在内部产生的驱动电压的值。

因此，由于色阶电压 V_0 至 V_{10} 的值根据所用的系统而改变，在使用这些值中的任何一个作为电源电压 V_{DD2} 的情形中，很方便进行设置以使从某些色阶电压 V_0 、 V_1 ……中可选择任何电压。

在图 9 的选择电路中，在差分放大级 1 的电源电压 V_{DD2} ——它施加到小振幅差分信号接口 101 上——的电源线 L_{vdd2} 与电源线 L_{00} 和 L_0 至 L_3 ——其上分别施加了用于驱动液晶的电源电压 V_{LCD} 和色阶电压 V_0 至 V_3 ——之间放置高击穿电压的转换 MOSFET MS_1 至 MS_5 ，它们通过源极端和漏极端互连。选择信号施加到每个转换 MOSFET MS_1 至 MS_5 的栅极上。

例如，为液晶驱动器提供专用输入端，通过该输入端从外界施加选择信号。作为选择，在液晶驱动器中配置控制寄存器，根据控制寄存器中设置的值从控制寄存器施加选择信号。

如上所述，还是在任何色阶电压 V_0 至 V_3 用作差分放大级 1 的电源电压 V_{DD2} 的情形中，通过加宽差分输入信号中心电压的波动许可宽度或降低逻辑电源电压 V_{CC} ，可得到像内部电路的更高处理速度和更低能耗这样的效果。

此外，在该实施方案的液晶驱动器中，当用于驱动液晶的电源电压非常高时，可适当选择任何低于电源电压 V_{LCD} 的色阶电压 V_0 至 V_3 用作差分放大级 1 的电源电压 V_{DD2} 。因此，无需极端地增大差分放大级 1 的器件击穿电压，从而可抑制能耗的增加。

能够从用于驱动液晶的电源电压 V_{LCD} 和色阶电压 V_0 至 V_3 中选择电压作为电源电压 V_{DD2} 的结构并不局限于使用转换 MOSFET 的结构，还可应用各种不同的结构。

图 10 和 11 示出在 COF 封装情形中，通过在布线膜上布线而使电源电压的选择成为可能的结构实施例。

在该实施例中，作为液晶驱动器 100 的装配结构，使用了 COF（膜上芯片）封装，其中在布线膜 51 上装配了作为液晶驱动器件的半导体芯片 52。在该实施例中，第二电源电压 V_{DD2} 的连接焊点 G_0

焊在半导体芯片 52 上，其上集成了液晶驱动器 100 的电路，适当选择布线膜 51 的线，从而使得能够从任何用于驱动液晶的电源电压 VLCD 和色阶电压 V_0 、 V_1 ……中选择电源电压 VDD2。

例如，如图 10 和 11 所示，将电源电压 VDD2 的连接焊点 G0 通过形成在布线膜 51 上由虚线表示的线 H1 或 H2 与用于液晶驱动的电源电压 VLCD 的输入焊点 J00 或任何色阶电压 V_0 、 V_1 ……的连接焊点 J0、J1……相连，可选择任何用于驱动液晶的电源电压 VLCD 和色阶电压 V_0 、 V_1 ……作为电源电压 VDD2。

图 12 和 13 示出利用母片方法的布线图使选择第二电源电压 VDD2 成为可能的实施例。

在该实施例中，通过制造半导体芯片 52 的过程中的布线图来选择电源电压 VDD2。如图 12 和 13 所示，通过适当选择布线图，其中，例如，第二电源电压 VDD2 的电源线 Lvdd2 与任何用于驱动液晶的电源电压 VLCD 的输入焊点 J00 和色阶电压 V_0 、 V_1 ……的输入焊点 J0 至 J3，可选择任何用于驱动液晶的电源电压 VLCD 和色阶电压 V_0 、 V_1 ……作为第二电源电压 VDD2。

图 14 示出使得第二电源电压能通过熔断半导体芯片 52 中的熔丝器件来进行选择的结构实施例。

在该实施例中，在电源电压 VDD2 的电源线 Lvdd2 与用于驱动液晶的电源电压 VLCD 和色阶电压 V_0 、 V_1 ……的输入焊点之间加上熔丝器件 FS。通过熔断晶片、半导体芯片或封装该级上的多余熔丝器件，可选择任何用于驱动液晶的电源电压 VLCD 和色阶电压 V_0 、 V_1 ……作为第二电源电压 VDD2。利用，例如，激光或通过用探针通入预定电流来熔断熔丝器件 FS。

图 15 示出用于产生要施加到小振幅差分信号接口 101 上的第二电源电压的电路的实施例。

在前述实施例中，描述了直接使用任何用于驱动液晶的电源电压 VLCD 和色阶电压 V_0 、 V_1 ……作为要施加到差分放大级 1 上的第二电源电压 VDD2 的实施例。在图 15 的实施例中，使用用于驱动液

晶的电源电压 VLCD 来产生一个低于电源电压 VLCD 的电压，所产生的电压用作第二电源电压 VDD2。

作为电压产生电路，可应用各种已知技术。例如，如图 15 所示，可以利用电阻 R1 和 R2 对用于驱动液晶的电源电压 VLCD 进行电阻分配，通过电压输出器 40 输出由电阻分配得到的电位。

尽管在图 15 中通过使用电源电压 VLCD 来产生第二电源电压 VDD2，还可以用色阶电压 V0、V1……或从色阶电压产生的电压来代替电源电压 VLCD。

第二实施方案

在第二实施方案中，在第一实施方案中描述的液晶驱动器 100 中加入待机功能，用于在非必要时中断小振幅差分信号接口 101 中差分放大级 1——向其中输入了差分显示数据 DATAP 和 DATAN——的工作电流。特定地，第一实施方案中描述的小振幅差分信号接口 101 中差分放大级的电源电压（VLCD、VDD2）设为高于内部电路的电源电压（VCC），以致差分放大级 1 的能耗变成一个不可忽略的值。由于液晶系统由，例如，八个第一实施方案的液晶驱动器 100 构成，可以认为该系统的能耗是较高的。因此，在第二实施方案中，将描述能够通过第一实施方案的差分放大级 1 增加待机功能而尽可能降低能耗的液晶驱动器 100。

图 16 示出增加了待机功能的第二实施方案的小振幅差分信号接口的实施例。

在该小振幅差分信号接口中，与图 1 的小振幅差分信号接口 101 主要的不同点在于，施加到提供恒定电流的 MOSFET Q1 的栅极端上的偏压可以在用于施加恒定工作电流的电流控制电压 SVGPD0 和第二电源电压 VDD2 之间变化。附加了转换 MOSFET Q21，用于在差分放大级 1 不工作时将差分放大级 1 输出节点 n4 的电位强迫地保持在低电平上。

用于转换提供恒定电流的 MOSFET Q1 的偏压的结构包括：电

电平的移动电路 5，将用于驱动高击穿电压 MOSFET 的逻辑待机信号 STB 变换成高电压；高击穿电压的 P-沟道型转换 MOSFET Q15，用于连接/断开电源电压 VDD2 和提供恒定电流的 MOSFET Q1 的栅极端；高击穿电压的 P-沟道型转换 MOSFET Q16，用于连接/断开电流控制电压 SVGPD0 和提供恒定电流的 MOSFET Q1 的栅极端；以及变换器 INV20，用于变换信号。在电源电压 VCC 和 VDD2 之间的差别并不很大的情形中，可省略电平的移动电路 5。

利用上述结构，当待机信号 STB 处于低电平时，用于连接电流控制电压 SVGPD0 的转换 MOSFET Q16 开启而用于连接电源电压 VDD2 的转换 MOSFET Q15 关闭。电流控制电压 SVGPD0 施加到提供恒定电流的 MOSFET Q1 的栅极上，工作电流施加给差分放大级 1。

此外，与输出节点 n4 相连的转换 MOSFET Q21 关闭，从而不起作用。由于转换 MOSFET Q21 为 N 沟道型的，因此输入栅极的信号可以在不被电平的移动电路 5 移动电平的情况下关闭转换 MOSFET Q21。

另一方面，当待机信号 STB 设为高电平时，用于连接电源电压 VDD2 的转换 MOSFET Q15 开启而用于连接电流控制电压 SVGPD0 的转换 MOSFET Q16 关闭。因此，电源电压 VDD2 施加到提供恒定电流的 MOSFET Q2 的栅极上，差分放大级 1 的工作电流被中断。

此外，节点 n4 的转换 MOSFET Q21 开启，输出节点 n4 的电位被迫降至地电位 GND。这使得驱动级 2 和缓冲级 3 的状态稳定并且中断馈通电流。

尽管没有示出，但是待机信号 STB 来自，例如，定时控制电路，该定时控制电路处于具有小振幅差分信号接口的液晶驱动器中，根据时钟信号和从外界输入的定时脉冲产生内部定时信号。

图 17 为一结构图，示出使用增加了待机功能的液晶驱动器所构成的液晶显示系统的实施例。在下文中，为便于理解，输入图 2 中的数据锁存电路 122 的外部时钟 CLK1 将称作水平时钟 CL1，而输入

差分放大器 12 的外部时钟 CLP 和 CLN 将称作传输时钟 CL2。

图 17 中示出的为：液晶面板 33，其中在具有液晶的面板上布置了 TFT（薄膜晶体管）列阵和能够显示彩色图像的三原色滤镜；扫描驱动器（栅极线驱动器）32，用于与水平扫描时钟 CL3 同步地顺序驱动 TFT 列阵的栅极线；液晶驱动电源电路 34，用于产生驱动液晶所必须的各种电源电压；液晶驱动器（源极线驱动器）35，作为液晶驱动器件，对其增加了驱动 TFT 列阵中源极线的待机功能；控制器 31，用于向液晶驱动器 35 提供显示数据并向液晶驱动器 35 和扫描驱动器 32 提供控制信号和工作定时。液晶显示系统具有端和线，用于向电路 31、32、34 和 35 提供电源电压 VCC 和作为参考电位的地电位 GND。

液晶驱动电源电路 34 对液晶面板 33 产生反电极电压 VCOM，对扫描驱动器 32 产生用于驱动 TFT 列阵栅极线的电压 VGON 和 VGOFF，对液晶驱动器 35 产生用于驱动液晶的电源电压 VLCD 和色阶电压 V0 至 V9。用于施加从电源电路 34 输出的电压 VLCD 和 V0 至 V9 的线 LVS 为用于向液晶驱动器 35 施加电压 VLCD 和 V0 至 V9 的线，而且在本发明的液晶系统中也有运用。因此，本发明的液晶驱动器（100、35）可用于该液晶系统而无需为该液晶系统而改变线 LVS。

在本实施方案的液晶显示系统中，根据液晶面板 33 源极线的数目配置了大量（例如，八个）液晶驱动器 35。这许多液晶驱动器 35 中的每一个驱动相应的 384 个（128 像素 × 三原色）源极线，另一方面，栅极线由扫描驱动器 32 顺序驱动，从而在液晶面板 33 的整个面积上显示图像。可用第一实施方案的液晶驱动器 100 代替图 17 的液晶驱动器 35 来构成液晶系统。

图 18 说明液晶显示系统的工作的时序图。在图中，上两级的时基尺度和下三级的时基尺度互不相同。FRM 表示指示帧周期的帧信号。

在图 17 的液晶显示系统中，除了显示数据 DATA 之外，从控制

器 31 输出指示一个水平周期的水平时钟 CL1、用于给出显示数据 DATA 的传输定时的传输时钟 CL2 等到每个液晶驱动器 35……在三原色 $\times 1$ 线（1024 像素）的数据的传输单元中，在一个水平周期内连续传输显示数据 DATA。使用差分信号作为显示数据 DATA 和传输时钟 CL2。

这些大量液晶驱动器 35 中的每一个都接收三原色 $\times 128$ 像素的显示数据 DATA，这些数据由每个驱动器从连续传输的一线显示数据 DATA 当中送出。对于每个液晶驱动器 35，为了为一个驱动器仅输入总量的显示数据 DATA，在不同时间输入用于通报显示数据 DATA 输入时间的允许信号 EIO。

首先，允许信号 EIO 从控制器 31 输出到第一液晶驱动器 35。根据允许信号 EIO，第一液晶驱动器 35 开始接收显示数据。之后，传输继续，并且刚好在总量的数据输入第一液晶驱动器 35 完成之前，允许信号 EIO 从液晶驱动器 35 传输到第二液晶驱动器 35。第二液晶驱动器 35 根据允许信号 EIO 开始接收显示数据，并且刚好在总量的数据接收完成之前，将允许信号 EIO 传输到下一个液晶驱动器 35。这一过程从第一液晶驱动器 35 向最后一个液晶驱动器 35 执行，从而将分配一线的所有显示数据而得到的总量输入到大量液晶驱动器 35 中的每一个中。

在图 18 中，用一条线来表示从控制器 31 和液晶驱动器 35……输出的允许信号 EIO。EIO0 表示从第一液晶驱动器 35 输出的允许信号而 EIO8 表示从最后一个液晶驱动器 35 输出的允许信号 EIO。由最末一个液晶驱动器 35 产生的允许信号 EIO8 没有输出。

通过，例如，在每个液晶驱动器 35 中的定时控制电路中计数允许信号 EIO 输入之后的传输时钟 CL2，得到允许信号 EIO 从一个液晶驱动器 35 传输到下一个液晶驱动器的时刻。

如图 17 和 18 所示，在时钟信号 CL2P 的上升和下降沿的时刻，显示数据 DATA 传输至液晶驱动器 35。传输速率为 18 比特，其中每个时钟包含了 6 比特每像素的色阶数据，以及每个时钟边沿九比

特，是 18 比特的一半。

在一个水平周期传输了三原色 $\times 1$ 线的显示数据 DATA。直到下一线的传输之前，都存在一个空白周期，期间没有传输显示数据。每个液晶驱动器 35 在一线显示数据 DATA 的传输期间只接收指定总量的显示数据 DATA，并且在其它数据的传输期间不进行输入过程。

因此，在该实施方案的液晶驱动器 35 中，在没有接收显示数据 DATA 的周期内，进行将小振幅差分信号接口 101 设为待机模式并降低能耗的过程。

图 19 示出每个液晶驱动器中进行的待机过程工作时序的时序图的实施例。

利用液晶驱动器 35 中的定时控制电路通过使用液晶显示系统的显示控制所必须的信号来执行待机过程。

图 19 示出使用水平时钟 CL1 作为用于从待机模式进行重置的信号的实施例。特定地，来自控制器 31 的水平时钟 CL1 从每个液晶驱动器 35 的定时控制电路输入，当探测到上升沿时，从定时控制电路输出的待机信号 STB 设为低电平，从而取消待机模式。

另一方面，当每个液晶驱动器 35 的定时控制电路探测到指定总量的显示数据 DATA 的输入完成时，启动待机模式。每个液晶驱动器 35 中的定时电路开始根据在水平时钟 CL1 之后输入的允许信号 EIO 来接收显示数据 DATA，在用计数器技术传输时钟 CL2 的同时，使显示数据 DATA 被接收。根据计数器的计数值探测指定总量（3 原色 $\times 128$ 像素）的显示数据 DATA 的最后数据被数据锁存电路 122 或像数据寄存器 104 这样的锁存电路通过小振幅差分信号接口 101 锁存的时刻。根据该探测，输出到小振幅差分信号接口 101 的待机信号 STB 被设置为高电平以转向待机模式。

图 20 示出待机过程的操作时序的另一实施例。

在该实施例中，作为用于将小振幅差分信号接口 101 从待机模式重置的信号，使用了允许信号 EIO。特定地，在探测到允许信号 EIO 的上升沿时施加到小振幅差分信号接口 101 上的待机信号 STB

通过每个液晶驱动器 35 中的定时控制电路设置为低电平，从而取消待机模式。待机模式以类似于图 19 的方法启动。

如上所述，在第二实施方案的液晶驱动器 35 和液晶显示系统中，在每个液晶驱动器中没有传输显示数据 DATA 的周期中，小振幅差分信号接口 101 的差分放大级 1 的工作电流被中断。因此，既是当差分放大级 1 的电源电压 (VDD2) 设得高于电源电压 (VCC) 时，也可进一步降低能耗。

就图 19 和 20 的实施例而论，与图 19 的情形相比，在图 20 的实施例中，可更有效地启动待机模式，从而能耗可以因此而降低更多。然而，当允许信号 EIO 的输入到开始接受显示数据 DATA 之间的周期较短时，恐怕会不能及时取消小振幅差分信号接口 101 的待机模式。在这样的情形中，优选地使用图 19 的实施例。

第三实施方案

图 21 为一电路图，示出第三实施方案的液晶驱动器中显示数据和传输时钟的输入部分。

在第三实施方案中，改进了第一和第二实施方案中所示的液晶驱动器中用于给出显示数据 DATA 的传输定时的传输时钟 CL2 的输入电路。

在利用差分放大器接收差分传输时钟 CL2 (该时钟的正相侧表示为 CL2P 而负相侧表示为 CL2N) 的情形中，由于差分放大器的特性，难以将通过差分放大级的传输时钟 CL2 的上升时间和下降时间设得相同。根据不同条件——例如差分信号的中心电压、电源电压以及温度——在上升时间和下降时间之间会发生偏离。因此，在通过差分放大器的传输时钟 CL2 中，上升信号的延迟时间 (下文中称作上升延迟) 和下降信号的延迟时间 (下文中称作下降延迟) 是互不相同的。

因此，在下述情形中传输时钟 CL2 的时钟相位差变大且有可能无法正确接收显示数据 DATA: 输入传输时钟 CL2 至某一差分放大

器并当例如从外界输入的传输时钟 CL2P 和 CL2N 之间偏离很大时通过使用一个输入时钟的两个边沿（正相侧表示为 CL2P 而负相侧表示为 CL2N）在每个脉冲中两次接收差分显示数据 DATA。为了避免这样的问题，在结构的情形中，只有从外接输入的传输时钟 CL2 和显示数据 DATA 的信号波形条件必须严格规定。

因此，如图 21 所示，第三实施方案的液晶驱动器具有两个差分放大器 12 和 13，传输时钟 CL2 输入其中，由锁存电路 15 和 16 与通过差分放大器 12 和 13 输入的两个系统的时钟信号 CC3 和 CC4 同步地锁存显示数据 DATA。

显示数据 DATA 通过小振幅差分信号接口 101 的差分放大器 11 和用于定时调整的延迟电路 14 而输入。锁存电路 15 和 16 构成数据寄存器 104，处在小振幅差分信号接口 101 的后级。

连接两个差分放大器 12 和 13 中的某一差分放大器 12，以使正相的传输时钟 CL2P 输入正相输入端而负相的传输时钟 CL2N 输入负相输入端。连接另一差分放大器 13，以使负相的传输时钟 CL2N 输入正相输入端而正相的传输时钟 CL2P 输入负相输入端。

锁存电路 15 在来自差分放大器 12 的时钟信号 CC4 的上升沿锁存显示数据 DATA，而另一锁存电路 16 在来自差分放大器 13 的时钟信号 CC3 的上升沿锁存显示数据 DATA。

图 22 为一波形图，示出图 21 的电路中显示数据的延迟总量和传输时钟的延迟总量。

利用该结构，如图 22 中的 (a) 所示，在差分放大器 12 和 13 中的上升延迟和下降延迟之间发生偏离。然而，差分放大器 12 的正相输入端和负相输入端以及差分放大器 13 的正相输入端和负相输入端是以相反的方式连接的。因此，通过差分放大器 13 的信号 CC3 的上升时刻 T3 变成将上升延迟 DF 加到传输时钟 CL2P (= 信号 CC1) 的下降时刻 T1 上而得到的时刻，而通过差分放大器 14 的信号 CC4 的上升时刻 T4 变成将差分放大器 13 的上升延迟 DR 加到上升时刻 T2 上而得到的时刻。

因此，根据第三实施方案的输入传输时钟 CL2 的方法，作为锁存电路 15 锁存时刻的信号 CC4 上升沿与作为锁存电路 16 锁存时刻的信号 CC3 上升沿之间的间隔变得一致。因此，不容易发生显示数据 DATA 的锁存错误。因而，可放松差分传输时钟 CL2 和差分显示数据 DATA 的中心电压的条件，此外，可以更高的速度传输显示数据 DATA。

尽管根据这些实施方案具体地描述了发明者在此获得的发明，但是很显然，本发明并不局限于前述第一至第三实施方案，只要不背离其要旨，可对本发明进行各种改变。

例如，在第三实施方案中，使用水平时钟 CL1 和允许信号 EIO 来取消待机模式，在系统中使用一个信号来指示显示数据连续传输的开始的情形中，也可使用这样一个信号来取消待机模式。在系统中使用一个信号来指示显示数据连续传输的结束的情形中，可使用这样一个信号来启动待机模式。待机信号本身从芯片之外输入，可通过进行每个部件的定时控制的控制器等施加给每个液晶驱动器。

尽管在第三实施方案中将转换提供电流的 MOSFET Q1 的偏压的结构作为待机模式中中断小振幅差分信号接口 101 的差分放大级的工作电流的结构进行了描述，但还存在其它各种方法，例如中断施加电源电压 VDD2 的结构。

尽管描述了第二实施方案以在每个水平周期设置待机模式，然而在存在这样的水平周期——其中在一个帧周期的开始或结束时没有传输显示数据——的情形中，可能会将所有水平周期设为待机模式。在待机模式仅在一个帧周期的开始或结束时设置且在传输了显示数据的水平周期中取消待机模式的情形中，与传统技术相比，可降低能耗。

在第三实施方案的传输时钟 CL2 的输入电路中，用于接收传输时钟 CL2 的两个差分放大器无需具有相同的电路结构。如果两个差分放大器中的上升延迟和下降延迟变得相同，那么电路结构可以是任意的。

在第一实施方案中，为了稳定地接收显示数据 DATA，将差分放大级 1 的工作电压设为大于小振幅差分信号接口 101 后级中的驱动级 2 和缓冲级 3 的工作电压 VCC。作为选择，可以不提高工作电压，而如下构成小振幅差分信号接口 101：使用低阈值电压的 MOSFET 作为差分放大级 1 的元件而使用高阈值电压的 MOSFET 作为后级中的驱动级 2 和缓冲级 3 的元件。通过类似于转换工作电压的情形的动作，可稳定地锁存显示数据 DATA。

下面将简要描述说明书中公开的发明中代表性发明所得到的效果。

本发明产生了这样的效果：在差分电路——例如小振幅差分信号接口——中，可加宽输入差分信号的中心电压的波动许可宽度并降低能耗。

本发明还给出了这样的效果：在具有小振幅差分信号接口的半导体集成电路中，获得了输入差分信号较宽的波动许可宽度和较低的逻辑电源电压，从而实现了能耗的降低。

由于在没有传输显示数据的空白周期中，由待机功能中断了通入小振幅差分信号接口的差分放大级的工作电流，可进一步降低液晶驱动电路的能耗液晶系统的能耗。

通过使用根据水平时钟和通报显示数据的连续输入的允许信号来自动取消待机功能的功能以及通过探测一连串连续传输的显示数据的终点来自动启动待机功能的功能，产生了这样的效果，以使无需为待机功能提供外部新的信号，可不作改变地应用传统的系统。

在用于通过使用差分时钟信号的两个边沿在每个时钟输入两次数据的输入接口中，由两个差分放大器输入时钟信号，其中连接正相的输入端和负相的输入端，以使它们互相相对，利用时钟信号锁存数据，从而使得能在降低时钟相位差的同时稳定地锁存数据。此外，放松了差分时钟信号和数据信号的波形条件，可进行更高速的数据传输。

工业适用性

尽管发明者在此处获得的发明主要用液晶驱动器作为背景进行了描述，但本发明并不局限于液晶驱动器。本发明可广泛地用于具有小振幅差分信号接口并接受两种电源电压——用于内部逻辑电路的电压和用于接口的电压——的半导体集成电路，例如 1- 芯片微型计算机或 DSP（数字信号处理器）。

图1

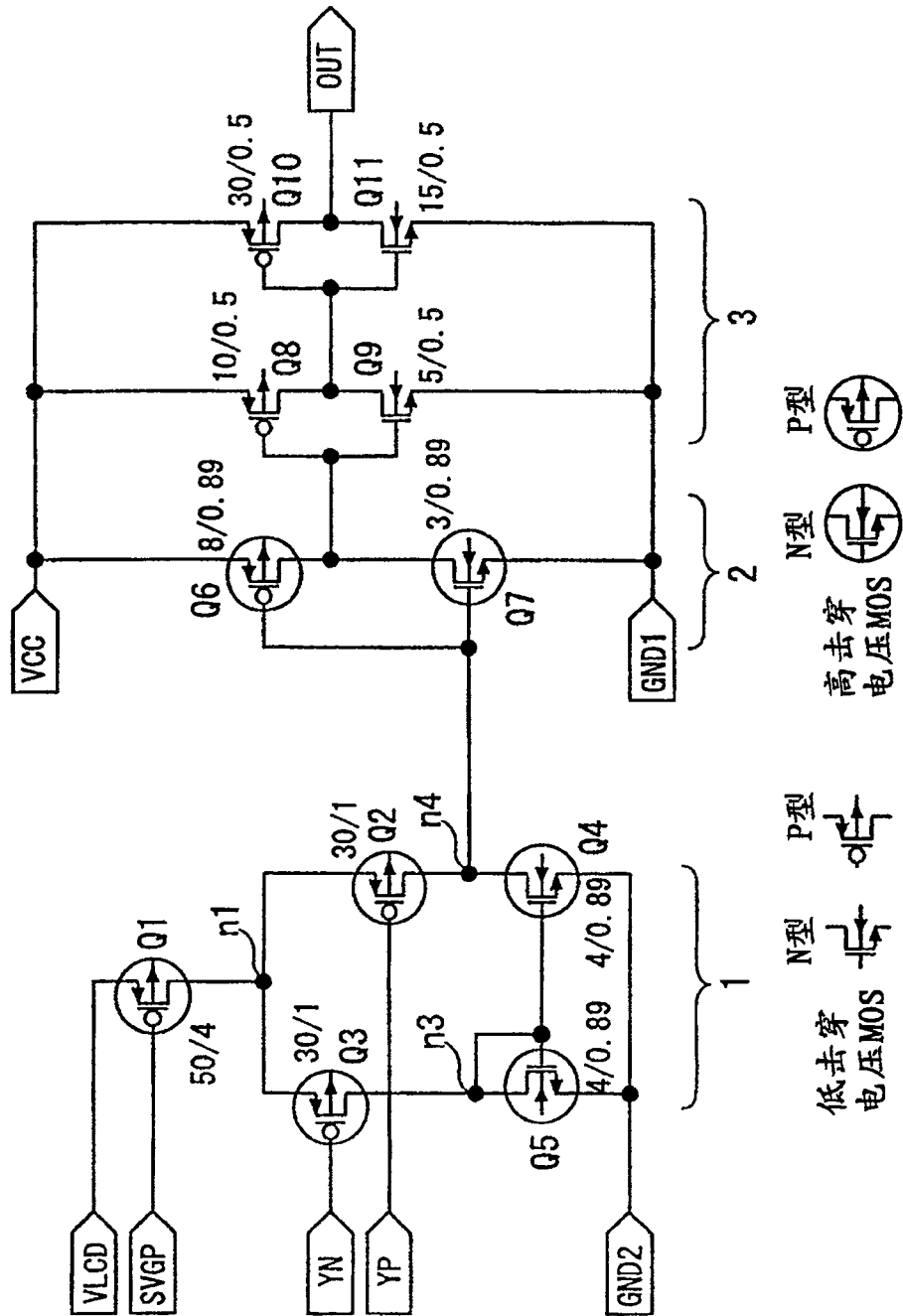


图 2

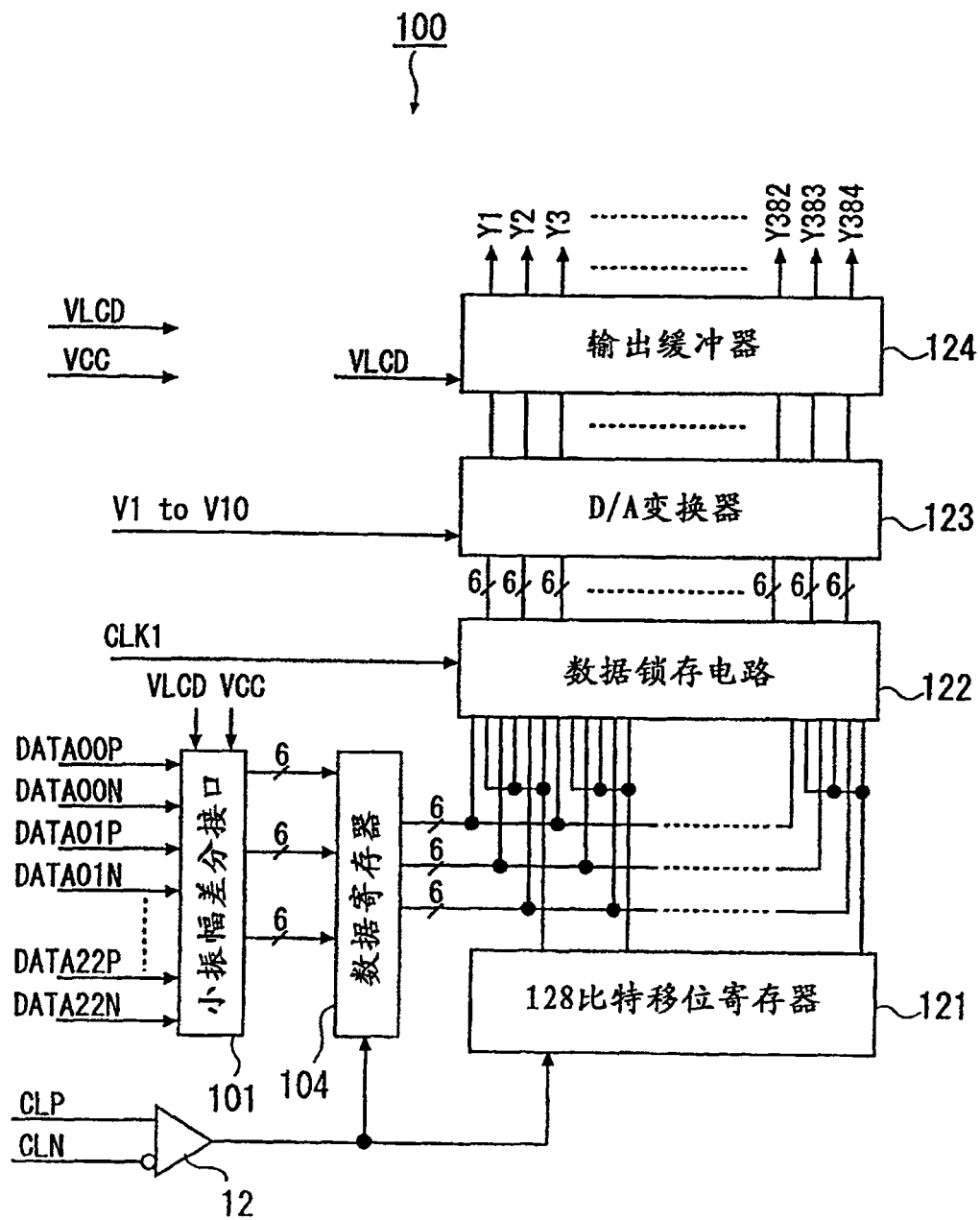
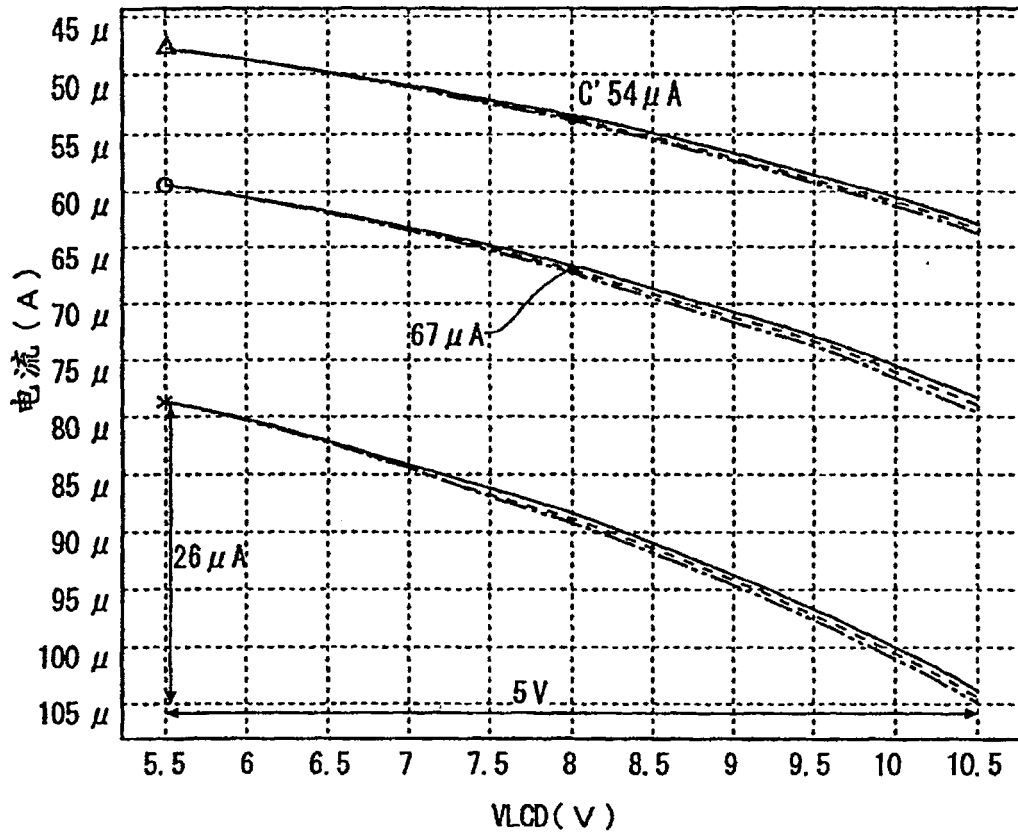
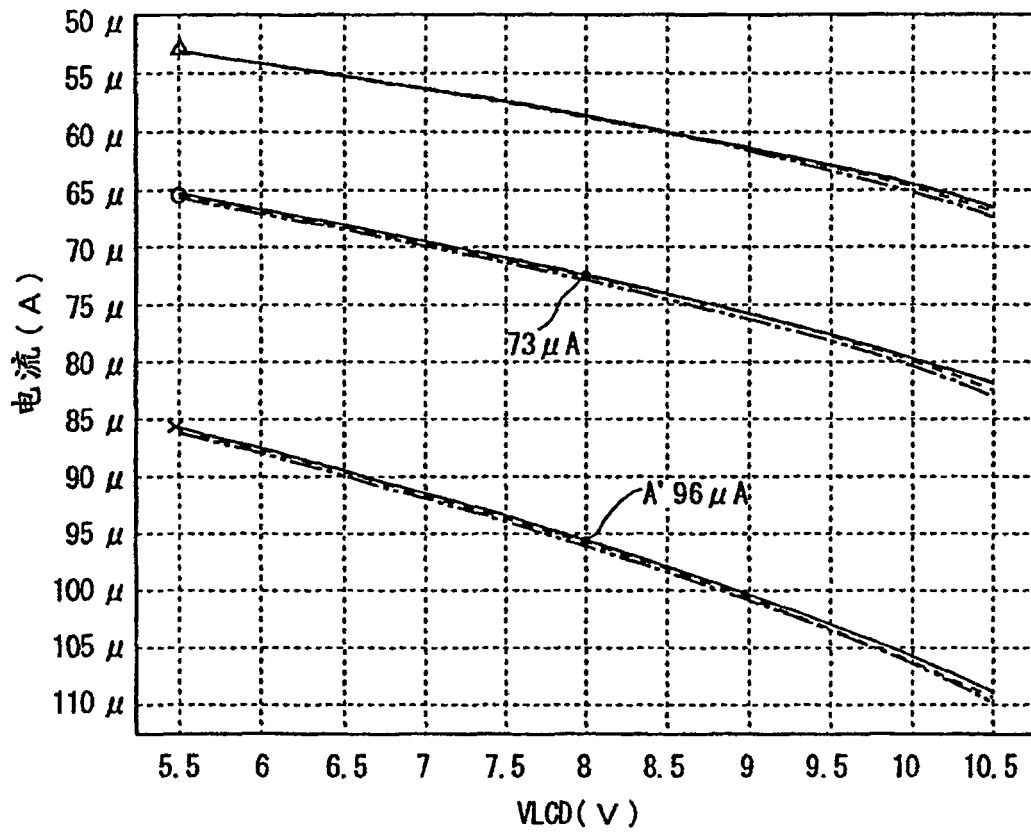


图 3



- x—— Vref=2.4V, -30°C
- Vref=2.4V, 25°C
- △—— Vref=2.4V, 75°C
- x..... Vref=1.2V, -30°C
- Vref=1.2V, 25°C
- △..... Vref=1.2V, 75°C
- x----- Vref=0.5V, -30°C
- Vref=0.5V, 25°C
- △----- Vref=0.5V, 75°C

图 4



- x—— Vref=2.4V, -30°C
- o—— Vref=2.4V, 25°C
- Δ—— Vref=2.4V, 75°C
- x..... Vref=1.2V, -30°C
- o..... Vref=1.2V, 25°C
- Δ..... Vref=1.2V, 75°C
- x---- Vref=0.5V, -30°C
- o---- Vref=0.5V, 25°C
- Δ---- Vref=0.5V, 75°C

图 5

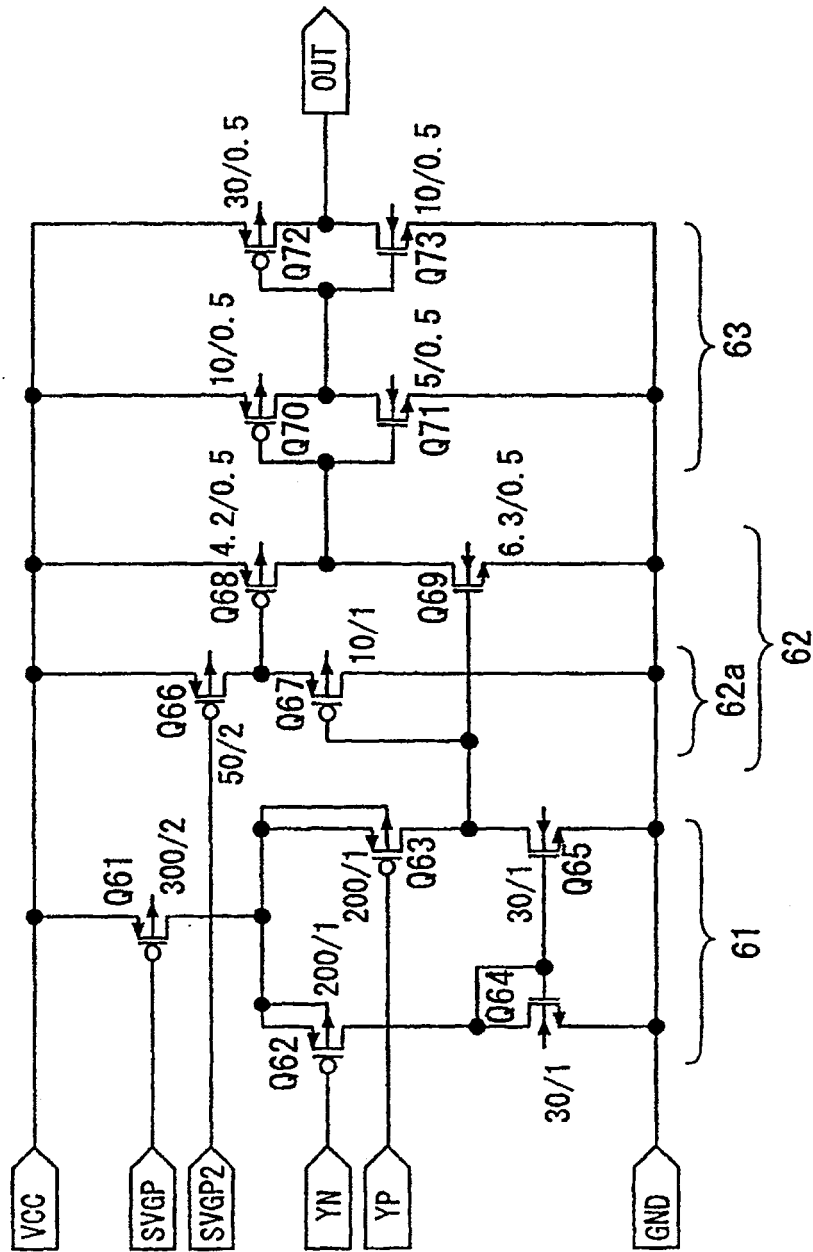
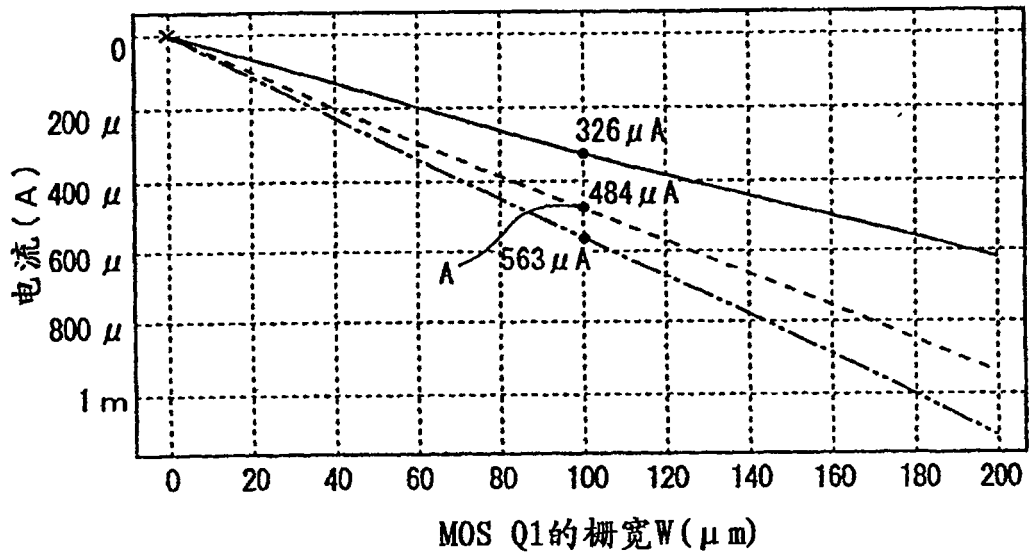
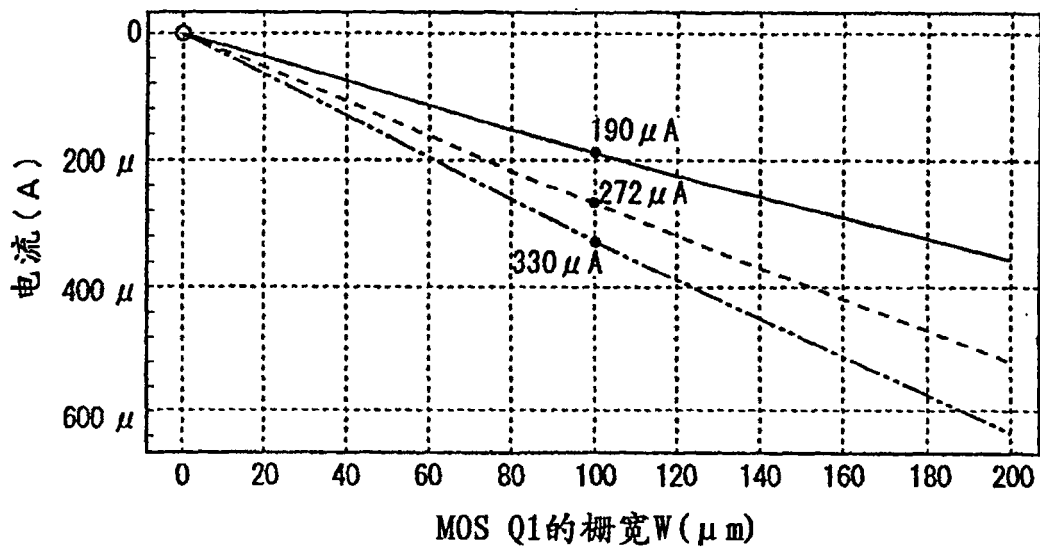


图6



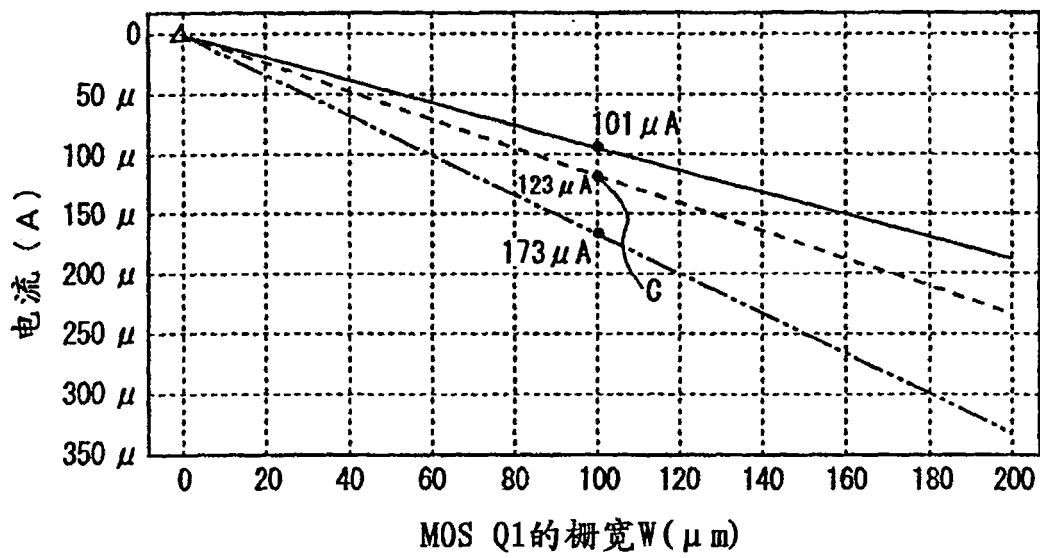
- ×—— Vref=Vcc-1.2V, -30°C
- ×--- Vref=1.2V, -30°C
- ×-·-· Vref=0.5V, -30°C

图7



- Vref=Vcc-1.2V, 25°C
- Vref=1.2V, 25°C
- Vref=0.5V, 25°C

图 8



- △—— Vref=Vcc-1.2V, 75°C
- △--- Vref=1.2V, 75°C
- △-·-· Vref=0.5V, 75°C

图9

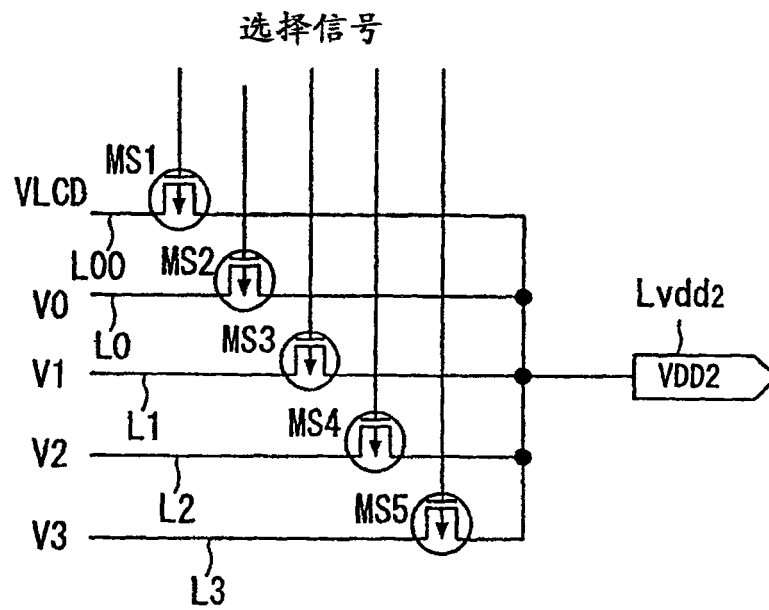


图10

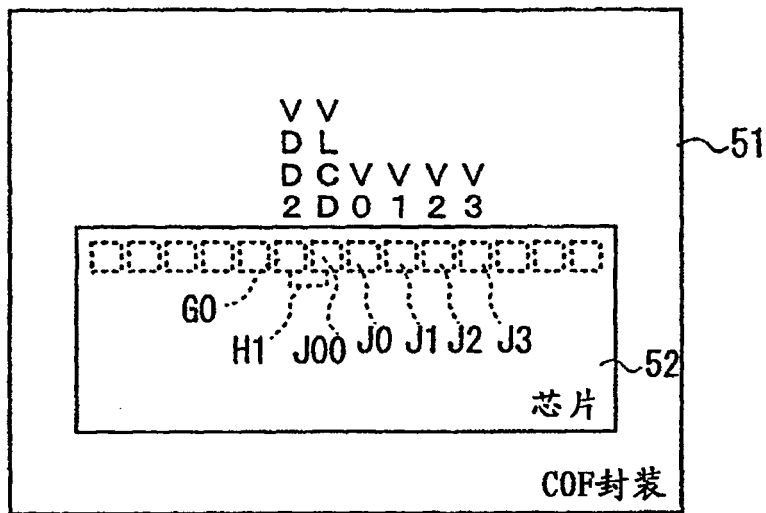


图11

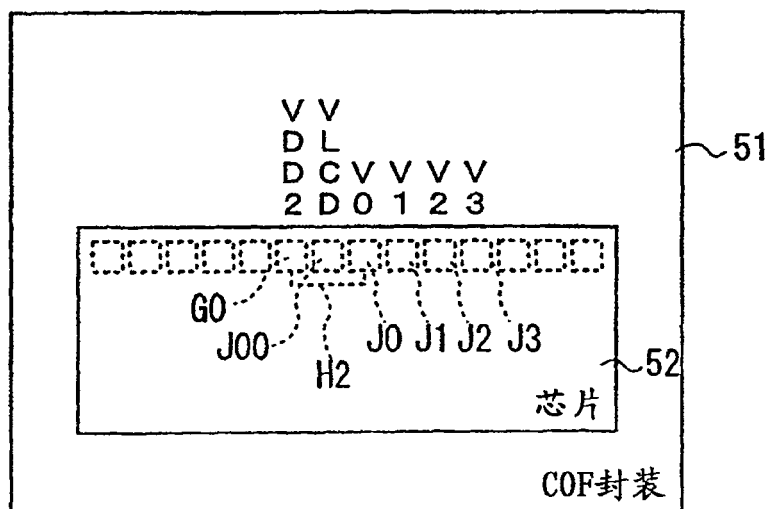


图12

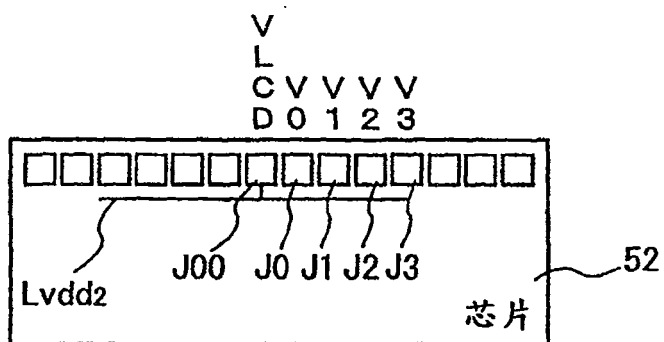


图13

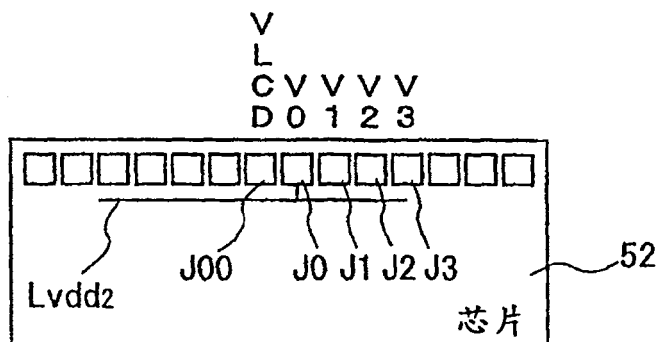


图14

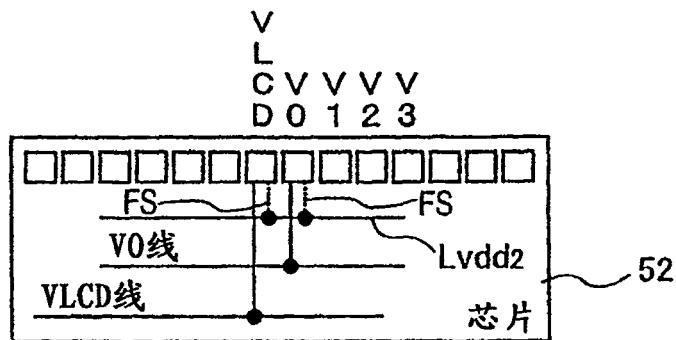
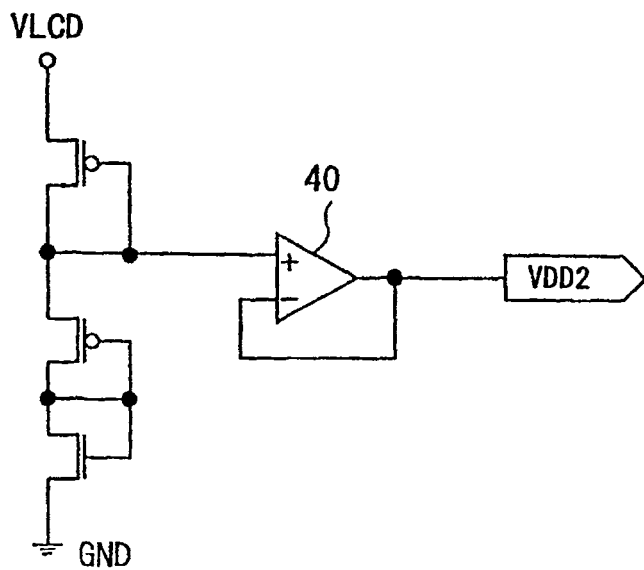


图15



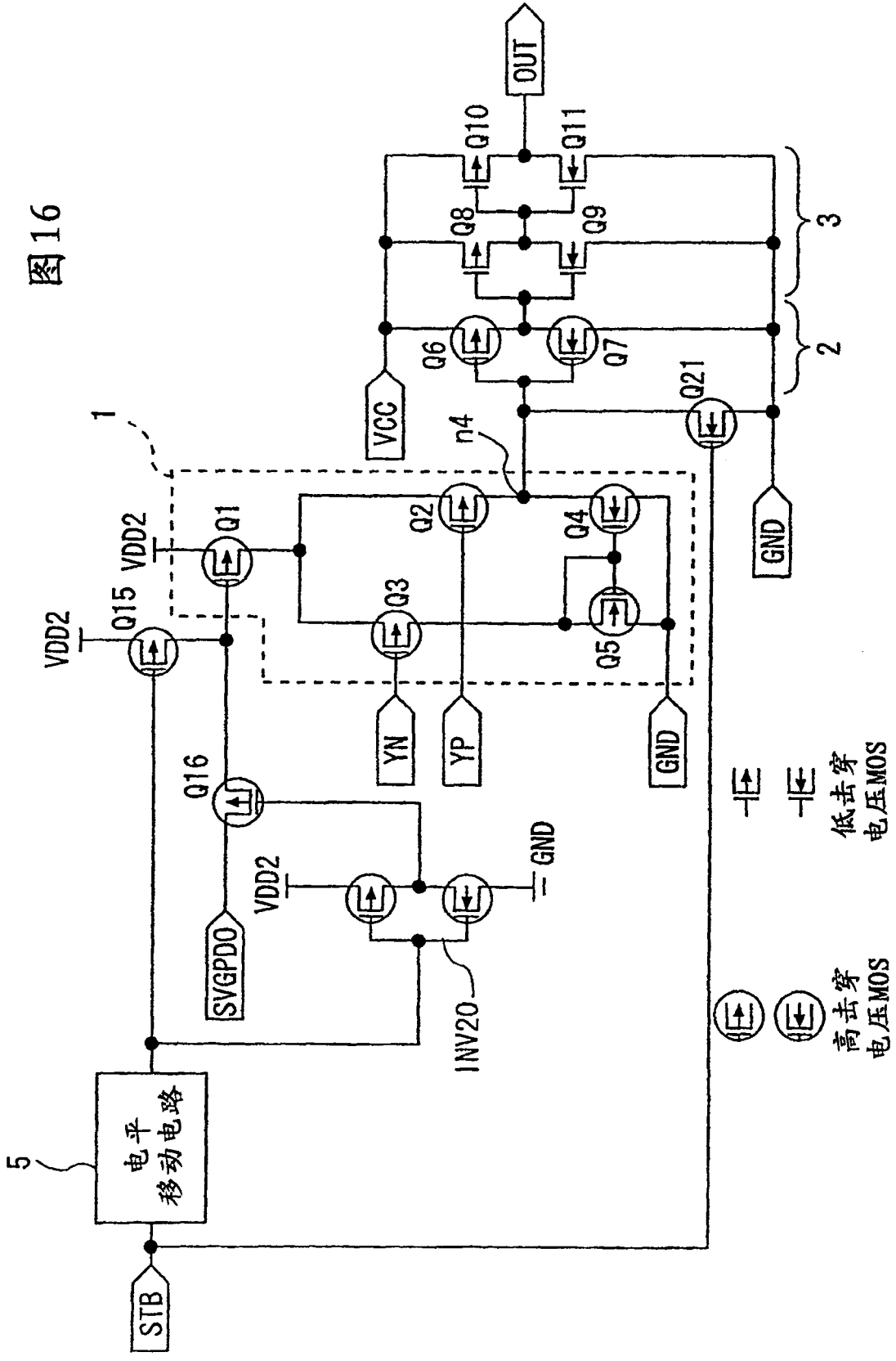


图16

图17

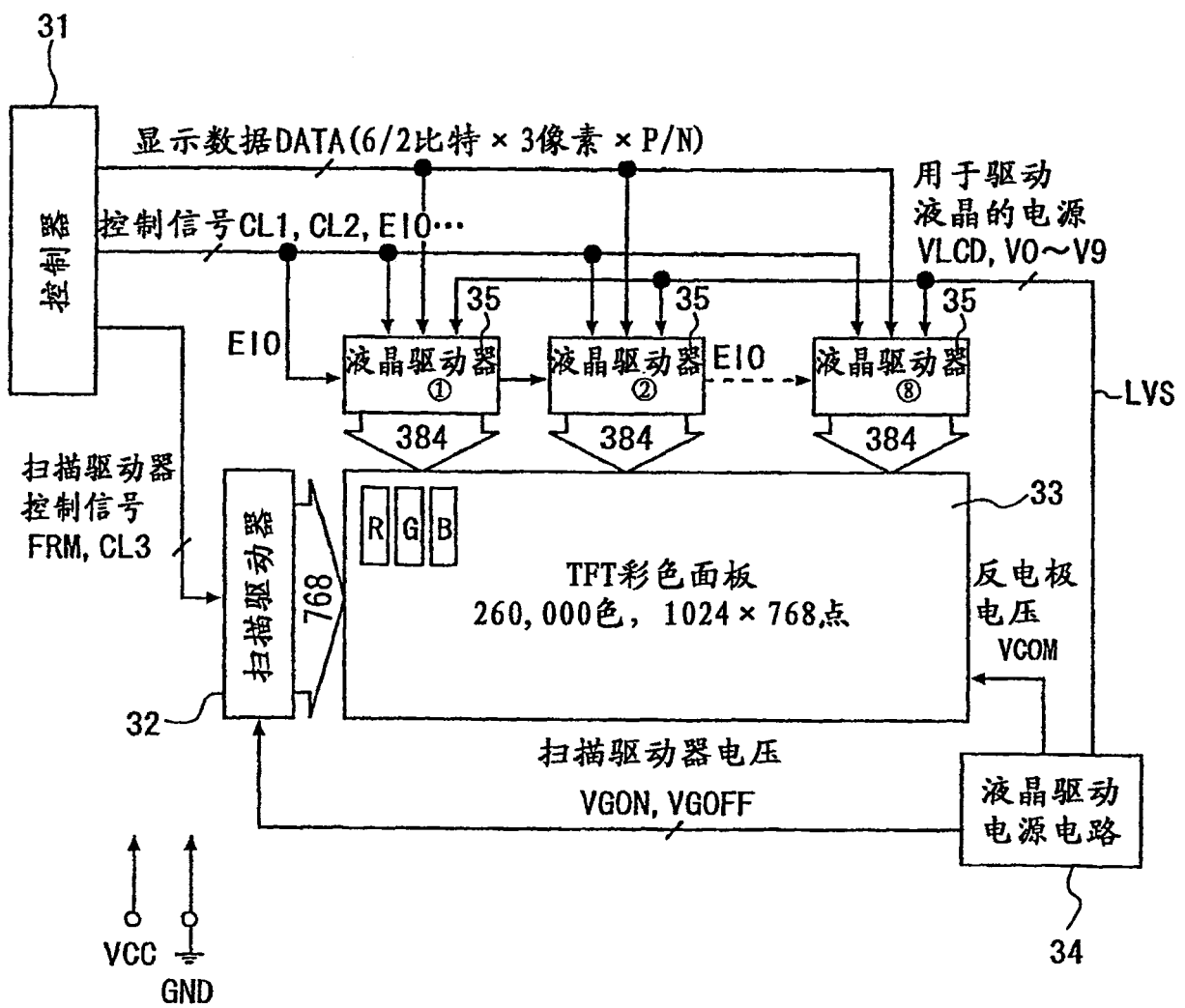


图18

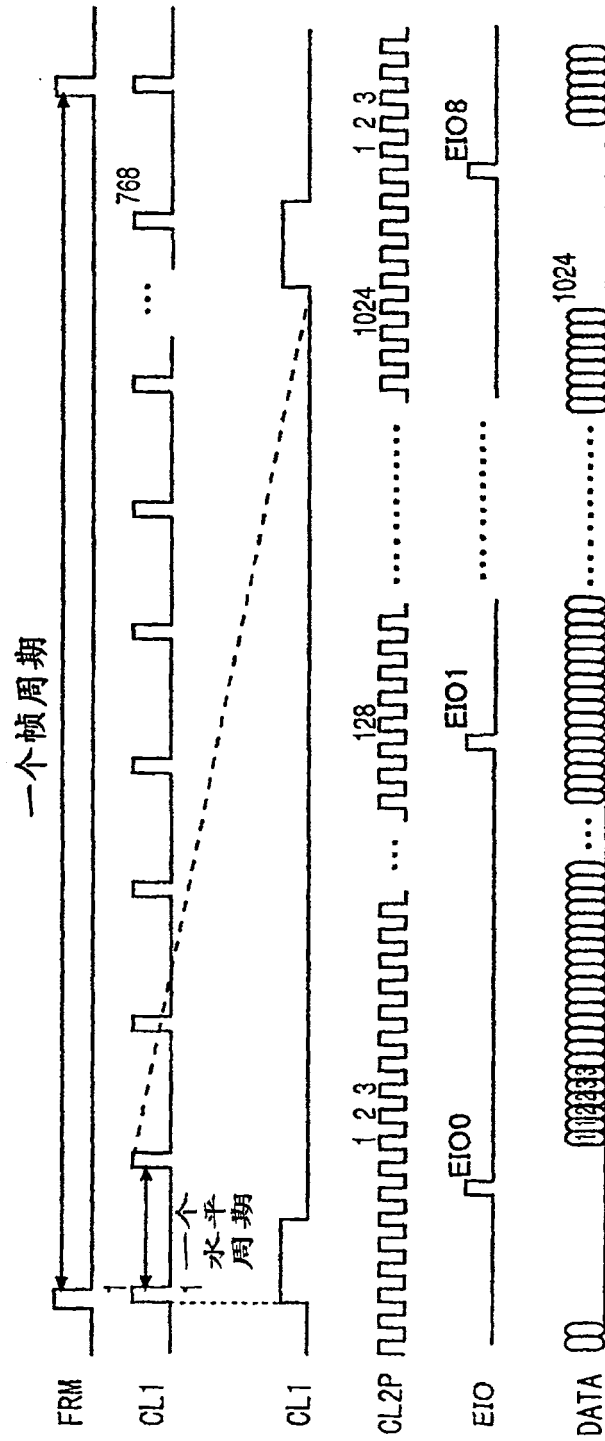


图 19

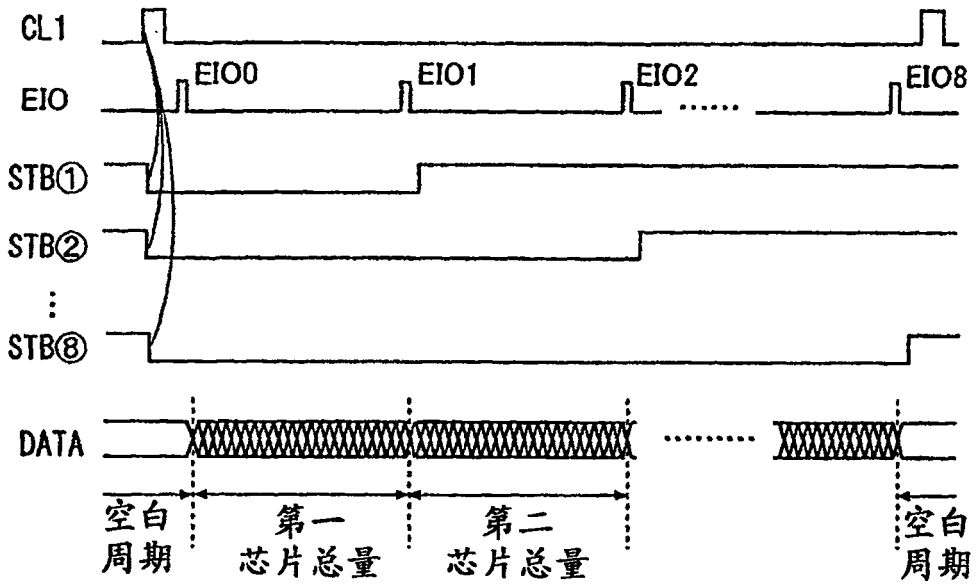


图 20

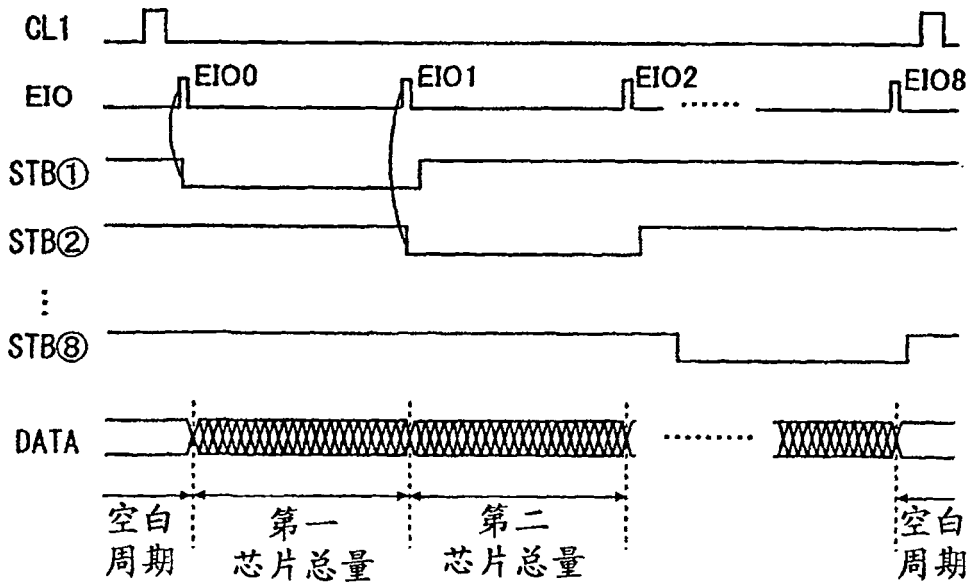


图 21

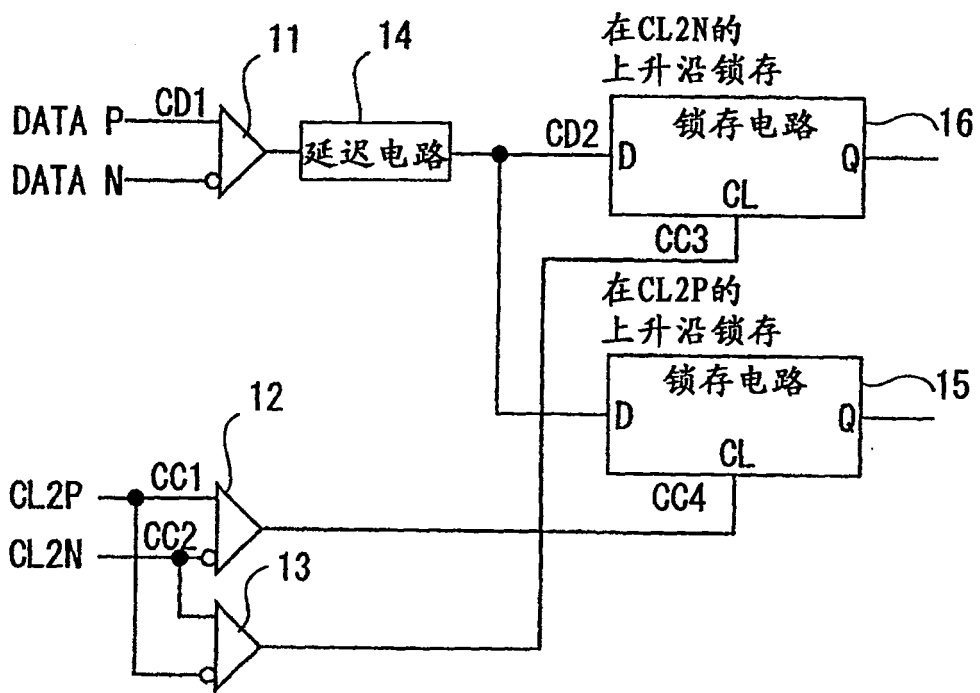
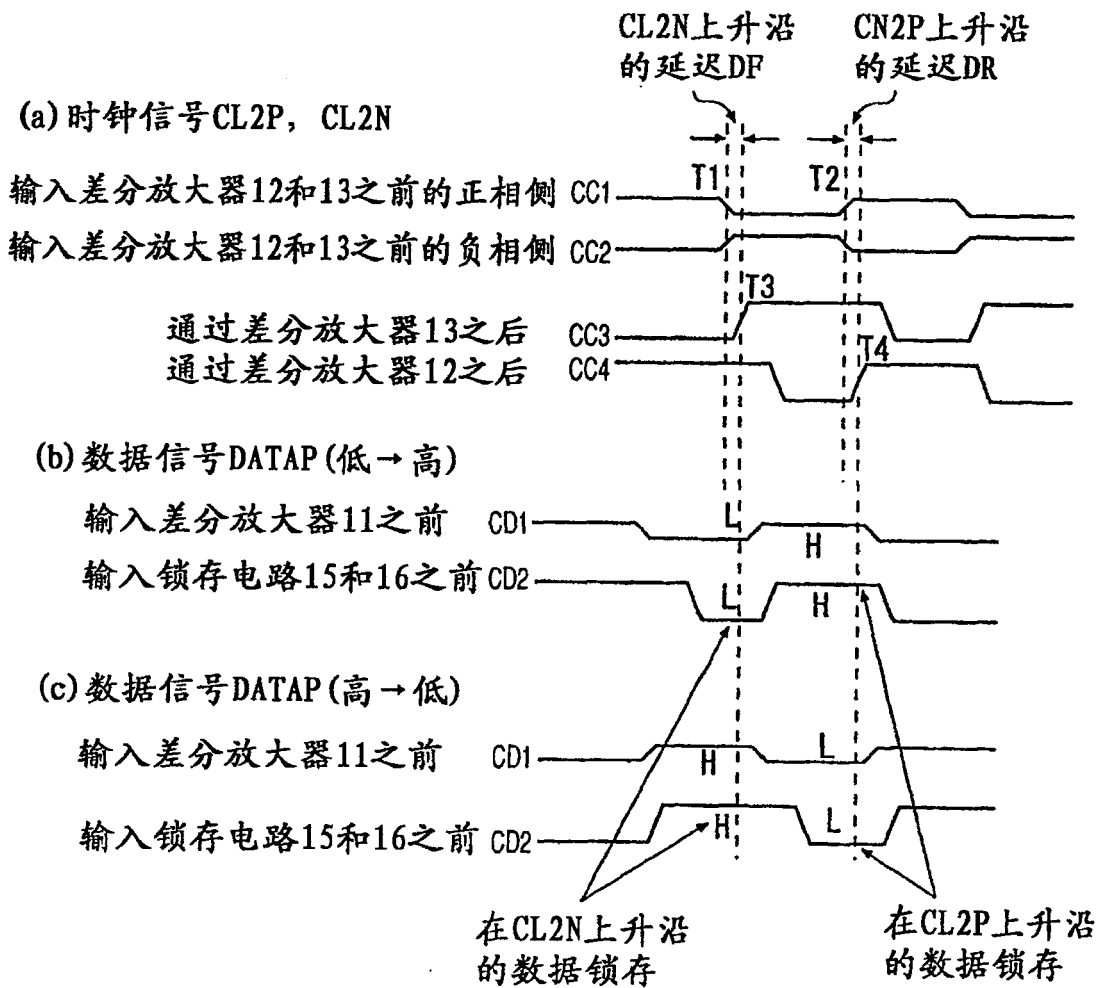


图 22



专利名称(译)	半导体集成电路以及液晶显示系统		
公开(公告)号	CN100583216C	公开(公告)日	2010-01-20
申请号	CN01820203.9	申请日	2001-10-25
[标]申请(专利权)人(译)	株式会社日立制作所 株式会社日立显示器		
申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
当前申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
[标]发明人	金城新 大门一夫 小寺浩一 小田徹史 远藤祐弘		
发明人	金城新 大门一夫 小寺浩一 小田徹史 远藤祐弘		
IPC分类号	G09G3/36 H03K19/0175		
CPC分类号	G09G2330/022 G09G2310/027 G09G2330/06 G09G3/3611 G09G2330/021 G09G2330/02 G09G3/3696 G09G2310/0297 G09G2360/02 G09G3/3688 G09G2370/08		
代理人(译)	王永刚		
审查员(译)	许凌云		
优先权	2000372863 2000-12-07 JP		
其他公开文献	CN1479913A		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶驱动器件，具有差分型输入电路，包括用于接收差分信号的差分放大级和用于根据差分放大级的输出产生输出信号的缓冲级，该液晶驱动器件通过输入电路接收显示数据的信号并根据显示数据输出用于驱动液晶面板的信号，其中向输入电路的差分放大级施加高于逻辑电源电压VCC的液晶驱动电压VLCD。给出了在没有接收显示数据的周期中中断差分放大级的工作电流的待机功能。

