

[19] 中华人民共和国国家知识产权局



[12] 实用新型专利说明书

专利号 ZL 200620139489.1

[51] Int. Cl.

G02F 1/133 (2006.01)

G02F 1/1362 (2006.01)

G09G 3/36 (2006.01)

[45] 授权公告日 2008 年 4 月 23 日

[11] 授权公告号 CN 201051194Y

[22] 申请日 2006.12.27

[21] 申请号 200620139489.1

[73] 专利权人 比亚迪股份有限公司

地址 518119 广东省深圳市龙岗区葵涌镇延安路比亚迪工业园

[72] 发明人 贾福来 杨云

[74] 专利代理机构 北京润平知识产权代理有限公司

代理人 王凤桐 徐娟

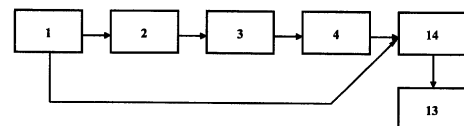
权利要求书 2 页 说明书 7 页 附图 2 页

[54] 实用新型名称

栅极驱动器和包括该栅极驱动器的显示装置

[57] 摘要

一种用于薄膜晶体管液晶屏幕的栅极驱动器，所述栅极驱动器包括依次顺序连接的地址译码器(2)、逻辑控制器(3)、第一电平位移器(4)和输出接口(13)，其中，所述栅极驱动器还包括：节功耗电路(14)，所述节功耗电路(14)连接在第一电平位移器(4)和输出接口(13)之间。该栅极驱动器能够大大节省栅极驱动器工作的功耗。



1、一种用于薄膜晶体管液晶屏幕的栅极驱动器，所述栅极驱动器包括地址译码器（2）、逻辑控制器（3）、第一电平位移器（4）和输出接口（13），地址译码器（2）、逻辑控制器（3）和第一电平位移器（4）顺序连接，其特征是，所述栅极驱动器还包括节功耗电路（14），所述节功耗电路（14）连接在第一电平位移器（4）和输出接口（13）之间。

2、根据权利要求1所述的栅极驱动器，所述节功耗电路（14）包括先断后通开关（5）、第二电平位移器（6）、反相器（7）、多选一传输管（9）、第一或非门（8）、第二或非门（10）、开关驱动器（11）和放电开关（12）；先断后通开关（5）的输出端连接到第二电平位移器（6）的输入端；第二电平位移器（6）的一个输出端连接到多选一传输管（9）中 NMOS 管的栅极，另一个输出端连接到多选一传输管（9）中 PMOS 管的栅极和第一或非门（8）的一个输入端；第一电平位移器（4）输出端连接到反相器（7）的输入端和第二或非门（10）的一个输入端；反相器（7）的输出端连接到多选一传输管（9）中 NMOS 管的源极和第一或非门（8）的一个输入端；多选一传输管（9）中 PMOS 管的漏极与多选一传输管（9）中 NMOS 管的漏极相连，并且连接到开关驱动器（11）的 PMOS 管的栅极上；第一或非门（8）的输出端连接到第二或非门（10）的输入端和放电开关（12）的 NMOS 管的栅极上；第二或非门（10）的输出端连接到开关驱动器（11）的 NMOS 管的栅极上；开关驱动器（11）的 PMOS 管和 NMOS 管的漏极和放电开关（12）的 NMOS 管的漏极与输出接口（13）连接。

3、根据权利要求2所述的栅极驱动器，其特征是，所述多选一传输管（9）为二选一传输管，由漏极相连的一对 PMOS 管和 NMOS 管组成。

4、根据权利要求2所述的栅极驱动器，其特征是，所述开关驱动器（11）由漏极相连的一对 PMOS 管和 NMOS 管组成。

5、根据权利要求2所述的栅极驱动器，其特征是，所述放电开关（12）为NMOS管。

6、根据权利要求2所述的栅极驱动器，其特征是，所述或非门为二输入或非门。

7、根据权利要求1所述的栅极驱动器，其特征是，该驱动器还包括移位寄存器（15），逻辑控制器（3）通过移位寄存器（15）与第一电平位移器（4）连接。

8、一种显示装置，该装置包括显示单元（10）、栅极驱动器（30）、栅极驱动线（40），栅极驱动器（30）与栅极驱动线连接（40），栅极驱动器（30）通过栅极驱动线（40）控制显示单元（10）的开启或关闭，其特征在于，该栅极驱动器为权利要求1-7任意一项所述的驱动器。

栅极驱动器和包括该栅极驱动器的显示装置

技术领域

本实用新型涉及薄膜晶体管（TFT）液晶屏幕（LCD），更具体地说，涉及一种用于 TFT-LCD 的栅极驱动器和包括该栅极驱动器的显示装置。

背景技术

如图 1 所示，现有的 TFT-LCD 包括显示单元 10，显示单元 10 由许多像素单元 10' 构成，其中像素单元 10' 位于栅极驱动线 40 和源极驱动线 50 的每一个交叉区域。源极驱动器 20 将图像信号通过源极驱动线 50 输出到显示单元 10，并且栅极驱动器 30 通过驱动栅极驱动线 40 开启像素单元 10'。

由于液晶板的同一行的所有 TFT 的栅极共享同一根栅极驱动线 40，并且同一列的所有 TFT 的源极共享同一根源极驱动线 50，所以无法在同一时刻对每一个 TFT 进行单独的控制动作，而是必须采用专用的时序控制与驱动器来加以控制。

栅极驱动器 30 根据控制时序打开液晶板 10 上的各条栅极驱动线 40，使得连接至该行的所有薄膜晶体管可以接受相应源极驱动线 50 上输入电压对其单元存储电荷值进行的刷新。

如图 2 所示，典型的栅极驱动器主要包括依次顺序连接的地址译码器 2、逻辑控制器 3、电平位移器 4 和输出接口 13。其中地址译码器 2 用来通过对地址发生器 1 产生的地址信号的译码选中开启行，其输出连接到逻辑控制器 3 的输入；逻辑控制器 3 用来接收逻辑控制输入，判定输出使能开始与否，其输出连接到电平位移器 4；电平位移器 4 用于将低压电路生成的信号转换为高压输出逻辑，其输出接到输出接口 13 的输入；输出接口 13 用于输出驱动信号至 TFT-LCD 的各栅极驱动线（未示出）。其中，地址发生器 1 是通过

代码生成的时序逻辑控制产生地址信号。具有这样结构的现有栅极驱动器的缺点是工作时功耗较大。

实用新型内容

本实用新型的目的在于为了解决现有的 TFT-LCD 栅极驱动器的功耗大的不足，提供一种用于 TFT-LCD 的低功耗的栅极驱动器和包括该栅极驱动器显示装置。

通常来说，驱动控制过程中，栅极驱动器的输出信号的电压是从高电压逻辑高电平 VGH 摆动到高电压逻辑低电平 VGL 或者从高电压逻辑低电平 VGL 摆动到高电压逻辑高电平 VGH 的。假设，栅极驱动器驱动第 n 条栅极驱动线 GL，那么栅极驱动器的功耗 P_1 由下述公式 1 给出：

$$P_1 = VDD \times I_{av} = VDD \times (C_n \times V_{swing} \times F_{frame}) \quad \text{公式 1}$$

其中，VDD 是栅极驱动器的供电电压， C_n 是第 n 条栅极驱动线的电容， I_{av} 是平均电流， V_{swing} 是扫描脉冲的电压摆动幅度， F_{frame} 是 TFT-LCD 的扫描场频。

那么，在现有的 TFT-LCD 驱动器中，栅极驱动器输出幅度从高电压逻辑高电平 VGH 摆动到高电压逻辑低电平 VGL 或者从高电压逻辑低电平 VGL 摆动到高电压逻辑高电平 VGH 的信号，用于对栅极驱动线的电容进行充/放电，因此，在充/放电过程中其功耗与高电压逻辑高电平 VGH 和 V_{swing} 的乘积是成正比的，那么对于现有的 TFT-LCD，其高电压逻辑高电平 VGH 与高电压逻辑低电平 VGL 的差通常在 30~40 伏之间，那么 V_{swing} 也为 30~40 伏之间，可见在驱动过程中其功耗大。本实用新型的发明人根据上述原理，在现有栅极驱动器中引入节功耗电路，使得栅极驱动器的工作时的功耗显著降低。

本实用新型提供的用于薄膜晶体管液晶屏幕的栅极驱动器包括地址译码器、逻辑控制器、第一电平位移器和输出接口，地址译码器、逻辑控制器

和第一电平位移器顺序连接，其中，所述栅极驱动器还包括节功耗电路，所述节功耗电路连接在第一电平位移器和输出接口之间。

本实用新型提供的显示装置包括显示单元、栅极驱动器、栅极驱动线，栅极驱动器与栅极驱动线连接，栅极驱动器通过栅极驱动线控制显示单元的开启或关闭，其中，该栅极驱动器为本实用新型提供的栅极驱动器

本实用新型在现有技术的基础上引入了节功耗电路，其工作过程是：当某一行被选中时，先将选中行高压开关驱动器中的 PMOS 管和 NNOS 管同时关断，并且同时打开高压放电 NMOS 管来将节功耗电路的输出端上拉至中间电压 VSSD；再将选中行开关驱动器中的 PMOS 管开通，将节功耗电路的输出端上拉至 VGH。通常，设置 VSSD 为 VGH 与 VGL 代数和的 1/2，那么，栅极驱动器驱动第 n 条栅极驱动线，栅极驱动器的功耗 P_2 由下述公式 2 给出：

$$P_2 = VDD \times I_{av} = VDD \times (C_n \times V_{swing} / 2 \times F_{frame}) = 1/2 P_1 \quad \text{公式 2}$$

其中，VDD 是栅极驱动器的供电电压， C_n 是第 n 条栅极驱动线的电容， I_{av} 是平均电流，并且 V_{swing} 是扫描脉冲的电压摆动幅度， F_{frame} 是 TFT-LCD 的扫描场频。从而，采用本实用新型的栅极驱动器的功耗变成了现有技术采用的栅极驱动器的功耗的 1/2。

附图说明

图 1 是现有技术的 TFT-LCD 的结构示意框图；

图 2 是现有技术的 TFT-LCD 栅极驱动器的结构示意图；

图 3 是本实用新型的 TFT-LCD 栅极驱动器的结构示意图；

图 4 是本实用新型的节能功耗电路的结构示意图；

图 5 是本实用新型的包括移位寄存器的 TFT-LCD 栅极驱动器的结构示意图；

图 6 是本实用新型栅极驱动器所实现的输出驱动行的波形示意图。

具体实施方式

下面结合附图详细说明本实用新型。

如图3所示,本实用新型提供了一种用于薄膜晶体管液晶屏幕的栅极驱动器,该薄膜晶体管液晶屏幕的栅极驱动器包括地址译码器2、逻辑控制器3、第一电平位移器4和输出接口13,地址译码器2、逻辑控制器3和第一电平位移器4顺序连接,其中,所述栅极驱动器还包括:节功耗电路14,所述节功耗电路14连接在第一电平位移器4和输出接口13之间。

其中,地址发生器1是通过代码生成的时序逻辑控制产生地址信号的装置,其地址信号用于地址译码器2的译码。

其中,所述节功耗电路14可以是各种能降低扫描脉冲的电压摆动幅度 V_{swing} 的节功耗电路。

优选情况下,如图4所示,所述节功耗电路14包括先断后通开关5、第二电平位移器6、反相器7、多选一传输管9、第一或非门8、第二或非门10、开关驱动器11和放电开关12;地址发生器1的一个输出端连接到先断后通开关5的输入端;先断后通开关5的输出端连接到第二电平位移器6的输入端;第二电平位移器6的一个输出端连接到多选一传输管9中NMOS管的栅极,另一个输出端连接到多选一传输管9中PMOS管的栅极和第一或非门8的一个输入端;第一电平位移器4输出端连接到反相器7的输入端和第二或非门10的一个输入端;反相器7的输出端连接到多选一传输管9中NMOS管的源极和第一或非门8的一个输入端;多选一传输管9中PMOS管的漏极与多选一传输管9中NMOS管的漏极相连,并且连接到开关驱动器11的PMOS管的栅极上;第一或非门8的输出端连接到第二或非门10的输入端和放电开关12的NMOS管的栅极上;第二或非门10的输出端连接到开关驱动器11的NMOS管的栅极上;开关驱动器11的PMOS管和NMOS管的漏极和放电开关12的NMOS管的漏极与输出接口13连接。

所述节功耗电路中的多选一传输管9的种类和结构为本领域技术人员所公知。优选情况下，多选一传输管9为二选一传输管，该二选一传输管一般由漏极相连的一对PMOS管和NMOS管组成。

所述节功耗电路中的开关驱动器11的结构可以有多种实现方式。优选情况下，开关驱动器11可以由漏极相连的一对PMOS管和NMOS管组成。

所述节功耗电路中的放电开关12结构可以有多种实现方式。优选情况下，放电开关12可以为NMOS管。

所述节功耗电路中的反相器7种类和结构为本领域技术人员所公知。

所述节功耗电路中的或非门种类和结构为本领域技术人员所公知。优选情况下，或非门为二输入或非门。

所述栅极驱动器中的地址译码器2的种类和结构为本领域技术人员所公知。优选情况下，地址译码器2是一个8位的地址信号译码器

所述栅极驱动器中的逻辑控制器3的种类和结构为本领域技术人员所公知。优选情况下，逻辑控制器3是串联的2个二输入与非门，用于产生两路逻辑控制信号，其中一路用于决定什么时候开启和关断对应行，另外一路用于决定是否开启和关断。

所述栅极驱动器中的电平位移器4是一种常用的接口电路，其种类和结构为本领域技术人员所公知，本实用新型中，需要该电平位移器4实现将译码逻辑控制信号从低电压逻辑高电平（例如1.8V）和低电压逻辑低电平（例如0V）升压到高电压逻辑高电平（例如16V）和高电压逻辑低电平（例如-14V）。

如图5所示，所述栅极驱动器还可以包括移位寄存器15，逻辑控制器3通过移位寄存器15与电平位移器4连接，用于保存数据来保证建立和锁存时间，依次移位产生低压（TTL电平）逻辑输出，并且可以滤掉前面逻辑控制器3不必要的毛刺对后面的电路造成误操作。

所述栅极驱动器中移位寄存器15的种类和结构为本领域技术人员所公

知。该移位寄存器 15 可采用锁存器或触发器，优选采用主从 D 触发器 (D-Flipflop)。

如图 1 所示，本实用新型提供的显示装置包括显示单元 10、栅极驱动器 30、栅极驱动线 40，栅极驱动器 30 与栅极驱动线连接 40，栅极驱动器 30 通过栅极驱动线 40 控制显示单元 10 的开启或关闭，其中，该栅极驱动器为本实用新型提供的驱动器。

本实用新型提供的显示装置中，只对栅极驱动器 30 做了改进，其它部件及它们的连接关系为本领域技术人员所公知。

除了上述显示单元 10、栅极驱动器 30、栅极驱动线 40 外，本实用新型提供的显示装置还包括显示装置所必须的其它必要组件，如源极驱动器 20、源极驱动线 50 等。这些组件及它们间的连接关系均为本领域技术人员所公知，在此不再赘述。

本实用新型提供的 TFT-LCD 栅极驱动器的工作过程如下：

如图 6 所示，由第二电平位移器 6 产生的两路逻辑控制信号，分别标记为 G_SW_1 和 G_SW_2。由第一电平位移器 4 产生的逻辑控制信号标记为 PWIR3。栅极驱动器的输出电压标记为 G_OUT。二选一传输管中的 PMOS 管的源极和开关驱动器 11 中的 PMOS 管的源极与高电压逻辑高电平相连 VGH；开关驱动器 11 中的 NMOS 管的漏极与高电压逻辑低电平相连 VGL；放电开关 12 的 NMOS 管的源极与中间电压 VSSD 相连。

当第 n 行未被选中时，其第一电平位移器 4 输出的信号 PWIR3=0，则反相器 7 的输出为 1；二输入或非门 8 的一个输入为 1，则其输出始终为 0，那么放电开关 12 的 NMOS 管关闭；二输入或非门 10 的两输入端均为 0，则其输出端为 1，那么开关驱动 11 的 NMOS 管开启，栅极驱动器的输出电压 G_OUT 始终为 VGL。

当第 n 行被选中时，其电平位移器 4 输出的信号 PWIR3=1。那么，包含两种操作，其一是将栅极驱动器的输出电压置位到 VSSD，其二是将栅极

驱动器的输出电压 G_OUT 置位到 VGH 。

将栅极驱动器的输出电压置位到 $VSSD$ 的工作过程是：第二电平位移器 6 输出的信号 G_SW_1 和 G_SW_2 均为 0，则二选一传输管 9 中 PMOS 管和 NMOS 管的栅极输入电压均为 0，那么 PMOS 管开启并且 NMOS 管关闭，PMOS 管漏极被拉到 VGH ，那么对应开关驱动 11 的 PMOS 管的栅极输入为 1，则该管关闭。第一电平位移器 4 输出的信号 $PWIR3=1$ ，那么二输入或非门 10 的一个输入端为 1，则其输出始终为 0，那么开关驱动 11 的 NMOS 管的栅极输入始终为 0，则该管关闭。第一电平位移器 4 输出的信号 $PWIR3=1$ ，那么反相器 7 的输出为 0，那么二输入或非门 8 的两输入端均为 0，则其输出为 1，那么放电开关 12 的 NMOS 管的栅极输入为 1，则该管开启，其漏极，即栅极驱动器的输出，被拉到 $VSSD$ ，实现了将栅极驱动器的输出电压 G_OUT 置位到 $VSSD$ 的过程。

然后，将栅极驱动器的输出电压从 $VSSD$ 置位到 VGH 的工作过程是：第二电平位移器 6 的输出为两路控制信号 G_SW_1 和 G_SW_2 均反转为 1。则二选一传输管 9 中 PMOS 管和 NMOS 管的栅极输入电压均为 1，那么 NMOS 管开启并且 PMOS 管关闭，NMOS 管漏极电压由电平位移器 4 输出的信号 $PWIR3$ 的非决定，被置为 0，那么对应开关驱动 11 的 PMOS 管的栅极输入为 0，则该管开启。第一电平位移器 4 输出的信号 $PWIR3=1$ ，那么二输入或非门 10 的一个输入端为 1，则其输出始终为 0，那么开关驱动 11 的 NMOS 管的栅极输入始终为 0，则该管关闭。第二电平位移器 6 的输出控制信号 $G_SW_2=1$ ，那么二输入或非门 8 的一个输入端为 1，则其输出为 0，那么放电开关 12 的 NMOS 管的栅极输入为 0，则该管关闭，那么，栅极驱动器的输出电压仅由高压开关驱动 11 的 PMOS 管的源极电压决定，则被拉到 VGH ，实现了将栅极驱动器的输出电压 G_OUT 从 $VSSD$ 置位到 VGH 的过程。

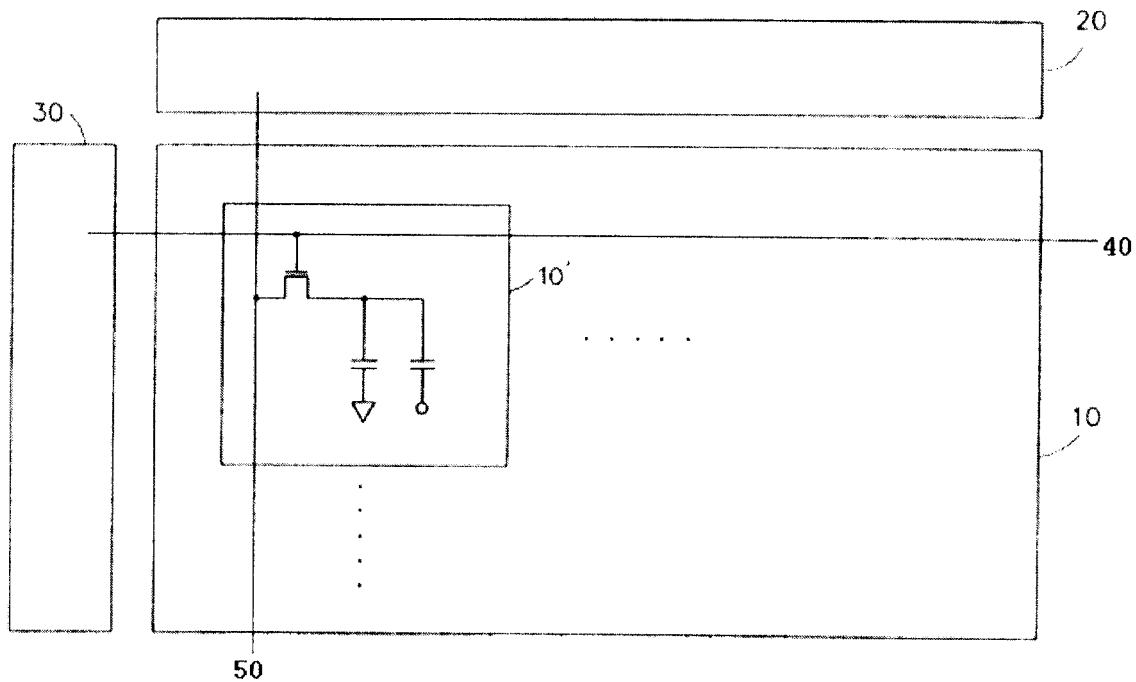


图 1

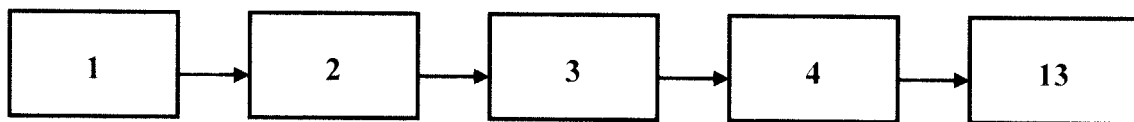


图 2

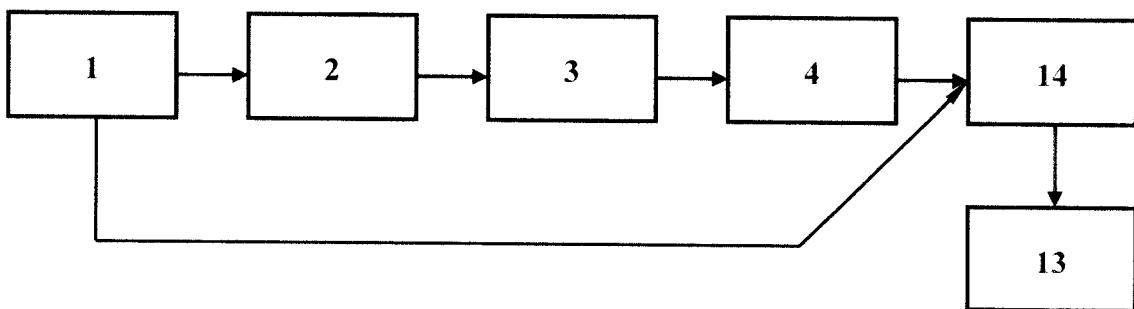


图 3

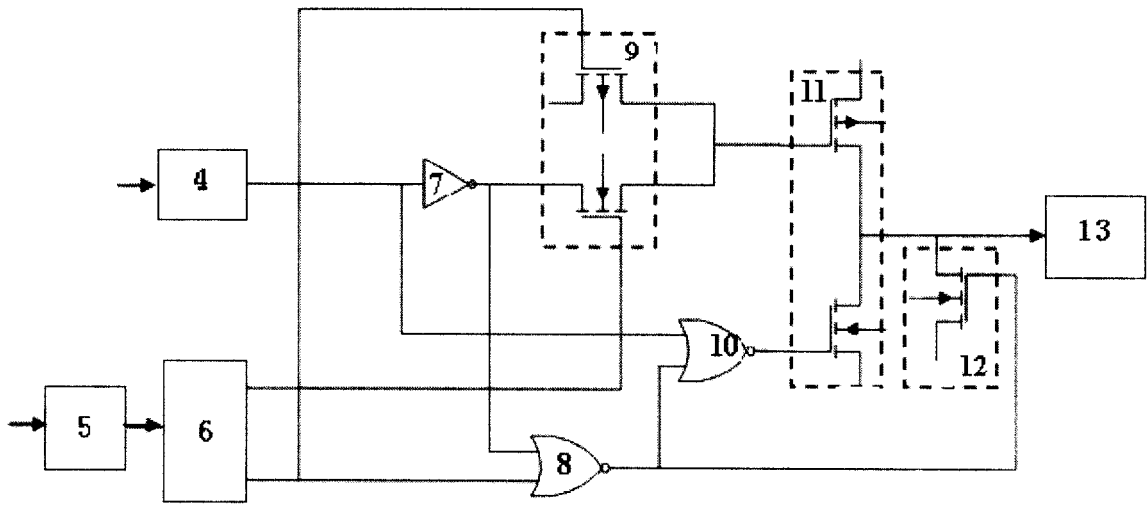


图 4

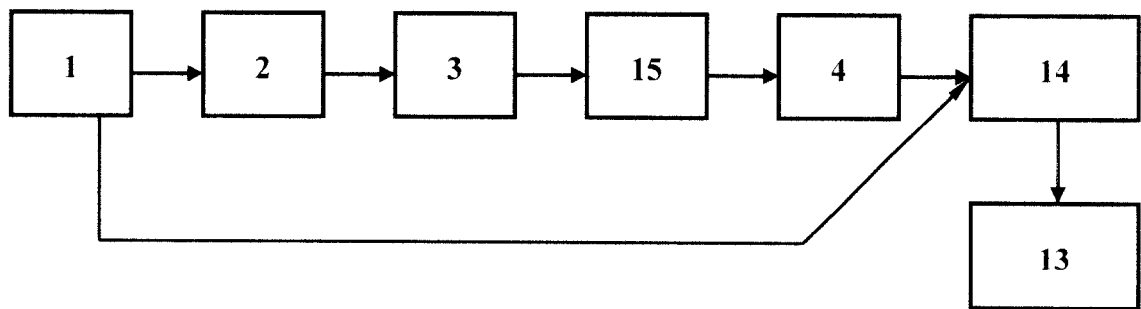


图 5

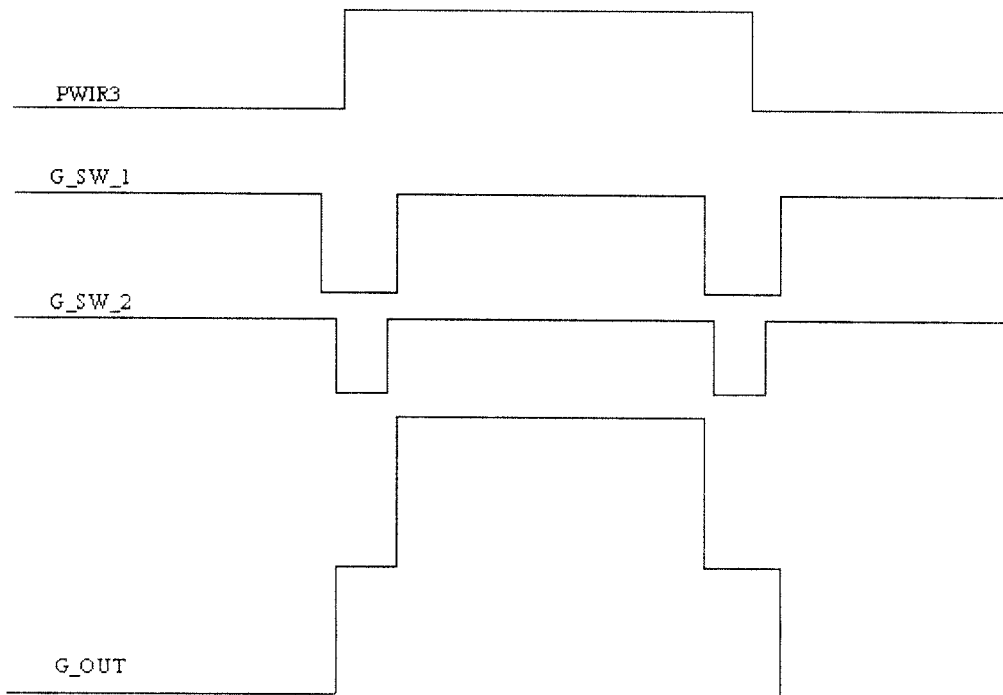


图 6

专利名称(译)	栅极驱动器和包括该栅极驱动器的显示装置		
公开(公告)号	CN201051194Y	公开(公告)日	2008-04-23
申请号	CN200620139489.1	申请日	2006-12-27
[标]申请(专利权)人(译)	比亚迪股份有限公司		
申请(专利权)人(译)	比亚迪股份有限公司		
当前申请(专利权)人(译)	比亚迪股份有限公司		
[标]发明人	贾福来 杨云		
发明人	贾福来 杨云		
IPC分类号	G02F1/133 G02F1/1362 G09G3/36		
代理人(译)	王凤桐 徐翔		
外部链接	Espacenet SIPO		

摘要(译)

一种用于薄膜晶体管液晶屏幕的栅极驱动器，所述栅极驱动器包括依次顺序连接的地址译码器(2)、逻辑控制器(3)、第一电平位移器(4)和输出接口(13)，其中，所述栅极驱动器还包括：节功耗电路(14)，所述节功耗电路(14)连接在第一电平位移器(4)和输出接口(13)之间。该栅极驱动器能够大大节省栅极驱动器工作的功耗。

