



(12) 发明专利申请

(10) 申请公布号 CN 101887197 A

(43) 申请公布日 2010. 11. 17

(21) 申请号 200910222742. 8

(22) 申请日 2009. 11. 17

(30) 优先权数据

10-2009-0042413 2009. 05. 15 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 闵雄基 李周映

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G09G 3/36 (2006. 01)

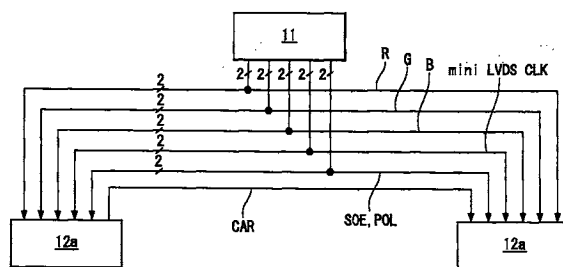
权利要求书 1 页 说明书 7 页 附图 4 页

(54) 发明名称

液晶显示器

(57) 摘要

公开了一种液晶显示器。该液晶显示器包括：定时控制器，其输出 R 数字视频数据对、G 数字视频数据对、B 数字视频数据对和时钟对；多个源驱动集成电路 (IC)，其每一个从所述定时控制器接收 R、G 和 B 数字视频数据中的每一对和时钟对，以产生正模拟数据电压和负模拟数据电压；以及源印刷电路板 (PCB)，在该源印刷电路板上形成有三个数据总线对和时钟线对，所述三个数据总线对和所述时钟线对将所述定时控制器的输出端子连接到所述源驱动 IC 的输入端子。



1. 一种液晶显示器,该液晶显示器包括:

定时控制器,其输出 R 数字视频数据对、G 数字视频数据对、B 数字视频数据对和时钟对,R、G、B 数字视频数据中的每一对包括正数据和负数据,时钟对包括正时钟和负时钟;

多个源驱动集成电路 IC,其每一个从所述定时控制器接收 R、G 和 B 数字视频数据中的每一对和时钟对,以产生正模拟数据电压和负模拟数据电压且将所述正模拟数据电压和负模拟数据电压提供到液晶显示板的数据线;以及

源印刷电路板 PCB,在该源印刷电路板上形成有三个数据总线对和一时钟线对,所述三个数据总线对和所述时钟线对将所述定时控制器的输出端子连接到所述源驱动 IC 的输入端子。

2. 根据权利要求 1 所述的液晶显示器,其中 R、G 和 B 数字视频数据中的每一对的正数据和负数据通过所述三个数据总线对同时传输到所述源驱动 IC,

其中所述时钟对的正时钟和负时钟通过所述时钟线对同时传输到所述源驱动 IC。

3. 根据权利要求 2 所述的液晶显示器,其中 R、G 和 B 数字视频数据中的每一对具有 300mV-600mV 的摆动宽度。

4. 根据权利要求 1 所述的液晶显示器,其中从所述定时控制器输出的 R、G 和 B 数字视频数据中的每一对的传输频率大于输入到所述定时控制器的 R、G 和 B 数字视频数据的输入频率。

5. 根据权利要求 2 所述的液晶显示器,其中传输所述 R 数字视频数据对的数据总线对连接到所述定时控制器的第一数据输出端子,且以 T 字形分割以连接到各个源驱动 IC 的第一数据输入端子,

其中传输所述 G 数字视频数据对的数据总线对连接到所述定时控制器的第二数据输出端子,且以 T 字形分割以连接到各个源驱动 IC 的第二数据输入端子,

其中传输所述 B 数字视频数据对的数据总线对连接到所述定时控制器的第三数据输出端子,且以 T 字形分割以连接到各个源驱动 IC 的第三数据输入端子,

其中所述时钟线对连接到定时控制器的时钟输出端子,且以 T 字形分割以连接到各个源驱动 IC 的时钟输入端子。

6. 根据权利要求 5 所述的液晶显示器,其中所述定时控制器产生用于控制各个源驱动 IC 的输出定时的源输出使能信号和用于控制从所述源驱动 IC 输出的数据电压的极性的极性控制信号。

7. 根据权利要求 6 所述的液晶显示器,其中所述源 PCB 包括用于将所述源输出使能信号和所述极性控制信号同时传输到所述源驱动 IC 的控制信号总线。

8. 根据权利要求 7 所述的液晶显示器,其中各条控制信号总线连接到所述定时控制器的控制信号输出端子,且以 T 字形分割以连接到各个源驱动 IC 的控制信号输入端子。

液晶显示器

技术领域

[0001] 本发明的实施方式涉及一种液晶显示器。

背景技术

[0002] 本申请要求 2009 年 5 月 15 日提交的韩国专利申请 No. 10-2009-0042413 的优先权, 此处以引证的方式并入其全部内容, 就像在此进行了完整阐述一样。

[0003] 有源矩阵型液晶显示器利用薄膜晶体管 (TFT) 作为开关元件来显示运动画面。因为为有源矩阵型液晶显示器的薄外形, 有源矩阵型液晶显示器已被实施在电视机以及诸如办公设备和计算机的便携式设备的显示设备中。因此, 阴极射线管 (CRT) 正被有源矩阵型液晶显示器快速代替。

[0004] 液晶显示器一般包括液晶显示板、向液晶显示板提供光的背光单元、将数据电压提供到液晶显示板的数据线的数据驱动电路、连接到该数据驱动电路的源印刷电路板 (PCB) 等。源 PCB 连接到液晶显示板的一侧。包括数据总线、时钟线、控制信号总线等的大量的线形成在源 PCB 上。因此, 在相关技术液晶显示器中难以减小源 PCB 的尺寸。因此, 难以实现液晶显示器的薄外形且降低源 PCB 的生产成本。

发明内容

[0005] 本发明的实施方式提供一种能够减小印刷电路板 (PCB) 的尺寸的液晶显示器。

[0006] 在一个方面, 一种液晶显示器包括: 定时控制器, 其输出 R 数字视频数据对、G 数字视频数据对、B 数字视频数据对和时钟对, R、G、B 数字视频数据中的每一对包括正数据和负数据, 时钟对包括正时钟和负时钟; 多个源驱动集成电路 (IC), 其每一个从所述定时控制器接收 R、G 和 B 数字视频数据中的每一对和时钟对, 以产生正模拟数据电压和负模拟数据电压且将所述正模拟数据电压和负模拟数据电压提供到液晶显示板的数据线; 以及源印刷电路板 (PCB), 在该源印刷电路板上形成有三个数据总线对和时钟线对, 所述三个数据总线对和所述时钟线对将所述定时控制器的输出端子连接到所述源驱动 IC 的输入端子。

附图说明

[0007] 附图被包括在本说明书中以提供对本发明的进一步理解, 并结合到本说明书中且构成本说明书的一部分, 附图示出了本发明的实施方式, 且与说明书一起用于解释本发明的原理。附图中:

[0008] 图 1 是例示根据本发明的实施方式的液晶显示器的框图;

[0009] 图 2 是例示源驱动集成电路 (IC) 的框图;

[0010] 图 3 示意性地例示了定时控制器和源驱动 IC 之间的连接结构;

[0011] 图 4 例示了源印刷电路板 (PCB) 上的数据总线、时钟线和控制信号总线;

[0012] 图 5 和 6 是示出微型 LVDS 数据和微型 LVDS 时钟的示例的波形图。

具体实施方式

[0013] 根据本发明的实施方式的液晶显示器的制造方法包括：用于清洁液晶显示板的基板的工序、用于对基板进行构图的工序、用于形成和摩擦配向层的工序、用于密封基板和滴注液晶的工序、用于安装驱动电路的工序、模块组装工序等。

[0014] 基板清洁工序是利用清洁溶液从液晶显示板的上和下玻璃基板的表面上去除污染材料的工序。基板构图工序包括：用于在下玻璃基板上形成各种薄膜材料且对各种薄膜材料进行构图的工序，其中所述各种薄膜材料例如包括数据线和选通线的信号线、薄膜晶体管 (TFT) 和像素电极；以及用于在上玻璃基板上形成各种薄膜材料且对各种薄膜材料进行构图的工序，其中所述各种薄膜材料例如黑底、滤色器和公共电极。在用于形成和摩擦配向层的工序中，将配向层分别涂敷在上和下玻璃基板上，且然后使用摩擦布对配向层进行摩擦或者对其进行光配向处理。在执行上述工序之后，在液晶显示板的下玻璃基板上形成像素阵列。像素阵列包括接收视频数据电压的数据线、与数据线交叉且顺序地接收扫描信号（即，选通脉冲）的选通线、在数据线和选通线的各交叉处形成的 TFT、分别连接到 TFT 的液晶单元的像素电极、存储电容器等。产生扫描信号的选通驱动电路的移位寄存器可以在基板构图工序中与像素阵列同时形成。黑底、滤色器以及公共电极形成在液晶显示板的上玻璃基板上。在诸如扭曲向列 (TN) 模式和垂直对准 (VA) 模式的垂直电场驱动方式中，在上玻璃基板上形成公共电极。在诸如共面切换 (IPS) 模式和边缘场切换 (FFS) 模式的水平电场驱动方式中，在下玻璃基板上形成公共电极和像素电极。偏振板分别附接到上和下玻璃基板上，且保护膜分别附接到偏振板上。

[0015] 在密封基板和滴注液晶的工序中，在真空室中，将密封剂提取到上和下玻璃基板中的一个基板上，且将液晶滴注到另一玻璃基板上。假设在真空室内，液晶滴注到下玻璃基板上，紫外可固化密封剂形成在上玻璃基板上。将其上形成有紫外可固化密封剂的上玻璃基板倒置且固定在上工作台上，且将其上滴注有液晶的下玻璃基板固定到下工作台上。因此，将上和下玻璃基板对准。随后，在通过驱动真空泵以将真空室的压力调节到预定真空压力的状态下，向上和下玻璃基板之一施加压力，以将上和下玻璃基板彼此密封。在这种情况下，上和下玻璃基板之间的液晶层的单元间隙被设置为大于设计中所设定的单元间隙的值。随后，将氮 (N_2) 注入到真空室中以将真空室的压力调节为大气压。因此，因为密封后的玻璃基板内的压力和真空室的压力之间的差异，液晶层的单元间隙被设置为设计中所设定的单元间隙。在单元间隙被设置为设计值的状态下，将来自紫外光源的紫外线通过上玻璃基板或下玻璃基板照射到紫外可固化密封剂上，以固化该紫外可固化密封剂。

[0016] 在用于安装驱动电路的工序中，数据驱动电路的源驱动集成电路 (IC) 通过玻上芯片 (COG) 工艺或带式自动焊接 (TAB) 工艺连接到下玻璃基板的数据线，且源驱动 IC 连接到其上安装有定时控制器的源印刷电路板 (PCB)。在选通驱动电路中，选通驱动电路的选通驱动 IC 可以通过 TAB 工艺连接到下玻璃基板的选通线，或选通驱动电路可以通过面板内栅极 (Gate In Panel, GIP) 工艺与像素阵列同时地直接形成在下玻璃基板上。在本实施方式中，因为定时控制器安装在源 PCB 上，所以可以省略相关技术中的其上安装有定时控制器的控制 PCB。

[0017] 在模块组装工序中，使用诸如主支架、底盖和壳盖的外壳组件，将背光单元和液晶显示板组装为液晶模块。

[0018] 根据本发明的实施方式的液晶显示器的制造方法还可以包括检查工序和修复工序。

[0019] 检查工序包括 IC 的检查、下玻璃基板上的诸如数据线和选通线的信号线的检查、用于检测 TFT 和像素电极是否有缺陷的电学检查、在执行密封基板和滴注液晶的工序之后进行的电学检查、用于通过开启液晶模块的背光单元来检测液晶模块是否有缺陷的照明检查等。对通过检查工序确定为可修复缺陷的缺陷信号线和缺陷 TFT 执行修复工序。

[0020] 现在将详细描述本发明的实施方式,在图 1 至 6 中例示出了其示例。

[0021] 如图 1 所示,根据本发明的实施方式的液晶显示器包括:液晶显示板 10、位于液晶显示板 10 下方的背光单元 16、连接到液晶显示板 10 的数据线 D1 至 Dm 的数据驱动电路 12、连接到液晶显示板 10 的选通线 G1 至 Gn 的选通驱动电路 13、用于控制数据驱动电路 12 和选通驱动电路 13 的定时控制器 11、以及产生液晶显示板 10 的驱动电压的 DC-DC 转换器 15。

[0022] 液晶显示板 10 包括彼此相对设置的上玻璃基板和下玻璃基板,液晶层夹在该上玻璃基板和下玻璃基板之间。液晶显示板 10 包括显示视频数据的像素阵列。下玻璃基板的像素阵列包括在数据线 D1 至 Dm 与选通线 G1 至 Gn 的各个交叉处形成的 TFT 以及连接到该 TFT 的像素电极 1。液晶显示板 10 通过利用通过 TFT 施加到像素电极 1 的数据电压和通过 TFT 施加到公共电极 2 的公共电压 Vcom 之差来驱动像素阵列的各个液晶单元 C1c,通过控制由背光单元 16 提供的光的透射量,来显示视频数据的图像。

[0023] 黑底、滤色器和公共电极 2 形成在液晶显示板 10 的上玻璃基板上。在诸如 TN 模式和 VA 模式的垂直电场驱动方式下,在上玻璃基板上形成公共电极 2。在诸如 IPS 模式和 FFS 模式的水平电场驱动方式下,在下玻璃基板上形成公共电极 2 和像素电极 1。

[0024] 偏振板分别附接到液晶显示板 10 的上和下玻璃基板上。用于设置液晶的预倾角的配向层分别形成在上玻璃基板和下玻璃基板上。

[0025] 可应用于本发明的实施方式的液晶显示板可以按任意液晶模式以及 TN、VA、IPS 和 FFS 模式来实施。根据本发明的实施方式的液晶显示器可以以任意类型的液晶显示器来实施,包括背光液晶显示器、透射反射型液晶显示器和反射型液晶显示器。在背光液晶显示器和透射反射型液晶显示器中,背光单元是必须的。背光单元 16 可以实施为直下型背光单元或侧光型背光单元。在直下型背光单元中,多个光学片和散射板堆叠在液晶显示板 10 下面,且多个光源位于散射板下面。在侧光型背光单元中,多个光源与导光板的侧面相对设置,且多个光学片位于液晶显示板 10 和导光板之间。背光单元的光源可以使用热阴极荧光灯 (HCFL)、冷阴极荧光灯 (CCFL)、外部电极荧光灯 (EEFL) 以及发光二极管 (LED) 中的一种或至少两种。

[0026] 数据驱动电路 12 包括多个源驱动 IC。各源驱动 IC 根据从定时控制器 11 接收的微型低压差分信令 (LVDS) 接口标准的各对 R、G 和 B 数据以及从定时控制器 11 接收的微型 LVDS 时钟,对 R、G 和 B 数字视频数据进行采样和锁存,以将锁存的 R、G 和 B 数字视频数据转换成并行数据。各个源驱动 IC 响应于极性控制信号 POL,利用来自 DC-DC 转换器 15 的正或负伽马基准电压 VGMA1 至 VGMA10,将经解串行 (deserialized) 的数字视频数据转换成将充入到液晶单元 C1c 中的正或负模拟视频数据电压,且然后响应于来自定时控制器 11 的源输出使能信号 SOE,将正 / 负模拟视频数据电压提供到数据线 D1 至 Dm。源驱动 IC 可以通过 COG 工艺或 TAB 工艺连接到数据线 D1 至 Dm。

[0027] 选通驱动电路 13 包括多个选通驱动 IC。各个选通驱动 IC 包括移位寄存器,该移位寄存器响应于来自定时控制器 11 的选通控制信号将选通驱动电压顺序地进行移位,以随后将选通脉冲(即,扫描脉冲)提供到选通线 G1 至 Gn。选通驱动 IC 可以通过 TAB 工艺连接到下玻璃基板的选通线 G1 至 Gn,或可以通过 GIP 工艺直接形成在下玻璃基板上。

[0028] 定时控制器 11 通过诸如 LVDS 接口和转换最小化差分信令(TMDS)接口这样的接口接收电路,来接收 R、G 和 B 数字视频数据以及诸如垂直同步信号 Vsync、水平同步信号 Hsync、数据使能信号 DE、点时钟 CLK 的定时信号。定时控制器 11 以微型 LVDS 接口方式将 R 数据对、G 数据对、B 数据对同时传输到源驱动 IC,从而减少各个电磁接口(EMI)的摆动宽度和数据传输路径上的数据电压。定时控制器 11 利用定时信号 Vsync、Hsync、DE 和 CLK 来产生用于控制源驱动 IC 的操作定时的数据控制信号和用于控制选通驱动 IC 的操作定时的选通控制信号。定时控制器 11 可以基于 $(60 \times i)$ Hz 的帧率(其中“i”是正整数)将各个数据控制信号和选通控制信号的频率相乘,使得以 60Hz 的帧率输入的数字视频数据能够以 $(60 \times i)$ Hz 的帧率在液晶显示板 10 的像素阵列中再现。

[0029] 数据控制信号包括源输出使能信号 SOE、极性控制信号 POL 等。如果定时控制器 11 和数据驱动电路 12 之间的信号传输方式是微型 LVDS 接口,则可以省略在现有晶体管到晶体管(TTL)接口中使用的源起始脉冲和源采样时钟。源输出使能信号 SOE 控制数据驱动电路 12 的输出定时。当提供到数据线 D1 至 Dm 的数据电压的极性反转时,数据驱动电路 12 的各个源驱动 IC 响应于源输出使能信号 SOE 来将电荷共享电压或公共电压 Vcom 提供到数据线 D1 至 Dm,且在源输出使能信号 SOE 的低逻辑周期中将数据电压提供到数据线 D1 至 Dm。电荷共享电压是被提供有相反极性的数据电压的相邻数据线的平均电压。极性控制信号 POL 每 N 个水平周期反转从数据驱动电路 12 输出的数据电压的极性,其中 N 是正整数。

[0030] 选通控制信号包括选通起始脉冲 GSP、选通移位时钟 GSC、选通输出使能信号 GOE 等。选通起始脉冲 GSP 控制第一选通脉冲的定时。选通移位时钟 GSC 是用于使选通起始脉冲 GSP 移位的时钟。选通输出使能信号 GOE 控制选通驱动电路 13 的输出定时。

[0031] 系统板 14 通过 LVDS 接口传送电路或 TMDS 接口传送电路来将诸如垂直同步信号 Vsync、水平同步信号 Hsync、数据使能信号 DE 和点时钟 CLK 的定时信号以及从广播接收电路或外部视频源接收的 R、G 和 B 数字视频数据传输到定时控制器 11。系统板 14 包括诸如定标器的图形处理电路和电源电路。图形处理电路以与液晶显示板的分辨率相符的方式对 R、G 和 B 数字视频数据的分辨率进行插值,且执行关于 R、G 和 B 数字视频数据的信号插值处理。电源电路产生将被提供到 DC-DC 转换器 15 的电压 Vin。

[0032] DC-DC 转换器 15 调节从系统板 14 的电源电路接收的电压 Vin,以产生液晶显示板 10 的驱动电压。液晶显示板 10 的驱动电压包括 15V-20V 的高电位源电压 Vdd、约 3.3V 的逻辑源电压 Vcc、等于或大于 15V 的选通高电压 VGH、等于或小于 -3V 的选通低电压 VGL、7V-8V 的公共电压 Vcom、正或负伽马基准电压 VGMA1 至 VGMA10、1.2V-1.8V 的核心电源电压(core power voltage)等。高电位源电压 Vdd 是将充入到液晶显示板 10 的液晶单元 Clc 中的最大数据电压。逻辑源电压 Vcc 是诸如定时控制器 11、源驱动 IC 和选通驱动 IC 的数字逻辑元件的源电压。选通高电压 VGH 是被设置为等于或大于像素阵列中所形成的 TFT 的阈值电压的选通脉冲的高逻辑电压。选通低电压 VGL 是被设置为小于像素阵列中所形成的 TFT 的阈值电压的选通脉冲的低逻辑电压。选通高电压 VGH 和选通低电压 VGL 被提供到选

通驱动电路 13。公共电压 V_{com} 被提供到液晶单元 C1c 的公共电极 2。源驱动 IC 可以在源输出使能信号 SOE 的高逻辑周期中将公共电压 V_{com} 作为电荷共享电压提供到数据线 D1 至 Dm。在普通方式的存储中,存储电容器 Cst 的存储电极形成在液晶显示板 10 的下玻璃基板上,使得存储电极与像素电极 1 交叠,在该存储电极和像素电极 1 之间夹有绝缘层。在普通方式的存储中,公共电压 V_{com} 可以提供到存储电极。核心电源电压是用于以微型 LVDS 接口方式产生数据电压的逻辑电压。

[0033] 图 2 是例示了源驱动 IC 的框图。

[0034] 如图 2 所示,各个源驱动 IC 12a 包括移位寄存器 21、数据接收单元 22、第一锁存阵列 23、第二锁存阵列 24、数字-模拟转换器 (DAC) 25、电荷共享电路 26 和输出电路 27。

[0035] 数据接收单元 22 从定时控制器 11 接收微型 LVDS 数据和微型 LVDS 时钟,以利用微型 LVDS 接口恢复方法来恢复 TTL 电平的 R、G 和 B 数字视频数据,且产生 TTL 电平的源采样时钟 SSC。如图 4 至 6 所示,微型 LVDS 数据包括含有正数据和负数据的 R 数据对 (即,差分信号)、含有正数据和负数据的 G 数据对 (即,差分信号) 以及含有正数据和负数据的 B 数据对 (即,差分信号)。微型 LVDS 时钟包括含有正时钟和负时钟的时钟对 (即,差分信号)。例如,如图 6 所示,当正数据 P 的逻辑电平为高电平时,数据接收单元 22 从由定时控制器 11 接收到的微型 LVDS 数据中输出逻辑值“1”。而且,如图 6 所示,当正数据 P 的逻辑电平为低电平时,数据接收单元 22 从由定时控制器 11 接收到的微型 LVDS 数据中输出逻辑值“0”。因此,数据接收单元 22 对数据进行恢复以将恢复后的数据提供到第一锁存阵列 23。

[0036] 移位寄存器 21 对源采样时钟 SSC 进行移位以产生采样时钟。当第一锁存阵列 23 接收超过第一锁存阵列 23 中的锁存操作的数目的数据时,移位寄存器 21 产生进位信号 CAR。第一锁存阵列 23 响应于从移位寄存器 21 顺序接收的采样时钟来采样由数据接收单元 22 恢复的 R、G 和 B 数字视频数据,对与各条水平线相对应的采样的 R、G 和 B 数字视频数据进行锁存,且同时输出与各条水平线相对应的 R、G 和 B 的锁存数字视频数据。

[0037] 第二锁存阵列 24 对从第一锁存阵列 23 接收到的与各条水平线相对应的 R、G 和 B 数字视频数据进行锁存。然后,第二锁存阵列 24 和其它源驱动 IC 12a 的第二锁存阵列 24 在源输出使能信号 SOE 的低逻辑周期中,同时输出锁存的 R、G 和 B 数字视频数据。

[0038] DAC 25 包括接收正伽马补偿电压 GH 的 P 解码器、接收负伽马补偿电压 GL 的 N 解码器、以及响应于极性控制信号 POL 来选择 P 解码器的输出和 N 解码器的输出的复用器。P 解码器对从第二锁存阵列 24 接收的 R、G 和 B 数字视频数据进行解码,以输出与 R、G 和 B 数字视频数据的灰度级相对应的正伽马补偿电压 GH。N 解码器对从第二锁存阵列 24 接收的 R、G 和 B 数字视频数据进行解码,以输出与 R、G 和 B 数字视频数据的灰度级相对应的负伽马补偿电压 GL。复用器响应于极性控制信号 POL 来选择正伽马补偿电压 GH 和负伽马补偿电压 GL。

[0039] 在源输出使能信号 SOE 的高逻辑周期中,电荷共享电路 26 使相邻数据输出通道短路 (short),以输出相邻数据电压的平均值作为电荷共享电压。否则,在源输出使能信号 SOE 的高逻辑周期中,电荷共享电路 26 输出公共电压 V_{com} 以减小正数据电压和负数据电压中的锐变。输出电路 27 利用缓冲器来减小提供到数据线 D1 至 Dk (其中 k 是小于 m 的正整数) 的正 / 负数据电压的信号衰减。

[0040] 图 3 和 4 示意性地例示了定时控制器 11 和源驱动 IC 12a 之间的连接结构。

[0041] 如图 3 和 4 所示,定时控制器 11 安装在源 PCB 30 上,且各个源驱动 IC 12 安装在源带载封装 (TCP) 上。源 PCB 30 的输出端子连接到源 TCP 的输入端子。源 TCP 的输出端子利用各向异性导电膜 (ACF) 而附接到液晶显示板 10 的下玻璃基板上,且连接到数据线 D1 至 Dm。

[0042] 定时控制器 11 并不将从系统板 14 接收到的 TTL 电平 (约 3.3V) 的 R、G 和 B 数字视频数据分成奇数数字视频数据和偶数数字视频数据。定时控制器 11 将 TTL 电平的 R、G 和 B 数字视频数据中的每一个转换成具有约 300mV 至 600mV 的摆动宽度的微型 LVDS 数据,以将微型 LVDS 数据与微型 LVDS 时钟一起传输到源驱动 IC 12a。传输到源驱动 IC 12a 的微型 LVDS 时钟的频率比输入到定时控制器 11 的点时钟的频率约大 4 倍。

[0043] 如果定时控制器 11 将 R、G 和 B 数字视频数据中的每一个分为奇数数字视频数据和偶数数字视频数据,则传输到各个源驱动 IC 12a 的微型 LVDS 数据包括 R 奇数数据对、R 偶数数据对、G 奇数数据对、G 偶数数据对、B 奇数数据对以及 B 偶数数据对。在这种情况下,必须在源 PCB 30 上形成至少 12 条数据总线。相反,在本发明的实施方式中,因为 R、G 和 B 数字视频数据中的每一个未分成奇数数字视频数据和偶数数字视频数据,所以源 PCB 30 上的仅 6 条数据线 (即,三对数据线) 就足以传输 R 数据对、G 数据对和 B 数据对。结果,可以通过减小源 PCB 30 的尺寸来降低源 PCB 30 的生产成本。

[0044] 从定时控制器 11 输出的微型 LVDS 数据和微型 LVSD 时钟通过图 4 中示出的数据总线 and 时钟线传输到各个源驱动 IC 12a。数据总线连接到定时控制器 11 的数据输出端子且连接到源驱动 IC 12 的数据输入端子。时钟线连接到定时控制器 11 的时钟输出端子且连接到源驱动 IC 12a 的时钟输入端子。更具体而言,传输该 R 数字视频数据对的第一对数据总线连接到定时控制器 11 的第一数据输出端子,且以 T 字形分割以连接到各个源驱动 IC 12a 的第一数据输入端子。传输该 G 数字视频数据对的第二对数据总线连接到定时控制器 11 的第二数据输出端子,且以 T 字形分割以连接到各个源驱动 IC 12a 的第二数据输入端子。传输该 B 数字视频数据对的第三对数据总线连接到定时控制器 11 的第三数据输出端子,且以 T 字形分割以连接到各个源驱动 IC 12a 的第三数据输入端子。该时钟线对连接到定时控制器 11 的输出端子且以 T 字形分割以连接到各个源驱动 IC 12a 的时钟输入端子。

[0045] 用于控制源驱动 IC 12a 的数据控制信号 SOE 和 POL 通过控制信号总线同时传输到各个源驱动 IC 12a。各条控制信号总线连接到定时控制器 11 的控制信号输出端子且以 T 字形分割以连接到各个源驱动 IC 12a 的控制信号输入端子。数据总线、时钟线以及控制信号总线形成在源 PCB30 上。

[0046] 为方便解释,图 4 仅示出了两个源驱动 IC 12a,不过,可以在根据本发明的实施方式的液晶显示器中使用两个或更多个源驱动 IC。

[0047] 图 5 和 6 是示出微型 LVDS 数据和微型 LVDS 时钟的波形图。

[0048] 在图 5 和 6 中,“Data CLK”表示由系统板 14 产生的点时钟,且“miniLVDS CLK”表示由定时控制器 11 产生的微型 LVDS 时钟。微型 LVDS 时钟与微型 LVDS 数据一起被传输到各个源驱动 IC 12a。而且微型 LVDS 数据包括含有复位波形的正数据 P 和负数据 N。定时控制器 11 将各个 R、G 和 B 数字视频数据和时钟转换成正数据 P 和负数据 N,且通过所述数据总线对和时钟线对将各包括正数据 P 和负数据 N 的 R 数据对、G 数据对、B 数据对和时钟对传输到各个源驱动 IC 12a。因为 R、G 和 B 数字视频数据中的每一个并未通过定时控

制器 11 分成奇数数字视频数据和偶数数字视频数据,所以 R、G 和 B 数字视频数据通过三个数据总线对传输到各个源驱动 IC。对第一数据进行采样的第一源驱动 IC 12 将在复位波形 RS 之后产生的起始脉冲 ST 的产生时间点识别作为数据采样操作的起始时间点,以开始对在起始脉冲 ST 之后提供的数据进行采样。

[0049] 如上所述,在根据本发明的实施方式的液晶显示器中,因为将 R、G 和 B 数字视频数据(其每一个未分成奇数数字视频数据和偶数数字视频数据)通过三个数据总线对传输到各个源驱动 IC,所以可以减小源 PCB 的尺寸。结果,可以提供薄外形的液晶显示器,且可以降低源 PCB 的生产成本。

[0050] 尽管参照多个示例性实施方式描述了实施方式,应理解的是本领域技术人员可建议落入本公开的原理的精神和范围内的许多其它修改和实施方式。更具体地,在本公开、附图以及所附的权利要求的范围内,在主题组合设置的组成部分和/或设置中可以做出各种变型和修改。除了组成部分和/或设置中的变型和修改之外,替换使用对于本领域技术人员也是明显的。

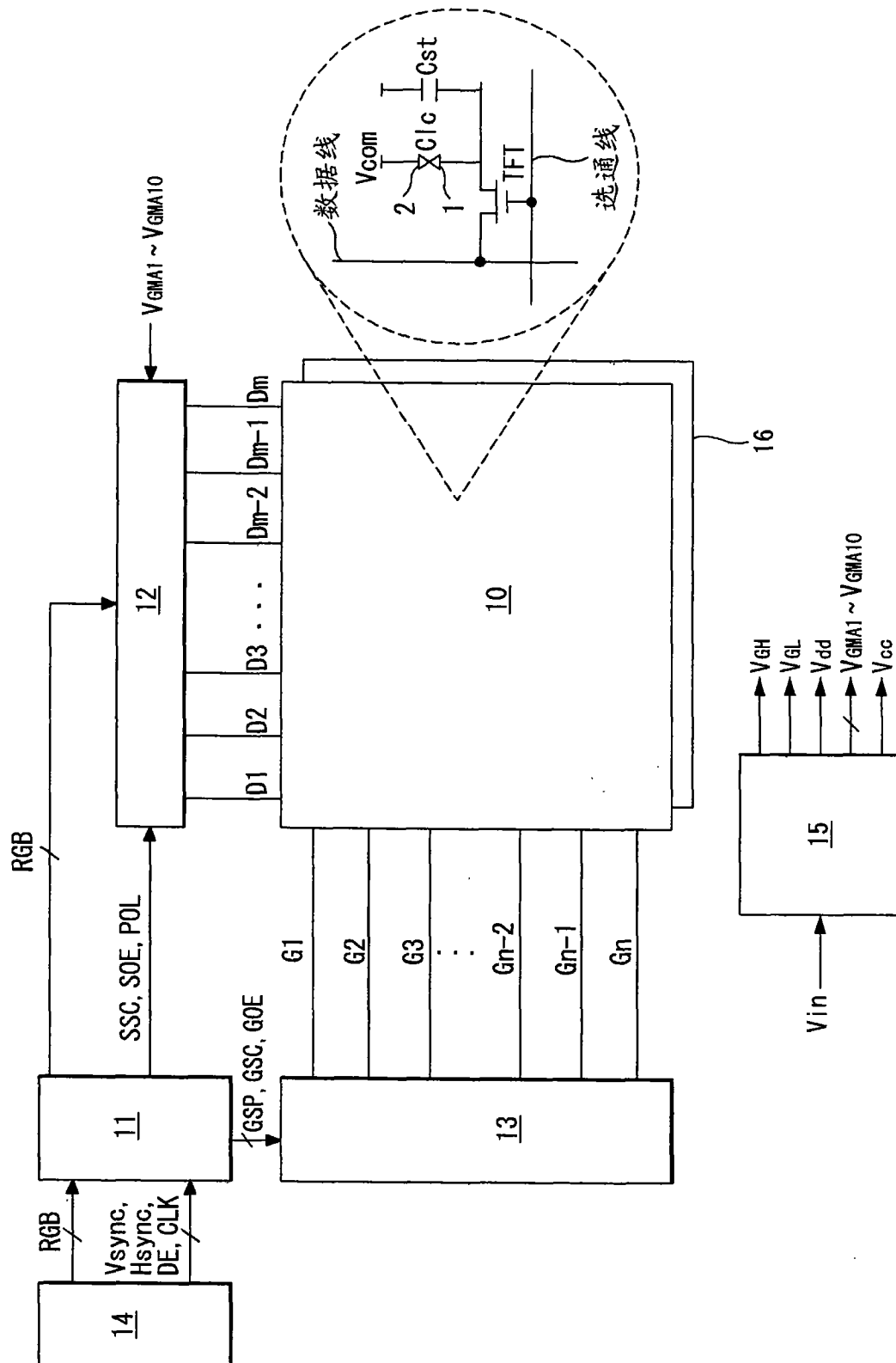


图 1

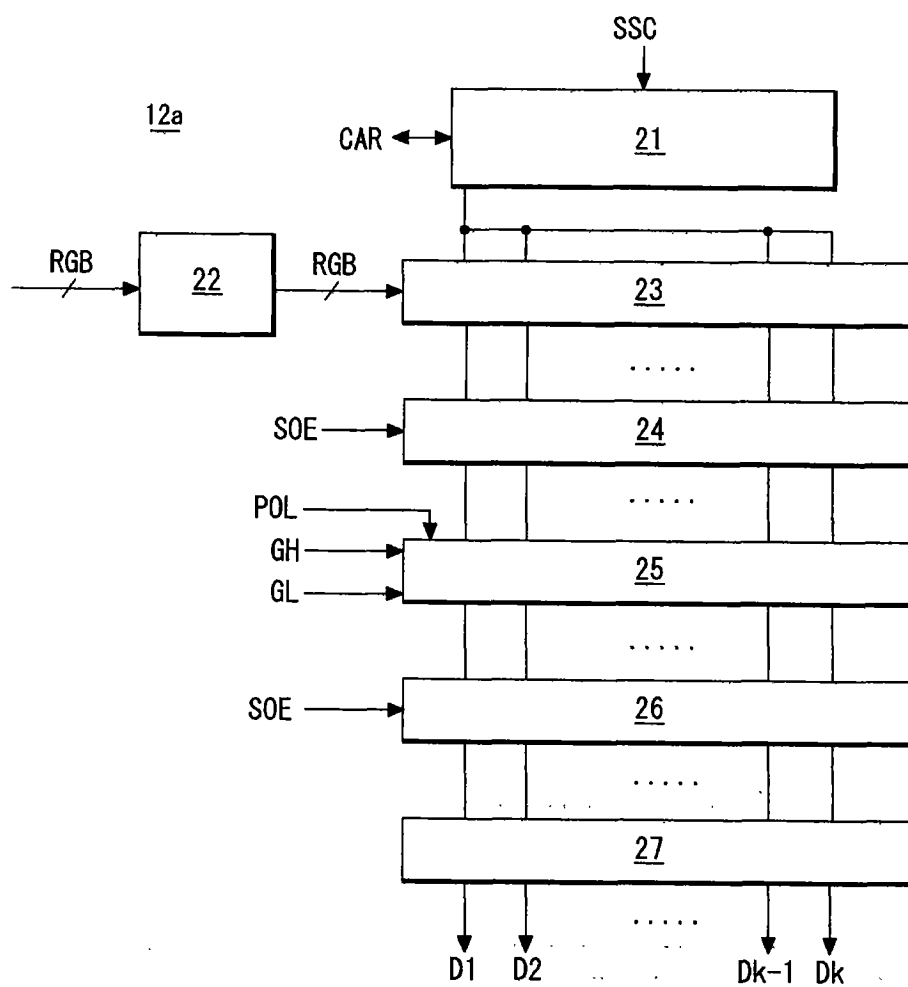


图 2

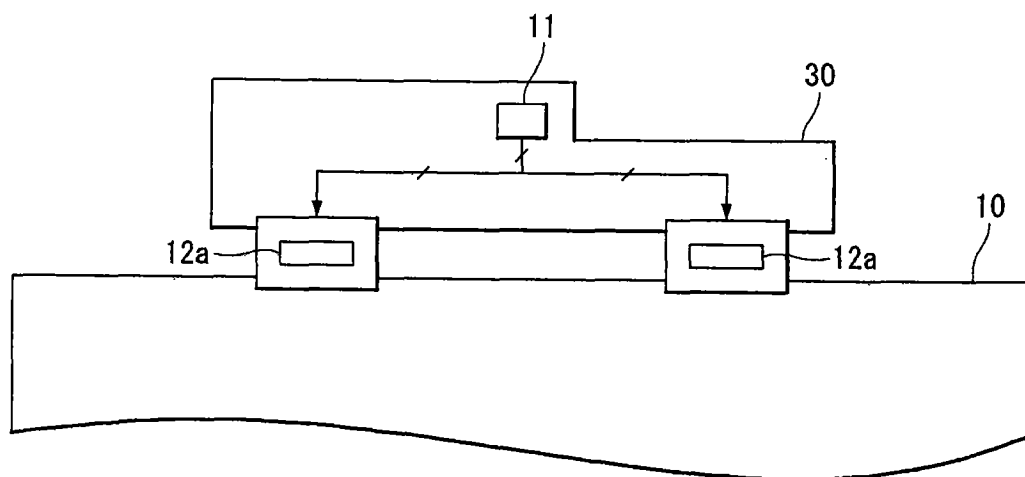


图 3

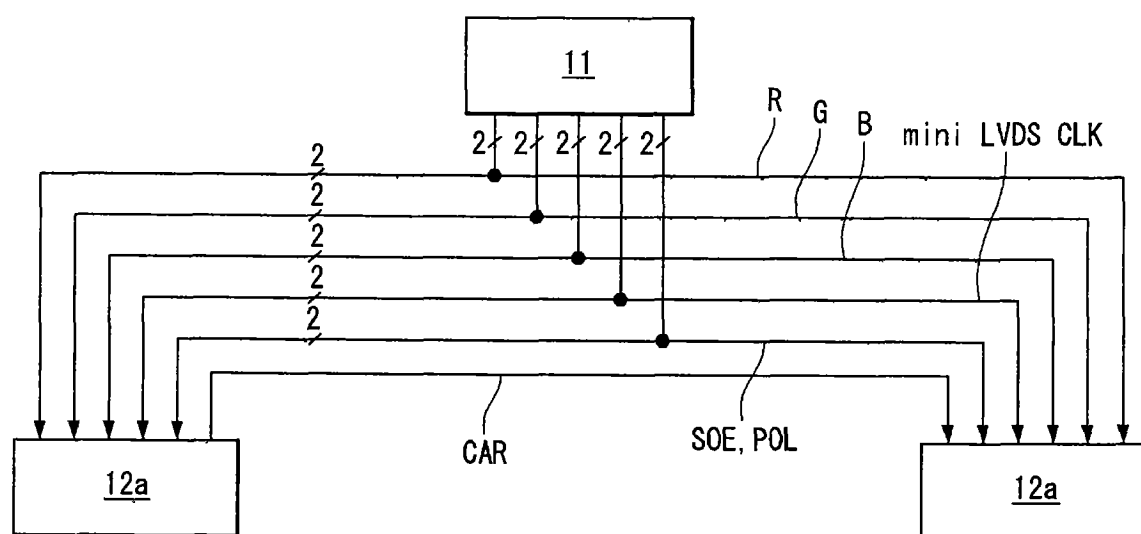


图 4

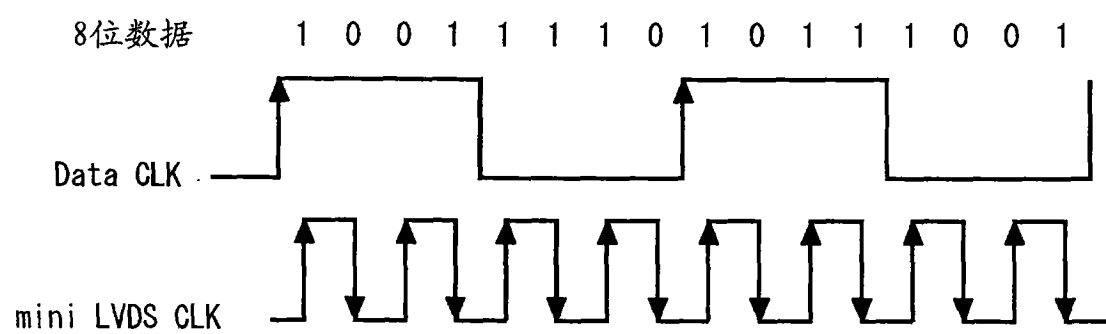


图 5

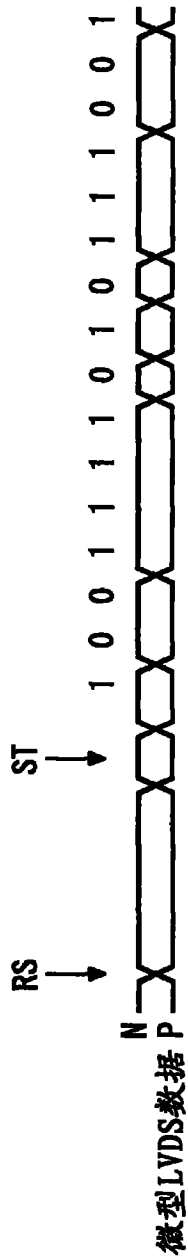


图 6

专利名称(译)	液晶显示器		
公开(公告)号	CN101887197A	公开(公告)日	2010-11-17
申请号	CN200910222742.8	申请日	2009-11-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	闵雄基 李周映		
发明人	闵雄基 李周映		
IPC分类号	G02F1/1362 G09G3/36		
CPC分类号	G09G2330/06 G09G5/04 G09G3/2096 G09G3/3688 G09G3/3648		
代理人(译)	李辉		
优先权	1020090042413 2009-05-15 KR		
其他公开文献	CN101887197B		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种液晶显示器。该液晶显示器包括：定时控制器，其输出R数字视频数据对、G数字视频数据对、B数字视频数据对和时钟对；多个源驱动集成电路(IC)，其每一个从所述定时控制器接收R、G和B数字视频数据中的每一对和时钟对，以产生正模拟数据电压和负模拟数据电压；以及源印刷电路板(PCB)，在该源印刷电路板上形成有三个数据总线对和时钟线对，所述三个数据总线对和所述时钟线对将所述定时控制器的输出端子连接到所述源驱动IC的输入端子。

