



(12) 发明专利

(10) 授权公告号 CN 101681072 B

(45) 授权公告日 2012. 12. 26

(21) 申请号 200880015960. 8

G09F 9/30 (2006. 01)

(22) 申请日 2008. 03. 28

H05K 1/02 (2006. 01)

(30) 优先权数据

196350/2007 2007. 07. 27 JP

(56) 对比文件

JP 特开 2005-43804 A, 2005. 02. 17, 说明书第 0015 段至第 0021 段, 说明书附图 1、3.

(85) PCT 申请进入国家阶段日

2009. 11. 13

JP 特开 2004-219712 A, 2004. 08. 05, 全文.

(86) PCT 申请的申请数据

PCT/JP2008/056095 2008. 03. 28

审查员 王振佳

(87) PCT 申请的公布数据

W02009/016858 JA 2009. 02. 05

(73) 专利权人 夏普株式会社

地址 日本大阪府

(72) 发明人 森胁弘幸

(74) 专利代理机构 北京尚诚知识产权代理有限公司

公司 11322

代理人 龙淳

(51) Int. Cl.

G02F 1/1345 (2006. 01)

G02F 1/1368 (2006. 01)

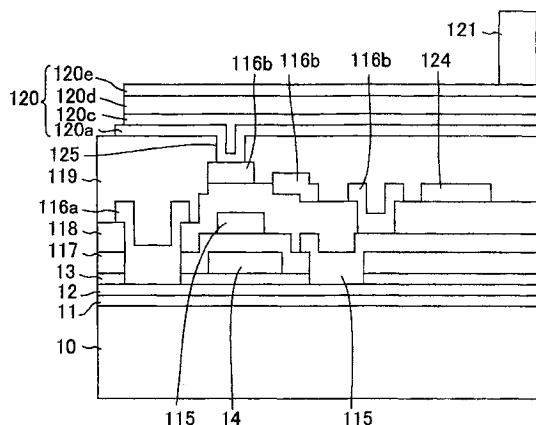
权利要求书 4 页 说明书 21 页 附图 13 页

(54) 发明名称

电路基板、显示装置和液晶显示装置

(57) 摘要

本发明涉及电路基板、显示装置和液晶显示装置。本发明提供一种在基板上具备用于像素的驱动的驱动电路和用于从外部供给赋予驱动电路的信号和用于使电路驱动电源等的外部连接端子的、削减了边框面积的一体型电路基板、以及具备上述电路基板的显示装置和液晶显示装置。本发明的电路基板, 在基板上具有用于像素的驱动的驱动电路和外部连接端子, 上述电路基板具有在外部连接端子的下层配置的配线。



1. 一种电路基板,其在基板上具有用于像素的驱动的驱动电路、和两个以上的外部连接端子,其特征在于:

该电路基板具有配置在外部连接端子的下面的阶层的重叠区域的配线,

该配线包括与外部连接端子连接的连接配线,

在所述电路基板中,所述连接配线配置在所述外部连接端子的下层,

该连接配线,在所述外部连接端子的下层与该外部连接端子连接,与该连接配线所连接的外部连接端子以外的其他外部连接端子重叠。

2. 如权利要求 1 所述的电路基板,其特征在于:

所述配线包括从外部连接端子向驱动电路传递信号的外围配线,

在所述电路基板中,外围配线配置在外部连接端子的下层。

3. 如权利要求 1 所述的电路基板,其特征在于:

所述配线包括从外部连接端子供给用于使电路驱动的电源的电源配线,

在所述电路基板中,电源配线配置在外部连接端子的下层。

4. 如权利要求 1 所述的电路基板,其特征在于:

所述配线包括构成电路的电路结构配线,

在所述电路基板中,电路结构配线配置在外部连接端子的下层。

5. 如权利要求 1 所述的电路基板,其特征在于:

所述配线包括从外部连接端子向驱动电路传递信号的外围配线、和从外部连接端子供给用于使电路驱动的电源的电源配线,

在所述电路基板中,外围配线和电源配线配置在外部连接端子的下层。

6. 如权利要求 1 所述的电路基板,其特征在于:

所述配线包括与外部连接端子连接的连接配线和构成电路的电路结构配线,

在所述电路基板中,连接配线和电路结构配线配置在外部连接端子的下层。

7. 如权利要求 1 所述的电路基板,其特征在于:

所述配线包括从外部连接端子向驱动电路传递信号的外围配线和构成电路的电路结构配线,

在所述电路基板中,外围配线和电路结构配线配置在外部连接端子的下层。

8. 如权利要求 1 所述的电路基板,其特征在于:

所述配线包括从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,

在所述电路基板中,电源配线和电路结构配线配置在外部连接端子的下层。

9. 如权利要求 1 所述的电路基板,其特征在于:

所述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,

在所述电路基板中,外围配线、电源配线和电路结构配线配置在外部连接端子的下层。

10. 如权利要求 1 所述的电路基板,其特征在于:

所述配线包括从外部连接端子向驱动电路传递信号的外围配线和从外部连接端子供给用于使电路驱动的电源的电源配线,

在所述电路基板中,外围配线和电源配线配置在外部连接端子的下层的同一层。

11. 如权利要求 1 所述的电路板,其特征在于:

所述配线包括从外部连接端子向驱动电路传递信号的外围配线和构成电路的电路结构配线,

在所述电路板中,外围配线和电路结构配线配置在外部连接端子的下层的同一层。

12. 如权利要求 1 所述的电路板,其特征在于:

所述配线包括从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,

在所述电路板中,电源配线和电路结构配线配置在外部连接端子的下层的同一层。

13. 如权利要求 1 所述的电路板,其特征在于:

所述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,

在所述电路板中,外围配线、电源配线和电路结构配线配置在外部连接端子的下层的同一层。

14. 如权利要求 1 所述的电路板,其特征在于:

所述配线包括从外部连接端子向驱动电路传递信号的外围配线和从外部连接端子供给用于使电路驱动的电源的电源配线,

在所述电路板中,外围配线和电源配线配置在外部连接端子的下层,外围配线与电源配线重叠。

15. 如权利要求 1 所述的电路板,其特征在于:

所述配线包括从外部连接端子向驱动电路传递信号的外围配线和构成电路的电路结构配线,

在所述电路板中,外围配线和电路结构配线配置在外部连接端子的下层,外围配线与电路结构配线重叠。

16. 如权利要求 1 所述的电路板,其特征在于:

所述配线包括从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,

在所述电路板中,电源配线和电路结构配线配置在外部连接端子的下层,电源配线与电路结构配线重叠。

17. 如权利要求 1 所述的电路板,其特征在于:

所述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,

在所述电路板中,选自外围配线、电源配线和电路结构配线中的至少两个配线配置在外部连接端子的下层,所述至少两个配线重叠。

18. 如权利要求 1 所述的电路板,其特征在于:

所述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,

在所述电路板中,外围配线、电源配线和电路结构配线配置在外部连接端子的下层,外围配线、电源配线和电路结构配线相互重叠。

19. 如权利要求 1 所述的电路板,其特征在于:

所述配线包括从外部连接端子向驱动电路传递信号的外围配线和从外部连接端子供给用于使电路驱动的电源的电源配线，

在所述电路基板中，外围配线、电源配线和电路配置在外部连接端子的下层，外围配线、电源配线和电路相互重叠。

20. 如权利要求 1 所述的电路基板，其特征在于：

所述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线，

在所述电路基板中，外围配线、电源配线和电路结构配线配置在外部连接端子的下层，外围配线和电源配线配置在同一层，

该电路结构配线与外围配线和电源配线的至少任意一方的配线重叠配置。

21. 如权利要求 1 所述的电路基板，其特征在于：

所述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线，

在所述电路基板中，外围配线、电源配线和电路结构配线配置在外部连接端子的下层，外围配线和电路结构配线配置在同一层，

该电源配线与外围配线和电路结构配线的至少任意一方的配线重叠配置。

22. 如权利要求 1 所述的电路基板，其特征在于：

所述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线，

在所述电路基板中，外围配线、电源配线和电路结构配线配置在外部连接端子的下层，电源配线和电路结构配线配置在同一层，

该外围配线与电源配线和电路结构配线的至少任意一方的配线重叠配置。

23. 如权利要求 1 所述的电路基板，其特征在于：

所述配线包括从外部连接端子向驱动电路传递信号的外围配线和从外部连接端子供给用于使电路驱动的电源的电源配线，

在所述电路基板中，外围配线和电源配线配置在外部连接端子的下层的同一层，电路与外围配线和电源配线的至少任意一方的配线重叠配置。

24. 如权利要求 1 所述的电路基板，其特征在于：

所述配线包括两个以上与外部连接端子连接的连接配线，

该连接配线的至少一个，在与其它连接配线不同的阶层，与该其它连接配线重叠配置。

25. 如权利要求 9 所述的电路基板，其特征在于：

所述电路基板具有第一层间膜和第二层间膜，

该电路基板，在构成电路的电路结构配线之上的阶层，依次层叠有第一层间膜、外围配线和电源配线、以及第二层间膜。

26. 如权利要求 9 所述的电路基板，其特征在于：

所述电路基板具有第一层间膜、第二层间膜和第三层间膜，

该电路基板，在构成电路的电路结构配线之上的阶层，依次层叠有第一层间膜、外围配线、第二层间膜、电源配线、和第三层间膜。

27. 如权利要求 9 所述的电路基板，其特征在于：

所述电路基板具有第一层间膜、第二层间膜和第三层间膜，

该电路基板，在构成电路的电路结构配线之上的阶层，依次层叠有第一层间膜、电源配线、第二层间膜、外围配线、和第三层间膜。

28. 如权利要求 1 所述的电路基板，其特征在于：

所述外部连接端子是包括含铝膜和腐蚀防止导电膜的层叠体。

29. 如权利要求 28 所述的电路基板，其特征在于：

所述腐蚀防止导电膜是氧化铟锌膜，

所述外部连接端子从基板侧依次层叠含铝膜和氧化铟锌膜而构成。

30. 如权利要求 28 所述的电路基板，其特征在于：

所述腐蚀防止导电膜是氧化铟锡膜，

所述外部连接端子从基板侧依次层叠氧化铟锡膜、含铝膜和氧化铟锌膜而构成。

31. 如权利要求 28 所述的电路基板，其特征在于：

所述腐蚀防止导电膜是氧化铟锡膜，

所述外部连接端子从基板侧依次层叠含铝膜和氧化铟锡膜而构成。

32. 如权利要求 28 所述的电路基板，其特征在于：

所述腐蚀防止导电膜是氧化铟锡膜，

所述外部连接端子从基板侧依次层叠氧化铟锌膜、含铝膜和氧化铟锡膜而构成。

33. 如权利要求 28 ~ 32 中任一项所述的电路基板，其特征在于：

所述外部连接端子的含铝膜的与基板相反的面和侧面由腐蚀防止导电膜覆盖。

34. 如权利要求 28 所述的电路基板，其特征在于：

所述电路基板在像素内具有从基板侧依次层叠含铝膜和氧化铟锡膜而构成的反射电极，

所述腐蚀防止导电膜是氧化铟锡膜，

所述外部连接端子和反射电极的含铝膜的与基板相反的面和侧面由腐蚀防止导电膜覆盖。

35. 如权利要求 1 所述的电路基板，其特征在于：

在所述电路基板中，与配置用于与其它基板的粘合的密封件的区域重叠地设置有外部连接端子，

该区域中，在外部连接端子上设置有绝缘膜。

36. 如权利要求 1 所述的电路基板，其特征在于：

在所述电路基板中，在与配置用于与其它基板的粘合的密封件的区域的外侧设置有外部连接端子。

37. 一种显示装置，其特征在于，包括权利要求 1 ~ 36 中任一项所述的电路基板。

38. 一种液晶显示装置，其特征在于，包括权利要求 1 ~ 36 中任一项所述的电路基板。

电路基板、显示装置和液晶显示装置

技术领域

[0001] 本发明涉及电路基板、显示装置和液晶显示装置。更详细地说,涉及适用于便携式电话等移动设备的电路基板、以及具备上述电路基板的显示装置和液晶显示装置。

背景技术

[0002] 近年来,在安装有液晶显示装置、有机场致发光显示装置等的便携式电话、PDA 等便携式电子设备中,要求进一步的小型化和轻量化。伴随于此,有实现显示区域周边的小型化、即窄边框化的趋势,促进开发。此外,由于实现薄型化和成本削减等,有增加具备在基板上形成驱动电路等的驱动所需要的周边电路的完全一体型(full monolithic)的电路基板的显示装置的倾向。在具备完全一体型的电路基板的显示装置中,由于在电路基板上形成用于驱动像素的电路,所以基板上的显示部以外的区域(边框区域)增加,因此正在进行用于促进窄边框化的开发。

[0003] 在现有的显示装置中,作为面板内部的配线使用低电阻的铝,如果通过使该配线延伸至面板外部来作为外部连接端子使用,则铝膜有可能产生腐蚀。因此,公开了将面板内部的配线所使用的铝膜在面板内部与配置在比铝膜更靠下的阶层的金属膜连接,使用该金属膜延伸至面板外部的方式(例如参照专利文献1)。

[0004] 此外,在专利文献1中,也公开了作为防止外部连接端子的腐蚀的方式,对面板内部的配线使用铝膜,使铝膜延伸至面板外部而作为外部连接端子使用,通过将铝膜端部的向面板外部的露出部分用铬(Cr)膜和氧化铟锡(ITO)膜覆盖,从而防止外部连接端子部的腐蚀的方式。

[0005] 专利文献1:日本特开平3-58019号公报

发明内容

[0006] 但是,如专利文献1所公开的方式那样,在将面板内部的配线与形成在比该配线更靠下的阶层的金属膜连接,通过使该金属膜延伸而作为外部连接端子使用的情况下,需要分开设置成为外部连接端子的区域和配置面板内部的配线的区域,在增大边框面积这一点上有改善的余地。

[0007] 本发明是鉴于上述现状而研发的,其目的在于提供一种削减了边框面积的电路基板、显示装置和液晶显示装置。

[0008] 本发明的发明人对适用于显示装置的窄边框化的电路基板进行了各种研讨,着眼于外部连接端子的配置。然后,发现在现有的显示装置中,面板内部所使用的配线与配置在比该配线更靠下的阶层的金属膜连接,通过使该金属膜延伸而作为连接端子,因此通过分开设置用作外部连接端子的区域和配线区域而导致边框面积增大,并且还发现电路基板通过具有配置在外部连接端子的下层的配线,使外部连接端子和配线重叠,能够削减边框区域,从而想到能够完美地解决上述课题,达到本发明。

[0009] 即,本发明是在基板上具有用于像素的驱动的驱动电路和外部连接端子的电路基

板,上述电路基板是具有配置在外部连接端子的下层的配线的电路基板。

[0010] 以下对本发明进行详细叙述。

[0011] 本发明的电路基板是在基板上具有用于像素的驱动的驱动电路和外部连接端子的电路基板。上述像素是构成显示图像的最小的单位,例如在将本发明的电路基板应用于彩色显示的显示装置的情况下,是指显示红色、绿色、蓝色等的单色的点。即,像素也可以是子像素。上述驱动电路是用于驱动像素的电路。作为驱动电路,可列举源极驱动电路、栅极驱动电路等。此外,驱动电路由传输门、门锁电路、定时发生器、基于电源电路等的转换器等的电路构成。上述外部连接端子是用于电连接电路基板的外部(其它部件)和电路基板内的配线(电路)的端子。此外,在本说明书中简称为“电路”的情况下,其种类并没有特别的限定,但优选是显示装置用(更优选为液晶显示装置用)的电路基板所使用的电路。

[0012] 上述电路基板具有配置在外部连接端子的下层的配线。在本说明书中“配置在下层”是指配置在下面的阶层的重叠区域。另外,在本说明书中,“下”意味着更靠基板侧,另一方面,“上”意味着更远离基板侧。此外,在“配置在下面的阶层”这种情况下,可以重叠,也可以不重叠,并没有特别的限定。作为上述配线并没有特别的限定,可列举驱动电路、构成静电放电(Electrostatic Discharge :ESD)保护电路等的电路的配线、与外部连接端子连接的连接配线等。作为连接配线,可列举从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线等。上述配线中的至少一个配线,配置在外部连接端子的下层,由此能够削减边框部分的面积。另外,在本发明中,可以是配线整体配置在外部连接端子的下层的整体,也可以是配线的一部分配置在外部连接端子的下层,对于配置在配线的外部连接端子的下层的部分占整体的比例并没有特别的限定。

[0013] 以下表示本发明的优选方式。另外,以下所示的各方式也可以分别适当组合。

[0014] 上述电路基板,由于电路结构配线和包括外围配线与电源配线的连接配线中的至少任意一个配线配置在外部连接端子的下层,所以能够削减配线面积。

[0015] 优选上述配线包括与外部连接端子连接的连接配线,在上述电路基板中,连接配线配置在外部连接端子的下层。

[0016] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线,在上述电路基板中,外围配线配置在外部连接端子的下层。

[0017] 优选上述配线包括从外部连接端子供给用于使电路驱动的电源的电源配线,在上述电路基板中,电源配线配置在外部连接端子的下层。

[0018] 优选上述配线包括构成电路的电路结构配线,在上述电路基板中,电路结构配线配置在外部连接端子的下层。

[0019] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线、和从外部连接端子供给用于使电路驱动的电源的电源配线,在上述电路基板中,外围配线和电源配线配置在外部连接端子的下层。

[0020] 优选上述配线包括与外部连接端子连接的连接配线和构成电路的电路结构配线,在上述电路基板中,连接配线和电路结构配线配置在外部连接端子的下层。

[0021] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线和构成电路的电路结构配线,在上述电路基板中,外围配线和电路结构配线配置在外部连接端子的下层。

[0022] 优选上述配线包括从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板中,电源配线和电路结构配线配置在外部连接端子的下层。

[0023] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板中,外围配线、电源配线和电路结构配线配置在外部连接端子的下层。

[0024] 根据这些,由于电路结构配线和包括外围配线与电源配线的连接配线中的至少一个配线的一部分配置在外部连接端子的下层,所以能够大幅度削减配线面积,能够实现窄边框化。另外,在本说明书中,“电路结构配线”是指电路内部的配线,可列举构成传输门、开锁电路、定时发生器、包括基于电源电路等的转换器等的电路的驱动电路、ESD 保护电路等的保护电路、缓冲电路、数字-模拟转换电路(DAC 电路)、移位寄存器、采样存储器等的电路的配线。此外,“电路结构配线”也包括将构成驱动电路的多个电路彼此连接的配线。而且,“外围配线”是连接驱动电路和外部连接端子,将从外部输入的信号传递到驱动电路的配线。此外,“电源配线”是从外部连接端子供给用于使驱动电路、ESD 保护电路、缓冲电路、DAC 电路、移位寄存器、采样存储器等的电路驱动的电源的配线。电源配线由于需要向电源电路供给大量的电流,所以优选配线宽度比外围配线宽广。“连接配线”是包括外围配线和电源配线的与外部连接端子连接的配线,例如在构成晶体管的源极电极、漏极电极、栅极电极等直接与外部连接端子连接的情况下,这些电极等也能够包括于连接配线。由于能够使上述外部连接端子在正下方与在该外部连接端子的内侧区域重叠的连接配线连接,所以能够仅通过设置在配置于外部连接端子和连接配线之间的层间膜的接触孔连接。因此,不仅能够缩短配线的长度(配线长度),而且能够实现由配线面积的削减和配线长度削减而带来的配线的低电阻化。另外,本发明可以是电路结构配线和包括外围配线与电源配线的连接配线的各配线的整体配置在外部连接端子的下层,也可以是电路结构配线和包括外围配线与电源配线的连接配线的各配线的一部分配置在外部连接端子的下层,对于电路结构配线和包括外围配线与电源配线的连接配线的各配线的配置在外部连接端子的下层的部分占整体的比例并没有特别的限定。此外,例如,也可以是两个电路结构配线配置在不同的阶层,配置在不同的阶层的电路结构配线彼此重叠。对于外围配线、电源配线等也同样,也可以是两个外围配线配置在不同的阶层,配置在不同的阶层的外围配线彼此重叠,也可以是两个电源配线配置在不同的阶层,配置在不同的阶层的电源配线彼此重叠。据此,能够进一步实现边框面积的削减。

[0025] 由于构成上述电路的电路结构配线、从外部连接端子向驱动电路传递信号的外围配线和从外部连接端子供给用于使电路驱动的电源的电源配线的至少两个配线配置在外部连接端子的下层的同一层,所以配置在该同一层的配线能够用同一成膜工序和图案形成工序形成,因此能够削减制造工序,能够实现生产性的提高。这样,优选配置在同一层的配线是能够通过图案形成而形成利用相同的成膜工序形成的膜的配线。

[0026] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线、和从外部连接端子供给用于使电路驱动的电源的电源配线,在上述电路基板中,外围配线和电源配线配置在外部连接端子的下层的同一层。

[0027] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线和构成电路

的电路结构配线,在上述电路基板中,外围配线和电路结构配线配置在外部连接端子的下层的同一层。

[0028] 优选上述配线包括从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板中,电源配线和电路结构配线配置在外部连接端子的下层的同一层。

[0029] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板中,外围配线、电源配线和电路结构配线配置在外部连接端子的下层的同一层。

[0030] 据此,在形成于外部连接端子的下层的电路结构配线、外围配线和电源配线的一部分的至少两个配置在同一层的情况下,配置在同一层的配线由于能够利用相同的成膜工序和图案形成工序形成,所以能够实现制造工序数量的削减。另外,在本发明中,外围配线、电源配线和电路结构配线的各配线也可以分别整体配置在同一层,外围配线、电源配线和电路结构配线的各配线也可以分别一部分配置在同一层,对于各外围配线、电源配线和电路结构配线而言,相互配置在同一层的部分占整体的比例并没有特别的限定。

[0031] 由于构成上述电路的电路结构配线、从外部连接端子向驱动电路传递信号的外围配线和从外部连接端子供给用于使电路驱动的电源的电源配线的至少两个配线重叠配置在外部连接端子的下层,所以能够削减配置配线的面积(配线面积),能够实现窄边框化。

[0032] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线和从外部连接端子供给用于使电路驱动的电源的电源配线,在上述电路基板中,外围配线和电源配线在外部连接端子的下层重叠配置。

[0033] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线和构成电路的电路结构配线,在上述电路基板中,外围配线和电路结构配线在外部连接端子的下层重叠配置。

[0034] 优选上述配线包括从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板中,电源配线和电路结构配线在外部连接端子的下层重叠配置。

[0035] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板中,选自外围配线、电源配线和电路结构配线中的至少两个配线在外部连接端子的下层重叠配置。

[0036] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板中,外围配线、电源配线和电路结构配线在外部连接端子的下层相互重叠配置。

[0037] 据此,由于形成于外部连接端子的下层的电路结构配线、外围配线和电源配线的一部分的任意部位重叠配置,与配线配置在同一层那样的情况等相比较,能够进一步削减配线面积,能够进一步实现窄边框化。此外,由于使配线重叠,所以能够提高配线形成图案的自由度,能够使配线面积(配置配线的区域的面积)进一步减少。即,在配线彼此配置在同一层的情况下,由于配线彼此不能交叉,所以需要以不行成交叉部的方式使配线延伸,但通过使配线的一部分交叉能够缩短配线长度。进而,代替削减配线面积,也可以增加配线宽

度,也能够实现配线的低电阻化。另外,由于外围配线和电源配线与外部连接端子连接,所以优选在构成电路的电路结构配线的上层配置外围配线和 / 或电源配线,但形成各配线的阶层并没有特别的限定,也可以在外围配线的上层配置电路结构配线和 / 或电源配线,也可以在电源配线的上层配置外围配线和 / 或电路结构配线。此外,作为配置配线的顺序,优选从上层依次配置电源配线、外围配线和电路结构配线。由于重叠制造工序,越到上层的制造工序,越容易产生来自下层配线的台阶的影响、由与下层的重叠精度的降低等引起的对准偏差,难以细微化。因此,优选将与配线宽度通常宽广的外围配线和电路结构配线等比较对准精度通常即使低也可以的电源配线配置在比电路结构配线更靠向上层。在本发明的电路基板中,也可以外围配线、电源配线和电路结构配线的各配线分别整体重叠配置,也可以外围配线、电源配线和电路结构配线的各配线分别一部分重叠配置,对于各外围配线、电源配线和电路结构配线而言,相互重叠的部分占整体的比例并没有特别的限定。

[0038] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线和从外部连接端子供给用于使电路驱动的电源的电源配线,在上述电路基板中,外围配线、电源配线和电路在外部连接端子的下层相互重叠配置。据此,能够得到与上述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板中,外围配线、电源配线和电路结构配线在外部连接端子的下层相互重叠配置的情况同样的效果。

[0039] 构成上述电路的电路结构配线、从外部连接端子向驱动电路传递信号的外围配线和从外部连接端子供给用于使电路驱动的电源的电源配线之内的两个配线配置在外部连接端子的下层的同一层,它们中剩余的一个配线与配置在同一层的两个配线的任一重叠,由此能够有效地实现生产性提高和窄边框化。

[0040] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板中,外围配线、电源配线和电路结构配线配置在外部连接端子的下层,外围配线和电源配线配置在同一层,上述电路结构配线与外围配线和电源配线中的至少任意一方的配线重叠配置。

[0041] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板中,外围配线、电源配线和电路结构配线配置在外部连接端子的下层,外围配线和电路结构配线配置在同一层,上述电源配线与外围配线和电路结构配线中的至少任意一方的配线重叠配置。

[0042] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板中,外围配线、电源配线和电路结构配线配置在外部连接端子的下层,电源配线和电路结构配线配置在同一层,上述外围配线与电源配线和电路结构配线中的至少任意一方的配线重叠配置。

[0043] 据此,能够发挥构成上述电路的电路结构配线、从外部连接端子向驱动电路传递信号的外围配线和从外部连接端子供给用于使电路驱动的电源的电源配线之内的两个配线配置在外部连接端子的下层的同一层的情况和在外部连接端子的下层重叠配置的情况

所带来的上述两方的优点。

[0044] 优选上述配线包括从外部连接端子向驱动电路传递信号的外围配线和从外部连接端子供给用于使电路驱动的电源的电源配线,在上述电路基板中,外围配线和电源配线配置在外部连接端子的下层的同一层,电路与外围配线和电源配线中的至少任意一方的配线重叠配置。据此,能够得到与上述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板中,外围配线、电源配线和电路结构配线配置在外部连接端子的下层,外围配线和电源配线配置在同一层,上述电路结构配线与外围配线和电源配线中的至少任意一方的配线重叠配置的情况同样的效果。

[0045] 优选上述配线包括两个以上与外部连接端子连接的连接配线,上述连接配线的至少一个,在与其它连接配线不同的阶层,与上述其它连接配线重叠配置。据此,能够进一步削减配线面积,能够进一步实现窄边框化。例如,图 10 是表示在不同的阶层形成的多个连接配线重叠配置时的外部连接端子和连接配线的连接方式的平面模式图。如图 10 所示,将连接配线 16a 和连接配线 16b 和连接配线 16c 局部重叠配置,将外部连接端子 20a 和连接配线 16a 通过接触孔 25a 连接,将外部连接端子 20b 和连接配线 16b 通过接触孔 25b 连接,将外部连接端子 20c 和连接配线 16c 通过接触孔 25c 连接。在图 10 的情况下,优选从基板侧依次层叠有连接配线 16a、连接配线 16b 和连接配线 16c,在各连接配线 16a、16b、16c 重叠的部分,在各连接配线 16a、16b、16c 之间配置有绝缘性的膜。另外,也考虑外部连接端子与晶体管的源极电极、漏极电极、或栅极电极等直接连接的情况。此外,在上述配线包括两个以上与外部连接端子连接的连接配线的情况下,也可以在一个外部连接端子上连接多个连接配线,也可以在多个外部连接端子上各连接一个连接配线,与一个外部连接端子连接的数量并没有特别的限定。在图 10 中,连接配线 16a、连接配线 16b 和连接配线 16c 的配线宽度不同,但上述连接配线的配线宽度各自可以不同,也可以相同。

[0046] 优选上述配线包括与外部连接端子连接的连接配线,上述连接配线在外部连接端子的下层与该外部连接端子连接。即,优选上述连接配线在外部连接端子的正下方与该外部连接端子连接。据此,由于将外部连接端子和位于外部连接端子的正下方的连接配线通过接触孔连接,所以能够减少连接配线的外围面积,还能够实现由连接配线的配线长度削减所带来的低电阻化。作为这样的方式,例如也可举出连接配线与外部连接端子连接,与该连接配线所连接的外部连接端子以外的其他外部连接端子不重叠的图 11(a) 所示的方式等。

[0047] 优选上述电路基板具有 2 个以上的外部连接端子,上述连接配线与该连接配线所连接的外部连接端子以外的其他外部连接端子重叠。另外,在连接配线为 2 个以上的情况下,任意一个连接配线与该连接配线所连接的外部连接端子以外的其他外部连接端子重叠即可,也可以包括与连接配线(其自身)连接的外部连接端子以外的其他外部连接端子不重叠的连接配线。

[0048] 一般地,作为外部连接端子和外围配线或电源配线连接的方法,可举出将外部连接端子的端部与包括外围配线和电源配线的连接配线连接的方式(例如参照图 9-1)。但是,在该情况下,由于需要使连接配线延伸至外部连接端子,所以无法有效地削减连接配线的外围面积。在本说明中,能够将外部连接端子和位于外部连接端子的正下方的连接配线

通过接触孔直接相连,能够减少连接配线的外围面积,还能够实现由连接配线的配线长度削减所带来的低电阻化。而且,由于在上述电路基板中,能够使连接配线与该连接配线所连接的外部连接端子以外的其他外部连接端子重叠配置,所以能够进一步实现配线面积的削减。在外部连接配线的正下方的同一层内平行排列多个连接配线的情况下,例如如图 11(a)所示,当各外部连接端子 20d 的端部区域和各连接配线 16d 通过接触孔 25d 连接,各连接配线 16d 以与各自连接的外部连接端子以外的其它外部连接端子不重叠的方式配置时,由于导致外部连接端子 20d 较短,所以外部连接端子的面积变小,外部连接端子和外部的连接变得困难。对此,如图 11(b)所示,当用接触孔 25e 连接各外部连接端子 20e 的内侧区域和各连接配线 16e,各连接配线 16e 以与所连接的外部连接端子以外的其它外部连接端子重叠的方式进行配置时,不需要变更各外部连接端子的面积,所以能够以相同的大小配置多个外部连接端子,外部连接端子和外部的连接变得容易,也不会引起接触电阻的降低。

[0049] 此外,在包括两个以上与外部连接端子连接的连接配线的情况下,可以在一个外部连接配线上连接多个连接配线,也可以在多个外部连接端子上各连接一个连接配线,但其中,优选在一个外部连接端子上连接两个连接配线。例如,如图 11(c)所示,也可以采用两个连接配线 16f 和连接配线 16i 分别通过接触孔 25f 和接触孔 25i 与一个外部连接端子 20f 连接。据此,由于利用两个连接配线传递信号,所以能够使连接配线进一步细线化。此时,外部连接端子 20g 通过接触孔 25g 与连接配线 16g 连接,外部连接端子 20h 通过接触孔 25h 与连接配线 16h 连接。进而,优选至少两个连接配线配置在不同的阶层。例如如图 11(d)所示,在连接配线 16j、连接配线 16k 和连接配线 16l 配置在相同的阶层,连接配线 16m 与配置在与其它的连接配线 16j、连接配线 16k 和连接配线 16l 不同的阶层的配置的情况下,也可以采用两个连接配线 16j 和连接配线 16m 分别通过接触孔 25j 和接触孔 25m 与一个外部连接端子 20j 连接。此时,外部连接端子 20k 通过接触孔 25k 与连接配线 16k 连接的方式,外部连接端子 20l 通过接触孔 25l 与连接配线 16l 连接。另外,配置在不同的阶层的两个(多个)连接配线连接的外部连接端子并没有特别的限定,可以与相同的外部连接端子连接,也可以与不同的外部连接端子连接。

[0050] 在上述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板中,外围配线、电源配线和电路结构配线配置在外部连接端子的下层的配置的情况下,优选上述电路基板具有第一层间膜和第二层间膜,上述电路基板,在构成电路的电路结构配线之上的阶层,依次层叠有第一层间膜、外围配线和电源配线、以及第二层间膜。

[0051] 据此,由于外围配线和电源配线配置在同一层,能够用同一成膜工序和图案形成工序形成,所以能够削减制造工序数量。此外,由于外围配线和电源配线是与外部连接端子连接的配线,所以能够用同一图案形成工序进行为了连接外部连接端子和外围配线或电源配线而设置的接触孔的形成,能够实现制造工序的简化。进而,优选第一层间膜和第二层间膜的与基板相反一侧的表面是平坦的,优选是同一膜表面的高低差为 500nm 以下的平坦化膜。通过减少同一膜的高低差,在第一层间膜和 / 或第二层间膜上配置的配线等的形状上不会产生台阶,因此能够防止断线等的发生。

[0052] 在上述配线包括从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线和构成电路的电路结构配线,在上述电路基板

中,外围配线、电源配线和电路结构配线配置在外部连接端子的下层的情况下,优选上述电路基板具有第一层间膜、第二层间膜和第三层间膜,上述电路基板,在构成电路的电路结构配线之上的阶层,依次层叠有第一层间膜、外围配线、第二层间膜、电源配线和第三层间膜。

[0053] 此外,在上述情况下,优选上述电路基板具有第一层间膜、第二层间膜和第三层间膜,上述电路基板,在构成电路的电路结构配线之上的阶层,依次层叠有第一层间膜、电源配线、第二层间膜、外围配线和第三层间膜。

[0054] 据此,通过在不同的层形成外围配线和电源配线,能够使配线彼此(外围配线和电源配线)重叠,能够进一步削减配线面积,能够实现窄边框化。此外,优选第一层间膜、第二层间膜和第三层间膜的与基板相反一侧的表面是平坦的,优选是同一膜表面的高低差为500nm以下的平坦化膜。通过减少同一膜的高低差,在第一层间膜、第二层间膜和/或第三层间膜上配置的配线等的形状上不会产生台阶,因此能够防止断线等的发生。

[0055] 优选上述外部连接端子是包括含铝膜和腐蚀防止导电膜的层叠体,更优选上述外部连接端子从基板侧依次层叠含铝膜和腐蚀防止导电膜而构成。腐蚀防止导电膜与含铝膜相比,只要是由对于盐、酸、碱、水分或氧难以腐蚀的材料构成就没有特别的限定,可以用多个膜构成,也可以用多个材料构成。优选腐蚀防止导电膜与含铝膜相比,由对于盐、酸、碱、水分或氧难以腐蚀的材料构成。作为构成腐蚀防止导电膜的材料,可举出氧化铟锌、氧化铟锡、钛、钼、钨等。在本说明书中“腐蚀”优选是指产生导电性的降低、熔析、与下层的剥离等。此外,从生产性的观点来看优选上述外部连接端子通过与形成其它的金属膜的工序相同的工序形成。此外,腐蚀防止导电膜优选设置在含铝膜的与基板相反的一侧和侧面。作为上述配线,可举出驱动电路、构成ESD保护电路等的配线、与外部连接端子连接的连接配线等的配线。作为连接配线,可举出从外部连接端子向驱动电路传递信号的外围配线、从外部连接端子供给用于使电路驱动的电源的电源配线等。通过将配线配置在外部连接端子的下层,能够大幅度削减边框部分的面积。上述含铝膜不仅是只由铝构成的膜,而且只要是包含铝而构成的膜即可。作为含铝膜,例如可举出由铝单体构成的铝膜、由铝和硅的合金构成的铝-硅合金膜等。通过使用铝-硅合金膜,能够得到耐热性提高的效果。

[0056] 优选上述腐蚀防止导电膜是氧化铟锌膜,上述外部连接端子从基板侧依次层叠含铝膜和氧化铟锌膜而构成。

[0057] 此外,在上述腐蚀防止导电膜是氧化铟锌膜,上述外部连接端子是从基板侧依次层叠含铝膜和氧化铟锌膜而构成的情况下,优选上述外部连接端子从基板侧依次层叠氧化铟锡膜、含铝膜和氧化铟锌膜而构成。

[0058] 据此,通过用氧化铟锌膜形成腐蚀防止导电膜,能够用与含铝膜同样的蚀刻工序进行图案形成,并且不会产生电蚀反应,因此能够实现生产性和可靠性的提高。另外,在氧化铟锡膜配置在含铝膜的下层的情况下,更优选上述外部连接端子从基板侧依次层叠氧化铟锡膜、钼膜、含铝膜和氧化铟锌膜而构成。通过在氧化铟锡膜和含铝膜之间配置钼膜等的导电膜,当对含铝膜进行图案形成时,能够防止在含铝膜和氧化铟锡膜之间产生电蚀反应。

[0059] 在上述腐蚀防止导电膜是氧化铟锌膜,上述外部连接端子是从基板侧依次层叠含铝膜和氧化铟锌膜而构成的情况下,优选上述电路基板在像素内具有包括氧化铟锌膜而构成的透明电极。透明电极和外部连接端子均包括氧化铟锌膜而构成,从而能够通过同一成膜工序和图案形成工序形成,因此能够实现制造工序数量的削减。此外,在由与含铝膜相同

的图案形成工序对氧化铟锌膜实施蚀刻时,不会产生电蚀反应。

[0060] 优选上述腐蚀防止导电膜是氧化铟锡膜,上述外部连接端子从基板侧依次层叠含铝膜和氧化铟锌膜而构成。

[0061] 此外,在该情况下,更优选上述外部连接端子从基板侧依次层叠氧化铟锌膜、含铝膜和氧化铟锡膜而构成。

[0062] 据此,通过在含铝膜的上层配置氧化铟锡膜,能够防止含铝膜的腐蚀。

[0063] 进而,在上述腐蚀防止导电膜是氧化铟锡膜,上述外部连接端子是从基板侧依次层叠上述含铝膜和氧化铟锡膜而构成的情况下,优选上述电路基板在像素内具有包括氧化铟锡膜而构成的透明电极。由于将氧化铟锡膜作为透明电极使用,所以当作为外部连接端子使用氧化铟锡膜时,能够用相同的成膜工序和图案形成工序形成透明电极和构成外部连接端子的氧化铟锡膜。

[0064] 在上述外部连接端子是包括含铝膜和腐蚀防止导电膜的层叠体的情况下,优选上述电路基板在像素内具有包括构成外部连接端子的膜而构成的反射电极。反射电极包括构成外部连接端子的膜而构成,从而能够用相同的成膜工序和图案形成工序形成,因此能够削减制造工序数量。

[0065] 此外,在上述外部连接端子不包括含铝膜和 / 或腐蚀防止膜的方式中,优选上述电路基板在像素内具有包括构成外部连接端子的层而构成的反射电极。可以采用反射电极和外部连接端子不包括含铝膜和 / 或腐蚀防止膜的方式,同样能够削减制造工序数量并实现生产性的提高。

[0066] 在上述外部连接端子是包括含铝膜和腐蚀防止导电膜的层叠体,上述电路基板在像素内具有包括构成外部连接端子的膜而构成的反射电极的情况下,优选上述腐蚀防止导电膜是氧化铟锡膜,上述反射电极从基板侧依次层叠含铝膜和氧化铟锡膜而构成。据此,在半透过型液晶显示装置中具备上述电路基板,由氧化铟锡膜形成与反射电极相对的电极(相对电极)的情况下,由于反射电极和相对电极的材料相同,所以能够抑制闪烁的发生,并且能够防止外部连接端子的含铝膜的腐蚀。

[0067] 在上述外部连接端子是包括含铝膜和腐蚀防止导电膜的层叠体的情况下,优选上述外部连接端子的含铝膜的与基板相反的面(与基板相反一侧的面)和侧面由腐蚀防止导电膜覆盖。含铝膜是通过与外部气体接触而容易产生腐蚀的金属。因此,通过用腐蚀防止导电膜覆盖含铝膜的与基板相反的面和侧面,能够防止含铝膜腐蚀。含铝膜的基板侧由于通常被其它的膜所覆盖,所以不需要用腐蚀防止导电膜覆盖。

[0068] 在上述外部连接端子是包括含铝膜和腐蚀防止导电膜的层叠体的情况下,优选上述电路基板在像素内具有从基板侧依次层叠含铝膜和氧化铟锡膜而构成的反射电极,上述腐蚀防止导电膜是氧化铟锡膜,上述外部连接端子和反射电极的含铝膜的与基板相反的面和侧面由腐蚀防止导电膜覆盖。如果在含铝膜和氧化铟锡膜从表面露出的状态下进行湿蚀刻,则在含铝膜和氧化铟锡膜之间发生电蚀反应,因此有可能产生剥离等。因此,通过用氧化铟锡膜覆盖构成外部连接端子和反射电极的含铝膜的基板侧和侧面,蚀刻液不与含铝膜接触,因此不会产生电蚀反应,提高可靠性。

[0069] 优选在上述电路基板中,与配置用于与其它基板的粘合的密封件的区域重叠地设置有外部连接端子,上述区域在外部连接端子上(外部连接端子的与基板相反的一侧)设

置有绝缘膜。在液晶显示装置中,由于在一对基板之间封入液晶来进行显示,所以电路基板与其它基板粘合。此外,在气体放电面板(等离子体显示面板)中,由于在一对基板之间封入放电气体,所以一对基板被粘合。由于在其它的显示面板中为了防止显示元件的劣化等,也多将电路基板与其它基板粘合。此时,在与外部连接端子的正上方重叠,配置用于粘合的密封件的情况下,在进行粘合时,由于向外部连接端子施加压力,所以有可能产生断线。因此,通过在密封件和外部连接端子之间设置绝缘膜,能够抑制在外部连接端子产生断线,并且能够提高密封件的密合性。但是,由于绝缘膜的膜厚与基板间距离有关,所以优选将绝缘膜的膜厚设定得较薄以使基板间距离适当。作为绝缘膜优选使用感光性丙烯酸树脂等。

[0070] 优选上述电路基板,在配置用于与其它基板的粘合的密封件的区域的外侧,设置有外部连接端子。由此,通过在不同的区域形成外部连接端子和密封件,外部连接端子以不被绝缘膜覆盖并且从电路基板的表面露出的方式配置的情况下,也能够使密封件和构成电路基板的表面的膜(通常为绝缘膜,例如第三层间膜)直接接触,因此提高密合性。此外,由于在外部连接端子上不配置密封件,所以在粘合基板时不向外部连接端子施加压力,因此能够防止断线等。

[0071] 本发明还可以是具备上述电路基板的显示装置。上述电路基板设置于液晶显示装置、有机场致发光显示装置等的显示装置,但优选上述电路基板设置于液晶显示装置。这样,本发明也可以是具备上述电路基板的液晶显示装置。显示装置和液晶显示装置通过具备本发明的电路基板,能够减小边框的面积,能够实现显示装置和液晶显示装置的窄边框化。

[0072] 根据本发明的电路基板,通过在外部连接端子的下层配置配线,能够削减边框部分的面积。此外,通过外部连接端子包括腐蚀防止膜而构成,能够防止外部连接端子的腐蚀。进而,通过与构成像素电极的透明电极和/或反射电极相同的成膜工序和图案形成工序形成外部连接端子,能够不增加制造工序数量而实现窄边框化。而且,通过在外部连接端子和密封件之间配置绝缘膜或者在比配置外部连接端子的区域更靠向面板内侧配置密封件,能够防止外部连接端子的断线。

附图说明

[0073] 图 1-1 是表示实施方式 1 涉及的电路基板的结构平面模式图。

[0074] 图 1-2 是表示实施方式 1 涉及的电路基板的外部连接端子和外围配线的配置关系的平面模式图。

[0075] 图 1-3 是表示实施方式 1 涉及的电路基板的外部连接端子周边的结构的截面模式图。

[0076] 图 1-4 是表示实施方式 1 涉及的电路基板的外部连接端子周边的结构的平面模式图。

[0077] 图 1-5 是表示实施方式 1 涉及的电路基板上的像素电极的结构截面模式图。

[0078] 图 2 是表示实施方式 2 涉及的电路基板的外部连接端子周边的结构的截面模式图。

[0079] 图 3 是表示实施方式 3 涉及的电路基板的外部连接端子周边的结构的截面模式图。

[0080] 图 4-1 是表示实施方式 4 涉及的电路基板的外部连接端子周边的结构的截面模式图。

[0081] 图 4-2 是表示实施方式 4 涉及的电路基板的外部连接端子周边的结构的平面模式图。

[0082] 图 4-3 是表示实施方式 4 涉及的电路基板的像素电极的结构截面模式图。

[0083] 图 5-1 是表示实施方式 5 涉及的电路基板的外部连接端子周边的结构的截面模式图。

[0084] 图 5-2 是表示实施方式 5 涉及的电路基板的外部连接端子周边的结构的平面模式图。

[0085] 图 5-3 是表示实施方式 5 涉及的电路基板的像素电极的结构截面模式图。

[0086] 图 6-1 是表示实施方式 6 涉及的电路基板的外部连接端子周边的结构的截面模式图。

[0087] 图 6-2 是表示实施方式 6 涉及的电路基板的外部连接端子周边的结构的平面模式图。

[0088] 图 6-3 是表示实施方式 6 涉及的电路基板的像素电极的结构截面模式图。

[0089] 图 6-4 是表示实施方式 6 涉及的电路基板的像素电极的结构平面模式图。

[0090] 图 7-1 是表示实施方式 7 涉及的电路基板的外部连接端子周边的结构的截面模式图。

[0091] 图 7-2 是表示实施方式 7 涉及的电路基板的外部连接端子周边的结构的平面模式图。

[0092] 图 7-3 是表示实施方式 7 涉及的电路基板的像素电极的结构截面模式图。

[0093] 图 8-1 是表示实施方式 8 涉及的电路基板的外部连接端子周边的结构的截面模式图。

[0094] 图 8-2 是表示实施方式 8 涉及的电路基板的外部连接端子周边的结构的平面模式图。

[0095] 图 9-1 是表示比较例涉及的电路基板的外部连接端子周边的结构的截面模式图。

[0096] 图 9-2 是表示比较例涉及的电路基板的外部连接端子和外围配线的配置关系的平面模式图。

[0097] 图 10 是表示本发明涉及的电路基板的结构平面模式图,表示在不同的阶层形成的多个连接配线重叠配置时的外部连接端子和连接配线的连接方式。

[0098] 图 11 是表示本发明涉及的电路基板的结构平面模式图,表示外部连接端子和连接配线的连接方式。(a)是将外部连接端子的端区域和连接端子连接时的平面模式图。(b)是连接配线与外部连接端子连接,该连接配线连接的外部连接端子与其它外部连接端子重叠配置时的平面模式图。(c)是在相同阶层形成的两个连接配线与一个外部连接端子连接时的平面模式图。(d)是在不同阶层形成的连接配线与一个外部连接端子连接时的平面模式图。

[0099] 符号说明

[0100] 10 :玻璃基板

[0101] 11 :底涂膜

- [0102] 12 :半导体层
- [0103] 13 :栅极绝缘膜
- [0104] 14 :栅极电极
- [0105] 16a、16b、16c、16d、16e、16f、16g、16h、16i、16j、16k、16l、16m、916 :连接配线
- [0106] 20a、20b、20c、20d、20e、20f、20g、20h、20j、20k、161、120、220、320、420、520、620、720、820、920a、920b、920c :外部连接端子
- [0107] 25a、25b、25c、25d、25e、25f、25g、25h、25i、25j、25k、25l、25m、125、225、325、425、525、625、725、825、925 :接触孔
- [0108] 50 :电路区域
- [0109] 60 :外围配线区域
- [0110] 70 :显示区域
- [0111] 115、415、515、615、715、815 :第一源极 / 漏极电极
- [0112] 116a、416a、516a、616a、716a、816a :第二源极 / 漏极电极
- [0113] 116b、216b、316b、416b、516b、616b、716b、816b、916 :外围配线
- [0114] 117、217、317、417、517、617、717、817、917 :第一层间绝缘膜
- [0115] 118、218、318、418、518、618、718、818、918 :第二层间绝缘膜
- [0116] 119、219、319、419、519、619、719、819、919 :第三层间绝缘膜
- [0117] 120a、220a、320a、420a、620a、631a、720a、820a :ITO 层
- [0118] 120c、220c、320c、420c、520c、620c、720c、820c、131c、431c、531c、631c、731c :Mo 层
- [0119] 120d、220d、320d、420d、520d、620d、720d、820d、131d、431d、531d、631d、731d :Al 层
- [0120] 120e、220e、320e、420e、520e、720e、820e、131e、431e、731e :IZO 层
- [0121] 121、221、321、421、521、621、721、821、921 :密封件
- [0122] 124、224、324、424、524、624、724、824 :电源配线
- [0123] 131、431、531、631、731 :像素电极
- [0124] 131a、431a、531a、731a :透明电极
- [0125] 131b、431b、531b、731b :反射电极
- [0126] 215、315 :源极 / 漏极电极
- [0127] 223、323 :第四层间绝缘膜
- [0128] 722 :绝缘膜

具体实施方式

[0129] 以下揭示实施方式,参照附图对本发明进行更详细的说明,但本发明并不仅限于这些实施方式。实施方式 1 ~ 8 对半透过型液晶显示装置所具备的电路基板进行了叙述,但本发明并不限于这些实施方式,能够作为显示装置普遍所具备的电路基板使用。

[0130] (实施方式 1)

[0131] 图 1-1 是表示实施方式 1 涉及的电路基板的结构的平面模式图。

[0132] 如图 1-1 所示,外部连接端子 120 成为电路区域 50 和外围配线区域 60 设置在外

部连接端子 120 之下的阶层的形态,能够增宽显示区域 70 的面积。“电路区域”是构成电路的电路结构配线密集地配置的区域,“外围配线区域”是从外部连接端子向驱动电路传递信号的外围配线密集地配置的区域。

[0133] 在显示区域 70 内配置有由反射电极和透明电极构成的像素电极。此外,图 1-2 是在实施方式 1 涉及的电路基板中,表示图 1-1 中的外围配线区域 60 内的外围配线 116b 和外部连接端子 120 的配置关系的放大平面模式图。如图 1-2 所示,外围配线 116b 配置在外部连接端子 120 的下层,通过接触孔 125 与规定的外部连接端子 120 连接。这样,外围配线区域 60 和电路区域 50 配置在外部连接端子 120 之下的阶层,即外围配线和电路结构配线配置在外部连接端子 120 之下的阶层,由此能够削减配线面积(配置配线的区域的面积)。

[0134] 图 1-3 是表示实施方式 1 涉及的电路基板的外部连接端子周边的结构的截面模式图。图 1-4 是表示实施方式 1 涉及的电路基板的外部连接端子周边的结构的平面模式图。图 1-5 是表示配置在实施方式 1 涉及的电路基板上的显示区域 70 内的像素电极的结构的截面模式图。

[0135] 实施方式 1 涉及的电路基板,如图 1-3 所示,在基板 10 上依次层叠有:膜厚 50nm 的氮氧化硅(SiON)膜和膜厚 100nm 的氧化硅(SiO_x)膜层叠的底涂膜 11;由膜厚 50nm 的多晶硅(p-Si)膜构成的半导体层 12;和由膜厚 45nm 的 SiO_x 膜构成的栅极绝缘膜 13。

[0136] 在栅极绝缘膜 13 上,与半导体层 12 的沟道区域重叠的区域,配置有膜厚 30nm 的氮化钽(TaN)膜和膜厚 370nm 的钨(W)膜层叠的栅极电极 14,在其上的基板整个面上配置有第一层间绝缘膜 117。在第一层间绝缘膜 117 上配置有第一源极/漏极电极 115,通过形成于栅极绝缘膜 13 和第一层间绝缘膜 117 的接触孔与半导体层 12 连接。在第一源极/漏极电极 115 上配置有第二层间绝缘膜 118。另外,第一源极/漏极电极 115 不仅包括与半导体层 12 连接的配线,而且还包括配置在第一层间绝缘膜 117 和后述的第二层间绝缘膜 118 之间且由与半导体层 12 连接的电极相同的成膜工序和图案形成工序形成的配线。

[0137] 在第二层间绝缘膜 118 上配置有第二源极/漏极电极 116a、外围配线 116b 和电源配线 124。第二源极/漏极电极 116a 通过形成于栅极绝缘膜 13、第一层间绝缘膜 117 和第二层间绝缘膜 118 的接触孔与半导体层 12 连接。此外,外围配线 116b 的一部分通过形成于第二层间绝缘膜 118 的接触孔与第一源极/漏极电极 115 连接。在第二源极/漏极电极 116a、外围配线 116b 和电源配线 124 上的阶层形成有第三层间绝缘膜 119。利用由栅极电极 14、第一源极/漏极电极 115、第二源极/漏极电极 116a 等构成的元件(在本实施方式中为 TFT)构成驱动器电路等的电路。这样,栅极电极 14、第一源极/漏极电极 115 和第二源极/漏极电极 116a 相当于电路结构配线,如图 1-3 所示,电路区域与外围配线区域重叠也可以。此外,第二源极/漏极电极 116a 和外围配线 116b 和电源配线 124 形成在同一层。进而,外围配线 116b 和电源配线 124 与第一源极/漏极电极 115 重叠配置。

[0138] 在第三层间绝缘膜 119 上配置有外部连接端子 120,该外部连接端子从基板 10 侧依次层叠有层厚 100nm 的氧化铟锡(ITO)层 120a、层厚 100nm 的钼(Mo)层 120c、层厚 100nm 的铝(Al)层 120d、层厚 10nm 的氧化铟锌(IZO(注册商标))层 120e,通过设置在第三层间绝缘膜 119 的接触孔与外围配线 116b 连接。另外,在外部连接端子 120 上的一部分形成有用于与其它基板粘合的密封件 121。如图 1-4 所示,外部连接端子 120 在 ITO 层 120a 的内侧以端部靠齐的状态依次形成有 Mo 层 120c、Al 层 120d 和 IZO 层 120e,通过位于比密封件

121 更靠向面板外侧（图 1-3 中的左侧）的接触孔 125，外部连接端子 120 和外围配线 116b 连接。进而，如图 1-5 所示，配置在显示区域 70 内的像素电极 131 设置在第三层间绝缘膜 119 上。像素电极 131 由透过显示区域的透明电极 131a 和反射电极 131b 构成。透明电极 131a 在像素区域整个面配置 ITO 层而构成。反射电极 131b 是在反射显示区域依次层叠 Mo 层 131c、Al 层 131d 和 IZO 层 131e 而成的，各层厚与构成外部连接端子 120 的各层同样。另外，在此，外部连接端子 120 与外围配线 116b 连接，但也可以与电源配线 124 或其它外部连接端子连接。

[0139] 以下对实施方式 1 涉及的电路基板的制造方法进行说明。

[0140] 首先，对基板 10 进行作为前处理的洗净和预退火。基板 10 并没有特别的限定，从成本等的观点出发，优选玻璃基板、树脂基板等。接着，进行以下 (1) ~ (16) 的工序。

[0141] (1) 底涂膜的形成工序

[0142] 通过等离子体化学气相生长 (Plasma Enhanced Chemical Vapor Deposition: PECVD) 法在基板 10 上依次形成 SiON 膜和 SiO_x 膜，形成底涂膜 11。作为用于形成 SiON 膜的原料气体，可举出甲硅烷 (SiH₄)、一氧化二氮气体 (N₂O) 和氨气 (NH₃) 的混合气体等。另外，优选使用正硅酸四乙酯 (Tetra Ethyl Ortho Silicate: TEOS) 气体作为原料气体形成 SiO_x 膜。此外，作为底涂膜 11 也可以使用氮化硅 (SiN_x) 膜等，该氮化硅膜使用甲硅烷 (SiH₄) 和氨气 (NH₃) 的混合气体等作为原料气体。

[0143] (2) 半导体层的形成工序

[0144] 利用 PECVD 法，形成非晶硅 (a-Si)。作为 a-Si 膜形成的原料气体，例如可举出 SiH₄、乙硅烷 (Si₂H₆) 等。由于在由 PECVD 法形成的 a-Si 膜中含有氢，所以在大致 500℃ 进行降低 a-Si 膜中的氢浓度的处理（脱氢处理）。此外，之后也可以涂敷金属催化剂，进行用于连续晶界结晶硅 (CG-硅) 化的前处理。接着，进行激光退火，使 a-Si 膜熔融、冷却和固化，从而形成 p-Si 膜。作为激光退火的前处理，也可以进行固相结晶化的热处理。接着，进行通过四氟化碳 (CF₄) 气体的干蚀刻，对 p-Si 膜进行图案形成，形成半导体层 12。

[0145] (3) 栅极绝缘膜的形成工序

[0146] 接着，使用 TEOS 气体作为原料气体，形成由氧化硅构成的栅极绝缘膜 13。栅极绝缘膜 13 的材质并没有特别的限定，也可以使用 SiN_x 膜、SiON 膜等。作为用于形成 SiN_x 膜和 SiON 膜的原料气体，可举出与在底涂膜的形成工序叙述的同样的原料气体。此外，栅极绝缘膜 13 也可以是由上述多个材料构成的层叠体。

[0147] (4) 离子掺杂工序

[0148] 为了控制 N 沟道 TFT 和 P 沟道 TFT 的阈值，利用离子掺杂法等对半导体层 12 整个面掺杂（注入）作为杂质的硼等的三价原子。另外，在不需要 P 沟道 TFT 的阈值控制的情况下，也可以不进行该掺杂。

[0149] (5) 杂质注入工序 (N 沟道 TFT 区域)

[0150] 为了控制 N 沟道 TFT 的阈值，利用光刻法等，用抗蚀剂膜覆盖 P 沟道 TFT 的形成区域后，仅对半导体层 12 中的 N 沟道 TFT 的形成区域利用离子掺杂法等掺杂硼等的三价原子。通过进行该沟道掺杂，能够提高沟道区域的电传导性。

[0151] (6) 栅极电极的形成工序

[0152] 接着，使用溅射法依次形成氮化钽 (TaN) 膜和钨 (W) 膜。接着，在利用光刻法将抗

蚀剂膜图案形成成为所希望的形状之后,使用对氩(Ar)、六氟化硫(SF₆)、四氟化碳(CF₄)、氧气(O₂)、氯气(Cl₂)等的混合气体分量进行了调整的蚀刻气体进行Ta₂N₅/W的金属层叠膜的干蚀刻,形成栅极电极14。作为栅极电极14所使用的金属,可举出铝(Al)等的低电阻金属、或钽(Ta)、钼(Mo)、钨钼(MoW)等的表面平坦且特性稳定的高熔点金属等。此外,栅极电极14也可以是由上述多个材料构成的层叠体。

[0153] (7) 源极区域和漏极区域的形成工序

[0154] 接着,为了形成N沟道或P沟道的TFT的源极区域和漏极区域,以栅极电极14为掩模,利用离子掺杂法等,在N沟道的TFT高浓度地掺杂磷等的五价原子,在P沟道TFT高浓度地掺杂硼等的三价原子。此时,根据需要,也可以形成LDD(Lightly Doped Drain:轻掺杂漏)构造。接着,为了使存在于半导体层12中的杂质离子活化,进行大致700℃、6小时的热活化处理。由此,能够使源极区域和漏极区域的电传导性提高。作为活化的方法,也可举出照射受激准分子激光等方法。

[0155] (8) 第一层间绝缘膜的形成工序

[0156] 接着,利用PECVD法在基板10整个面形成SiN_x膜作为第一层间绝缘膜117。作为第一层间绝缘膜117,也可以使用SiON膜、TEOS膜等。此外,为了瞬时恶化等的TFT特性的可靠性提高以及电特性的稳定化,也可以在第一层间绝缘膜117下的阶层形成50nm左右的薄的覆膜(cap film)(例如TEOS膜等)。

[0157] (9) 接触孔的形成工序

[0158] 接着,在利用光刻法将抗蚀剂膜图案形成成为所希望的形状之后,使用氟酸类的蚀刻溶液进行栅极绝缘膜13和第一层间绝缘膜117的湿蚀刻,形成用于将第一源极/漏极电极115和半导体层12的源极/漏极区域(源极区域或漏极区域)连接的接触孔。另外,作为蚀刻也可以使用干蚀刻。

[0159] (10) 第一源极/漏极电极的形成工序

[0160] 接着,利用溅射法等依次形成钛(Ti)膜、铝(Al)膜和Ti膜。接着,在利用光刻法将抗蚀剂膜图案形成成为所希望的形状之后,利用干蚀刻对Ti/Al/Ti的金属层叠膜进行图案形成,形成第一源极/漏极电极115。此时,第一源极/漏极电极115与半导体层12的源极区域和漏极区域的一个通过形成在栅极绝缘膜13和第一层间绝缘膜117的接触孔导通。另外,作为构成第一源极/漏极电极115的金属,也可以使用Al-Si合金等来代替Al。此外,在此,为了配线的低电阻化而使用了Al,但在需要高耐热性且允许增加一定程度的电阻值的短的配线构造的情况下,也可以使用上述栅极电极14的材料(Ta、Mo、MoW、W、Ta₂N₅等)。

[0161] (11) 第二层间绝缘膜的形成工序

[0162] 接着,在基板整个面上,使用TEOS气体作为原料气体,形成由氧化硅构成的第二层间绝缘膜118。作为第二层间绝缘膜118,也可以使用SiON膜、TEOS膜等。

[0163] (12) 接触孔的形成工序

[0164] 接着,在基板整个面上形成抗蚀剂膜,在利用光刻法将抗蚀剂膜图案形成成为所希望的形状之后,使用氟酸类的蚀刻溶液进行栅极绝缘膜13、第一层间绝缘膜117和第二层间绝缘膜118的湿蚀刻,形成用于将第二源极/漏极电极116a和半导体层12的源极/漏极区域(源极区域或漏极区域)连接的接触孔,以及用于将外围配线116b和第一源极/漏极电极115连接的接触孔。另外,作为蚀刻也可以使用干蚀刻。此外,在该工序中,也能够

形成用于将栅极电极 14 和外围配线 116b 连接的接触孔。

[0165] (13) 第二源极 / 漏极电极、外围配线和电源配线的形成工序

[0166] 接着,利用溅射法等依次形成钛 (Ti) 膜、铝 (Al) 膜、Ti 膜。接着,在利用光刻法将抗蚀剂膜图案形成为所希望的形状之后,利用干蚀刻对 Ti/Al/Ti 的金属层叠膜进行图案形成,在同一层上形成第二源极 / 漏极电极 116a、外围配线 116b 和电源配线 124。此时,第二源极 / 漏极电极 116a 与源极区域和漏极区域的另一个通过形成在栅极绝缘膜 13、第一层间绝缘膜 117 和第二层间绝缘膜 118 的接触孔导通。另外,作为构成第二源极 / 漏极电极 116a、外围配线 116b 和电源配线 124 的金属,也可以使用 Al-Si 合金等来代替 Al。

[0167] (14) 第三层间绝缘膜的形成工序

[0168] 接着,使用以 TEOS 作为原料气体的 PECVD 法,形成由 SiO_x 膜构成的第三层间绝缘膜 119。另外,作为第三层间绝缘膜 119 的材质,也能够使用 SiN_x 膜、 SiON 膜等。

[0169] (15) 接触孔的形成工序

[0170] 接着,在基板整个面上形成抗蚀剂膜,在利用光刻法将抗蚀剂膜图案形成为所希望的形状之后,使用氟酸类的蚀刻溶液进行第三层间绝缘膜 119 的湿蚀刻,形成用于连接外围配线 116b 和外部连接端子 120,以及电源配线 124 和外部连接端子 120 的接触孔。据此,由于在外部连接端子 120 的正下方配置有外围配线 116b 和电源配线 124,所以仅通过形成接触孔就能够连接外围配线 116b 或电源配线 124 与外部连接端子 120,所以能够实现配线区域的削减。另外,作为蚀刻也可以使用干蚀刻。此外,在图 1-3 中,连接外围配线 116b 和外部连接端子 120,但电源配线 124 也可以与不与外围配线 116b 连接的外部连接端子连接。

[0171] (16) 外部连接端子和像素电极的形成工序

[0172] 实施方式 1 涉及的电路基板,是用于形成使用反射电极的半透过型的液晶显示装置的电路基板,用相同的制造工序形成像素电极和外部连接端子。

[0173] 在第三层间绝缘膜 119 上利用溅射法等形成 ITO 膜,并利用光刻法图案形成为所希望的形状,形成构成外部连接端子 120 的 ITO 层 120a、和构成透明电极 131a 的 ITO 层。接着,在利用溅射法等依次形成 Mo 膜、Al 膜和 IZO 膜之后,利用光刻法等将 Mo/Al/IZO 层叠膜依次图案形成为所希望的形状 (一并进行蚀刻), 形成构成外部连接端子 120 的 Mo 层 120c、铝层 120d 和 IZO 层 120e、和构成反射电极 131b 的 Mo 层 131c、Al 层 131d 和 IZO 层 131e 的层叠膜。Mo/Al/IZO 层叠膜也可以是代替 IZO 膜而使用 Mo 膜的 Mo/Al/Mo 层叠膜、没有下层的 Mo 膜的 Al/IZO 层叠膜、Al/Mo 层叠膜等。此外,也可以是在 Mo 膜和 Al 膜之间或 Al 膜和 IZO 膜之间进一步层叠有金属膜 (例如 Mo 膜、IZO 膜) 的 Mo/Al/Mo/IZO 层叠膜或 Mo/IZO/Al/IZO 层叠膜等。由此,形成由外部连接端子 120、透明电极 131a 和反射电极 131b 构成的像素电极 131。另外,利用位于铝层 120d 的下层的 ITO 层 120a,也能够实现防止构成外部连接端子的铝层 120d 的腐蚀。

[0174] 利用上述方法,完成实施方式 1 的电路基板。之后,使用丝网印刷法、分配器法等在外围连接端子 120 上形成用于与其它基板 (相对基板) 粘合的密封件 121。作为密封件 121 能够使用紫外线固化型树脂、热固化型树脂等。此外,通过在外围连接端子 120 上配置密封剂 121,能够实现边框面积的缩小。而且,由于与相对基板电连接,也能够使用在密封材料 (树脂) 内含有导电性颗粒的物质、碳胶等。为了配置在电路基板之上的阶层的配线不

短路而考虑分开使用这些结构。在粘合形成有密封件 121 的电路基板和形成有彩色滤光片等的相对基板之后,在电路基板和相对基板之间封入液晶,从而完成液晶显示面板。此外,通过在液晶显示面板上安装偏光板、背光源单元等,能够作成液晶显示装置。在实施方式 1 中,由于将电路基板作为显示装置用的基板而加以使用,所以开关用的 TFT 等也通过上述的制造工序形成。使用实施方式 1 的电路基板的显示装置,由于大大地削减配线面积,所以能够作成实现了窄边框化的显示装置。

[0175] (实施方式 2)

[0176] 图 2 是表示实施方式 2 涉及的电路基板的外部连接端子周边的结构的截面模式图。

[0177] 实施方式 2 涉及的电路基板,对于栅极电极以下的阶层的结构,是与实施方式 1 同样的方式,如图 2 所示,配置有在基板 10 上形成的底涂膜 11、半导体层 12、栅极绝缘膜 13 和栅极电极 14。在栅极电极 14 上配置有第一层间绝缘膜 217 和第二层间绝缘膜 218。在第二层间绝缘膜 218 上配置有源极 / 漏极电极 215。源极 / 漏极电极 215 通过形成于栅极绝缘膜 13、第一层间绝缘膜 217 和第二层间绝缘膜 218 的接触孔与半导体层 12 连接。

[0178] 在源极 / 漏极电极 215 上形成有由膜厚为大致 $3\mu\text{m}$ 的感光性丙烯酸树脂膜构成的第三层间绝缘膜 219,在第三层间绝缘膜 219 上设置有外围配线 216b 和电源配线 224。在外围配线 216b 和电源配线 224 上依次设置有第四层间绝缘膜 223 和外部连接端子 220,通过设置于第四层间绝缘膜 223 的接触孔 225 连接外部连接端子 220 和外围配线 216b。这样,在源极 / 漏极电极 215 之上的阶层依次层叠有第三层间绝缘膜 219(与上述第一层间膜相当)、外围配线 216b 和电源配线 224、以及第四层间绝缘膜 223(与上述第二层间膜相当)。另外,第四层间绝缘膜 223 由膜厚为大致 $2\sim 3\mu\text{m}$ 的感光性丙烯酸树脂膜形成。外部连接端子 220,在与实施方式 1 同样的方式下,由 IT0 层 220a、Mo 层 220c、Al 层 220d 和 IZO 层 220e 构成,密封件 221 设置在外围连接端子 220 上。此时,第三层间绝缘膜 219 和第四层间绝缘膜 223 用感光性丙烯酸树脂膜形成,能够使配置外围配线 216b、外部连接端子 220 的区域平坦化,因此不会产生由下面的阶层的台阶引起的分级切削等。另外,在此,外部连接端子 220 与外围配线 216b 连接,但电源配线 224 也可以与不与外围配线 216b 直接连接的外部连接端子连接。此外,实施方式 2 涉及的像素电极的结构是与实施方式 1 同样的结构。

[0179] (实施方式 3)

[0180] 图 3 是表示实施方式 3 涉及的电路基板的外部连接端子周边的结构的截面模式图。

[0181] 实施方式 3 涉及的电路基板,对于栅极 / 漏极电极 315 以下的阶层的结构,是与实施方式 2 同样的方式。如图 3 所示,依次配置有在基板 10 上形成的底涂膜 11、半导体层 12、栅极绝缘膜 13、栅极电极 14、第一层间绝缘膜 317、第二层间绝缘膜 318 和源极 / 漏极电极 315。在源极 / 漏极电极 315 上形成有由氮化硅构成的第三层间绝缘膜 319,在第三层间绝缘膜 319 上设置有外围配线 316b 和电源配线 324。在外围配线 316b 和电源配线 324 上依次设置有第四层间绝缘膜 323 和外部连接端子 320,通过设置于第四层间绝缘膜 323 的接触孔 325 连接外部连接端子 320 和外围配线 316b。

[0182] 外部连接端子 320,在与实施方式 1 同样的方式下,由 IT0 层 320a、Mo 层 320c、Al 层 320d 和 IZO 层 320e 构成,密封件 321 设置在外围连接端子 320 上。此时,由于第三层间

绝缘膜 319 是由氮化硅构成的无机层间膜,所以干蚀刻容易,能够对外围配线 316b 和电源配线 324 进行微细加工。另外,在此,外部连接端子 320 与外围配线 316b 连接,但电源配线 324 也可以与不与外围配线 316b 直接连接的外部连接端子连接。此外,也可以在第二层间绝缘膜 318 上配置电源配线 324,即,将电源配线 324 和外围配线 316b 配置在不同的层上,使电源配线 324 与外围配线 316b 重叠。进而,也可以在第一层间绝缘膜 317 上配置源极 / 漏极配线 315(电路结构配线),并且在第二层间绝缘膜 318 上配置电源配线 324,使配置在第三层间绝缘膜 319 上的外围配线 316b、电源配线 324 和源极 / 漏极电极 315 相互重叠。这样,也可以在源极 / 漏极电极 315(电路结构配线)之上的阶层,依次层叠第二层间绝缘膜 318(与上述第一层间膜相当)、电源配线 324、第三层间绝缘膜 319(与上述第二层间膜相当)、外围配线 316b 和第四层间绝缘膜 323(与上述第三层间膜相当),也可以通过替换电源配线 324 和外围配线 316b 的阶层,在源极 / 漏极电极 315(电路结构配线)之上的阶层,依次层叠第二层间绝缘膜 318、外围配线 316b、第三层间绝缘膜 319、电源配线 324、和第四层间绝缘膜 323。另外,实施方式 3 涉及的像素电极的结构是与实施方式 1 同样的结构。

[0183] (实施方式 4)

[0184] 图 4-1 是表示实施方式 4 涉及的电路基板的外部连接端子周边的结构的截面模式图。图 4-2 是表示实施方式 4 涉及的电路基板的外部连接端子周边的结构的平面模式图。

[0185] 实施方式 4 涉及的电路基板,对于从第三层间绝缘膜 419 往下的阶层的结构,是与实施方式 1 同样的方式,如图 4-1 所示,依次形成有在基板 10 上形成的底涂膜 11、半导体层 12、栅极绝缘膜 13 和栅极电极 14、第一层间绝缘膜 417、第一源极 / 漏极电极 415、第二层间绝缘膜 418、第二源极 / 漏极电极 416a 和外围配线 416b 和电源配线 424、以及第三层间绝缘膜 419。

[0186] 在第三层间绝缘膜 419 上形成有外部连接端子 420,在外部连接端子 420 上配置有密封件 421。外部连接端子 420 由 IT0 层 420a、Mo 层 420c、Al 层 420d 和 IZO 层 420e 构成,以覆盖 Al 层 420d 的上部和侧面部(不与 Mo 层 420c 接触的部分)的方式配置有 IZO 层 420e。由此,由于能够防止易于产生腐蚀的 Al 与外部气体接触,所以能够防止 Al 层 420d 的腐蚀。此外,如图 4-2 所示,外部连接端子 420 以覆盖形成在 IT0 层 420a 上的 Mo 层 420c 和 Al 层 420d 的方式形成 IZO 层 420e,通过接触孔 425 与下层的外围配线 416b 连接。此外,实施方式 4 涉及的像素电极的结构,如图 4-3 所示,与实施方式 1 同样,在用 IT0 层形成的透明电极 431a 上配置有层叠 Mo 层 431c、Al 层 431d 和 IZO 层 431e 的反射电极 431b,形成像素电极 431。另外,在此,外部连接端子 420 与外围配线 416b 连接,但电源配线 424 也可以与不与外围配线 416b 直接连接的外部连接端子连接。

[0187] (实施方式 5)

[0188] 图 5-1 是表示实施方式 5 涉及的电路基板的外部连接端子周边的结构的截面模式图。图 5-2 是表示实施方式 5 涉及的电路基板的外部连接端子周边的结构的平面模式图。图 5-3 是表示实施方式 5 涉及的电路基板的像素电极的结构截面模式图。

[0189] 实施方式 5 涉及的电路基板,对于从第三层间绝缘膜 519 往下的阶层的结构,是与实施方式 1 同样的方式,如图 5-1 所示,依次形成有在基板 10 上形成的底涂膜 11、半导体层 12、栅极绝缘膜 13、栅极电极 14、第一层间绝缘膜 517、第一源极 / 漏极电极 515、第二层间绝缘膜 518、第二源极 / 漏极电极 516a 和外围配线 516b 和电源配线 524、以及第三层间

绝缘膜 519。在第三层间绝缘膜 519 上配置有外部连接端子 520。在外部连接端子 520 上设置有密封件 521。电源配线 524 和外围配线 516b 与第一源极 / 漏极电极 515 重叠配置。密封件 521 设置在比通过设置于第三层间绝缘膜 519 的接触孔 525 连接外部接触端子 520 和电源配线 524 的区域更靠向面板外侧。此外,外部连接端子 520 由 Mo 层 520c、Al 层 520d 和 IZO 层 520e 构成。如图 5-2 所示,构成外部连接端子 520 的 Mo 层 520c、Al 层 520d 和 IZO 层 520e 的端部形成为靠齐,通过形成在比密封件 521 更靠向面板内侧的接触孔 525 连接外部连接端子 520 和电源配线 524。而且,如图 5-3 所示,像素电极 531 与实施方式 1 不同,不含 IT0 层,通过依次层叠 Mo 层 531c 和 Al 层 531d 而形成反射电极 531b,配置在反射电极 531b 之上的阶层的 IZO 层成为兼备透明电极 531a 和用于防止 Al 层 531d 受到腐蚀的层的层。在该情况下,与实施方式 1 的情况比较,由于能够削减 IT0 层的形成工序,所以生产性提高。另外,在此,外部连接端子 520 与电源配线 524 连接,但外围配线 516b 也可以与不与电源配线 524 直接连接的外部连接端子连接。

[0190] (实施方式 6)

[0191] 图 6-1 是表示实施方式 6 涉及的电路基板的外部连接端子周边的结构的截面模式图。图 6-2 是表示实施方式 6 涉及的电路基板的外部连接端子周边的结构的平面模式图。图 6-3 是表示实施方式 6 涉及的电路基板的像素电极的结构截面模式图。图 6-4 是表示实施方式 6 涉及的电路基板的像素电极的结构平面模式图。

[0192] 实施方式 6 涉及的电路基板,对于从第三层间绝缘膜 619 往下的阶层的结构,是与实施方式 1 同样的方式,如图 6-1 所示,依次形成有在基板 10 上形成的底涂膜 11、半导体层 12、栅极绝缘膜 13、栅极电极 14、第一层间绝缘膜 617、第一源极 / 漏极电极 615、第二层间绝缘膜 618、第二源极 / 漏极电极 616a 和外围配线 616b 和电源配线 624、以及第三层间绝缘膜 619。在第三层间绝缘膜 619 上配置有外部连接端子 620,在外部连接端子 620 上设置有密封件 621。此外,外部连接端子 620 由 Mo 层 620c、Al 层 620d 和 IT0 层 620a 构成。

[0193] 如图 6-2 所示,构成外部连接端子 620 的 Mo 层 620c 和 Al 层 620d 的端部形成为靠齐,在 Al 层 620d 上的阶层以覆盖 Al 层 620d 的方式配置有 IT0 层 620a。此外,外部连接端子 620 通过接触孔 625 与外围配线 616b 连接。而且,如图 6-3 所示,在像素电极 631 上依次层叠有 Mo 层 631c 和 Al 层 631d,配置在 Al 层 631d 上的阶层的 IT0 层 631a 以覆盖 Al 层 631d 的方式配置。此外,IT0 层 631a 成为也兼做透明电极的形态。在该情况下,与实施方式 1 ~ 4 比较,由于能够使外部连接端子 620 的成膜工序缩短一个工序,所以能够实现生产性的提高。此外,由于 IT0 层 631a 覆盖 Al 层 631d,并且 IT0 层 620a 覆盖 Al 层 620d,所以在进行蚀刻时在 Al 层 631d 和 Al 层 620d 不会发生电蚀反应。此外,如图 6-4 所示的平面模式图那样,像素电极 631 构成为用 IT0 层 631a 覆盖 Al 层 631d。另外,在此,外部连接端子 620 与外围配线 616b 连接,但电源配线 624 也可以与不与外围配线 616b 连接的外部连接端子连接。此外,当然也可以通过在 Mo 层 631c 下的阶层设置 IZO 层,通过从基板 10 侧依次层叠 IZO 层、Mo 层 620c、Al 层 620d 和 IT0 层 620a 构成外部连接端子 620,并且在像素电极 631 中,从基板 10 侧依次层叠 IZO 层、Mo 层 631c 和 Al 层 631d。

[0194] (实施方式 7)

[0195] 图 7-1 是表示实施方式 7 涉及的电路基板的外部连接端子周边的结构的截面模式图。图 7-2 是表示实施方式 7 涉及的电路基板的外部连接端子周边的结构的平面模式图。

图 7-3 是表示实施方式 7 涉及的电路基板的像素电极的结构截面模式图。

[0196] 实施方式 7 涉及的电路基板,对于从第三层间绝缘膜 719 往下的阶层的结构,是与实施方式 1 同样的方式,如图 7-1 所示,依次形成有在基板 10 上形成的底涂膜 11、半导体层 12、栅极绝缘膜 13、栅极电极 14、第一层间绝缘膜 717、第一源极 / 漏极电极 715、第二层间绝缘膜 718、第二源极 / 漏极电极 716a 和外围配线 716b 和电源配线 724、以及第三层间绝缘膜 719。

[0197] 在第三层间绝缘膜 719 上配置有外部连接端子 720。在外部连接端子 720 上配置有由感光性丙烯酸树脂膜形成的绝缘膜 722,在其上设置有密封件 721。密封件 721 设置在比通过设置于第三层间绝缘膜 719 的接触孔 725 连接外部连接端子 720 和电源配线 724 的区域更靠向面板外侧。此外,外部连接端子 720 由 IT0 层 720a、Mo 层 720c、Al 层 720d 和 IZO 层 720e 构成。如图 7-2 所示,构成外部连接端子 720 的 Mo 层 720c、Al 层 720d 和 IZO 层 720e 的端部形成成为靠齐,外部连接端子 720 通过接触孔 725 与下层的电源配线 724 连接。而且,如图 7-3 所示,对于像素电极 731,依次层叠有由 IT0 构成的透明电极 731a、和由 Mo 层 731c 和 Al 层 731d 和 IZO 层 731e 构成的反射电极 731b。由于在密封件 721 和外部连接端子 720 之间形成有绝缘膜 722,所以能够防止发生由粘合时的按压引起的外部连接端子 720 的断线不良。此外,在为了使电路基板和相对基板通电而使导电性颗粒混入密封件 721 的情况下,能够防止在相邻的外部连接端子 720 之间发生短路。进而,由于密封件 721 和外部连接端子 720 隔着绝缘膜 722 相接,所以密封件 721 的密合性提高。另外,在此,外部连接端子 720 与电源配线 724 连接,但外围配线 716b 也可以与不与电源配线 725 直接连接的外部连接端子连接。

[0198] (实施方式 8)

[0199] 图 8-1 是表示实施方式 8 涉及的电路基板的外部连接端子周边的结构的截面模式图。图 8-2 是表示实施方式 8 涉及的电路基板的外部连接端子周边的结构的平面模式图。

[0200] 实施方式 8 涉及的电路基板,对于从第三层间绝缘膜 819 往下的阶层的结构,是与实施方式 1 同样的方式,如图 8-1 所示,依次形成有在基板 10 上形成的底涂膜 11、半导体层 12、栅极绝缘膜 13、栅极电极 14、第一层间绝缘膜 817、第一源极 / 漏极电极 815、第二层间绝缘膜 818、第二源极 / 漏极电极 816a 和外围配线 816b 和电源配线 824、以及第三层间绝缘膜 819。在第三层间绝缘膜 819 上配置有外部连接端子 820 和密封件 821。密封件 821 设置在比外部连接端子 820 更靠向面板内侧。此外,外部连接端子 820 由 IT0 层 820a、Mo 层 820c、Al 层 820d 和 IZO 层 820e 构成。

[0201] 如图 8-2 所示,构成外部连接端子 820 的 Mo 层 820c、Al 层 820d 和 IZO 层 820e 的端部形成成为靠齐,外部连接端子 820 通过接触孔 825 与下层的外围配线 816b 连接。在该情况下,由于密封件 821 与第三层间绝缘膜 819 直接相接,所以密封件 821 的密合性提高。另外,在此,外部连接端子 820 与外围配线 816b 连接,但电源配线 824 也可以与不与外围配线 816b 直接连接的外部连接端子连接。

[0202] 以上,使用实施方式对本发明进行了详细说明,但也可以适当组合各实施方式。

[0203] (比较例)

[0204] 图 9-1 是表示比较例涉及的电路基板的外部连接端子周边的结构的截面模式图。图 9-2 是表示比较例涉及的电路基板的外部连接端子周边的结构的平面模式图。比较例涉

及的电路板由电路板上形成的密封件分为面板的内侧和外侧。

[0205] 比较例涉及的电路板,如图9-1所示,依次形成有在基板10上形成的底涂膜11、半导体层12和栅极绝缘膜13。在栅极绝缘膜13上依次形成有外部连接端子920a、第一层间绝缘膜917和第二层间绝缘膜918。在此,外部连接端子920a以跨越面板的内侧和外侧的方式设置。在第二层间绝缘膜918上配置有连接配线916和外部连接端子920b,该连接配线916和外部连接端子920b通过贯通第一层间绝缘膜917和第二层间绝缘膜918的接触孔,与外部连接端子920a的面板内部侧和外部侧的端部连接。外部连接端子920b由铝构成,为了防止外部连接端子920b的腐蚀,以覆盖外部连接端子920b的方式配置有外部连接端子920c。此外,第三层间绝缘膜919配置在连接配线916和第二层间绝缘膜918上。在外部连接端子920a、920b和920c之上的阶层,没有配置第三层间绝缘膜919。在第三层间绝缘膜919上,密封件921配置在分开面板的内部侧和外部侧的位置上。

[0206] 在比较例的方式中,是配置连接配线916的区域配置在比密封件921更靠向面板内侧,外部连接端子920b和920c配置在面板外侧,用外部连接端子920a将面板的内侧和外侧相连的方式。在该情况下,如图9-2所示,连接配线916在外部连接端子920a的端部通过接触孔925连接重叠。这是由于作为外部连接端子920a,使用通过与配置在栅极绝缘膜13的正上方的栅极电极等相同的成膜工序形成的金属膜,所以外部连接端子区域和连接配线区域分别地设置,无法有效地削减配线面积。

[0207] 本发明以2007年7月27日申请的日本国专利申请2007-196350号为基础,主张基于巴黎公约或进入国的法规的优先权。该申请的内容,其整体作为参照纳入本申请中。

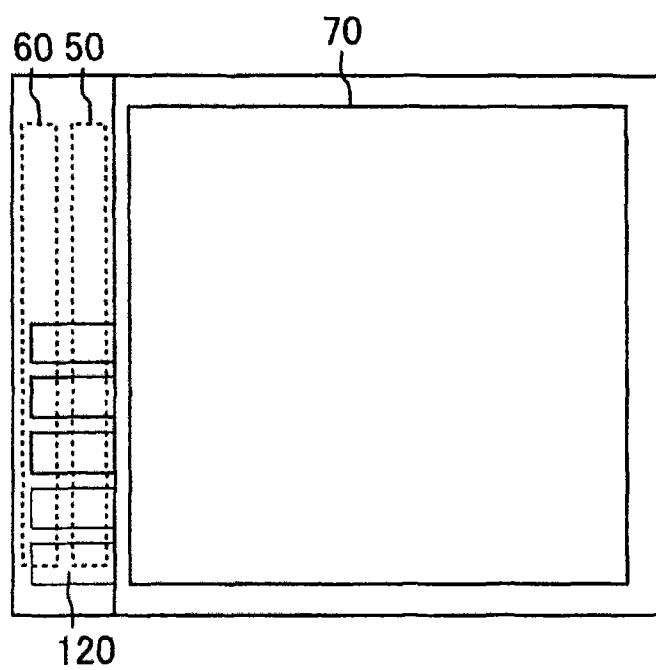


图 1-1

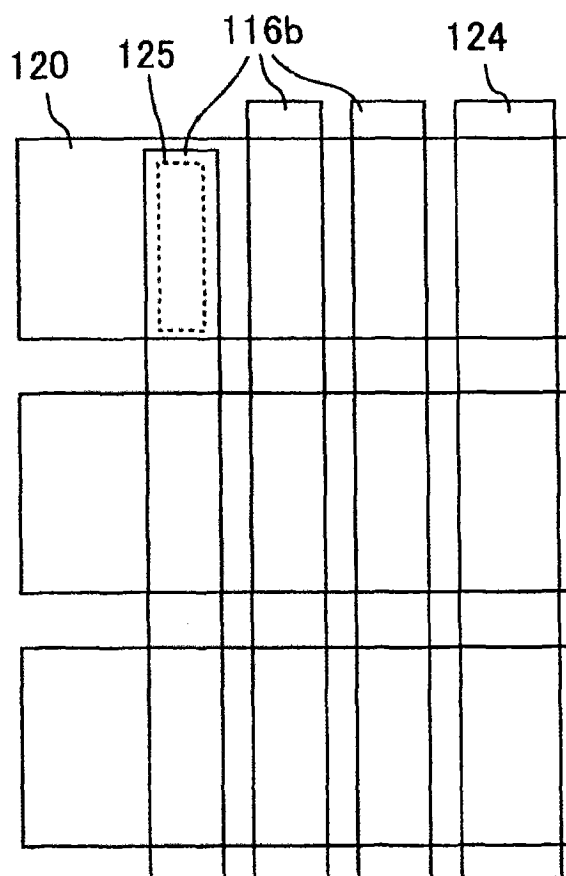


图 1-2

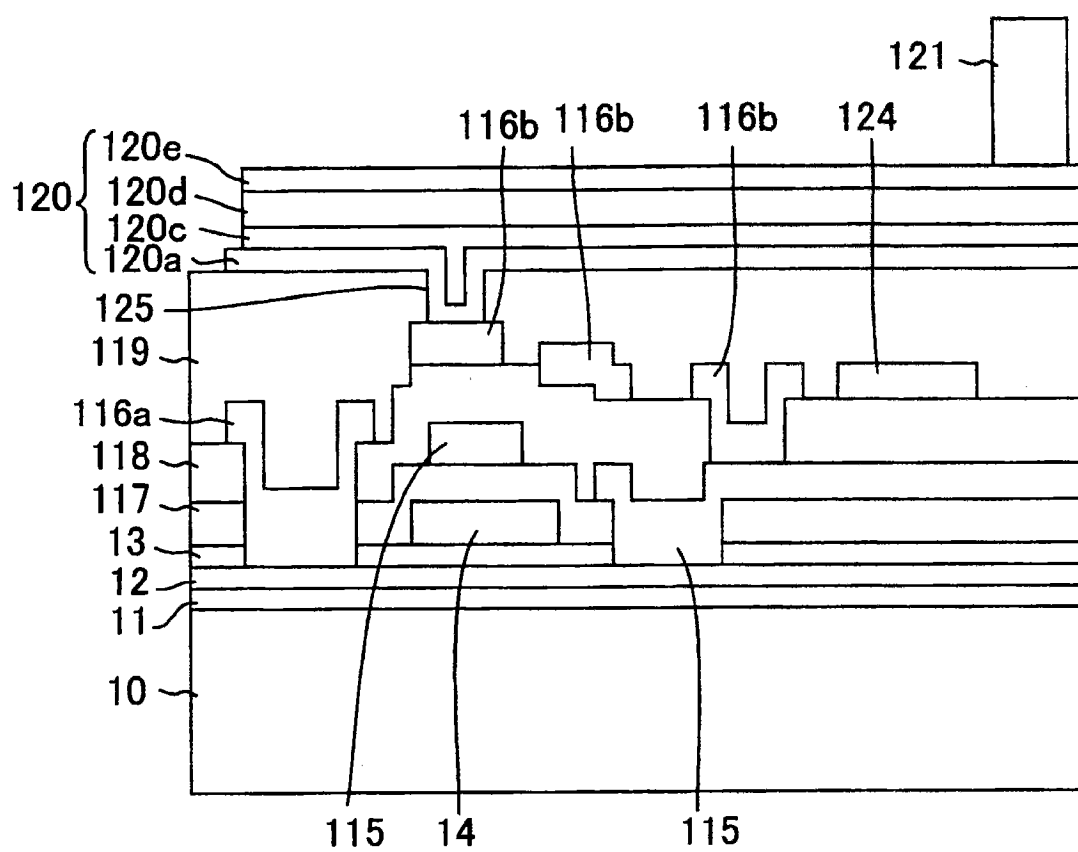


图 1-3

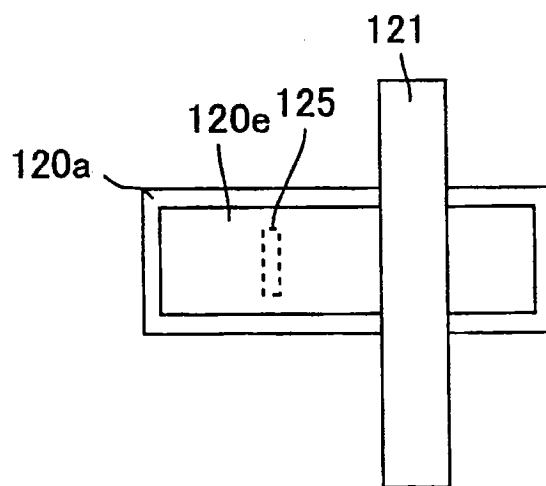


图 1-4

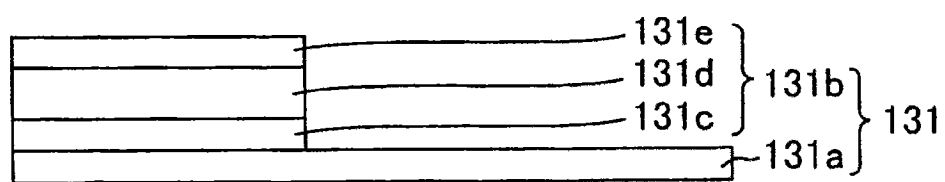


图 1-5

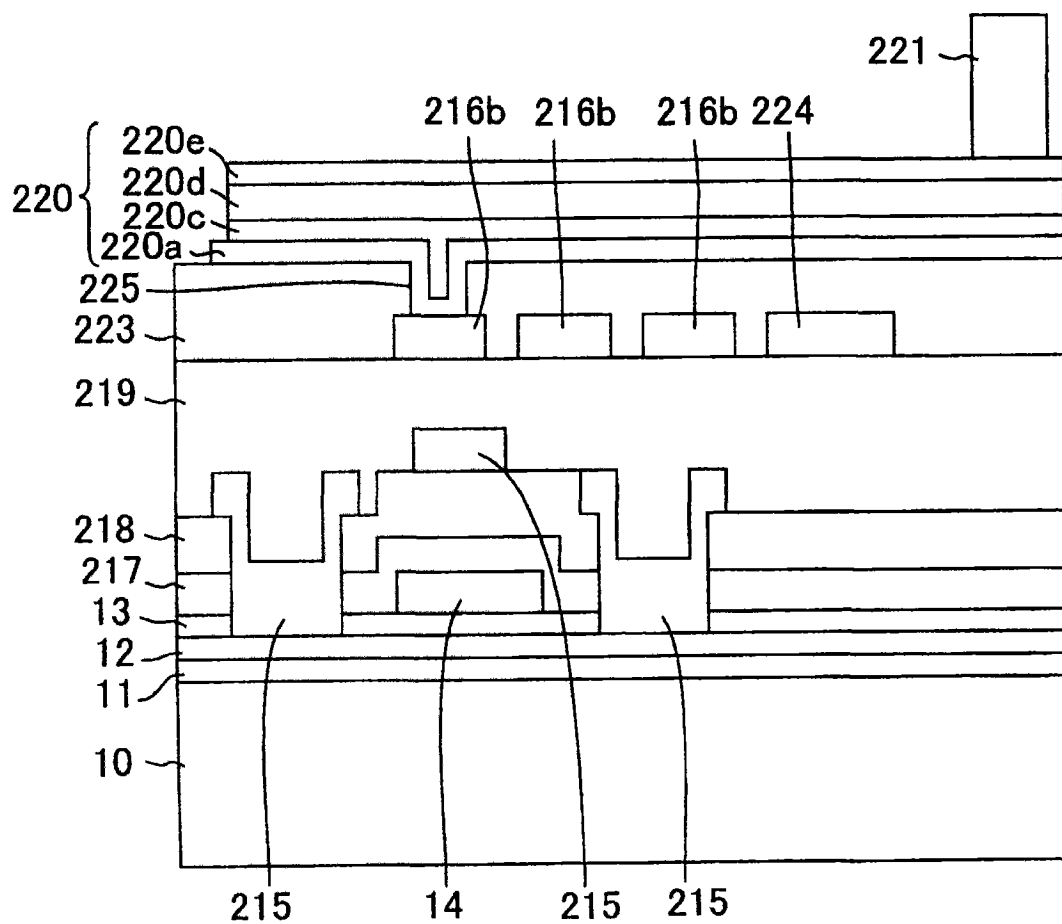


图 2

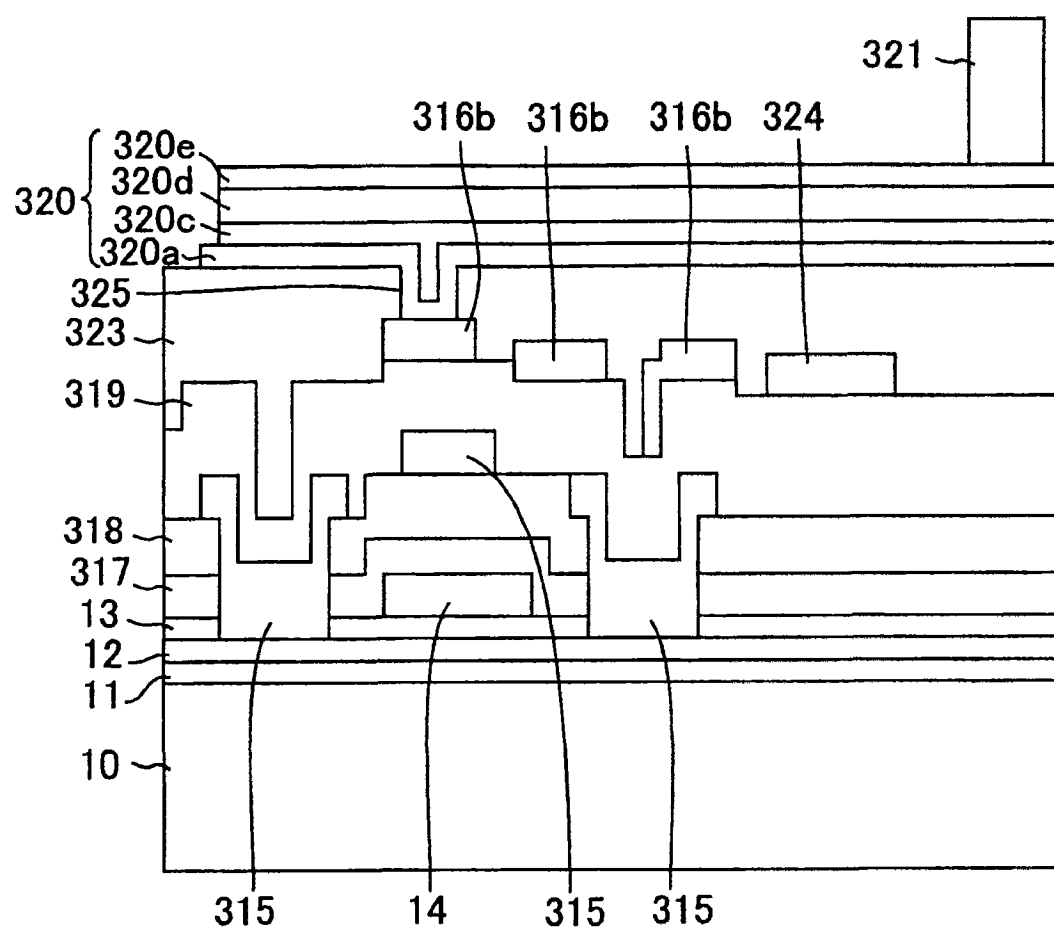


图 3

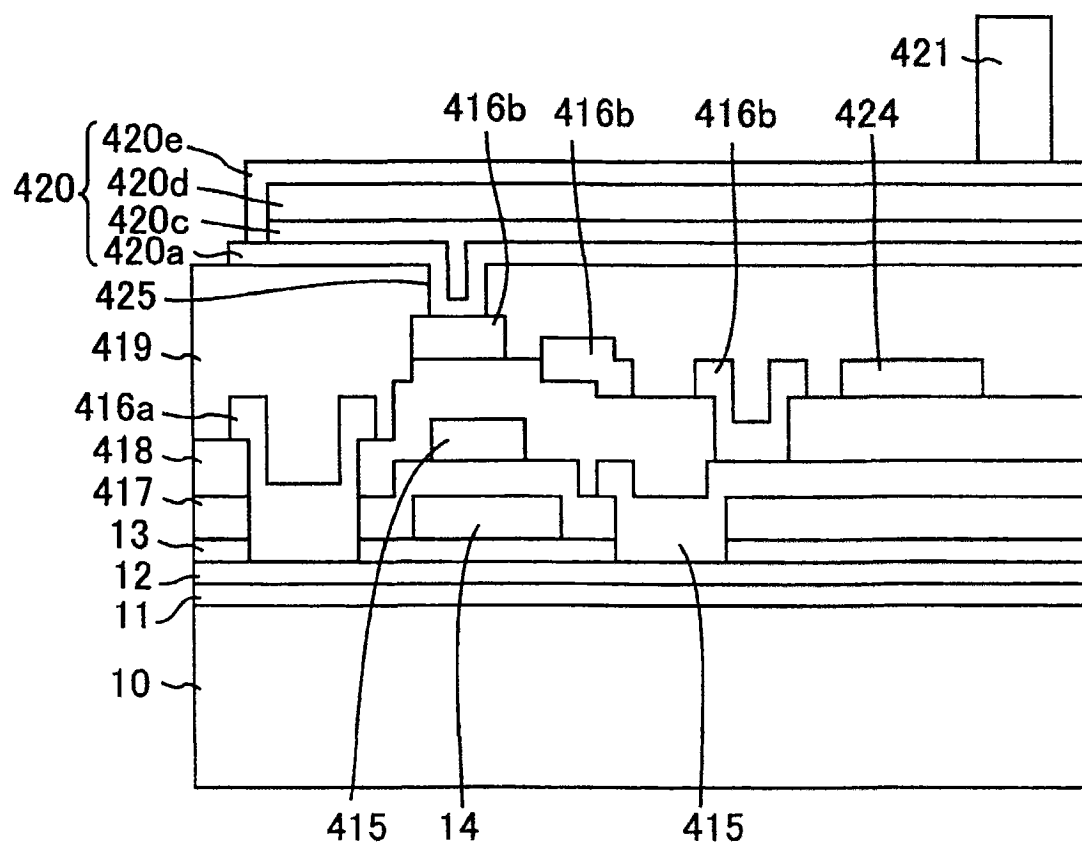


图 4-1

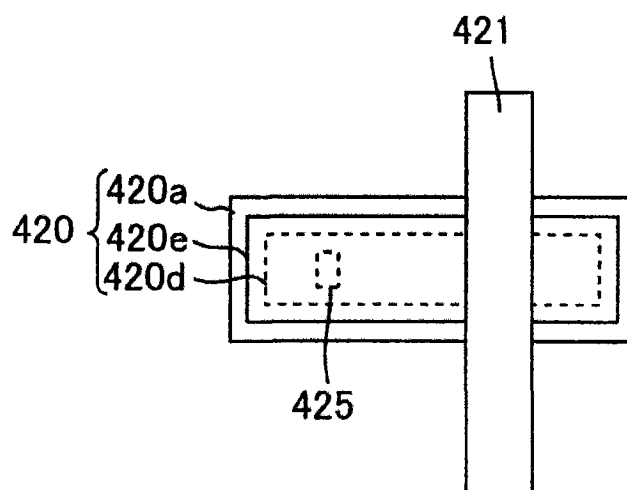


图 4-2

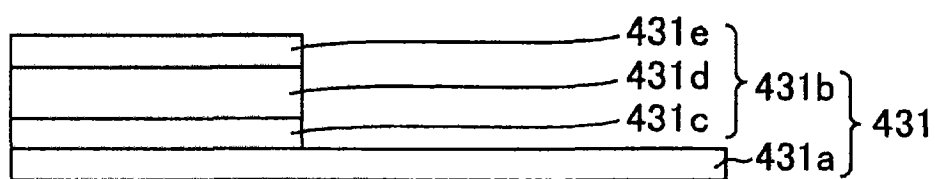


图 4-3

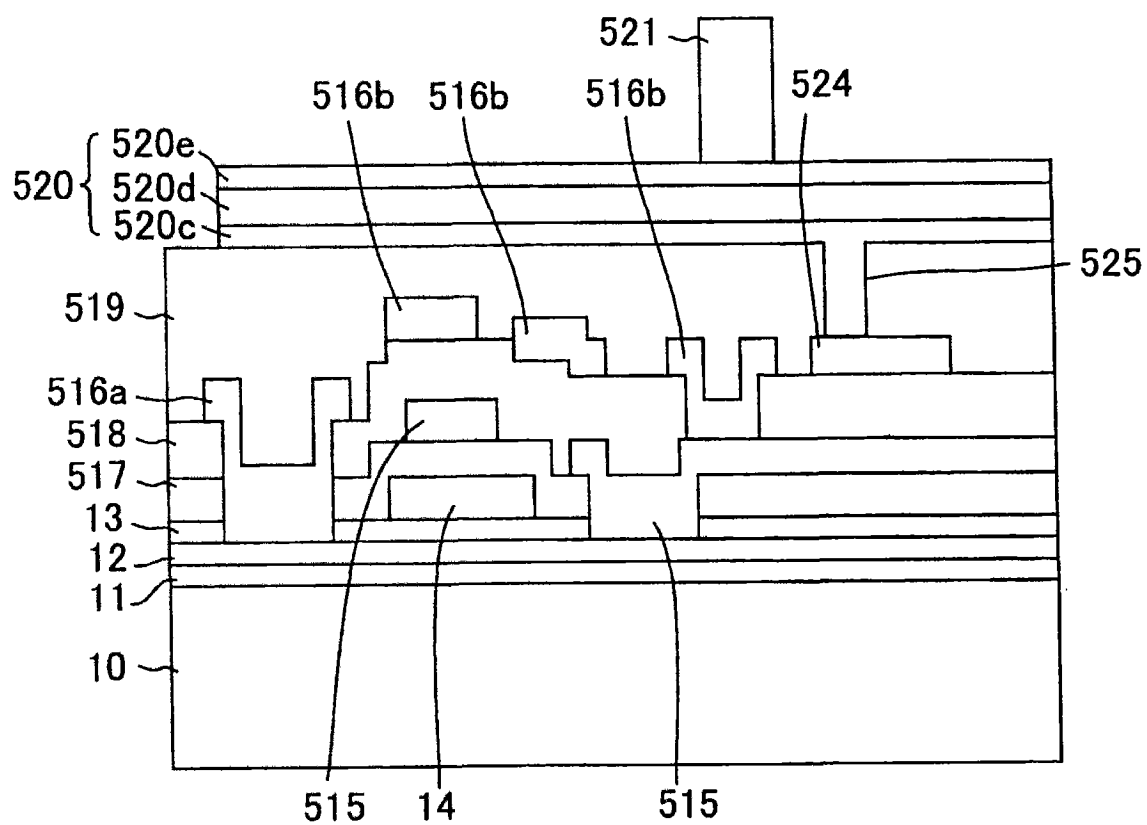


图 5-1

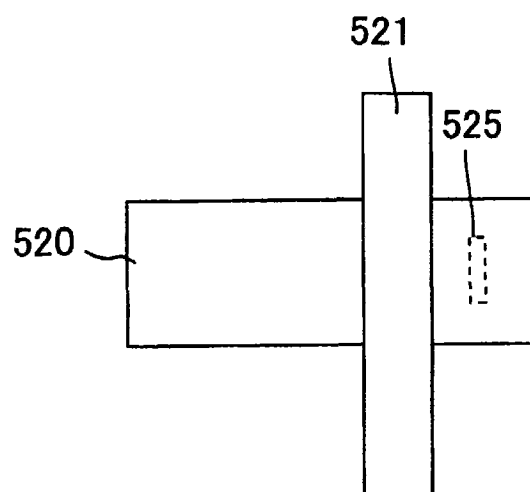


图 5-2

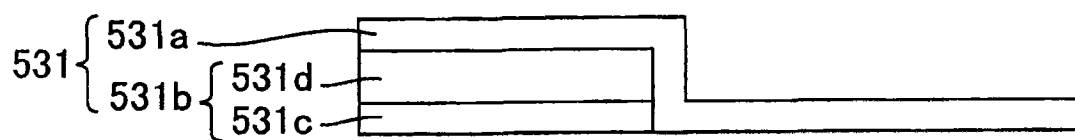


图 5-3

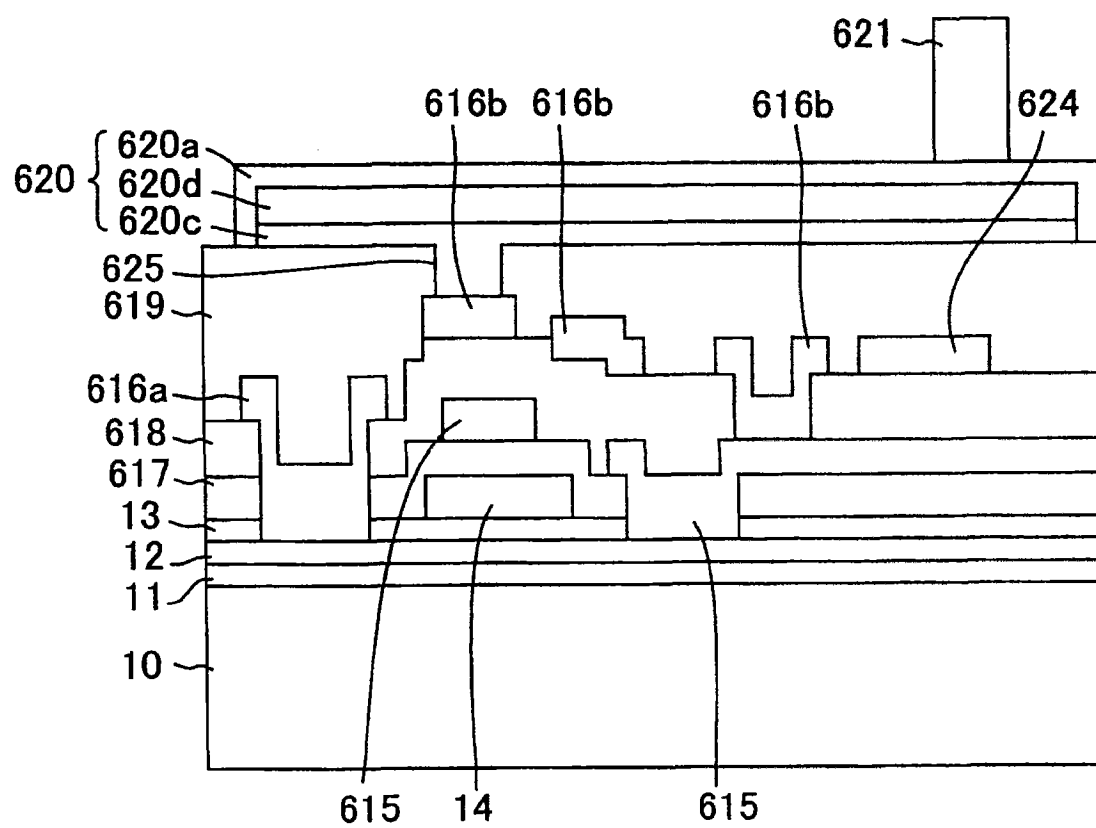


图 6-1

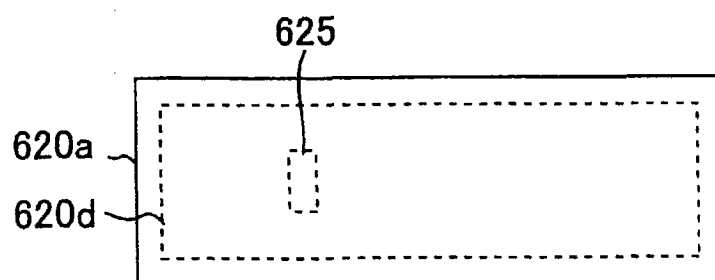


图 6-2

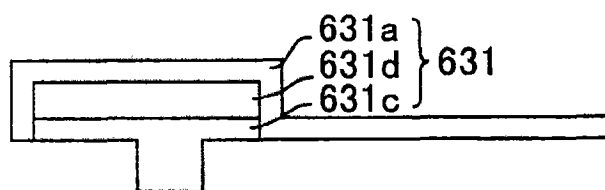


图 6-3

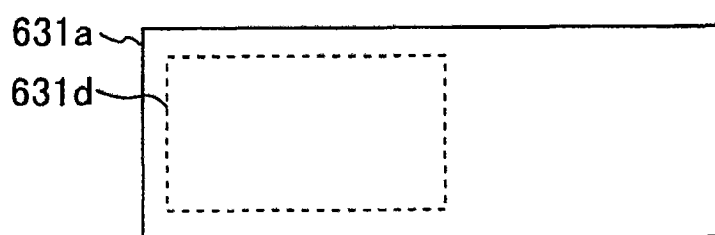


图 6-4

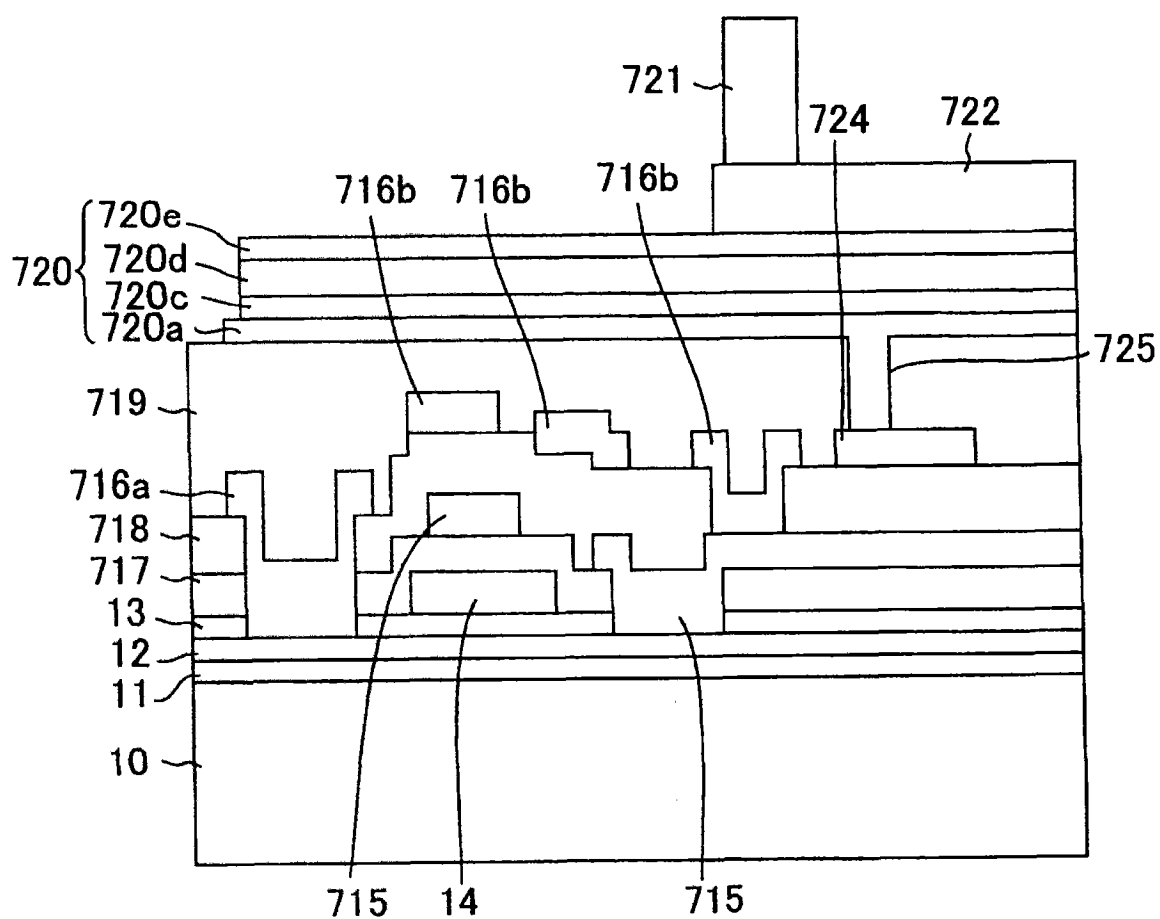


图 7-1

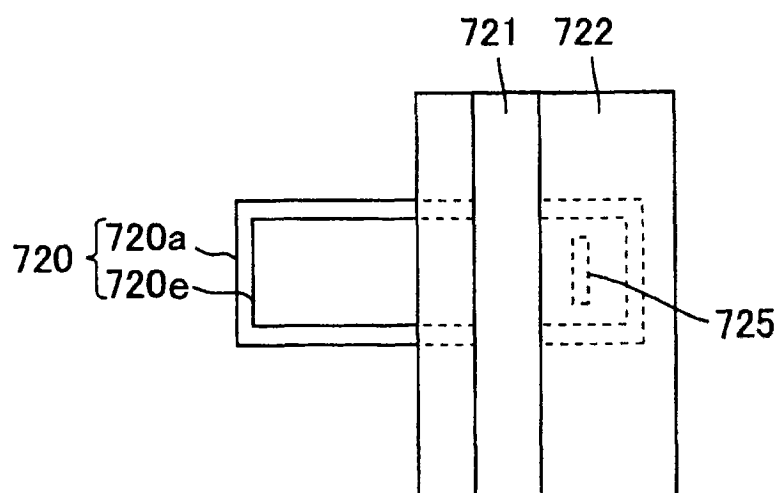


图 7-2

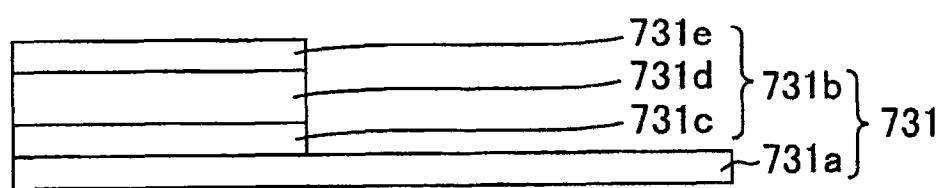


图 7-3

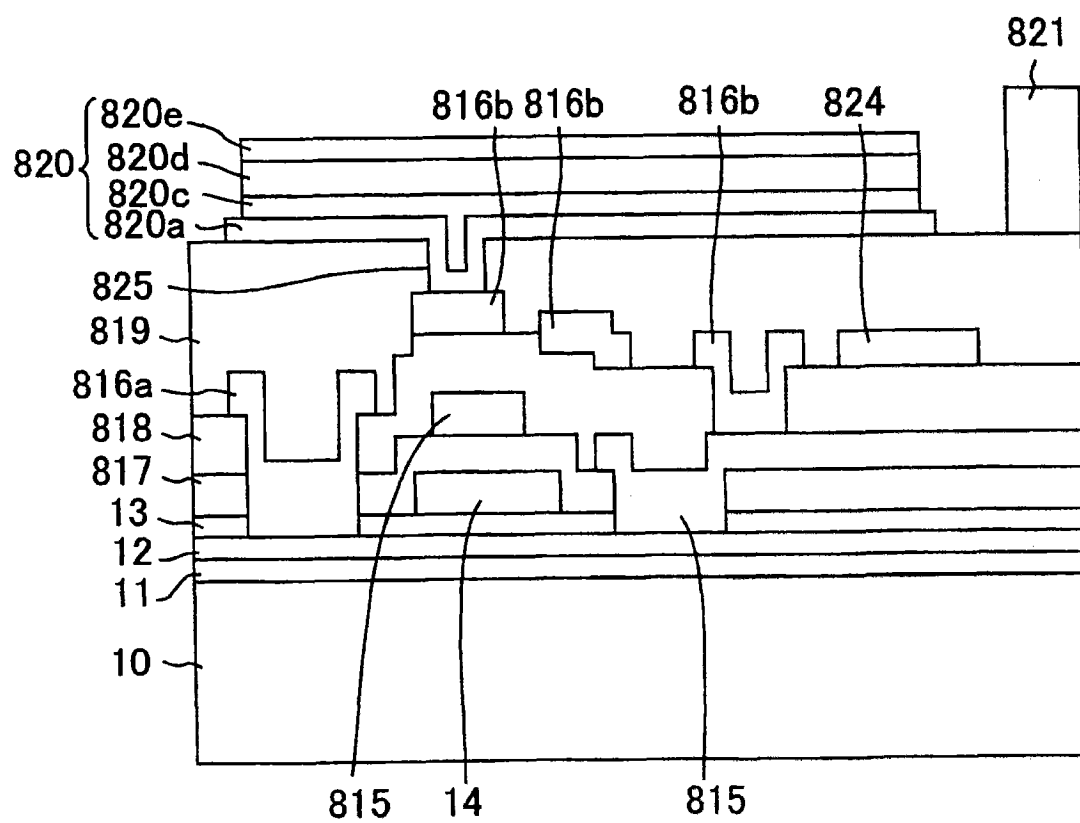


图 8-1

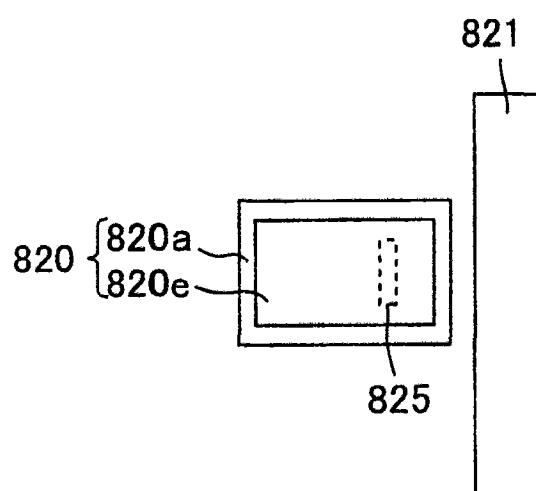


图 8-2

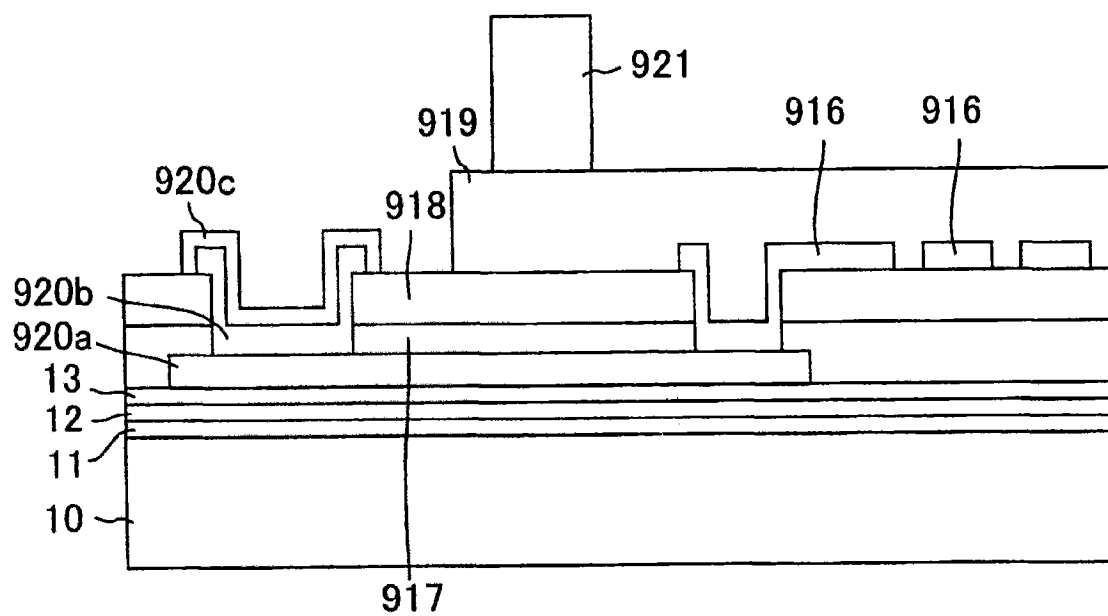


图 9-1

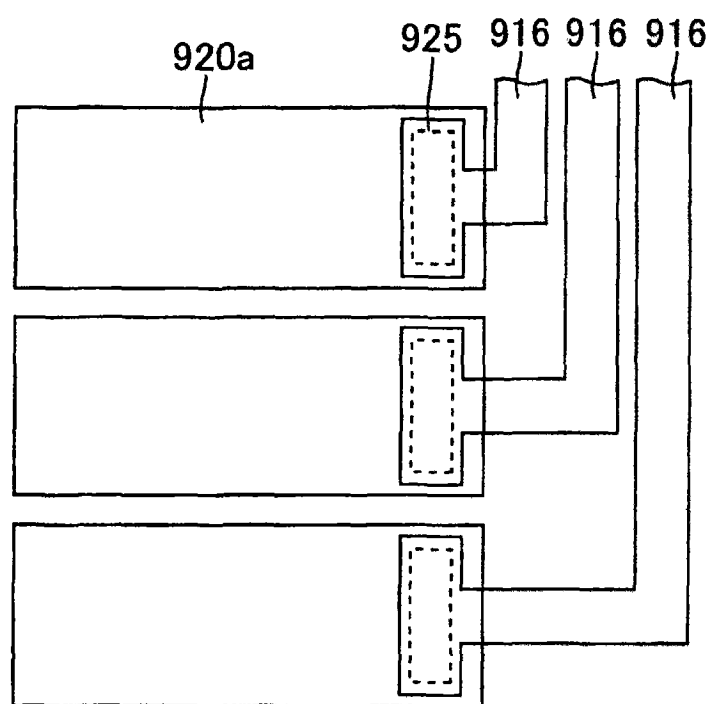


图 9-2

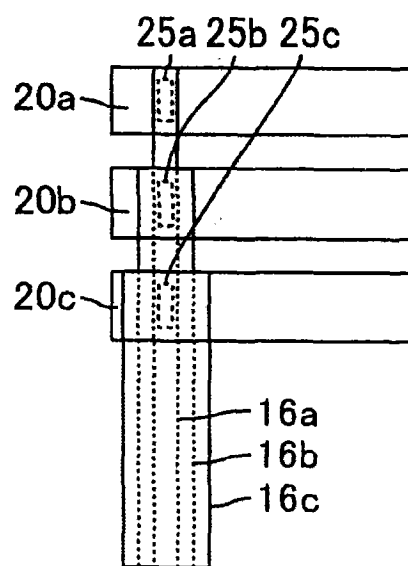


图 10

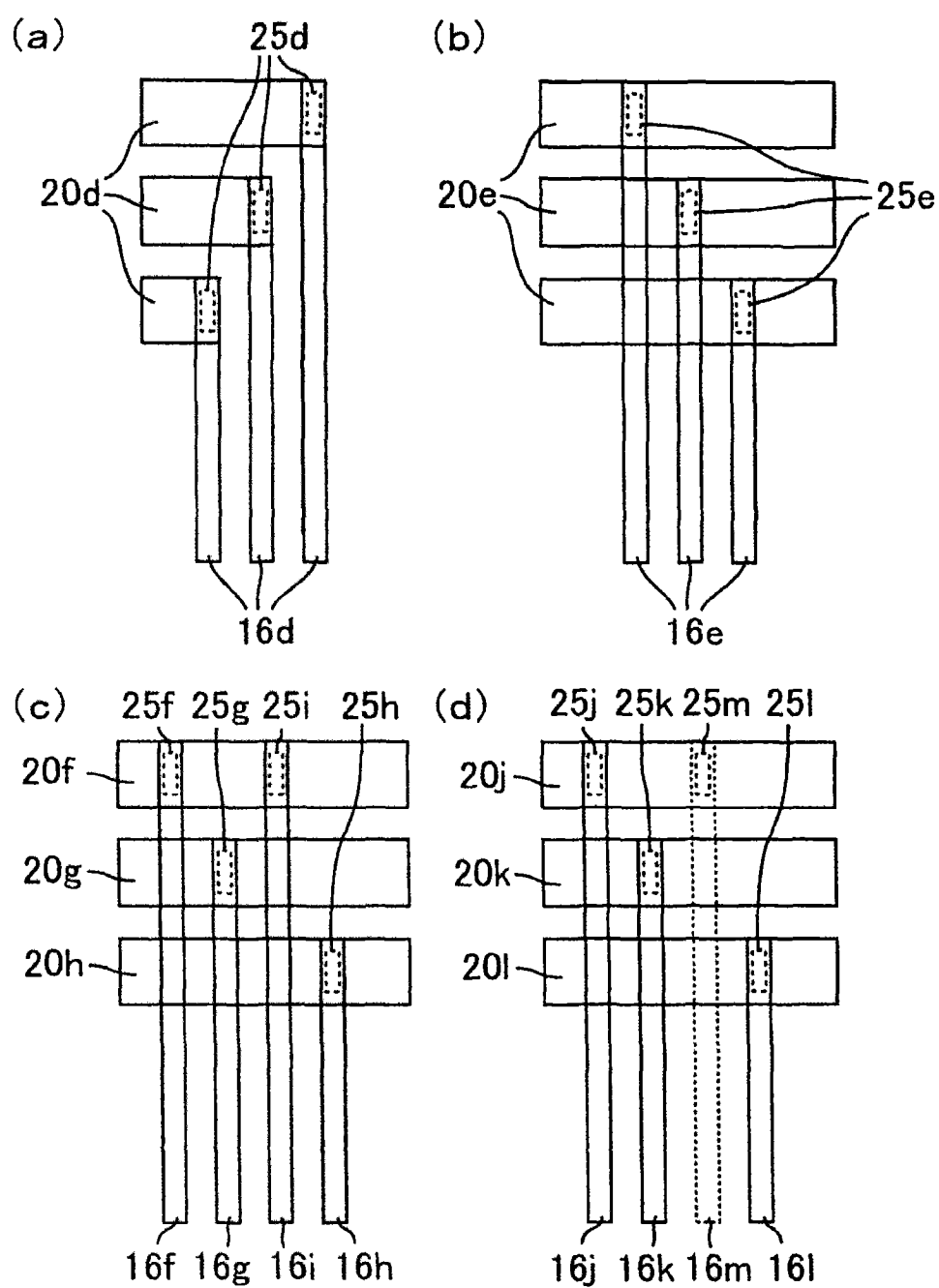


图 11

专利名称(译)	电路板、显示装置和液晶显示装置		
公开(公告)号	CN101681072B	公开(公告)日	2012-12-26
申请号	CN200880015960.8	申请日	2008-03-28
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	森胁弘幸		
发明人	森胁弘幸		
IPC分类号	G02F1/1345 G02F1/1368 G09F9/30 H05K1/02		
CPC分类号	G02F1/13452 G02F1/1345 G02F1/133 G02F1/13454 G02F1/1347		
审查员(译)	王振佳		
优先权	2007196350 2007-07-27 JP		
其他公开文献	CN101681072A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及电路板、显示装置和液晶显示装置。本发明提供一种在基板上具备用于像素的驱动的驱动电路和用于从外部供给赋予驱动电路的信号和用于使电路驱动的电等的外部连接端子的、削减了边框面积的一体型电路板、以及具备上述电路板的显示装置和液晶显示装置。本发明的电路板，在基板上具有用于像素的驱动的驱动电路和外部连接端子，上述电路板具有在外部连接端子的下层配置的配线。

