

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)
G02F 1/133 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510005884.0

[45] 授权公告日 2009年9月16日

[11] 授权公告号 CN 100541589C

[22] 申请日 2005.1.27

[21] 申请号 200510005884.0

[30] 优先权

[32] 2004.1.27 [33] JP [31] 2004-018583

[73] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 宫崎喜芳

[56] 参考文献

CN1361910A 2002.7.31

CN1467699A 2004.1.14

CN1338716A 2002.3.6

JP200098331A 2000.4.7

US20020039090A1 2002.4.4

US2002/0050970A1 2002.5.2

US5729246A 1998.3.17

KR2002003307A 2002.5.4

审查员 王 冀

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 穆德骏 陆 弋

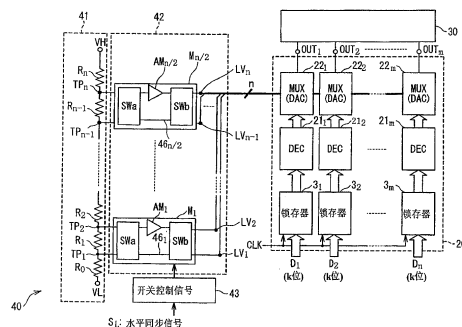
权利要求书 8 页 说明书 26 页 附图 19 页

[54] 发明名称

用于驱动 LCD 面板的驱动电压产生电路及其
LCD 驱动器、液晶显示器

[57] 摘要

驱动电压产生电路提供用于驱动 LCD 面板 (30) 的驱动电压。驱动电压产生电路包括: 增殖器 (7), 缓冲放大器 (AM_i), 开关电路 (SW_a , SW_b) 和其上分别产生驱动电压的一组第 1 至第 N 输出端 (LV_1 至 LV_n)。增殖器 (7) 在第 1 至第 N 节点 (TP_1 至 TP_n) 上分别产生一组第 1 至第 N 个不同电压, 其中 N 是等于或大于 2 的任何整数, 而第 1 至第 N 电压分别与灰度级相关。开关电路 (SW_a , SW_b) 切换缓冲放大器 (AM_i) 的输出端和输入端, 第 1 至第 N 节点 (TP_1 至 TP_n) 和第 1 至第 N 输出端 (LV_1 至 LV_n) 之间的连接。



1. 一种驱动电压产生电路，包括：

电压产生器，在第 1 至第 N 节点上分别产生一组第 1 至第 N 个不同电压，N 是等于或大于 2 的任何整数，而且所述第 1 至第 N 电压分别与灰度级相关；

缓冲放大器；

一组第 1 至第 N 输出端，通过该组输出端将驱动电压提供给 LCD 面板；以及

开关电路，切换所述缓冲放大器的输入端和输出端，所述第 1 至第 N 节点以及所述第 1 至第 N 输出端之间的连接，

其中所述开关电路包括：

输入多路复用器模块，用于将从所述第 1 至第 N 节点选出的一个节点连接至所述缓冲放大器的所述输入端，

输出多路复用器模块，用于将所述缓冲放大器的所述输出端连接至从所述第 1 至第 N 输出端选出的一个或多个输出端，以及

旁路多路复用器模块，用于将从所述第 1 至第 N 节点中选出的一个或多个节点连接至有关的所述第 1 至第 N 输出端中的一个或多个输出端，

其中在第一时间周期期间，所述输入多路复用器模块将所述第 1 节点连接至所述缓冲放大器的所述输入端，并且所述输出复用器模块将所述缓冲放大器的所述输出端连接至所有所述第 1 至第 N 输出端，以及所述旁路多路复用器模块断开所述第 1 至第 N 节点和所述第 1 至第 N 输出端之间的连接，以及

其中在 i 为 2 至 N 范围内的任一整数的第 i 时间周期期间，所述输入多路复用器模块将所述第 i 节点 (T_{p_i}) 连接至所述缓冲放大器的所述输入端，并且所述输出多路复用器模块将所述缓冲放大器的所述输出端连接至所述第 i 至第 N 输出端，以及断开所述第 1 至第 $(i-1)$ 输出端和所述缓冲放大器的所述输出端之间的连接，而且所述旁路多路复用器模块将所述第 1 至第 $(i-1)$ 节点分别连接至所述第 1 至第 $(i-1)$ 输出端，

并断开所述第 i 至第 N 节点和所述第 i 至第 N 输出端之间的连接。

2. 一种驱动电压产生电路，包括：

电压产生器，在第 1 至第 N 节点上分别产生一组第 1 至第 N 个不同电压，N 是等于或大于 2 的任何整数，而且所述第 1 至第 N 电压分别与灰度级相关；

缓冲放大器；

一组第 1 至第 N 输出端，通过该组输出端将驱动电压提供给 LCD 面板；以及

开关电路，切换所述缓冲放大器的输入端和输出端，所述第 1 至第 N 节点以及所述第 1 至第 N 输出端之间的连接，

其中将每个水平周期分成第一至第 N 时间周期，

其中所述第 1 至第 N 电压满足下列关系：

$$V_1 < V_2 < \dots < V_N,$$

其中 V_i 是所述第 i 电压的电平，

其中，在其间将所述 LCD 面板内的公用电极降低至地电压的第一水平周期内的第一时间周期期间，所述开关电路将所述第 1 节点连接至所述缓冲放大器的所述输入端，并且将所述缓冲放大器的所述输出端连接至所有所述第 1 至第 N 输出端，

其中，在 i 为 2 至 N 范围内的任一整数的所述第一水平周期内的第 i 时间周期期间，所述开关电路将所述第 i 节点连接至所述缓冲放大器的所述输入端，并将所述缓冲放大器的所述输出端连接至所述第 i 至第 N 输出端，以及断开所述第 1 至第 (i-1) 输出端和所述缓冲放大器的所述输出端之间的连接，并将所述第 1 至第 (i-1) 节点分别连接至所述第 1 至第 (i-1) 输出端，

其中，在其间将所述 LCD 面板内的公用电极拉升至一个电压的第二水平周期内的第一时间周期期间，所述开关电路将所述第 N 节点连接至所述缓冲放大器的所述输入端，并将所述缓冲放大器的所述输出端连接至所有所述第 1 至第 N 输出端，以及

其中，在所述第二水平周期内的第 i 时间周期期间，所述开关电

路将所述第 $(N-i+1)$ 节点连接至所述缓冲放大器的所述输入端，并将所述缓冲放大器的所述输出端连接至所述第 1 至第 $(N-i+1)$ 输出端，以及断开所述第 $(N-i+2)$ 至第 N 输出端和所述缓冲放大器的所述输出端之间的连接，并将所述第 $(N-i+2)$ 至第 N 节点连接至所述第 $(N-i+2)$ 至第 N 输出端。

3. 一种 LCD 驱动器，包括：

驱动电压产生电路，分别在 n 个输出端上产生一组驱动电压， n 为等于或大于 2 的任一整数；以及

输出选择器电路，用于响应像素数据选择所述驱动电压中的一个电压，并将所述选择的驱动电压输出给 LCD 面板中相关的一个信号线；

其中所述驱动电压产生电路包括：

电压产生器，分别在 n 个节点上产生一组 n 个不同的电压，并且所述 n 个不同的电压分别与 n 个不同的灰度级相关，

缓冲放大器，以及

开关电路，

其中所述 n 个输出端包括一组第 1 至第 N 输出端， N 是在 2 和 n 之间选择的整数，

其中所述 n 个不同电压的组包括一组第 1 至第 N 电压，并且所述 n 个节点包括一组第 1 至第 N 节点，以及

其中，所述开关电路切换所述缓冲放大器的输出端和输入端，所述第 1 至第 N 节点和所述第 1 至第 N 输出端之间的连接，

其中所述开关电路包括：

输入多路复用器模块，用于将从所述第 1 至第 N 节点选出的一个节点连接至所述缓冲放大器的所述输入端，

输出多路复用器模块，用于将所述缓冲放大器的所述输出端连接至从所述第 1 至第 N 输出端选出的一个或多个输出端，以及

旁路多路复用器模块，用于将从所述第 1 至第 N 节点中选出的一个或多个节点连接至有关的所述第 1 至第 N 输出端中的一个或多个输出端，

其中在第一时间周期期间,所述输入多路复用器模块将所述第 1 节点连接至所述缓冲放大器的所述输入端,并且所述输出复用器模块将所述缓冲放大器的所述输出端连接至所有所述第 1 至第 N 输出端,以及所述旁路多路复用器模块断开所述第 1 至第 N 节点和所述第 1 至第 N 输出端之间的连接,以及

其中在 i 为 2 至 N 范围内的任一整数的第 i 时间周期期间,所述输入多路复用器模块将所述第 i 节点 (T_{p_i}) 连接至所述缓冲放大器的所述输入端,并且所述输出多路复用器模块将所述缓冲放大器的所述输出端连接至所述第 i 至第 N 输出端,以及断开所述第 1 至第 $(i-1)$ 输出端和所述缓冲放大器的所述输出端之间的连接,而且所述旁路多路复用器模块将所述第 1 至第 $(i-1)$ 节点分别连接至所述第 1 至第 $(i-1)$ 输出端,并断开所述第 i 至第 N 节点和所述第 i 至第 N 输出端之间的连接。

4. 一种 LCD 驱动器,包括:

驱动电压产生电路,分别在 n 个输出端上产生一组驱动电压, n 为等于或大于 2 的任一整数;以及

输出选择器电路,用于响应像素数据选择所述驱动电压中的一个电压,并将所述选择的驱动电压输出给 LCD 面板中相关的一个信号线;

其中所述驱动电压产生电路包括:

电压产生器,分别在 n 个节点上产生一组 n 个不同的电压,并且所述 n 个不同的电压分别与 n 个不同的灰度级相关,

缓冲放大器,以及

开关电路,

其中所述 n 个输出端包括一组第 1 至第 N 输出端,N 是在 2 和 n 之间选择的整数,

其中所述 n 个不同电压的组包括一组第 1 至第 N 电压,并且所述 n 个节点包括一组第 1 至第 N 节点,以及

其中,所述开关电路切换所述缓冲放大器的输出端和输入端,所述第 1 至第 N 节点和所述第 1 至第 N 输出端之间的连接,

其中将每个水平周期分成第一至第 N 时间周期,

其中所述第 1 至第 N 电压满足下列关系：

$$V_1 < V_2 < \dots < V_N,$$

其中 V_i 是所述第 i 电压的电平，

其中，在其间将所述 LCD 面板内的公用电极降低至地电压的第一水平周期内的第一时间周期期间，所述开关电路将所述第 1 节点连接至所述缓冲放大器的所述输入端，并且将所述缓冲放大器的所述输出端连接至所有所述第 1 至第 N 输出端，

其中，在 i 为 2 至 N 范围内的任一整数的所述第一水平周期内的第 i 时间周期期间，所述开关电路将所述第 i 节点连接至所述缓冲放大器的所述输入端，并将所述缓冲放大器的所述输出端连接至所述第 i 至第 N 输出端，以及断开所述第 1 至第 (i-1) 输出端和所述缓冲放大器的所述输出端之间的连接，并将所述第 1 至第 (i-1) 节点分别连接至所述第 1 至第 (i-1) 输出端，

其中，在其间将所述 LCD 面板内的公用电极拉升至一个电压的第二水平周期内的第一时间周期期间，所述开关电路将所述第 N 节点连接至所述缓冲放大器的所述输入端，并将所述缓冲放大器的所述输出端连接至所有所述第 1 至第 N 输出端，以及

其中，在所述第二水平周期内的第 i 时间周期期间，所述开关电路将所述第 (N-i+1) 节点连接至所述缓冲放大器的所述输入端，并将所述缓冲放大器的所述输出端连接至所述第 1 至第 (N-i+1) 输出端，以及断开所述第 (N-i+2) 至第 N 输出端和所述缓冲放大器的所述输出端之间的连接，并将所述第 (N-i+2) 至第 N 节点连接至所述第 (N-i+2) 至第 N 输出端。

5. 一种液晶显示器，包括：

包括信号线的 LCD 面板；

驱动电压产生电路，分别在 n 个输出端上产生一组驱动电压，n 为等于或大于 2 的任一整数；以及

输出选择器电路，用于响应像素数据选择所述驱动电压中的一个电压，并将所述选择的驱动电压输出给相关的一个所述信号线上；

其中所述驱动电压产生电路包括：

电压产生器，分别在 n 个节点上产生一组 n 个不同的电压，
并且所述 n 个电压分别与 n 个灰度级相关，

缓冲放大器，以及

开关电路，

其中所述 n 个输出端包括一组第 1 至第 N 输出端， N 是在 2 和 n 之间选择的整数，

其中所述 n 个不同电压的组包括一组第 1 至第 N 电压，并且所述 n 个节点包括一组第 1 至第 N 节点，以及

其中，所述开关电路切换所述缓冲放大器的输出端和输入端，所述第 1 至第 N 节点和所述第 1 至第 N 输出端之间的连接，

其中所述开关电路包括：

输入多路复用器模块，用于将从所述第 1 至第 N 节点选出的一个节点连接至所述缓冲放大器的所述输入端，

输出多路复用器模块，用于将所述缓冲放大器的所述输出端连接至从所述第 1 至第 N 输出端选出的一个或多个输出端，以及

旁路多路复用器模块，用于将从所述第 1 至第 N 节点中选出的一个或多个节点连接至有关的所述第 1 至第 N 输出端中的一个或多个输出端，

其中在第一时间周期期间，所述输入多路复用器模块将所述第 1 节点连接至所述缓冲放大器的所述输入端，并且所述输出复用器模块将所述缓冲放大器的所述输出端连接至所有所述第 1 至第 N 输出端，以及所述旁路多路复用器模块断开所述第 1 至第 N 节点和所述第 1 至第 N 输出端之间的连接，以及

其中在 i 为 2 至 N 范围内的任一整数的第 i 时间周期期间，所述输入多路复用器模块将所述第 i 节点 (T_{p_i}) 连接至所述缓冲放大器的所述输入端，并且所述输出多路复用器模块将所述缓冲放大器的所述输出端连接至所述第 i 至第 N 输出端，以及断开所述第 1 至第 $(i-1)$ 输出端和所述缓冲放大器的所述输出端之间的连接，而且所述旁路多路复用器模块将所述第 1 至第 $(i-1)$ 节点分别连接至所述第 1 至第 $(i-1)$ 输出

端，并断开所述第 i 至第 N 节点和所述第 i 至第 N 输出端之间的连接。

6. 一种液晶显示器，包括：

包括信号线的 LCD 面板；

驱动电压产生电路，分别在 n 个输出端上产生一组驱动电压， n 为等于或大于 2 的任一整数；以及

输出选择器电路，用于响应像素数据选择所述驱动电压中的一个电压，并将所述选择的驱动电压输出给相关的一个所述信号线上；

其中所述驱动电压产生电路包括：

电压产生器，分别在 n 个节点上产生一组 n 个不同的电压，并且所述 n 个电压分别与 n 个灰度级相关，

缓冲放大器，以及

开关电路，

其中所述 n 个输出端包括一组第 1 至第 N 输出端， N 是在 2 和 n 之间选择的整数，

其中所述 n 个不同电压的组包括一组第 1 至第 N 电压，并且所述 n 个节点包括一组第 1 至第 N 节点，

其中，所述开关电路切换所述缓冲放大器的输出端和输入端，所述第 1 至第 N 节点和所述第 1 至第 N 输出端之间的连接，

其中将每个水平周期分成第一至第 N 时间周期，

其中所述第 1 至第 N 电压满足下列关系：

$$V_1 < V_2 < \dots < V_N,$$

其中 V_i 是所述第 i 电压的电平，

其中，在其间将所述 LCD 面板内的公用电极降低至地电压的第一水平周期内的第一时间周期期间，所述开关电路将所述第 1 节点连接至所述缓冲放大器的所述输入端，并且将所述缓冲放大器的所述输出端连接至所有所述第 1 至第 N 输出端，

其中，在 i 为 2 至 N 范围内的任一整数的所述第一水平周期内的第 i 时间周期期间，所述开关电路将所述第 i 节点连接至所述缓冲放大器的所述输入端，并将所述缓冲放大器的所述输出端连接至所述第 i

至第 N 输出端，以及断开所述第 1 至第 (i-1) 输出端和所述缓冲放大器的所述输出端之间的连接，并将所述第 1 至第 (i-1) 节点分别连接至所述第 1 至第 (i-1) 输出端，

其中，在其间将所述 LCD 面板内的公用电极拉升至一个电压的第二水平周期内的第一时间周期期间，所述开关电路将所述第 N 节点连接至所述缓冲放大器的所述输入端，并将所述缓冲放大器的所述输出端连接至所有所述第 1 至第 N 输出端，以及

其中，在所述第二水平周期内的第 i 时间周期期间，所述开关电路将所述第 (N-i+1) 节点连接至所述缓冲放大器的所述输入端，并将所述缓冲放大器的所述输出端连接至所述第 1 至第 (N-i+1) 输出端，以及断开所述第 (N-i+2) 至第 N 输出端和所述缓冲放大器的所述输出端之间的连接，并将所述第 (N-i+2) 至第 N 节点连接至所述第 (N-i+2) 至第 N 输出端。

用于驱动 LCD 面板的驱动电压产生电路及其 LCD 驱动器、液晶显示器

技术领域

本发明涉及驱动电压产生电路，LCD（液晶显示器）驱动器和液晶显示设备。更具体地说，本发明涉及 LCD 驱动器内驱动电压（可以称为灰度电压）的产生。

背景技术

最近的移动电子设备（诸如蜂窝式电话）通常包含用于人机接口的液晶显示设备。将液晶显示设备并入移动电子设备中的必要条件包括硬件实现电路尺寸和功耗的减小。一种减小电路尺寸和功耗的方法是将数量减少的电路结合入液晶显示器中。

一般的液晶显示器由 LCD 驱动器和 LCD 面板组成。一般的 LCD 驱动器包括灰度电压产生器和驱动电路。灰度电压产生器产生一组不同的灰度电压。驱动电路响应表示相关像素所需灰度级的数字数据的像素数据而选择灰度电压，并输出所选择的灰度电压以驱动 LCD 面板内的有关信号线（或数据线）。

为了立刻驱动 LCD 面板内的信号线，往往通过使用包含在 LCD 驱动器中的缓冲放大器来实现信号线的驱动，每个缓冲放大器都包括增益为 1 的源极跟随器。

在一般的 LCD 驱动器结构中，如在申请号为 P2002-108301A 的日本未审专利申请中公开的现有技术那样，为相应的 LCD 驱动器输出端提供缓冲放大器，该驱动器输出端向 LCD 面板的信号线提供所需的驱动电压。

图 1 说明了所公开的 LCD 驱动器结构。该公开 LCD 驱动器包括：串并行移位寄存器 1，一组 m 个数据锁存器 2，负载锁存器电路 3，电平移动器 4，数字/模拟 (D/A) 转换器 5，缓冲放大器电路 6 和增殖器 (breeder) 7， m 为自然数。

缓冲放大器电路 6 由一组 m 个缓冲放大器 6_1 至 6_m 组成，这些缓冲放大器的输出端通过 LCD 驱动器的一组 m 个输出端分别连接布置在 LCD 面板内的 m 个信号线。

移位寄存器 1 用于响应外部输入的移位脉冲信号和传输时钟产生一组 m 个锁存器信号。移位寄存器 1 顺序地锁存并移位与传输时钟同步的移位脉冲信号的数据位，藉此在并行输出端上产生该组 m 个锁存器信号。

每个数据锁存器 2 的目的是与相关的锁存器信号同步地锁存相关的像素数据。

负载锁存电路 3 在相同时间响应负载信号而锁存数据锁存器 2 的输出。

电平移动器 4 提供负载锁存电路 3 的输出和 D/A 转换器 5 的输入端之间的电平移动。

增殖器 7 通过使用一组串联的电阻器来分离外加电压，藉此产生一组 $n (=2^k)$ 个不同的灰度电压， k 是自然数。

D/A 转换器 5 响应有关的像素数据而为每个信号线选择一个灰度电压。

缓冲放大器 6_1 至 6_m 从 D/A 转换器 5 接收有关的灰度电压，并提

供对接收的灰度电压的缓冲，以便产生一组驱动电压。从缓冲放大器 6_1 至 6_m 输出的驱动

电压基本上和来源于 D/A 转换器 5 的有关灰度电压一致。驱动电压被输出到 LCD 面板的信号线上。

这种 LCD 驱动器结构的一个缺点是这种驱动器结构为了增加 LCD 驱动器的输出端的数量而需要增加缓冲放大器 6_1 至 6_m 的数量。加大屏幕尺寸和/或使液晶面板出色需要增加液晶面板的信号线的数量，也就是增加布置在 LCD 驱动器内的缓冲放大器的数量。但是增加缓冲放大器的数量会不合乎需要地增大 LCD 驱动器的电路尺寸和功耗。

为了解决这种缺点，上述申请号为 P2002-108301A 的日本未审专利申请已提出了一种改进的 LCD 驱动器结构，其为每个灰度电压引入了一个缓冲放大器。这在不增加缓冲放大器的数量的情况下有效地增加了 LCD 驱动器输出端的数量。

图 2 和图 3 说明所提出的 LCD 驱动器结构。请参考图 2，已公开的 LCD 驱动器包括：串并行移位寄存器 1，一组 m 个数据锁存器 2，负载锁存电路 3，电平移动器 4，译码器电路 21，输出选择器电路 22，缓冲放大器电路 6 和增殖器 7；应注意，在说明书中相同的数字指示相同的，类似的或等价的元件。已公开的 LCD 驱动器另外还包括像素数据使能电路 23，灰度显示模式电路 24 和放大器使能电路 25。

如图 3 所示，缓冲放大器电路 6 和增殖器 7 组成用于产生有关灰度级的一组驱动电压的驱动电压产生电路 10，而负载锁存电路 3，译码器电路 21 和输出选择器电路 22 组成驱动电路 20，该驱动电路 20 的目的是输出每个输出端上的驱动电压中的所选择的一个电压。

增殖器 7 由串联在电源 V_H 和接地 V_L 之间以产生 n 个与不同灰度级有关的不同灰度级电压的一组电阻元件 R_0 至 R_n 组成； n 是有效灰度级的数量，等于 2^k ，其中 k 是每一个像素数据的数据位的数量。电阻元件 R_w 通过布置在它们之间的节点 TP_w 连接相邻的电阻元件 R_{w-1} ，其中 w 是 1 到 n 范围内的任何整数。这种连接在节点 TP_1 至 TP_n 上提供不同的电压；在节点 TP_1 至 TP_n 上产生的电压分别由 V_1 至 V_n 表示。

缓冲放大器电路 6 包括一组 n 个增益为 1 的缓冲放大器 AM_1 至 AM_n 。缓冲放大器 AM_1 至 AM_n 的输出端分别连接节点 TP_1 至 TP_n 。缓冲放大器 AM_1 至 AM_n 分别为从节点 TP_1 至 TP_n 接收的灰度电压提供缓冲。缓冲放大器 AM_1 至 AM_n 在分别由数字 LV_1 至 LV_n 表示输出端产生驱动电压。在输出端 LV_1 至 LV_n 上产生的驱动电压分别在理论上和在节点 TP_1 至 TP_n 上产生的电压 V_1 至 V_n 一致。产生在输出端 LV_1 至 LV_n 上的驱动电压用于驱动图 3 中由数字 30 表示的 LCD 面板的信号线。

负载锁存器电路 3 由一组 m 个锁存器 3_1 至 3_m 组成，而译码器电路 21 由一组 m 个译码器 21_1 至 21_m 组成。另外，输出选择器电路 22 由一组作为 D/A 转换器使用的多路复用器 22_1 至 22_m 组成。锁存器 3_1 至 3_m 的输出端分别连接译码器 21_1 至 21_m 的输入端。译码器 21_1 至 21_m 的输出端分别连接多路复用器 22_1 至 22_m 的选择输入端。多路复用器 22_1 至 22_m 的输出端分别连接由符号 OUT_1 至 OUT_m 表示的 LCD 驱动器的输出端。输出端 OUT_1 至 OUT_m 连接 LCD 面板 30 的信号线。

锁存器 3_1 至 3_m 分别与外部输入的传输时钟 CLK 同步地锁存外部输入的 k 位像素数据 D_1 至 D_m 。锁存的 k 位像素数据 D_1 至 D_m 提供给译码器 22_1 至 22_m 。

译码器 21_1 至 21_m 对像素数据 D_1 至 D_m 进行译码。

多路复用器 22_1 至 22_m 中的每个都分别用于响应已译码的数据 D_1 至 D_m 而从产生在输出端 LV_1 至 LV_n 上的电压 V_1 至 V_n 中进行选择。当像素数据 D_v 是 $k=6$ 位的 "111111" 时, 其中 v 是 1 至 n 范围内的自然数, 则多路复用器 22_v 从电压 V_1 至 V_n 中选出电压 V_n 。在另一方面, 当像素数据 D_v 为 "000000" 时, 多路复用器 22_v 从电压 V_1 至 V_n 中选出 V_1 。然后, 多路复用器 22_1 至 22_m 通过有关的输出端 OUT_1 至 OUT_m 将选出的电压提供给 LCD 面板 30。

图 3 所示的 LCD 驱动器结构的有利方面在于使得 LCD 驱动器在不增加缓冲放大器的数量的情况下增加了输出端的数量; 缓冲放大器的数量受限于有效灰度级的数量。

目前的需求包括增加可用灰度级的数量; 然而, 图 3 所示的 LCD 驱动器结构面临这样的问题, 即缓冲放大器的数量与有效灰度级的数量成比例的增加。例如为了实现 260k 色彩显示, 图 3 所示的 LCD 驱动器结构需要 64 个缓冲放大器; 应注意, 260k 色彩显示需要每个 R, G, B 彩色分量的 64 个灰度级。图 3 所示的 LCD 驱动器结构需要 256 个或 1024 个用于实现自然灰度显示的缓冲放大器, 该自然灰度显示包括每个 R, G, B 彩色分量的 256 (2^8) 或 1024 (2^{16}) 个灰度级。如上所述, 图 3 所示的 LCD 驱动器结构为增加有效灰度级的数量而必然需要增加缓冲放大器的数量。这不合乎需要地增加了硬件实现 LCD 驱动器的电路尺寸和功耗。

日本未审专利申请第 P2000-98331A 号公开了另一种 LCD 驱动器结构, 其减少 LCD 驱动器内的电压跟随器的数量; 但是这种 LCD 驱动器结构解决的是使用数量减少的电压跟随器来实现 LCD 段显示板的帧反相驱动, 并不提供灰度显示。

发明内容

在本发明的一个方面中, 提供驱动电压产生电路以产生用于驱动

LCD 面板的驱动电压。驱动电压产生电路包括：增殖器，缓冲放大器，开关电路和一组其上分别产生驱动电压的第 1 至第 N 输出端。增殖器在第 1 至第 N 节点上分别产生一组第 1 至第 N 个不同的电压，其中 N 是等于或大于 2 的任一整数，而第 1 至第 N 电压分别与灰度级相关。开关电路切换缓冲放大器的输出端和输入端，第 1 至第 N 节点和第 1 至第 N 输出端之间的连接。

驱动电压产生电路的这个结构只需要一个缓冲放大器用于产生与 N 个不同灰度级有关的 N 个驱动电压，因此有效地减少了驱动 LCD 面板的缓冲放大器的数量。这有效地减小了 LCD 驱动器的功耗和电路尺寸。

附图说明

图 1 是说明常规 LCD 驱动器结构的结构图；

图 2 是说明另一常规 LCD 驱动器结构的结构图；

图 3 是说明图 2 所示的常规 LCD 驱动器结构的详细结构图；

图 4 是说明第一具体实施例中的 LCD 驱动器的典型结构的结构图；

图 5A 和 5B 是说明布置在第一具体实施例中的 LCD 驱动器内的缓冲电路的典型结构和操作的电路图；

图 6 是说明第一具体实施例的缓冲电路的操作的时序图；

图 7 是说明第二具体实施例中的 LCD 驱动器的典型结构的结构图；

图 8A 至 8C 是说明布置在第二具体实施例中的 LCD 驱动器内的缓冲电路的典型结构和操作的电路图；

图 9 是说明第一具体实施例的缓冲电路的操作的时序图；

图 10 是说明第三具体实施例中的 LCD 驱动器的典型结构的结构图；

图 11A 至 11C 是说明布置在第三具体实施例中的 LCD 驱动器内的缓冲电路的典型结构和操作的电路图；以及

图 12 是说明第三具体实施例的缓冲器电路的操作的时序图；

图 13 是说明第一具体实施例中的缓冲器电路的优选结构的电路图；

图 14 是说明第二具体实施例中的缓冲器电路的优选结构的电路图；

图 15 是说明第二具体实施例中的缓冲器电路的优选操作的时序图。

具体实施方式

下面将参考附图来详细地描述本发明的优选具体实施例。应注意，在附图中，相同的数字表示相同，或类似的部件。

第一具体实施例

(系统结构)

在图 4 所示的第一具体实施例中，液晶显示器由 LCD 面板 30 和 LCD 驱动器组成，该 LCD 驱动器包括驱动电压产生电路 40 和驱动器电路 20。驱动器电路 20 连接驱动电压 40 和 LCD 面板 30。

驱动电压产生电路 40 由增殖器（电压产生器）41，缓冲器电路 42 和开关控制电路 43 组成。

增殖器 41 由串联在电源 V_H 和接地 V_L 之间以产生与不同灰度级有关的 N 个不同电压的一组电阻元件 R_0 至 R_n 组成； n 是有效灰度级的数量，等于 $2k$ ，其中 k 是每一个像素数据的数据位的数量。电阻元件 R_j 通过布置在其间的节点 TP_j 连接相邻的电阻元件 R_{j-1} ，而电阻元件 R_{j-1} 通过节点 TP_{j-1} 连接相邻的电阻元件 R_{j-2} ；其中 j 是等于或小于 n 的任一偶数。这种连接在节点 TP_1 至 TP_n 上提供不同的电压；节点 TP_1 至 TP_n 上产生的电压分别由数字 V_1 至 V_n 表示。应注意，电压 V_1 至 V_n 满足下列关系：

$$V_1 < V_2 < \dots < V_n。$$

缓冲器电路 42 由一组 $n/2$ 个缓冲器模块 M_1 至 $M_{n/2}$ 组成, 每个模块包括输入开关模块 SWa, 输出开关模块 SWb 和缓冲放大器; 在下文中, 缓冲器模块 $M_{j/2}$ 内的缓冲放大器由数字 $AM_{j/2}$ 表示。缓冲器模块 $M_{j/2}$ 的输入开关模块 SWa 的输入端连接节点 TP_j 和 TP_{j-1} 。缓冲器模块 $M_{j/2}$ 的输入开关模块 SWa 的输出端连接缓冲放大器 $AM_{j/2}$ 的输入端。缓冲放大器 $AM_{j/2}$ 的输出端连接输出开关模块 SWb 的输入端。输出开关模块 SWb 的另一输入端通过旁路 $46_{j/2}$ 和输入开关模块 SWa 连接节点 TP_{j-1} 。缓冲放大器 $AM_{j/2}$ 中的输出开关模块 SWb 的输出端连接缓冲器电路 42 的输出端 LV_j 和 LV_{j-1} 。输出端 LV_1 至 LV_n 通过一组 n 个信号线连接驱动电路 20。

开关控制电路 43 响应外部输入的水平同步信号 S_L 为每个缓冲器模块内的每个输入及输出开关模块 SWa 和 SWb 提供开关控制信号。水平同步信号 S_L 指示每个水平周期的开始; 在每个水平周期的开始激活水平同步信号 S_L 。在下文中, 将每个水平周期的持续时间称为 $1H$ 。缓冲器模块 $M_{j/2}$ 内的输入开关模块 SWa 响应从开关控制电路 43 接收的有关开关控制信号来切换节点 TP_j , TP_{j-1} 和缓冲放大器 $AM_{j/2}$ 的输入端之间的连接。缓冲放大器 $AM_{j/2}$ 为缓冲器模块 $M_{j/2}$ 内的输入开关模块 SWa 的输出端提供缓冲。缓冲器模块 $M_{j/2}$ 内的输出开关模块 SWb 切换输出端 LV_j , LV_{j-1} , 旁路 $46_{j/2}$ 和缓冲放大器 $AM_{j/2}$ 的输出端之间的连接, 以响应从开关控制电路 43 接收的有关开关控制信号。

在另一方面, 驱动电路 20 的结构类似于图 3 所示的结构, 具体地说, 驱动电路 20 由一组 m 个锁存器 3_1 至 3_m , 一组 m 个译码器 21_1 至 21_m 和一组作为 D/A 转换器使用的多路复用器 22_1 至 22_m 组成。锁存器 3_1 至 3_m 的输出端分别连接译码器 21_1 至 21_m 的输入端。译码器 21_1 至 21_m 的输出端分别连接多路复用器 22_1 至 22_m 的选择输入端。多路复用器 22_1 至 22_m 的输出端分别连接由符号 $OUT1$ 至 $OUTm$ 表示的 LCD 驱动器的输出端。输出端 $OUT1$ 至 $OUTm$ 连接 LCD 面板 30 的信号线。

锁存器 3_1 至 3_m 分别与外部输入的传输时钟 CLK 同步地锁存外部输入的 k 位像素数据 D_1 至 D_m 。时钟 CLK 与水平同步信号 SL 同步。锁存的 k 位像素数据 D_1 至 D_m 提供给译码器 21_1 至 21_m 。译码器 21_1 至 21_m 对像素数据 D_1 至 D_m 进行译码。

多路复用器 22_1 至 22_m 中的每个都分别用于响应已译码的数据 D_1 至 D_m 而在产生在输出端 LV_1 至 LV_n 上的电压 V_1 至 V_n 中进行选择。例如，当像素数据 D_v 是 $k=6$ 的“111111”时，其中 v 是 1 至 n 范围内的自然数，则多路复用器 22_v 从电压 V_1 至 V_n 中选出电压 V_n 。在另一方面，当像素数据 D_v 为“000000”时，多路复用器 22_v 从电压 V_1 至 V_n 中选出 V_1 。然后，多路复用器 22_1 至 22_m 分别通过有关的输出端 OUT_1 至 OUT_m 将所选的电压提供给 LCD 面板 30。

(缓冲器模块的结构与操作)

图 5A 和 5B 说明缓冲器模块 M_1 至 $M_{n/2}$ 的典型结构。

缓冲器模块 $M_{j/2}$ 内的输入开关模块 SWa 由具有第 1 至第 3 终端 44_1 至 44_3 的开关 44 组成。第 1 终端 44_1 从节点 TP_{j-1} 接收电压 V_{j-1} ，而第 2 终端 44_2 从节点 TP_j 接收电压 V_j 。第 3 终端 44_3 连接缓冲放大器 $AM_{j/2}$ 的输入端。开关 44 将从第 1 终端 44_1 和第 2 终端 44_2 中选择一个连接到第 3 终端 44_3 。

在另一方面，输出开关模块 SWb 具有开关 45，该开关具有第 1 终端 45_1 至第 3 终端 45_3 。第 1 终端 45_1 通过旁路 $46_{j/2}$ 连接节点 TP_{j-1} ，并直接从节点 TP_{j-1} 接收电压 V_{j-1} 。第 2 终端 45_2 连接输出端 LV_{j-1} 。第 3 终端 45_3 连接缓冲放大器 $AM_{j/2}$ 的输出端。缓冲放大器 $AM_{j/2}$ 的输出端还直接连接输出端 LV_j 。

这个结构的一个特征在于缓冲器模块 $M_{j/2}$ 使用缓冲放大器 $AM_{j/2}$ 来驱动输出端 LV_j 和 LV_{j-1} 两者。使用一个缓冲放大器来驱动驱动电压

产生电路 40 的多个输出端，这样有效地减少了 LCD 驱动器内的缓冲放大器的数量。

另一特征在于缓冲器模块 $M_{j/2}$ 为最近驱动的输出端提供逐阶驱动。这有效地抑制了出现在输出端 LV_j 上的电压的过冲 (over-shoot)。

更具体地说，缓冲器模块 $M_{j/2}$ 的作用如下。图 6 是说明缓冲器模块 $M_{j/2}$ 和开关控制电路 43 的典型操作的时序图。

当水平周期开始时，如图 6 所示，水平同步信号 S_L 激活，从而切换 LCD 面板 30 的公用电极上的电压（在下文中成为公用电压 V_{COM} ）；在这个操作中，将共用电压 V_{COM} 降低为地电压。

响应水平同步信号 SL 的激活，在水平周期的第一个半周期开始时，开关控制电路 43 将为缓冲器模块 $M_{j/2}$ 内的输入和输出开关模块 SWa ， SWb 提供的开关控制信号切换到第一状态，称为状态"CTRL1"。

如图 5A 所示，响应置于状态"CTRL1"的有关开关控制信号，输入开关模块 SWa 内的开关 44 连接第一终端 44_1 和第 3 终端 44_3 ，藉此提供节点 TP_{j-1} 和缓冲放大器 $AM_{j/2}$ 的输入端之间的连接。

另外，输出开关模块 SWb 内的开关 45 响应置入状态"CTRL1"的有关开关控制信号连接第 2 终端 45_2 和第 3 终端 45_3 。换句话说，输出开关模块 SWb 提供缓冲放大器 $AM_{j/2}$ 的输出端和输出端 LV_{j-1} 之间的连接。

如图 6 所示，这使得能够在水平周期的第一个半周期期间由缓冲放大器 $AM_{j/2}$ 将输出端 LV_{j-1} 和 LV_j 两者驱动至电压 V_{j-1} 。

然后在水平周期的后半周期开始时，开关控制电路 43 将开关控

制信号切换到第二状态，称为状态"CTRL2"。

如图 5B 所示，响应切换到状态"CTRL2"的有关开关控制信号，输入开关模块 SWa 内的开关 44 连接第二终端 44_2 和第 3 终端 44_3 ，藉此提供节点 TP_j 和缓冲放大器 $AM_{j/2}$ 的输入端之间的连接。

另外，输出开关模块 SWb 内的开关 45 响应置入状态"CTRL2"的有关开关控制信号连接第 2 终端 45_2 和第 1 终端 45_1 ，而不是第 3 终端 45_3 。换句话说，输出开关模块 SWb 通过旁路 $46_{j/2}$ 提供输出端 LV_{j-1} 和节点 TP_{j-1} 之间的连接，并断开缓冲放大器 $AM_{j/2}$ 的输出端和输出端 LV_{j-1} 之间的连接。

如图 6 所示，这使得能够在水平周期的后半周期内将输出端 LV_j 从电压 V_{j-1} 拉升到电压 V_j ，而通过旁路 $46_{j/2}$ 连接输出端 LV_{j-1} 和节点 TP_{j-1} 将产生在输出端 LV_{j-1} 上的电压保持在电压 V_{j-1} 。

应注意，将输出端 LV_1 至 LV_n 驱动到电压 V_1 至 V_n 只要求到水平周期结束时完成。尽管逐阶驱动可能在水平周期的中间将特定的信号线驱动到不合乎需要的电压，但是在水平周期的末尾，这不影响最后提供在 LCD 面板 30 的像素上的灰度级，这是因为上述逐阶驱动允许多路复用器 21_1 至 21_m 接收在水平周期的末尾所需的电压 V_1 至 V_n ，并在相应信号线上产生所需电压。

在输出端 LV_j 和 LV_{j-1} 上产生电压 V_j 和 V_{j-1} 的顺序较佳地取决于产生在 LCD 面板 30 的公用电极上的公用电压 V_{COM} 的电平。如上所述，对于公用电压降低到地电压的水平周期，输入开关模块 SWa 在水平周期的前半周期内选择电压 V_{j-1} ，以便输出到缓冲放大器 $AM_{j/2}$ 的输入端，然后在水平周期的后半周期选择电压 V_j 。

对于其间将公用电压 V_{COM} 拉升到高于电压 V_n 的电源电压的水平

周期，其中输入开关模块 SWa 选择电压 V_j 和 V_{j-1} 的顺序相反。

具体地说，在水平周期的前半周期内，输入开关模块 SWa 选择电压 V_j ，而输出开关模块 SWb 提供缓冲放大器 $AM_{j/2}$ 的输出端和输出端 LV_{j-1} 及 LV_j 之间的连接。这使得能够将输出端 LV_{j-1} 和 LV_j 驱动到电压 V_j 。

在水平周期的后半周期，输入开关模块 SWa 选择电压 V_{j-1} ，而输出开关模块 SWb 只提供输出端 LV_{j-1} 和缓冲放大器 $AM_{j/2}$ 的输出端之间的连接；输出端 LV_j 与缓冲放大器 $AM_{j/2}$ 的输出端断开，并通过另外的旁路直接连接节点 TP_j 。这使得能够将输出端 LV_{j-1} 驱动到电压 V_{j-1} ，而将输出端 LV_j 保持在电压 V_j 。

总之，在这个具体实施例中的 LCD 驱动器结构通过减小所需缓冲放大器的数量有效地降低了功耗和电路尺寸。虽然这个具体实施例中的结构另外结合了输入及输出开关模块 SWa 和 SWb 组，但是由于简单，因此可以利用数量更少的硬件实现来实现输入及输出开关模块 SWa 和 SWb。

另外，在这个具体实施例的 LCD 驱动器结构通过采用逐阶驱动而有效地避免了出现在驱动电压产生电路 40 的输出端上的电压的过冲（over-shoot）。

在另一具体实施例中，缓冲器模块 $M_{j/2}$ 的输入和输出开关模块 SWa 和 SWb 可以修改为图 13 所示的那样。在图 13 所示的结构中，缓冲器模块 $M_{j/2}$ 中的输入开关模块 SWa 由开关 44A 组成，该开关 44A 响应接收于开关控制电路 43 的控制信号来提供节点 TP_{j-1} 和缓冲放大器 $AM_{j/2}$ 的输入端之间的电连接。输出开关模块 SWb 由开关 45A 组成，该开关 45A 响应接收于开关控制电路 43 的控制信号来提供节点 TP_{j-1} 和 TP_j ，缓冲放大器 $AM_{j/2}$ 的输出端以及输出端 LV_j 和 LV_{j-1} 之间的电

连接。开关 45A 的目的在于将从节点 TP_{j-1} 和缓冲放大器 $AM_{j/2}$ 的输出端中选出的一个电连接到输出端 LV_{j-1} ，并且还将从节点 TP_j 和缓冲放大器 $AM_{j/2}$ 的输出端中选出的一个电连接到输出端 LV_j 。

图 13 的缓冲器模块 $M_{j/2}$ 进行如下操作。图 13 的缓冲器模块 $M_{j/2}$ 将每个水平周期分为第一和第二周期；第一周期开始于每个水平周期的开始时，第二周期跟在第一周期之后。在第一周期期间，输入开关模块 SWa 中的开关 44A 在节点 TP_{j-1} 和缓冲放大器 $AM_{j/2}$ 的输入端之间建立电连接，而输出开关模块 SWb 建立缓冲放大器 $AM_{j/2}$ 的输出端和输出端 LV_{j-1} ， LV_j 之间的电连接。这导致在第一周期期间，缓冲放大器 $AM_{j/2}$ 将输出端 LV_{j-1} 和 LV_j 两者驱动至电压 V_{j-1} 。

在第二周期期间，开关 44A 断开节点 TP_{j-1} 和缓冲放大器 $AM_{j/2}$ 的输入端之间的连接，而开关 45A 在节点 TP_{j-1} 和输出端 LV_{j-1} 之间建立电连接，并且还在节点 TP_j 和输出端 LV_j 之间建立另一电连接；缓冲放大器 $AM_{j/2}$ 的输出端与输出端 LV_{j-1} 和 LV_j 两者断开。这导致将输出端 LV_j 驱动至电压 V_j ，输出端 LV_{j-1} 保持在电压 V_{j-1} 。

这个操作进一步有利地实现了功耗的降低。上述操作在第二周期期间使缓冲放大器 $AM_{j/2}$ 停止操作。这有效地降低了缓冲器模块 $M_{j/2}$ 的功耗。

优选的，其间缓冲放大器 $AM_{j/2}$ 与输出端 LV_{j-1} 和 LV_j 断开的第二周期的持续时间长于第一周期的持续时间。这是因为与使用缓冲放大器 $AM_{j/2}$ 驱动输出端 LV_{j-1} 和 LV_j 所需的持续时间相比较而言，在不使用缓冲放大器 $AM_{j/2}$ 的情况下将输出端 LV_j 驱动至电压 V_j 需要较长的时间。在典型操作中，第一周期的持续时间是水平周期的持续时间的 1/5，而第二周期的持续时间是水平周期的持续时间的 4/5。

第二具体实施例

图 7 说明第二具体实施例中的液晶显示器的典型结构。除了由数字 50 表示的驱动电压产生电路的结构之外，第二具体实施例的液晶显示器的结构与第一具体实施例的类似。主要的区别在于驱动电压产生电路 50 使用一个缓冲放大器来驱动三个输出端。在以下将详细说明驱动电压产生电路 50 的典型结构和操作。

驱动电压产生电路 50 由增殖器 51，缓冲器电路 52 和开关控制电路 53 组成。

增殖器 51 由串联在电源 V_H 和接地 V_L 之间以产生有关不同灰度级的 n 个不同电压的一组电阻元件 R_0 至 R_n 组成； n 是有效灰度级的数量，等于 2^k ，其中 k 是每一个像素数据的数据位的数量。电阻元件 R_w 通过它们之间的节点 TP_w 连接相邻的电阻元件 R_{w-1} ，其中 w 是 1 到 n 范围内的任一整数。这种连接在节点 TP_1 至 TP_n 上提供不同的电压 V_1 至 V_n 。应注意，电压 V_1 至 V_n 满足下列关系：

$$V_1 < V_2 < \dots < V_n。$$

缓冲器电路 52 由 $(n-a)/3$ 个缓冲器模块 M_1 至 $M_{(n-a)/3}$ 以及一个或两个附加的增益为 1 的缓冲放大器组成； a 是通过将 n 除以 3 所得到的余数。附加缓冲放大器的数量与余数 a 相同。在这个具体实施例中，为缓冲器电路 52 提供的一个缓冲放大器 AM_{a1} ， $n=64$ 以及 $a=1$ 。

缓冲放大器 AM_{a1} 的输入端连接节点 TP_n ，而缓冲放大器 AM_{a1} 的输出端连接输出端 LV_n 。缓冲放大器 AM_{a1} 为接收于节点 TP_n 的电压 V_n 提供缓冲，以便产生理论上与输出端 LV_n 上的电压 V_n 相同的电压。

缓冲器模块 M_1 至 $M_{(n-a)/3}$ 中的每个都由输入开关模块 SWc ，输出开关模块 SWd 和增益为 1 的缓冲放大器组成；在下文中，缓冲器

模块 $M_{p/3}$ 内的缓冲放大器由数字 $AM_{p/3}$ 表示, 其中 p 是小于 n 的 3 的任一倍数, 也就是说 p 是从 3, 6, ..., $n-\alpha$ 中选出的任一数字。缓冲器模块 $M_{p/3}$ 的输入开关模块 SWc 的输入端连接节点 TP_p , TP_{p-1} 和 TP_{p-2} 。输入开关模块 SWc 的输出端连接缓冲放大器 $AM_{p/3}$ 的输入端。缓冲放大器 $AM_{p/3}$ 的输出端连接输出开关模块 SWd 的输入端。输出开关模块 SWd 的其它两个输入端通过一对旁路 $58_{p/3}$, $59_{p/3}$ 以及输入开关模块 SWc 连接节点 TP_{p-1} 和 TP_{p-2} 。缓冲放大器 $AM_{p/3}$ 内的输出开关模块 SWd 的输出端连接缓冲器电路 42 的输出端 LV_p , LV_{p-1} 和 LV_{p-2} 。输出端 LV_1 至 LV_n 通过一组 n 个信号线连接驱动电路 20。

开关控制电路 53 响应外部输入的水平同步信号 S_L 为每个缓冲器模块内的每个输入及输出开关模块 SWc 和 SWd 提供开关控制信号。缓冲器模块 $M_{p/3}$ 内的输入开关模块 SWc 响应接收于开关控制电路 53 的有关开关控制信号切换节点 TP_p , TP_{p-1} , TP_{p-2} 以及缓冲放大器 $AM_{p/3}$ 的输入端之间的连接。缓冲放大器 $AM_{p/3}$ 为缓冲器模块 $M_{p/3}$ 内的输入开关模块 SWc 的输出端提供缓冲。缓冲器模块 $M_{p/3}$ 内的输出开关模块 SWd 响应接收于开关控制电路 53 的有关开关控制信号切换输出端 LV_p , LV_{p-1} , LV_{p-2} , 旁路 $58_{p/3}$, $59_{p/3}$ 以及缓冲放大器 $AM_{p/3}$ 的输出端之间的连接。

图 8A 至 8C 说明缓冲器模块 $M_{p/3}$ 的典型结构。缓冲器模块 $M_{p/3}$ 内的输入开关模块 SWa 由具有第 1 至第 4 终端 54_1 至 54_4 的开关 54 组成。第 1 终端 54_1 从节点 TP_{p-2} 接收电压 V_{p-2} , 而第 2 终端 54_2 从节点 TP_{p-1} 接收电压 V_{p-1} 。此外, 第 3 终端 54_3 从节点 TP_p 接收电压 V_p 。在另一方面, 第 4 终端连接缓冲放大器 $AM_{p/3}$ 的输入端。开关 54 将选择的第 1 终端 54_1 至第 3 终端 54_3 中的一个连接到第 4 终端 54_4 。

在另一方面, 输出开关模块 SWd 由一对开关 56 和 57 组成, 每个开关都具有 3 个终端; 开关 56 具有第 1 至第 3 终端 56_1 至 56_3 , 而开关 57 具有第 1 至第 3 终端 57_1 至 57_3 。开关 56 的第 1 终端 56_1 通过

旁路 $59_{p/3}$ 连接节点 TP_{p-2} ，并且直接从节点 TP_{p-2} 接收电压 V_{p-2} 。第 2 终端 56_2 连接输出端 LV_{p-2} 。第 3 终端 56_3 连接缓冲放大器 $AM_{p/3}$ 的输出端。在另一方面，开关 57 的第 1 终端 57_1 通过旁路 $58_{p/3}$ 连接节点 TP_{p-1} ，并且直接从节点 TP_{p-1} 接收电压 V_{p-1} 。第 2 终端 57_2 连接输出端 LV_{p-1} 。第 3 终端 57_3 连接缓冲放大器 $AM_{p/3}$ 的输出端。缓冲放大器 $AM_{p/3}$ 的输出端还直接连接输出端 LV_p 。

图 9 是说明缓冲器模块 $M_{p/3}$ 和开关控制电路 53 的典型操作的时序图。

当水平周期开始时，如图 9 所示，水平同步信号 SL 激活，从而切换 LCD 面板 30 的公用电极上的公用电压 V_{COM} ；在这个操作中，公用电压 V_{COM} 被降低到地电压。

响应水平同步信号 SL 的激活，在水平周期的第一个 $1/3$ 周期开始时，开关控制电路 53 将为缓冲器模块 $M_{p/3}$ 内的输入及输出开关模块 SWa 和 SWb 提供的开关控制信号切换到第一状态，称为状态 "CTRL1"。

如图 8A 所示，响应置于状态 "CTRL1" 的有关开关控制信号，输入开关模块 SWa 内的开关 54 连接第一终端 54_1 和第 4 终端 54_4 ，藉此在节点 TP_{p-2} 和缓冲放大器 $AM_{p/3}$ 的输入端之间提供连接。

另外，输出开关模块 SWd 响应置入状态 "CTRL1" 的有关开关控制信号，连接开关 56 中的第 3 终端 56_3 和第 2 终端 56_2 ，并且还连接开关 57 内的第 3 终端 57_3 和第 2 终端 57_2 。换句话说，输出开关模块 SWd 提供缓冲放大器 $AM_{p/3}$ 的输出端和输出端 LV_{p-2} 和 LV_{p-1} 之间的连接。

如图 9 所示，在水平周期的第一个 $1/3$ 周期内，这导致缓冲放大

器 $AM_{p/3}$ 将所有的输出端 LV_{p-2} , LV_{p-1} 和 LV_p 驱动至电压 V_{p-2} 。

然后在水平周期的第二个 $1/3$ 周期开始时, 开关控制电路 53 将开关控制信号切换到第二状态, 称为状态"CTRL2"。

如图 8B 所示, 响应切换到状态"CTRL2"的有关开关控制信号, 输入开关模块 SWc 内的开关 54 连接第二终端 54_2 和第 4 终端 54_4 , 藉此提供节点 TP_{p-1} 和缓冲放大器 $AM_{p/3}$ 的输入端之间的连接。

另外, 输出开关模块 SWb 响应置入状态"CTRL2"的有关开关控制信号连接第 2 终端 56_2 和第 1 终端 56_1 , 而不是开关 56 内的第 3 终端 56_3 。换句话说, 输出开关模块 SWb 通过旁路 $59_{p/3}$ 提供输出端 LV_{p-2} 和节点 TP_{p-2} 之间的连接, 并断开缓冲放大器 $AM_{p/3}$ 的输出端和输出端 LV_{p-2} 之间的连接。

如图 9 所示, 这导致将输出端 LV_{p-1} 和 LV_p 从电压 V_{p-2} 拉升到电压 V_{p-1} , 而通过旁路 $59_{p/3}$ 将输出端 LV_{p-2} 连接到节点 TP_{p-2} 将输出端 LV_{p-2} 上产生的电压保持在电压 V_{p-2} 。

然后在水平周期的最后 $1/3$ 周期开始时, 开关控制电路 53 将开关控制信号切换到第三状态, 称为状态"CTRL3"。

如图 8C 所示, 响应切换到状态"CTRL3"的有关开关控制信号, 输入开关模块 SWc 内的开关 54 连接第三终端 54_3 和第 4 终端 54_4 , 藉此提供节点 TP_p 和缓冲放大器 $AM_{p/3}$ 的输入端之间的连接。

另外, 输出开关模块 SWb 响应置入状态"CTRL3"的开关控制信号, 连接开关 57 内的第二终端 57_2 和第一终端 57_1 , 而不是第三终端 57_3 。换句话说, 输出开关模块 SWb 通过旁路 $58_{p/3}$ 提供输出端 LV_{p-1} 和节点 TP_{p-1} 之间的连接, 并断开缓冲放大器 $AM_{p/3}$ 的输出端和输出端

LV_{p-1} 的连接。

如图 9 所示，这导致将输出端 LV_p 从电压 V_{p-1} 拉升到电压 V_p ，而产生在输出端 LV_{p-2} 和 LV_{p-1} 上的电压分别保持在电压 V_{p-2} 和 V_{p-1} 。

应注意，其中在输出端 LV_p ， LV_{p-1} 和 LV_{p-2} 上产生电压 V_p ， V_{p-1} 和 V_{p-2} 的顺序优选地取决于公用电压 V_{COM} 的电平。如上所述，对于其间将公用电压 V_{COM} 降低到地电压的水平周期而言，输入开关模块 SW_c 在水平周期的第一个 $1/3$ 周期内选择电压 V_{p-2} 输出给缓冲放大器 $AM_{p/3}$ 的输入端，然后在水平周期的第二个 $1/3$ 周期内选择电压 V_{p-1} ，最后在水平周期的最后 $1/3$ 内选择电压 V_p 。

对于其间将公用电压拉升到高于电压 V_n 的电源电压的水平周期而言，其中由输出开关模块 SW_c 选择电压 V_p 、 V_{p-1} 和 V_{p-2} 的顺序相反。

具体地说，在水平周期的第一个 $1/3$ 周期内，输入开关模块 SW_c 选择电压 V_p ，而输出开关模块 SW_d 提供缓冲放大器 $AM_{j/2}$ 的输出端和所有输出端 LV_{p-2} ， LV_{p-1} 及 LV_p 之间的连接。这导致将所有输出端 LV_{p-2} ， LV_{p-1} 和 LV_p 都驱动到电压 V_p 。

在水平周期的第二个 $1/3$ 周期期间，输入开关模块 SW_c 选择电压 V_{p-1} ，而输出开关模块 SW_d 只提供输出端 LV_{p-1} ， LV_{p-2} 和缓冲放大器 $AM_{p/3}$ 的输出端之间的连接；输出端 LV_p 与缓冲放大器 $AM_{p/3}$ 的输出端断开，并通过附加的旁路连接节点 LV_p 。这导致输出端 LV_{p-2} 和 LV_{p-1} 降低至电压 V_{p-1} ，而输出端 LV_p 保持在电压 V_p 。

在水平周期的最后 $1/3$ 周期期间，输入开关模块 SW_c 选择电压 V_{p-2} ，而输出开关模块 SW_d 只提供 LV_{p-2} 和缓冲放大器 $AM_{p/3}$ 的输出端之间的连接；输出端 LV_{p-1} 另外与缓冲放大器 $AM_{p/3}$ 的输出端断开，并通过旁路 $58_{p/3}$ 连接到节点 LV_{p-1} 。这导致输出端 LV_{p-2} 降低至电压 V_{p-2} ，

而输出端 LV_p 和 LV_{p-1} 分别保持在电压 V_p 和 V_{p-1} 。

在另一个具体实施例中，可以将每个水平周期分为具有不同于上述具体实施例的持续时间的第一到第三时间周期；在水平周期开始时触发的第一时间周期的持续时间要长于随后的第二和第三时间的持续时间。具体地说，对于其间将公用电压降低到地电压的水平周期期间，将所有输出端 LV_{p-2} ， LV_{p-1} 和 LV_p 驱动至 V_{p-2} 的第一时间周期的持续时间优选地长于将输出端 LV_{p-1} 和 LV_p 分别驱动至电压 V_{p-1} 和 V_p 的随后持续时间长。相应地，对于其间将公用电压 V_{com} 拉升到电源电压的水平周期期间，将所有输出端 LV_{p-2} ， LV_{p-1} 和 LV_p 驱动至 V_p 的第一时间周期的持续时间优选地长于将输出端 LV_{p-1} 和 LV_{p-2} 分别驱动至电压 V_{p-1} 和 V_{p-2} 的随后两个持续时间长。在一个优选具体实施例中，第一时间周期的持续时间等于水平周期的一半（ $1/2H$ ），而第二和第三时间周期的持续时间都等于水平周期的 $1/4$ （ $1/4H$ ）。

在水平周期开始时，这个操作向缓冲放大器 $AM_{p/3}$ 提供足够的时间将输出端 LV_{p-2} ， LV_{p-1} 和 LV_p 驱动至电压 V_{p-2} （或 V_p ）。如从图 9 所理解的那样，与下列驱动至电压 V_{p-1} 和 V_p （或降低至电压 V_{p-1} 和 V_{p-2} ）相比较而言，缓冲放大器 $AM_{p/3}$ 需要较长的持续时间将输出端 LV_{p-2} ， LV_{p-1} 和 LV_p 驱动至电压 V_{p-2} （或 V_p ）。

这个具体实施例中的上述 LCD 驱动器结构所提供的优点与第一具体实施例中所公开结构所提供的优点相同。在这个具体实施例中的 LCD 驱动器结构通过减小所需缓冲放大器的数量也有效地降低了功耗和电路尺寸。另外，在这个具体实施例的 LCD 驱动器结构通过采用逐阶驱动而有效地避免了驱动电压产生电路的输出端上的电压的过冲（over-shoot）。

在另一具体实施例中，缓冲器模块 $M_{p/3}$ 的输入及输出开关模块 SWc 和 SWd 可以修改为图 14 所示的那样。在图 14 所示的结构中，

缓冲器模块 $M_{p/3}$ 内的输入开关模块 SWc 由开关 54A 组成，该开关 54A 响应接收于开关控制电路 43 的控制信号来提供节点 TP_{p-1} 和缓冲放大器 $AM_{p/2}$ 的输入端之间的电连接。输出开关模块 SWd 另外包括开关 55，该开关 55 响应接收于开关控制电路 53 的控制信号来将从缓冲放大器 $AM_{p/3}$ 和节点 TP_p 中选出的一个电连接到输出端 LV_p 。

图 15 是说明图 14 的缓冲器模块 $M_{p/3}$ 的典型操作的时序图。图 14 的缓冲器模块 $M_{p/3}$ 的操作将每个水平周期分为第一和第二周期；第一周期开始于每个水平周期的开始时，而第二周期跟在第一周期之后。

在第一周期期间，输入开关模块 SWc 内的开关 54A 在节点 TP_{p-1} 和缓冲放大器 $AM_{p/3}$ 之间建立电连接，而输出开关模块 SWd 在缓冲放大器 $AM_{p/3}$ 和所有输出端 LV_{p-2} ， LV_{p-1} ， LV_p 之间建立电连接。这导致在第一周期期间，缓冲放大器 $AM_{p/3}$ 将所有输出端 LV_p ， LV_{p-1} ， LV_{p-2} 驱动至电压 V_{p-1} 。

在第二周期期间，开关 54A 断开节点 TP_{p-1} 和缓冲放大器 $AM_{p/3}$ 的输入端之间的电连接。开关 55，56 和 57 将节点 TP_{p-2} ， TP_{p-1} 和 TP_p 分别电连接至相应的输出端 LV_{p-2} ， LV_{p-1} 和 LV_p ；缓冲放大器 $AM_{p/3}$ 的输出端与所有输出端 LV_{p-2} ， LV_{p-1} 和 LV_p 断开。这导致将输出端 LV_{p-2} 降低至电压 V_{p-2} ，而将输出端 LV_p 拉升到电压 V_p ；输出端 LV_{p-1} 保持在电压 V_{p-1} 。

这个操作进一步有利地实现了功耗的降低。上述操作允许在第二周期期间使缓冲放大器 $AM_{p/3}$ 失效。这有效地降低了缓冲模块 $M_{p/3}$ 的功耗。

重要的是，首先将输出端 LV_{p-2} 至 LV_p 驱动至电压 V_{p-1} ，该电压是电压 V_{p-2} 和 V_p 之间的中间电压。首先将输出端 LV_{p-2} 至 LV_p 驱动至电压 V_{p-1} 显著地减少了驱动步骤数；这个操作只需要两个步骤来驱动

三个输出端 LV_{p-2} 至 LV_p 。

优选的，其间断开缓冲放大器 $AM_{p/2}$ 和输出端 LV_{p-2} 和 LV_p 两者之间的连接的第二周期的持续时间长于第一周期的持续时间。这是因为与使用缓冲放大器 $AM_{p/3}$ 驱动输出端 LV_{p-2} 至 LV_p 所需的持续时间相比较而言，在不使用缓冲放大器 $AM_{p/3}$ 的情况下分别将输出端 LV_{p-2} 和 LV_p 驱动至电压 V_{p-2} 和 V_p 需要较长的持续时间。在典型操作中，第一周期的持续时间是水平周期的 $1/5$ ，而第二周期的持续时间是水平周期的 $4/5$ 。

第三具体实施例

图 10 说明第三具体实施例中的液晶显示器的典型结构。除了由数字 60 表示的驱动电压产生电路的结构之外，第三具体实施例的液晶显示器的结构与第一具体实施例的类似。主要的区别在于驱动电压产生电路 60 使用一个缓冲放大器来驱动所有输出端 LV_1 至 LV_n 。在以下将详细说明驱动电压产生电路 60 的典型结构和操作。

驱动电压产生电路 60 由增殖器 61，缓冲器电路 62 和开关控制电路 63 组成。

增殖器 61 由串联在电源 V_H 和接地 V_L 之间以产生与灰度级有关的 n 个不同电压的一组电阻元件 R_0 至 R_n 组成； n 是有效灰度级的数量，等于 2^k ，其中 k 是每一个像素数据的数据位的数量。电阻元件 R_i 通过布置于它们其间的节点 TP_i 连接相邻的电阻元件 R_{i-1} ，其中 i 是 1 到 n 范围内的整数。这种连接在节点 TP_1 至 TP_n 上提供不同电压 V_1 至 V_n 。应注意，电压 V_1 至 V_n 满足下列关系：

$$V_1 < V_2 < \dots < V_n。$$

缓冲器电路 62 由单一缓冲器模块 M 组成。如图 11A 至 11C 所示，缓冲器模块 M 由旁路多路复用器 $MUXa$ ，输入多路复用器 $MUXb$ ，

输出多路复用器 MUXc 和一个增益为 1 的缓冲放大器 AM 组成。

旁路多路复用器 MUXa 插入在一组连接在节点 TP_1 至 TP_n 和输出端 LV_1 至 LV_n 之间的旁路 67_1 至 67_n 中。旁路多路复用器 MUXa 由一组开关 64_1 至 64_n 组成，该等开关分别布置在节点 TP_1 至 TP_n 和输出端 LV_1 至 LV_n 之间。旁路多路复用器 MUXa 的目的是从节点 TP_1 至 TP_n 接收电压 V_1 至 V_n ，以及将从电压 V_1 至 V_n 中选出的一个或多个电压传送至输出端 LV_1 至 LV_n 中的相关的一个或多个输出端。

输入多路复用器 MUXb 连接在节点 TP_1 至 TP_n 和缓冲放大器 AM 的输入端之间。输入多路复用器 MUXb 由一组开关 65_1 至 65_n 组成，该等开关分别连接在缓冲放大器 AM 和节点 TP_1 至 TP_n 之间。输入多路复用器 MUXb 的目的在于将从电压 V_1 至 V_n 中选出的一个电压提供给缓冲放大器 AM 的输入端。

输出复用器 MUXc 连接在缓冲放大器 AM 的输出端和输出端 LV_1 至 LV_n 之间。输出复用器 MUXc 由一组开关 66_1 至 66_n 组成，该等开关分别连接在缓冲放大器 AM 的输出端和输出端 LV_1 至 LV_n 之间。输出复用器 MUXc 的目的在于连接缓冲放大器 AM 的输出端和从输出端 LV_1 至 LV_n 中选出的一个或多个输出端，这些输出端 LV_1 至 LV_n 连接至驱动电路 20。

开关控制电路 63 响应外部输入的水平同步信号 S_L 为旁路，输入和输出多路复用器 MUXa，MUXb 和 MUXc 中的每个提供开关控制信号。旁路多路复用器 MUXa 响应接收于开关控制电路 63 的开关控制信号切换节点 TP_1 至 TP_n 和输出端 LV_1 至 LV_n 之间的连接。相应地，输入多路复用器 MUXb 响应接收于开关控制电路 63 的开关控制信号切换节点 TP_1 至 TP_n 和缓冲放大器 AM 的输入端之间的连接，而输出复用器 MUXc 响应接收于开关控制电路 63 的开关控制信号切换缓冲放大器 AM 的输出端和输出端 LV_1 至 LV_n 之间的连接。

图 12 是说明缓冲器模块 M 和开关控制电路 63 的典型操作的时序图。在这个具体实施例中的操作将每个水平周期分为第 1 至第 n 个时间周期，以致第一时间周期的持续时间长于随后的时间周期。如随后所描述的那样，这有效地为缓冲放大器 AM 提供了足够的时间来驱动输出端 LV_1 至 LV_n 。在一个优选具体实施例中，第一时间周期的持续时间等于水平周期的一半 ($1/2H$)，而剩余的时间周期（也就是说，第二到第 N 时间周期）的持续时间为水平周期的 $1/2(n-1)$ 倍 ($1/2(n-1)H$)。

当水平周期开始时，如图 12 所示，水平同步信号 S_L 激活，并且切换 LCD 面板 30 的公用电极上的公用电压；在这个操作中将公用电压 V_{COM} 降低至地电压。

响应水平同步信号 S_L 的激活，开关控制电路 63 在水平周期内的第一时间周期的开始，将为旁路，输入和输出多路复用器 MUXa, MUXb 和 MUXc 提供的开关控制信号切换到第一状态，称为状态"CTRL1"。

如 11A 所示，响应置入状态"CTRL1"的开关控制信号，旁路，输入和输出多路复用器 MUXa, MUXb 和 MUXc 切换节点 TP_1 至 TP_n ，缓冲放大器 AM 和输出端 LV_1 至 LV_n 之间的连接。具体地说，输入多路复用器 MUXb 将其上产生电压 V_1 的节点 TP_1 连接至缓冲放大器 AM 的输入端，而输出复用器 MUXc 将缓冲放大器 AM 的输出端连接至所有的输出端 LV_1 至 LV_n 。另外，旁路多路复用器 MUXa 切断所有节点 TP_1 至 TP_n 和输出端 LV_1 至 LV_n 的连接。

如图 12 所示，在水平周期内的第一时间周期期间，这导致缓冲放大器 AM 将所有输出端 LV_1 至 LV_n 都驱动至电压 V_1 。

然后在水平周期的第二时间周期开始时，开关控制电路 63 将开

关控制信号切换到第二状态，称为状态"CTRL2"。

如图 11B 所示，响应置入状态"CTRL2"的开关控制信号，旁路，输入和输出多路复用器 MUXa, MUXb 和 MUXc 然后切换节点 TP_1 至 TP_n ，缓冲放大器 AM 和输出端 LV_1 至 LV_n 之间的连接，如下述：输入多路复用器 MUXb 将其上产生电压 V_2 的节点 TP_2 连接至缓冲放大器 AM 的输入端，将剩余的节点 TP_1 和 TP_3 至 TP_n 与缓冲放大器 AM 的输入端断开。输出复用器 MUXc 将缓冲放大器 AM 的输出端连接至输出端 LV_2 至 LV_n ，并断开输出端 LV_1 和缓冲放大器 AM 的输出端之间的连接。另外，旁路多路复用器 MUXa 将节点 TP_1 连接至输出端 LV_1 ，并断开剩余节点 TP_2 至 TP_n 和剩余输出端 LV_2 至 LV_n 之间的连接。

如图 12 所示，在水平周期内的第一时间周期其间，这导致缓冲放大器 AM 将输出端 LV_2 至 LV_n 都拉升至电压 V_2 ，而输出端 LV_1 保持在电压 V_1 。

在随后的时间周期内进行同样的操作。在第 i 个时间周期开始时，开关控制电路 63 将开关控制信号切换至第 i 状态"CTRL i "; i 是 3 至 n 范围内的任一整数。响应开关控制信号的切换，旁路多路复用器 MUXa, 输入多路复用器 MUXb 和输出复用器 MUXc 然后切换节点 TP_1 至 TP_n ，缓冲放大器 AM 和输出端 LV_1 至 LV_n 之间的连接。具体地说，输入多路复用器 MUXb 将其上产生电压 V_i 的节点 TP_i 连接至缓冲放大器 AM 的输入端，并断开剩余节点和缓冲放大器 AM 的输入端之间的连接。输出复用器 MUXc 将缓冲放大器 AM 的输出端连接至输出端 LV_i 至 LV_n ，并断开输出端 LV_1 至 LV_{i-1} 和缓冲放大器 AM 的输出端之间的连接。另外，旁路多路复用器 MUXa 分别将节点 TP_1 至 TP_{i-1} 连接至输出端 LV_1 至 LV_{i-1} ，并断开剩余节点 TP_i 至 TP_n 和剩余输出端 LV_i 至 LV_n 之间的连接。

如图 12 所示，在水平周期内的第 i 时间周期期间，这导致由缓

冲放大器 AM 将输出端 LV_1 至 LV_n 驱动至电压 V_i ，而输出端 LV_1 至 LV_{i-1} 分别保持电压 V_1 至 V_{i-1} 。

如在图 11C 中所说明的那样，在最后第 n 个时间周期期间，这个过程最终在输出端 LV_1 至 LV_n 上提供电压 V_1 至 V_n 。

应注意，其中在输出端 LV_1 至 LV_n 上产生电压 V_1 至 V_n 的顺序优选地取决于公用电压 V_{COM} 的电平。如上所述，对于其间将公用电压降低到地电压的水平周期而言，缓冲器模块 M 在第一时间周期期间在所有输出端 LV_1 至 LV_n 上产生电压 V_1 ，然后在第二时间周期期间，在输出端 LV_2 至 LV_n 上产生电压 V_2 ，而输出端 LV_1 保持在电压 V_1 。在随后的时间周期内进行同样的操作。

对于其间将公用电压拉升到高于电压 V_n 的电源电压的水平周期而言，其中在输出端 LV_1 至 LV_n 上产生电压 V_1 至 V_n 的顺序相反。

具体地说，在第一时间周期期间，输入多路复用器 MUXb 将其上产生电压 V_n 的节点 TP_n 连接至缓冲放大器 AM 的输入端，并断开剩余节点 TP_1 至 TP_{n-1} 和缓冲放大器 AM 的输入端之间的连接。输出复用器 MUXc 将缓冲放大器 AM 的输出端连接至所有输出端 LV_1 至 LV_n 。另外，旁路多路复用器 MUXa 切断所有节点 TP_1 至 TP_n 和输出端 LV_1 至 LV_n 之间的连接。这导致所有的输出端 LV_1 至 LV_n 被驱动至电压 V_n 。

在第二时间周期期间，输入多路复用器 MUXb 将其上产生电压 V_{n-1} 的节点 TP_{n-1} 连接至缓冲放大器 AM 的输入端，并断开剩余节点 TP_1 至 TP_{n-2} 、 TP_n 和缓冲放大器 AM 的输入端之间的连接。输出复用器 MUXc 将缓冲放大器 AM 的输出端连接至输出端 LV_1 至 LV_{n-1} ，并断开输出端 LV_n 和缓冲放大器 AM 的输出端之间的连接。另外，旁路多路复用器 MUXa 将节点 TP_n 连接至输出端 LV_n ，并断开剩余节点 TP_1 至 TP_{n-1} 和剩余输出端 LV_1 至 LV_{n-1} 之间的连接。这导致输出端 LV_1 至 LV_{n-1} 降

低至电压 V_{n-1} ，而输出端 LV_n 保持电压 V_n 。

在随后的时间周期内进行同样的操作。在 i 为 3 至 n 范围内的任一整数的第 i 时间周期期间，输入多路复用器 MUXb 将其上产生电压 V_{n-i+1} 的节点 TP_{n-i+1} 连接至缓冲放大器 AM 的输入端，并断开剩余节点 TP_1 至 TP_{n-i} ， TP_{n-i+2} 至 TP_n 与缓冲放大器 AM 的输入端之间的连接。输出多路复用器 MUXc 将缓冲放大器 AM 的输出端连接至输出端 LV_1 至 LV_{n-i+1} ，并断开输出端 LV_{n-i+2} 至 LV_n 和缓冲放大器 AM 的输出端之间的连接。另外，旁路多路复用器 MUXa 将节点 TP_{n-i+2} 至 TP_n 连接至输出端 TP_{n-i+2} 至 TP_n ，并断开剩余节点 TP_1 至 TP_{n-i+1} 和剩余输出端 LV_1 至 LV_{n-i+1} 之间的连接。这导致分别利用保持电压 V_{n-i+2} 至 V_n 的输出端 TP_{n-i+2} 至 TP_n 将输出端 LV_1 至 LV_{n-i+1} 降低至电压 V_{n-i+1} 。

虽然已以具有某种程度的特征的优选形式说明了本发明，但是应当理解，在不脱离在下文所主张的本发明的范围的情况下，当前公开的优选形式可以采用部分结合和排列的详细构造方面的变化。

尤其应注意，图 11A 至 11C 所示的缓冲器电路结构不但适用于图 4 所示的缓冲器模块 M_1 至 $M_{n/2}$ ，而且适用于图 7 所示的缓冲器模块 M_1 至 $M_{(n-a)/3}$ 。本领域熟练的技术人员将理解图 11A 至 11C 所示的 $n=2$ 的缓冲器电路所提供的功能与图 4 所示的每个缓冲器模块 $M_{j/2}$ 的作用相同，并且图 11A 至 11C 所示的 $n=3$ 的缓冲器电路所提供的功能与图 7 所示的每个缓冲器模块 $M_{p/3}$ 的作用相同。

图1 现有技术

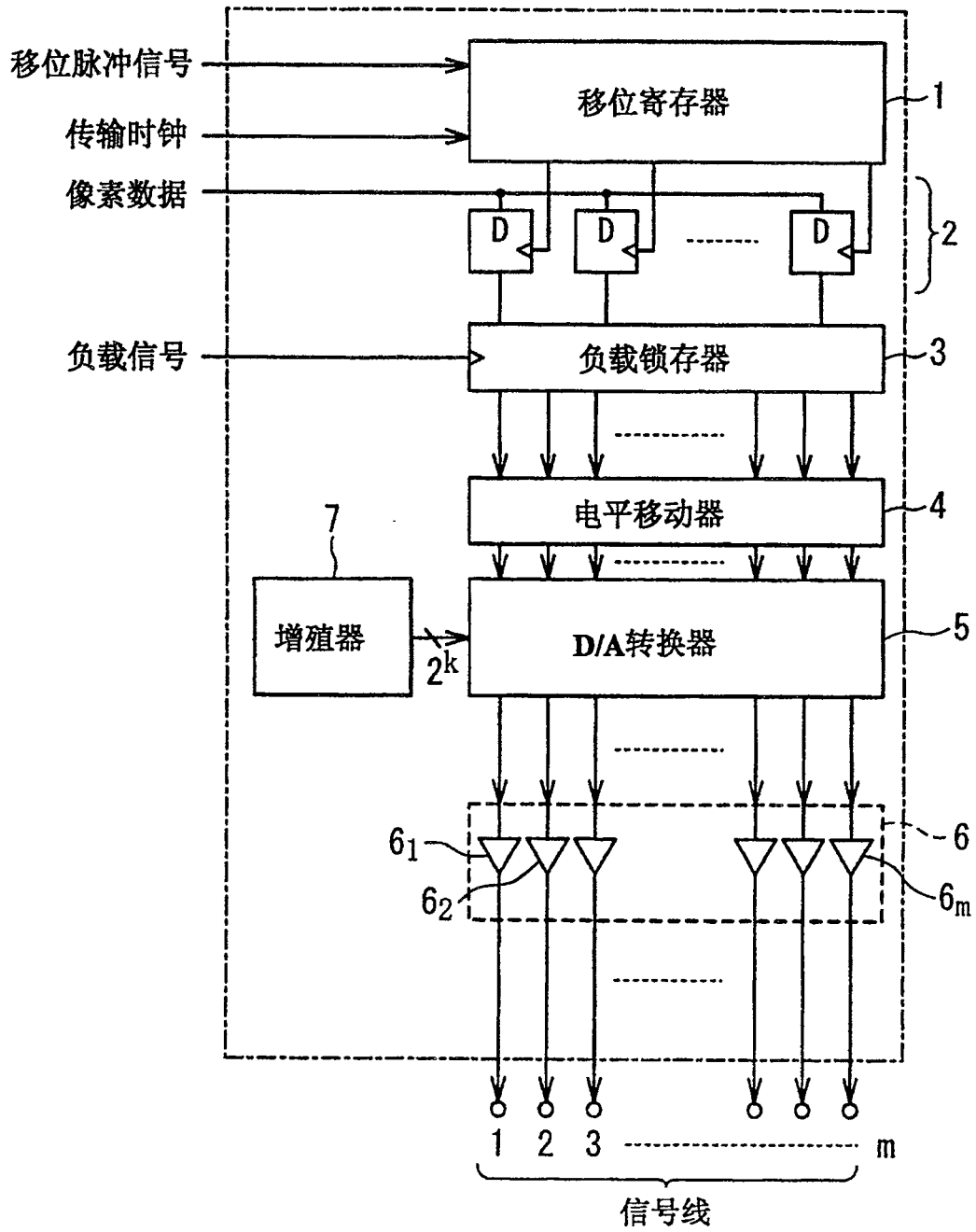
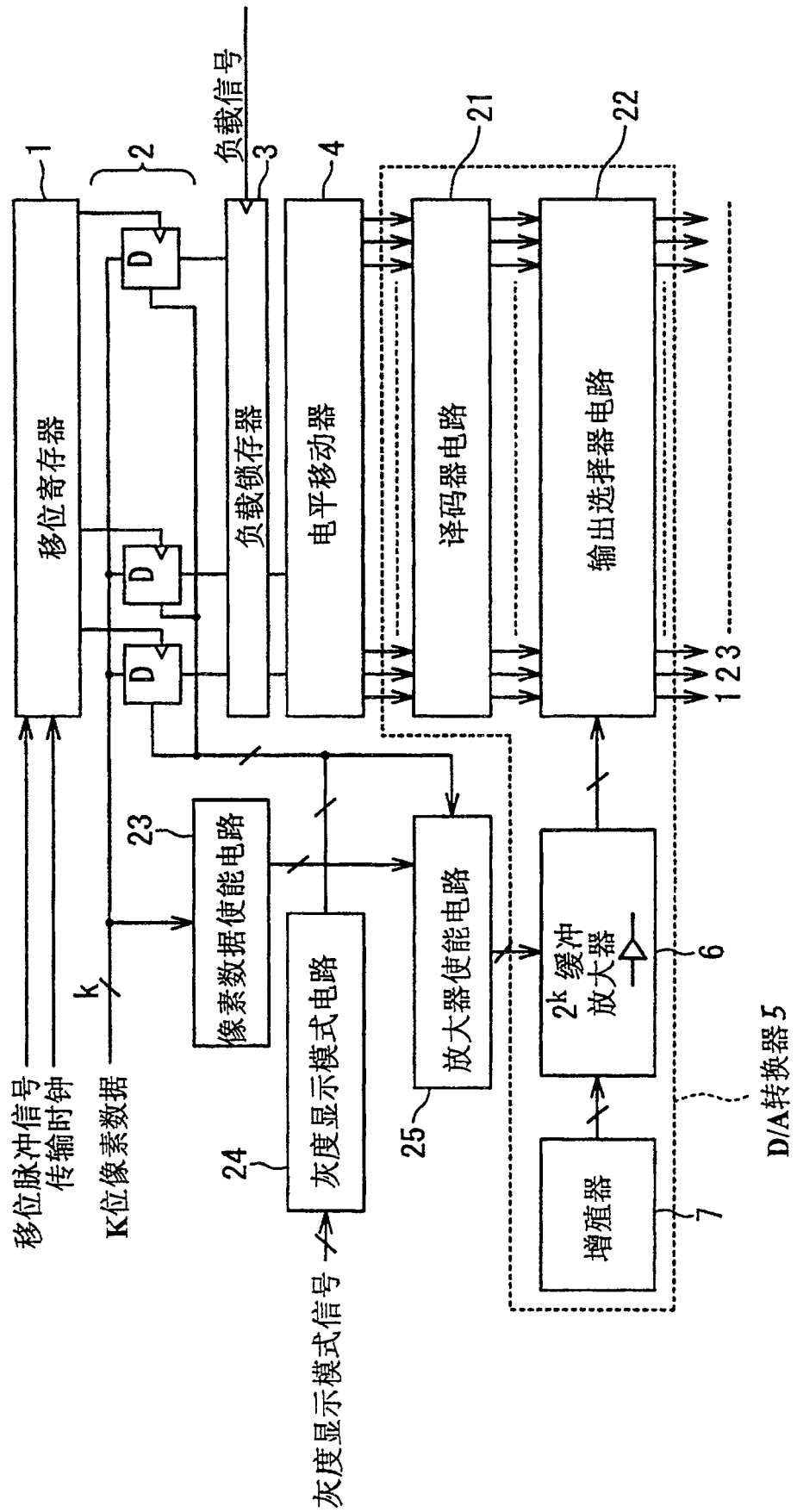


图2 现有技术



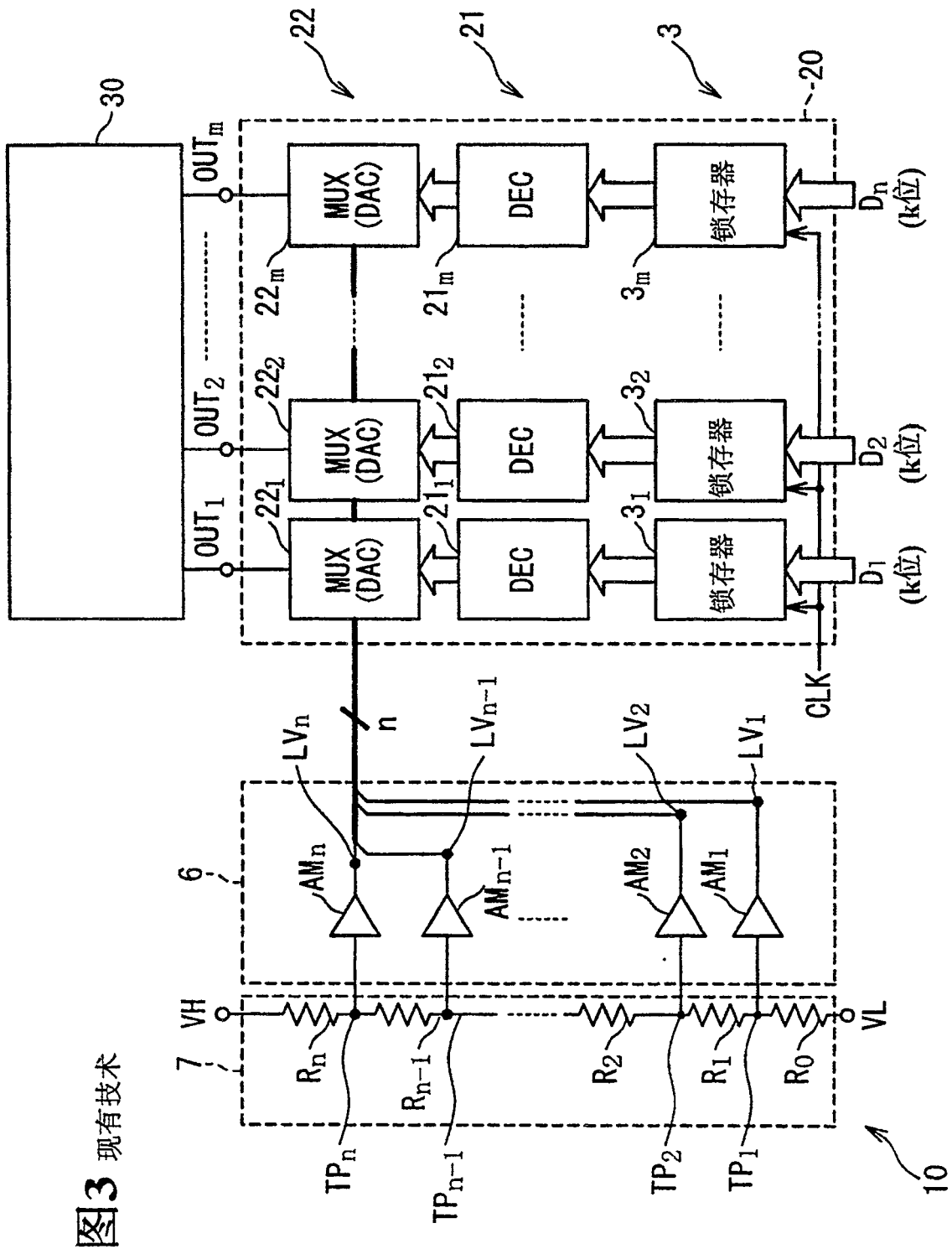


图3 现有技术

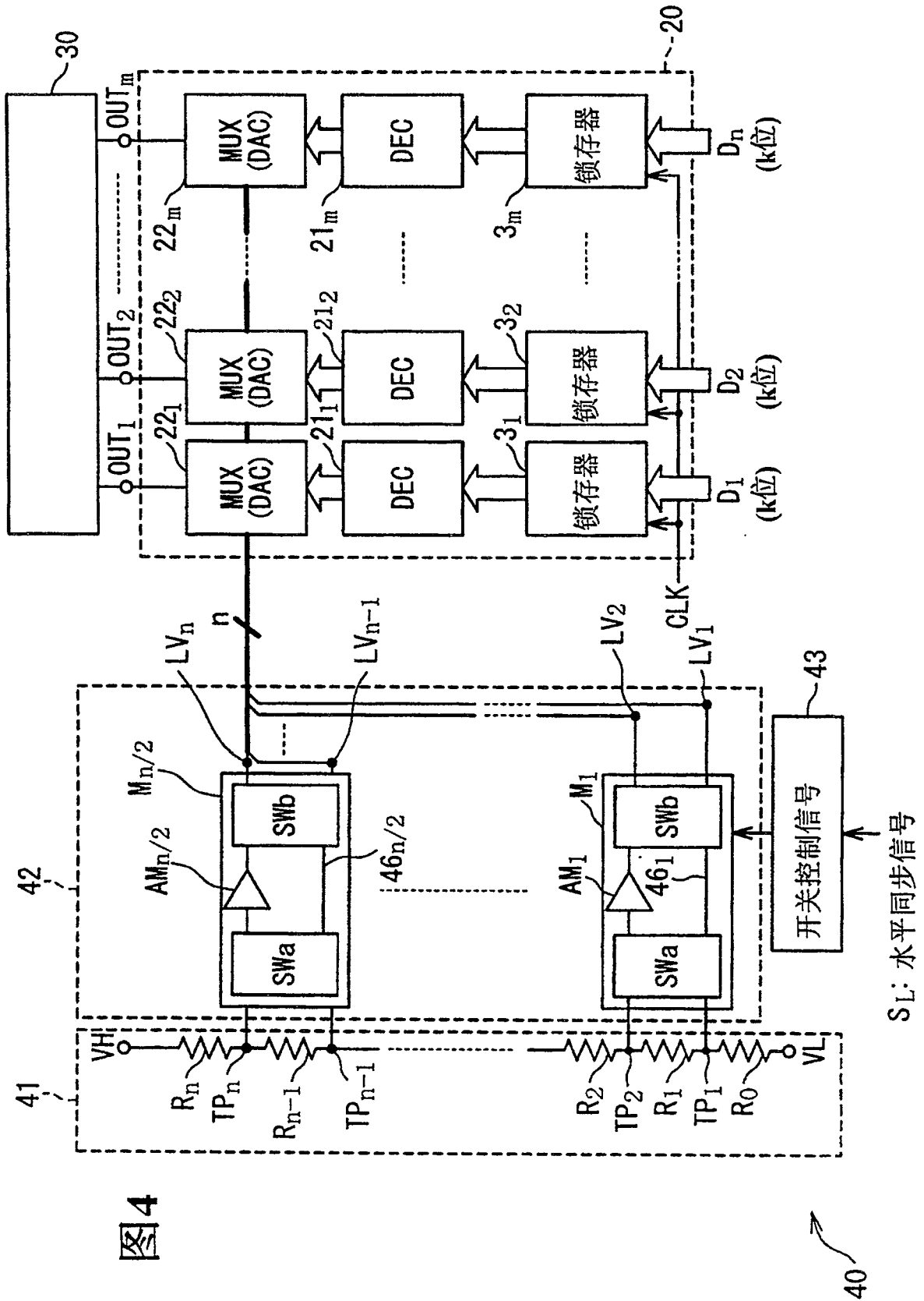


图4

图5A

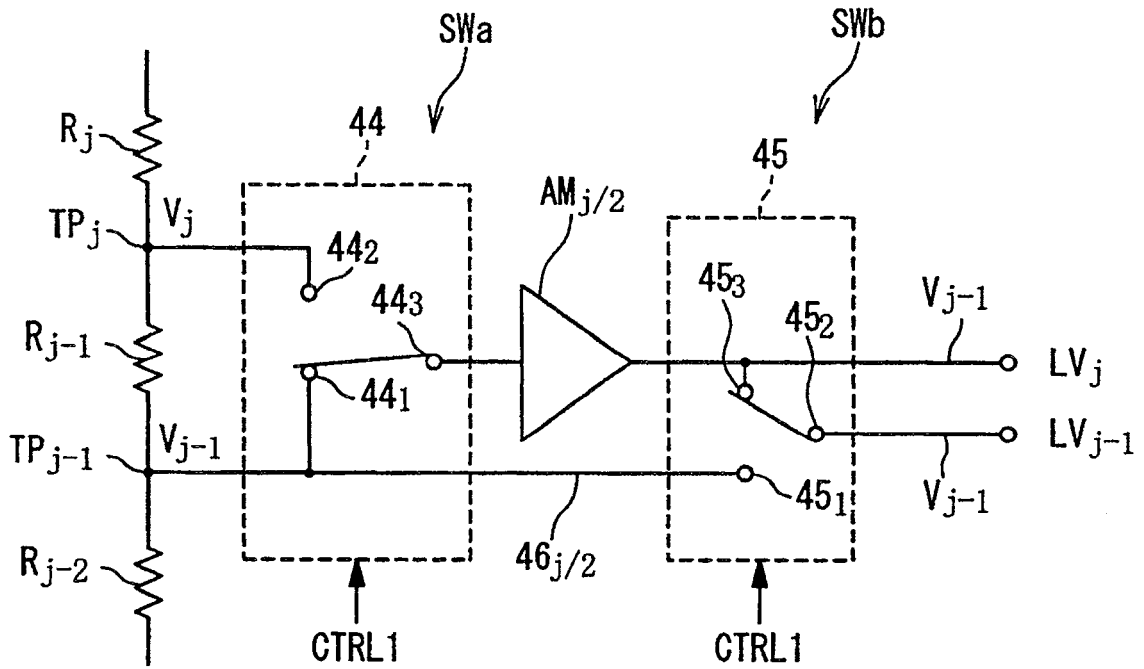


图5B

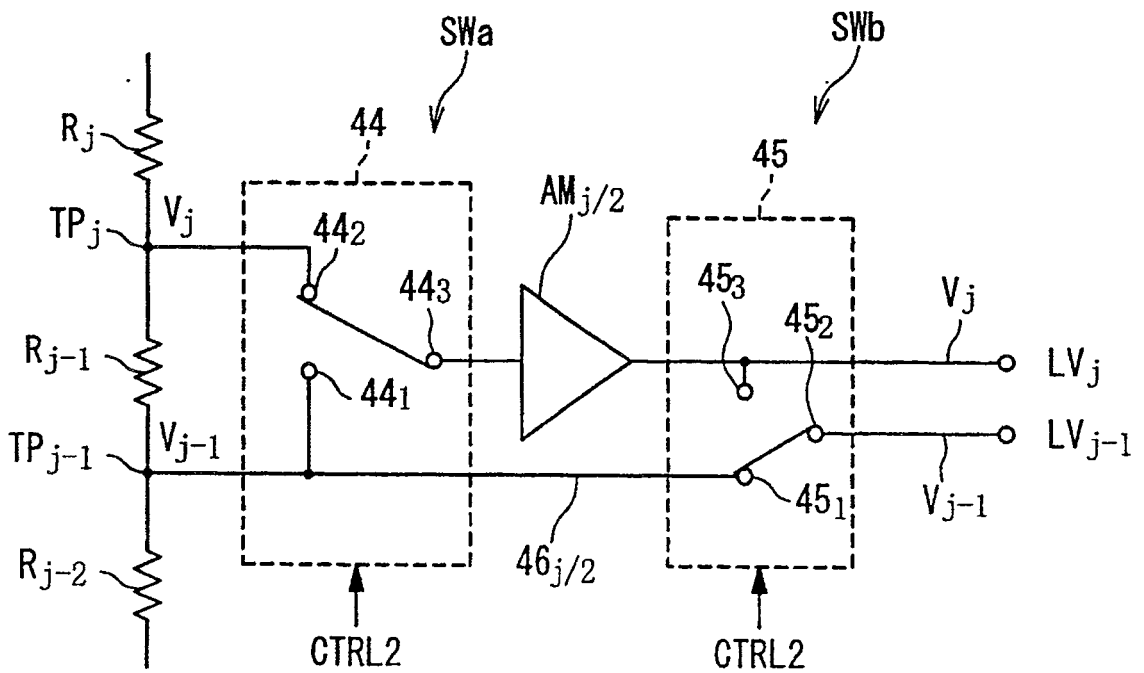
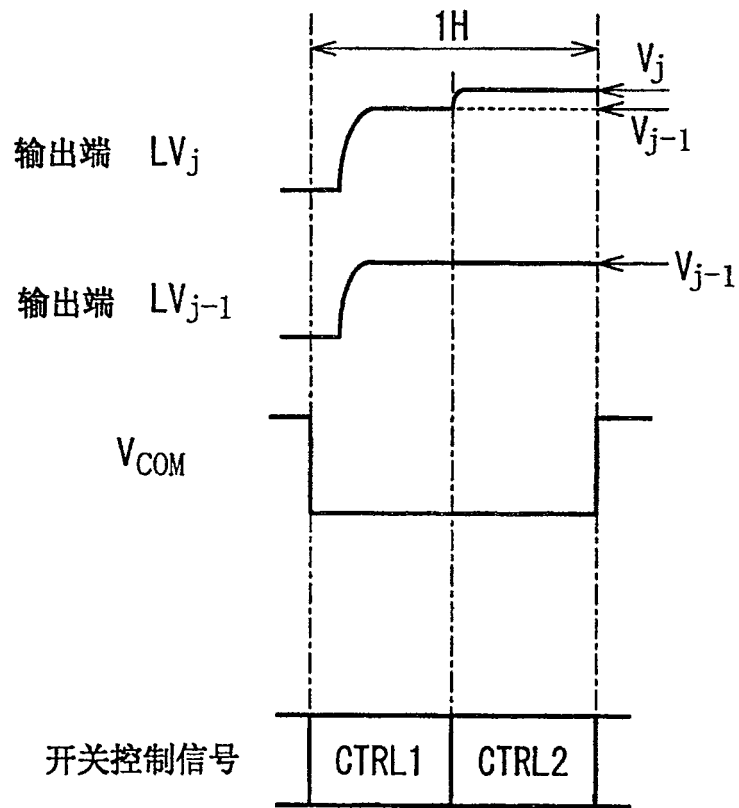


图6



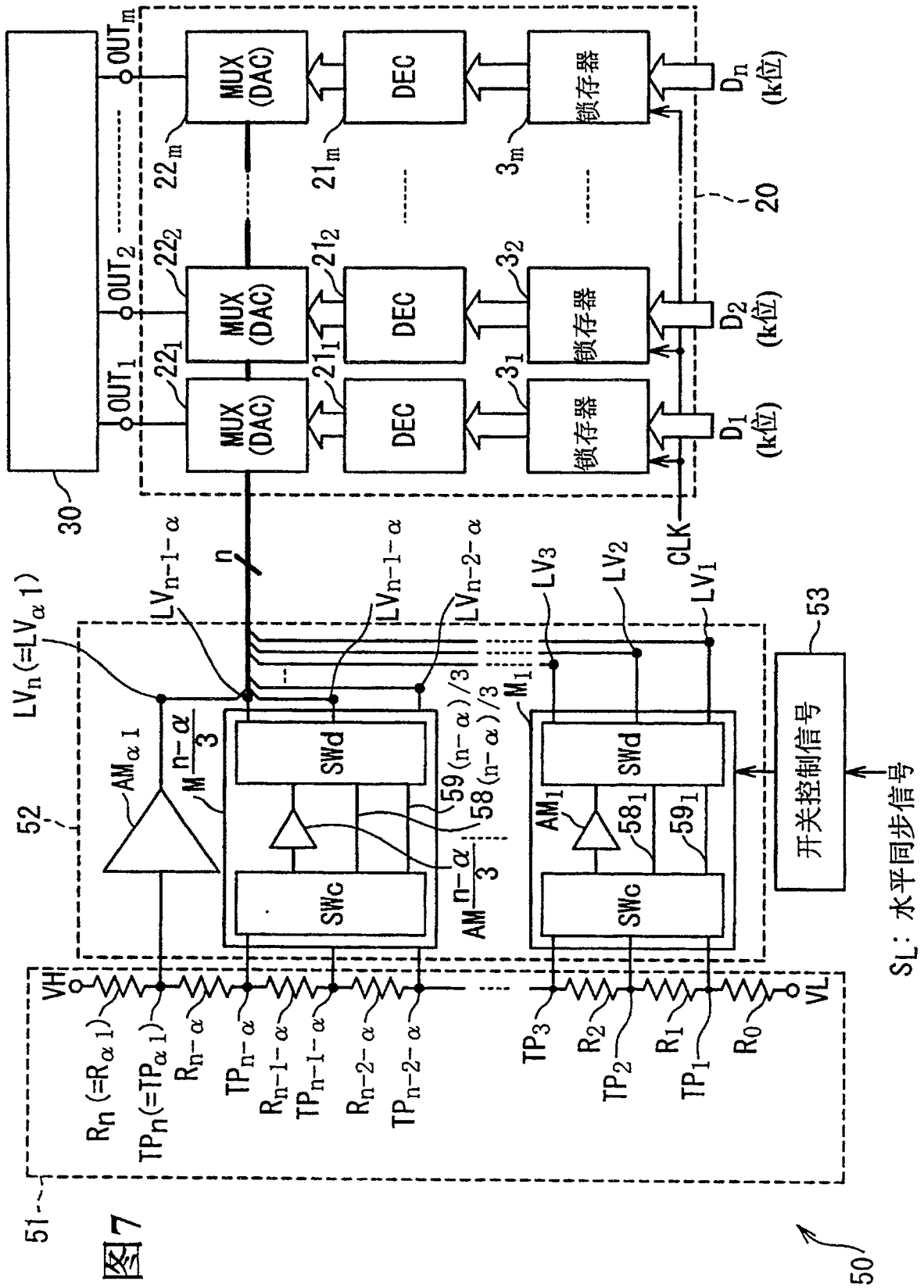


图8A

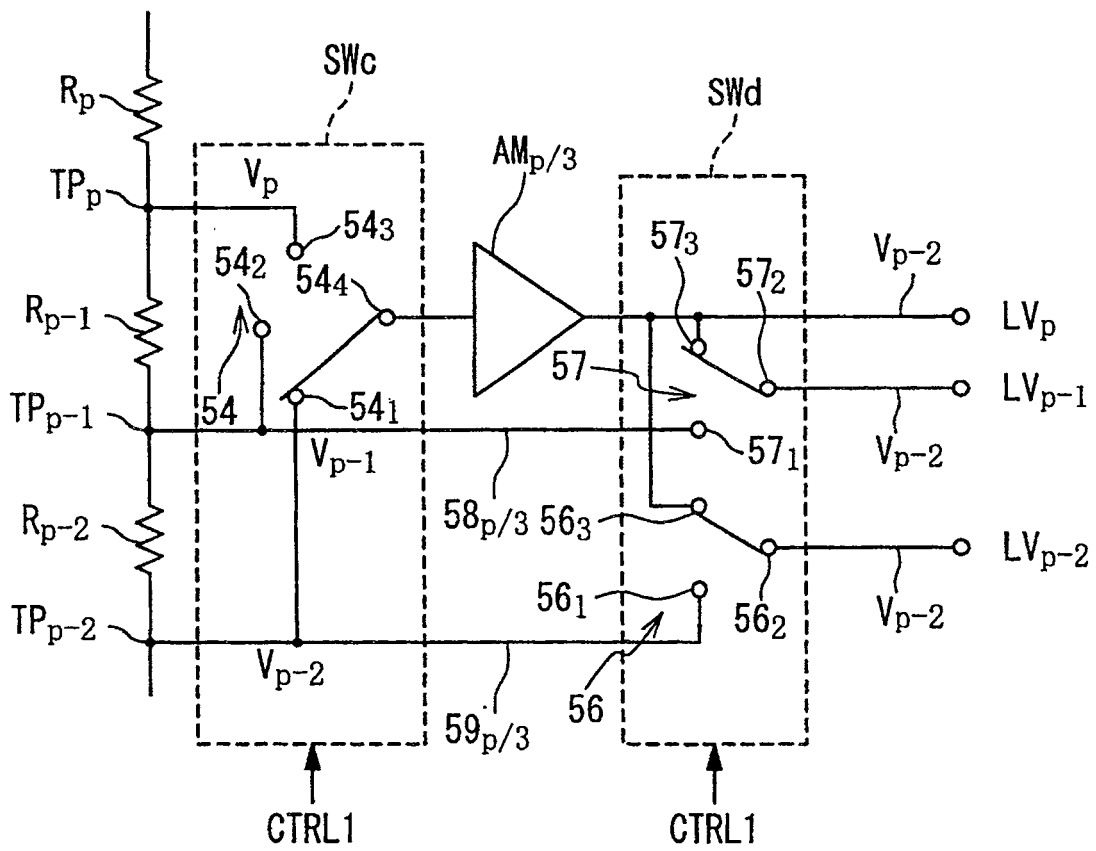


图8B

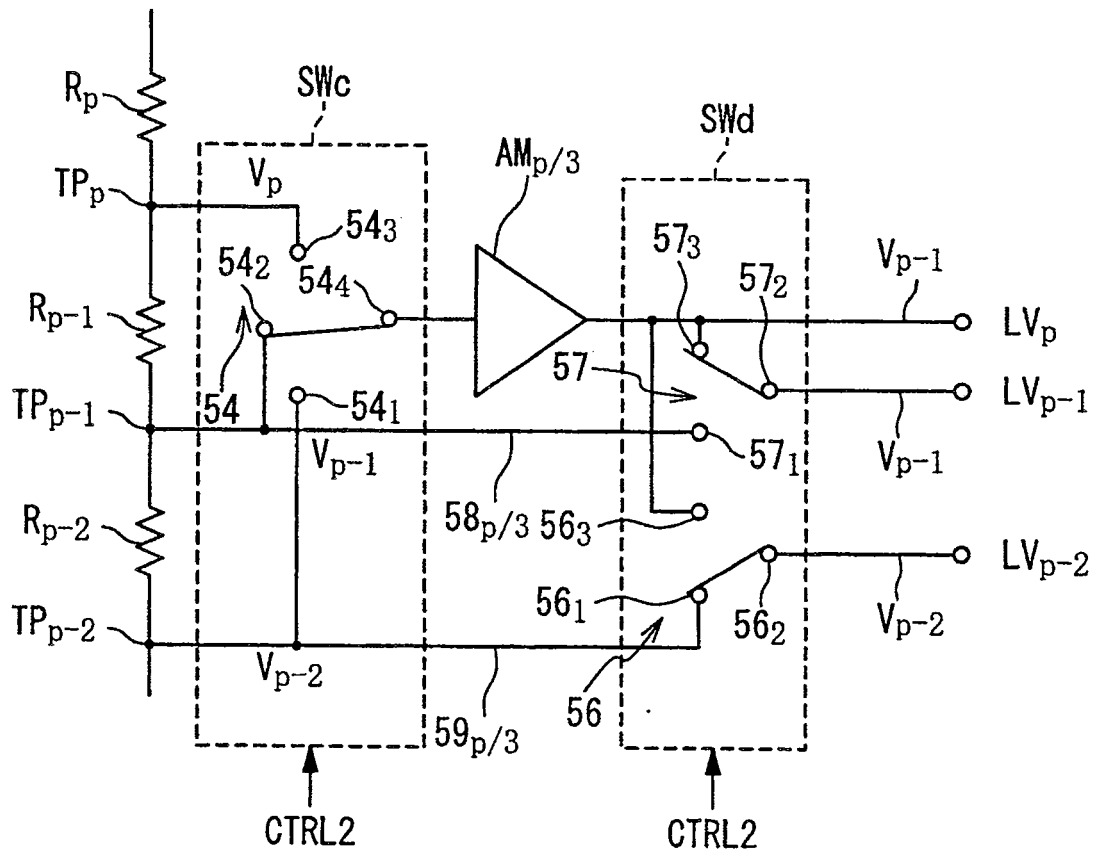


图8C

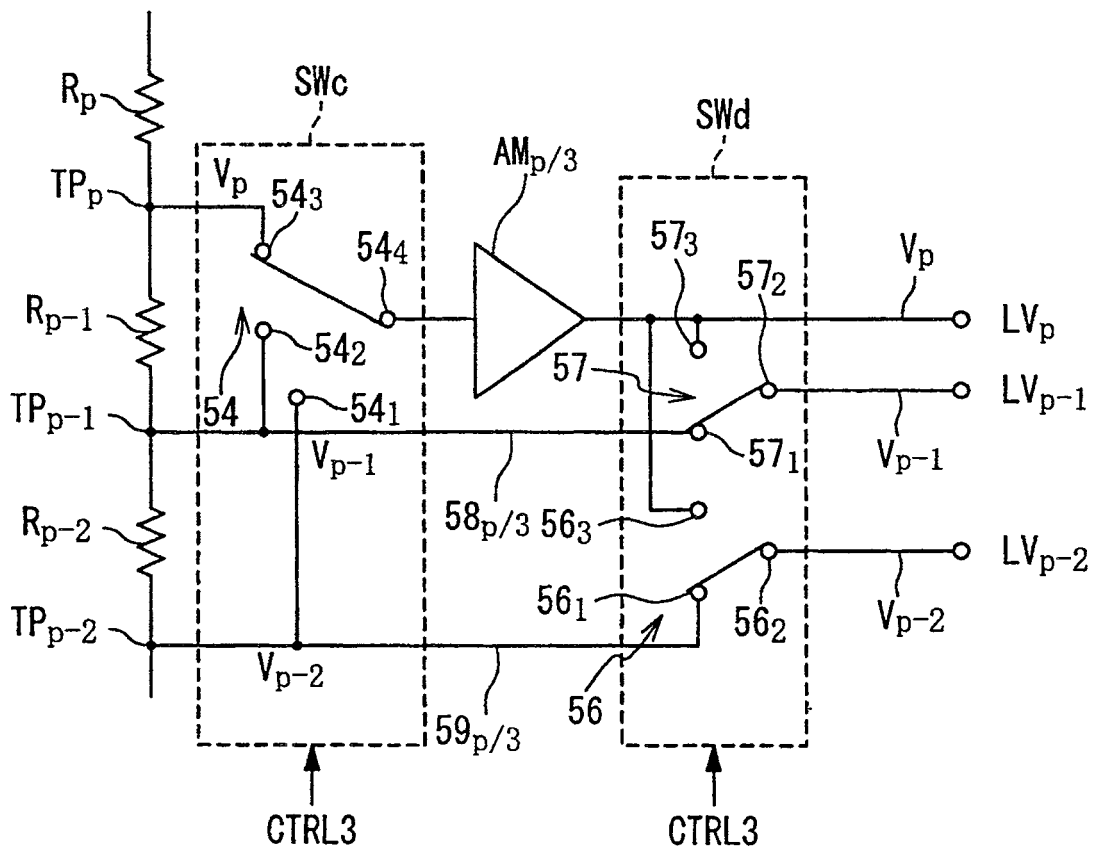
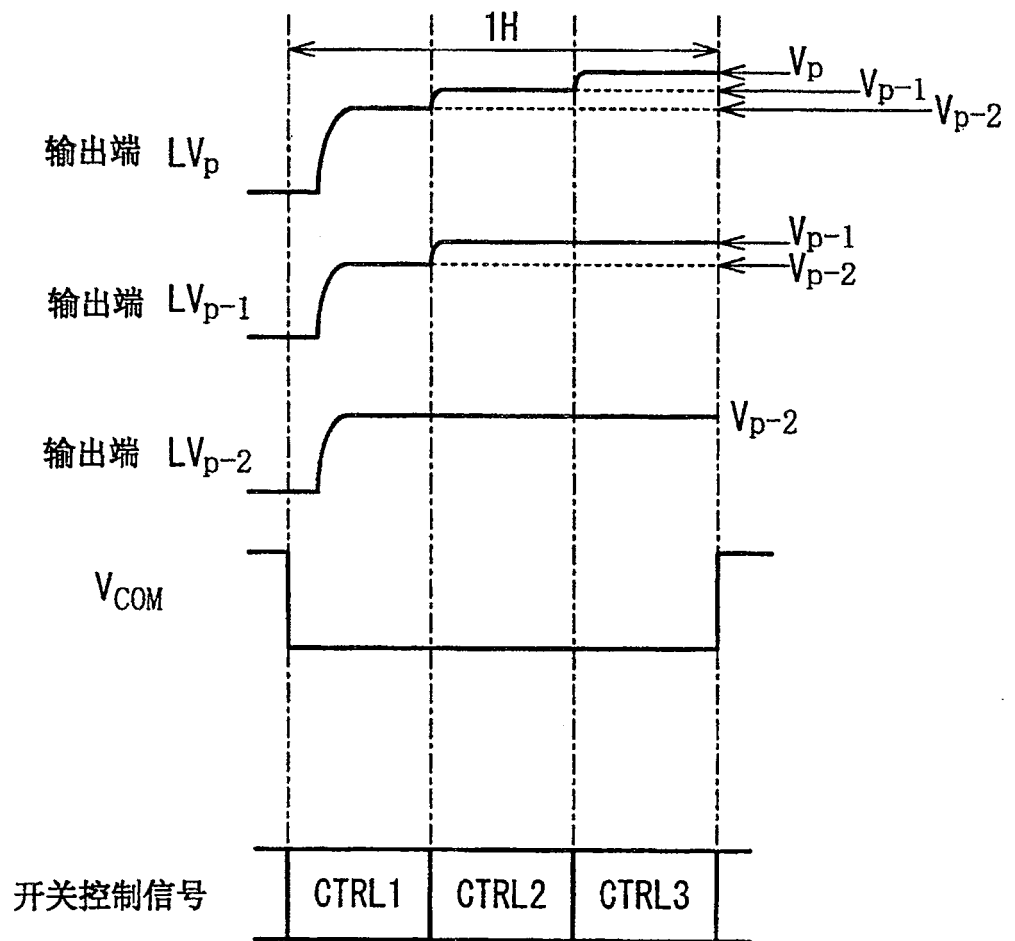


图9



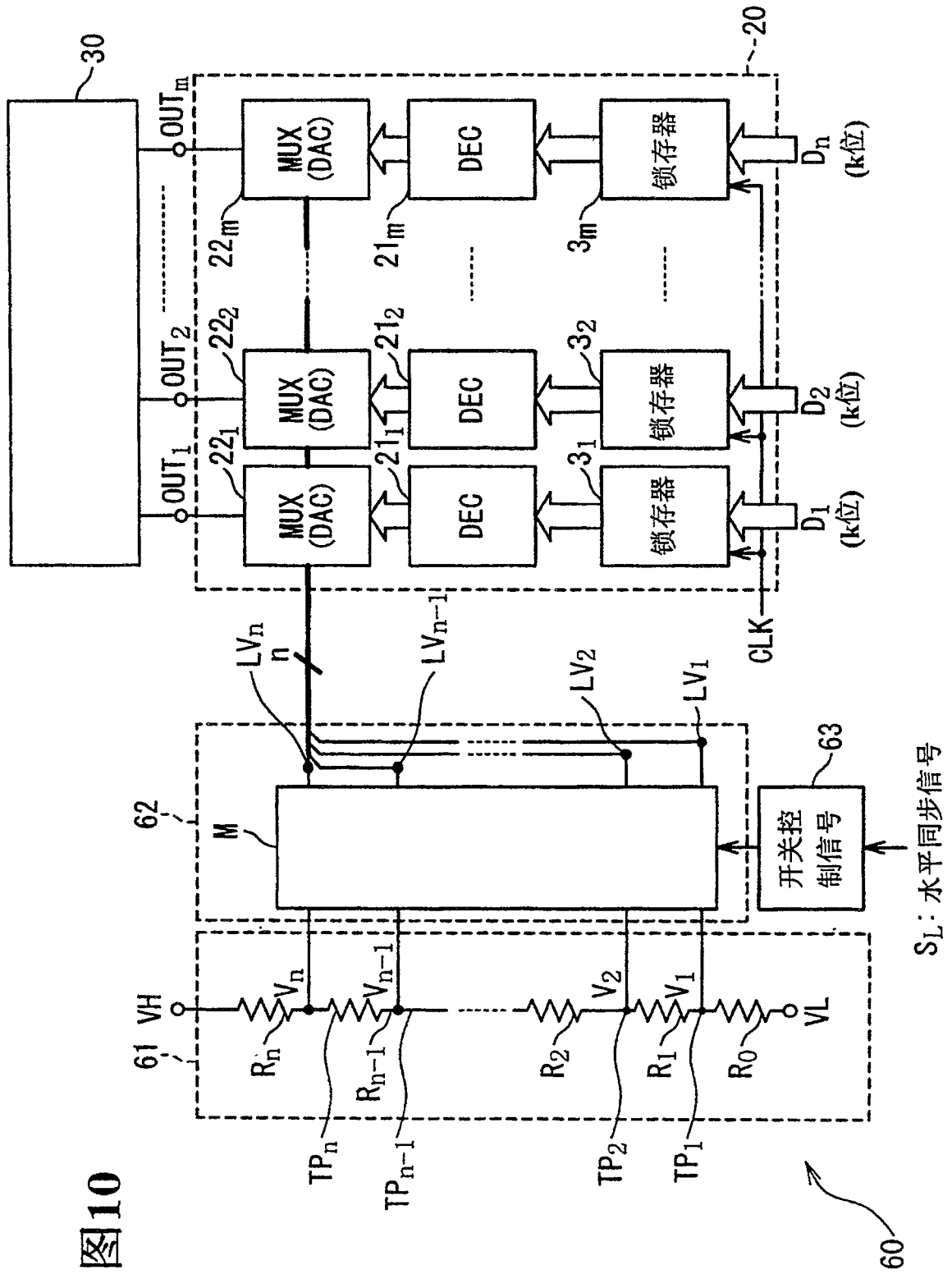


图10

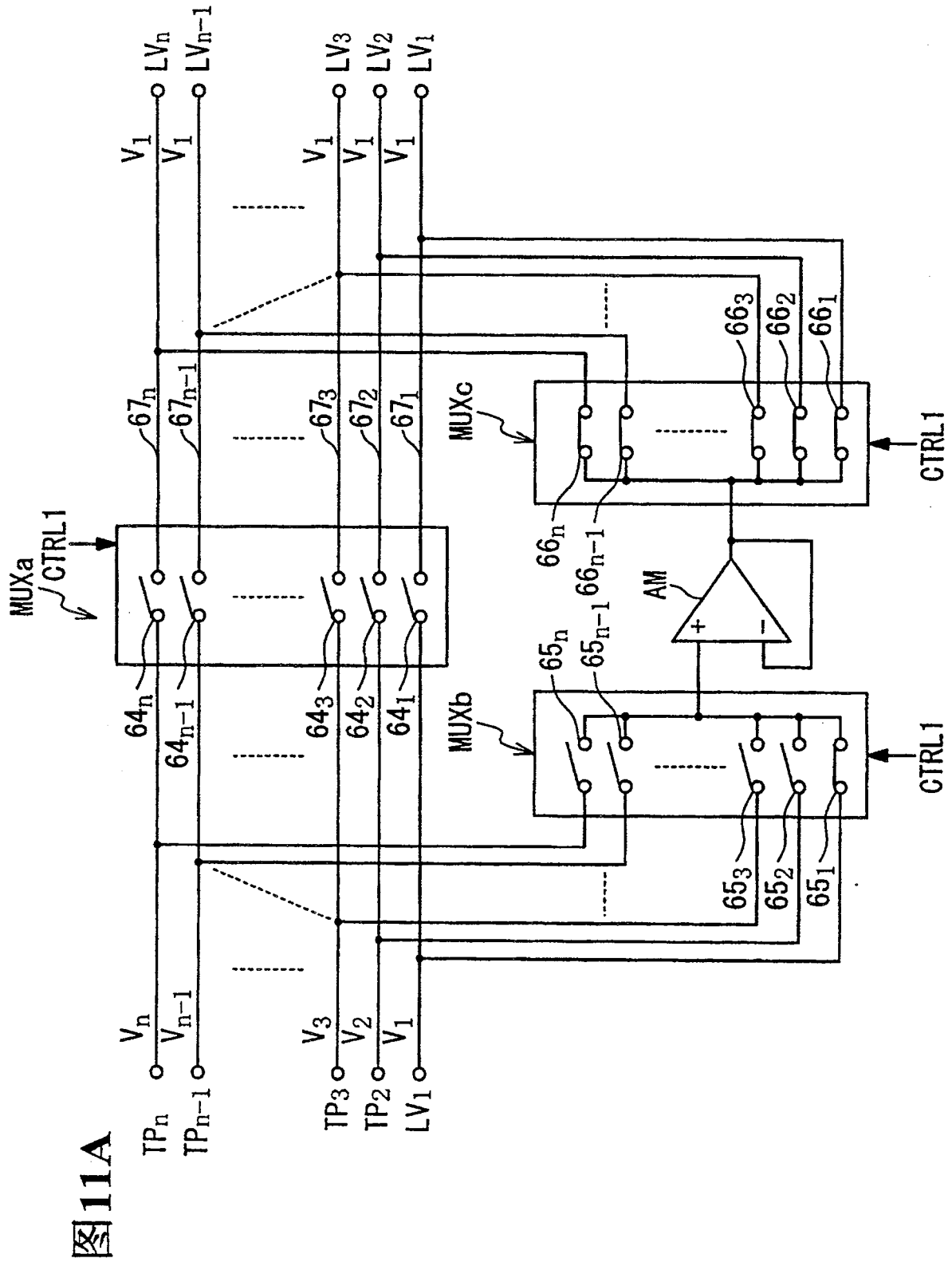


图11A

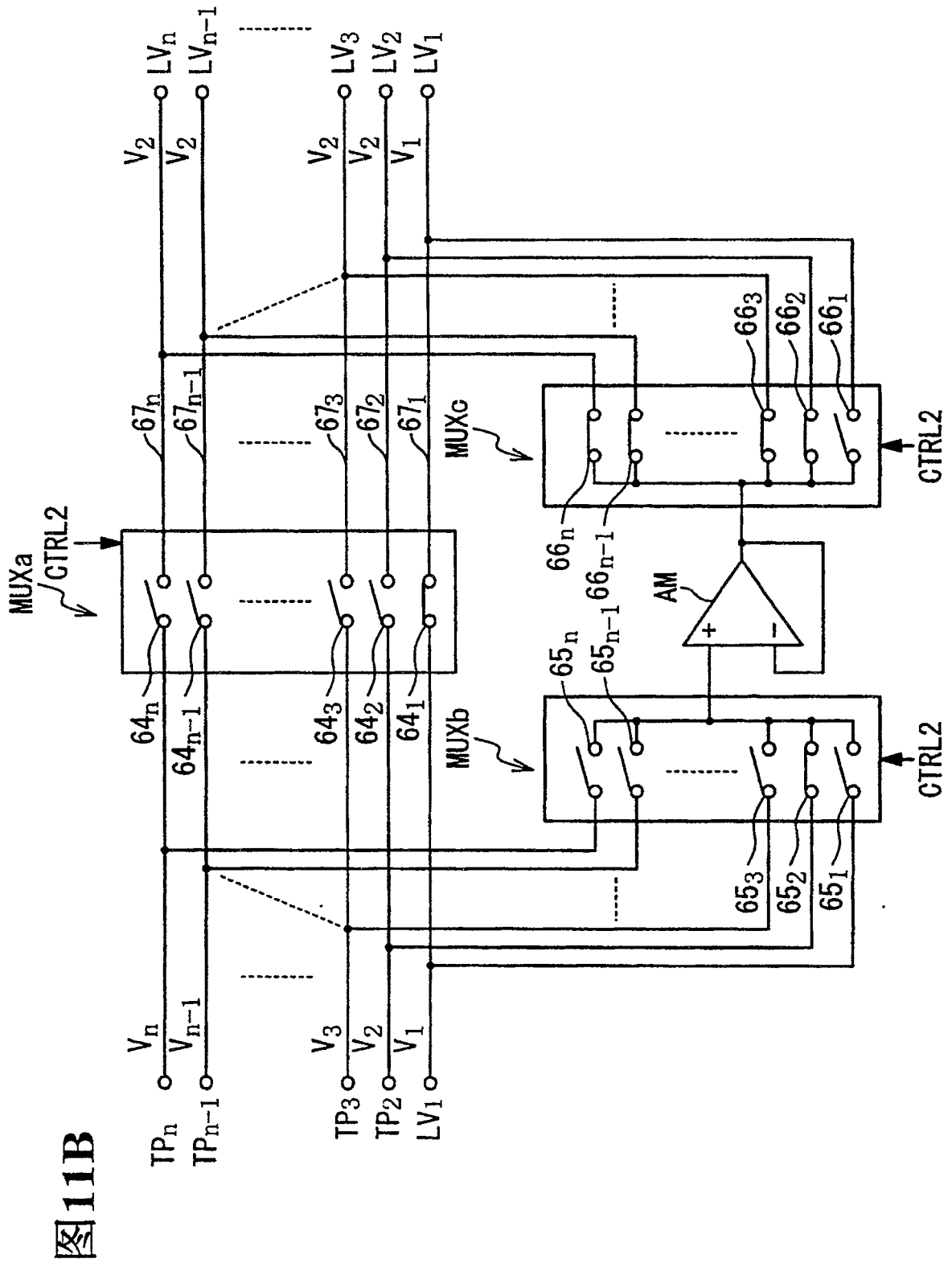


图11B

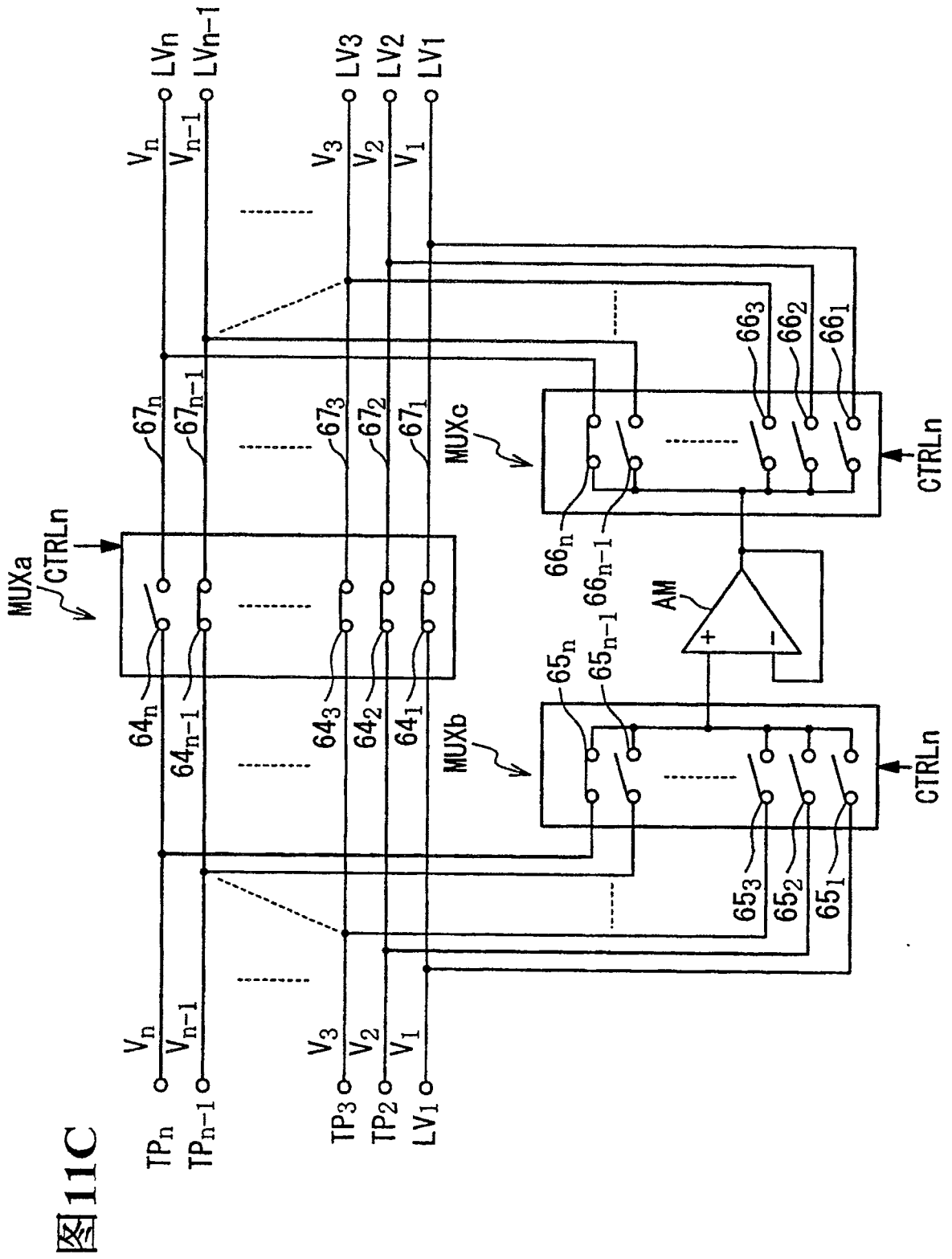


图11C

图12

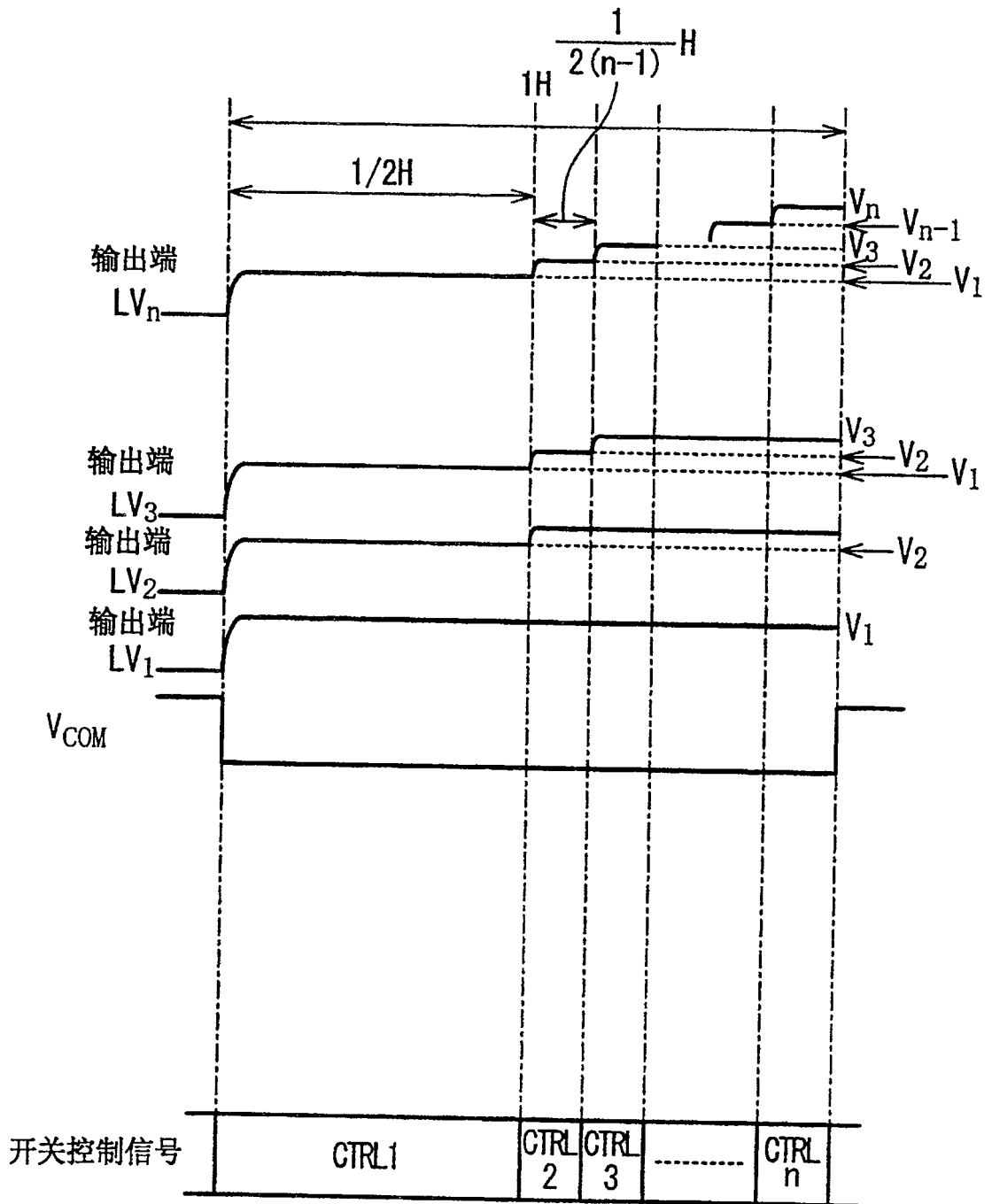


图13

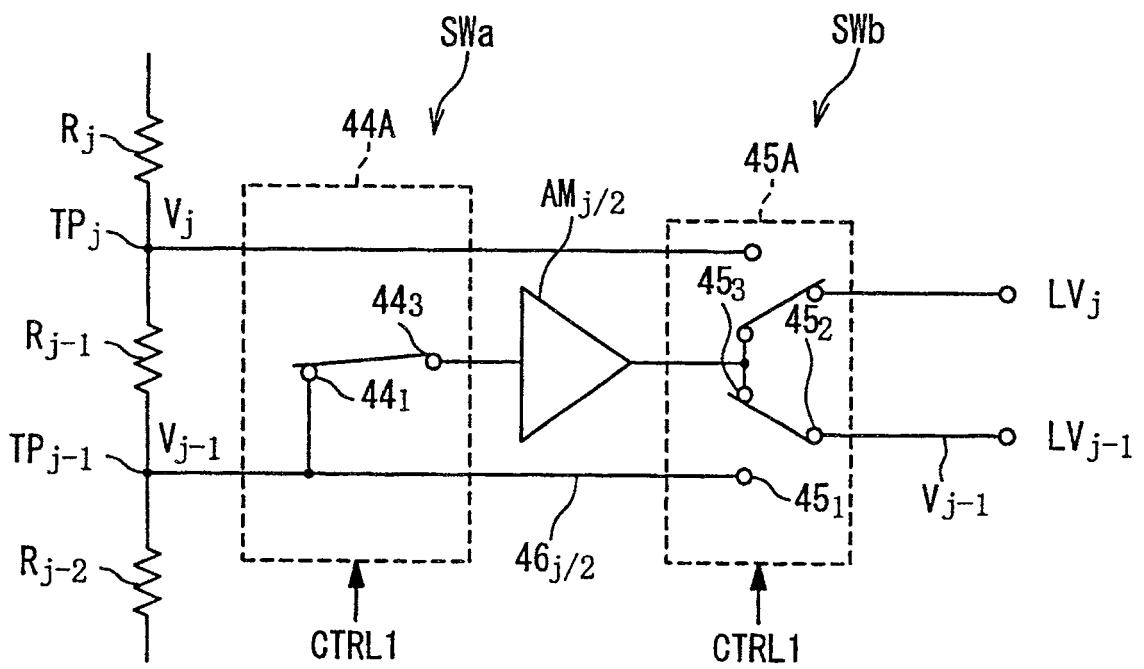


图14

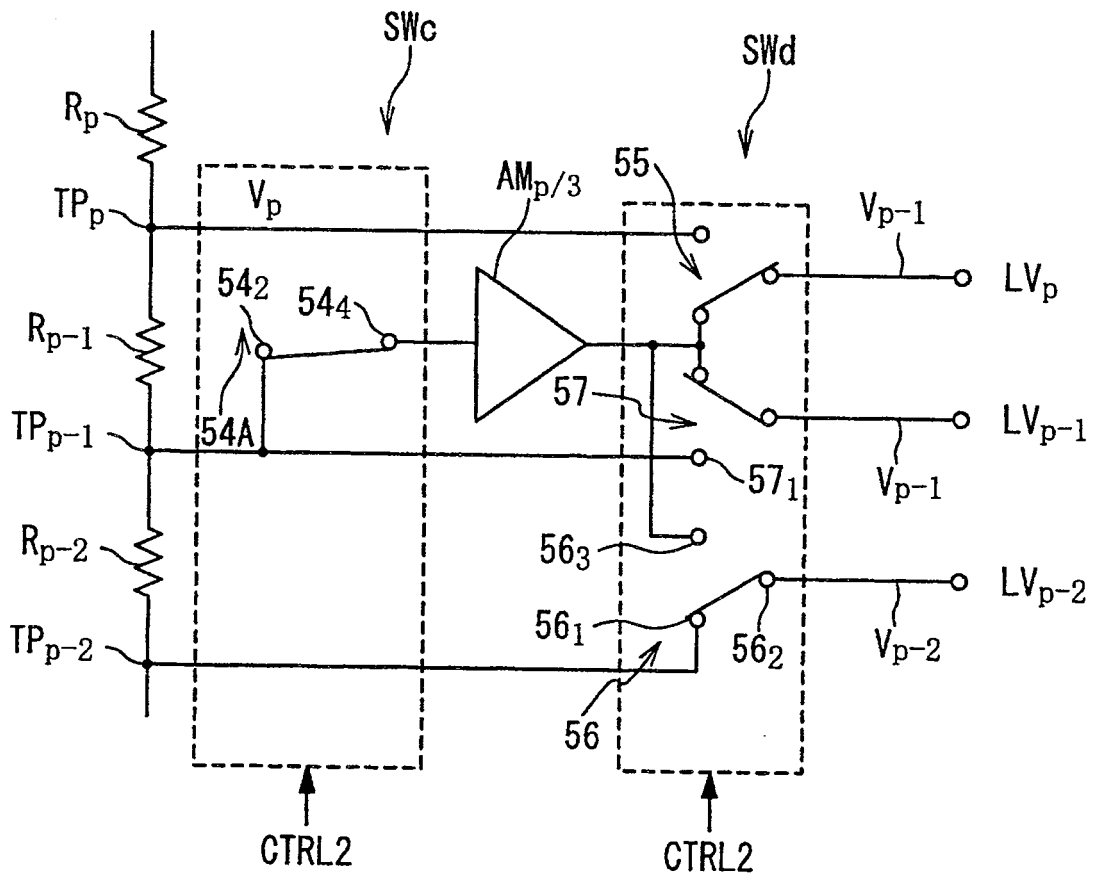
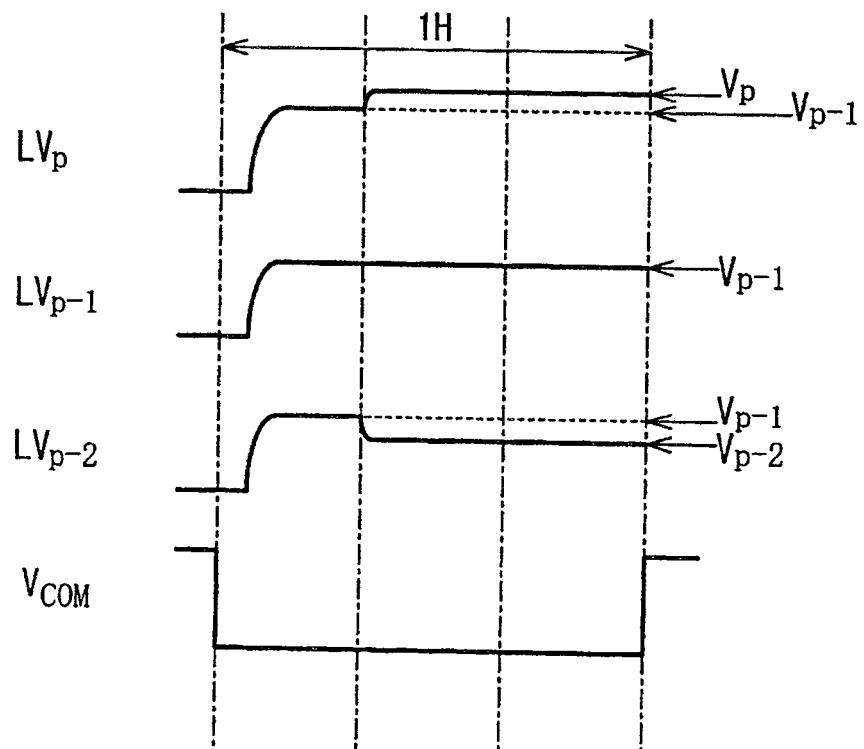


图15



专利名称(译)	用于驱动LCD面板的驱动电压产生电路及其LCD驱动器、液晶显示器		
公开(公告)号	CN100541589C	公开(公告)日	2009-09-16
申请号	CN200510005884.0	申请日	2005-01-27
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	恩益禧电子股份有限公司		
当前申请(专利权)人(译)	恩益禧电子股份有限公司		
[标]发明人	宫崎喜芳		
发明人	宫崎喜芳		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2310/027 G09G2320/0209 G09G3/3696 G09G2310/0248		
审查员(译)	王冀		
优先权	2004018583 2004-01-27 JP		
其他公开文献	CN1648984A		
外部链接	Espacenet SIPO		

摘要(译)

驱动电压产生电路提供用于驱动LCD面板(30)的驱动电压。驱动电压产生电路包括：增殖器(7)，缓冲放大器(AM_j)，开关电路(SW_a，SW_b)和其上分别产生驱动电压的一组第1至第N输出端(LV₁至LV_n)。增殖器(7)在第1至第N节点(TP₁至TP_n)上分别产生一组第1至第N个不同电压，其中N是等于或大于2的任何整数，而第1至第N电压分别与灰度级相关。开关电路(SW_a，SW_b)切换缓冲放大器(AM_i)的输出端和输入端，第1至第N节点(TP₁至TP_n)和第1至第N输出端(LV₁至LV_n)之间的连接。

