



(45) 授权公告日 2010.08.11

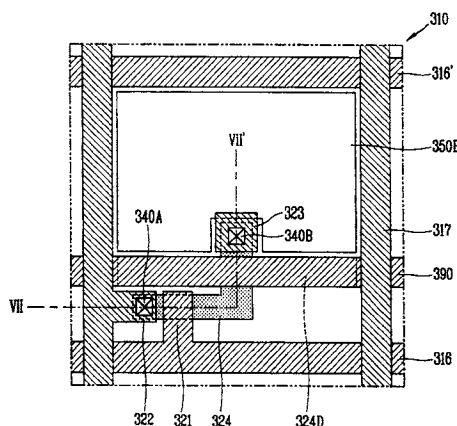
审查员 刘燕梅

H01L 21/027(2006.01)

权利要求书 2 页 说明书 9 页 附图 14 页

液晶显示器件及其制造方法

一种制造液晶显示装置的方法包括：提供第一和第二基板；在第一基板上形成有源层，有源层包括源区、漏区、沟道区和存储区；在形成有有源层的整个第一基板上形成第一绝缘层；通过对第一和第二导电层构图在第一基板上形成栅极、栅线、像素电极和存储线，存储线与有源层的存储区交迭；在整个第一基板上形成第二绝缘层；形成贯穿第一和第二绝缘层的第一和第二接触孔，其中第一接触孔暴露有源层的源区而第二接触孔暴露有源层的漏区，栅极、栅线和存储线形成具有第一和第二导电层的双层，像素电极形成具有第一导电层的单层；源极通过第一接触孔与源区电连接，漏极通过第二接触孔与漏区电连接；和在第一及第二基板之间形成液晶层。



1. 一种制造液晶显示器件的方法,包括:

提供第一基板和第二基板;

在第一基板上形成有源层,其中所述有源层包括源区、漏区、沟道区,和存储区;

在形成有源层的整个第一基板上形成第一绝缘层;

在形成有第一绝缘层的第一基板上顺序形成第一导电层和第二导电层;

通过对第一和第二导电层构图而在第一基板上形成栅极、栅线、第一和第二像素电极图案和存储线,其中该存储线与有源层的存储区交迭;

在形成有栅极、栅线、第一和第二像素电极图案和存储线的整个第一基板上形成第二绝缘层;

形成贯穿第一和第二绝缘层的第一接触孔和第二接触孔,其中第一接触孔暴露有源层的源区并且第二接触孔暴露有源层的漏区;

通过去除第二绝缘层形成一暴露由第二导电层形成的一第二像素电极图案的开口;

通过去除所述暴露的第二像素电极图案而暴露由第一导电层形成的一第一像素电极图案,

其中,所述第一像素电极图案构成一像素电极,

其中栅极、栅线和存储线形成为具有第一和第二导电层的双层,并且像素电极形成为具有第一导电层的单层;

形成源极和漏极,所述源极通过第一接触孔与源区电连接,所述漏极通过第二接触孔与漏区电连接;和

在第一基板和第二基板之间形成液晶层。

2. 根据权利要求1所述的方法,其特征在于,所述有源层由非晶硅或多晶硅形成。

3. 根据权利要求1所述的方法,其特征在于,第一和第二导电层中的至少一个包括透明导电材料,该透明导电材料包括氧化铟锡和氧化铟锌中的至少一种。

4. 根据权利要求1所述的方法,其特征在于,第二导电层包括不透明导电材料,该不透明导电材料包括铝、铝合金、钨、铜、铬和钼中的至少一种。

5. 根据权利要求1所述的方法,其特征在于,形成所述第一和第二接触孔以及形成所述开口的工序同时进行。

6. 根据权利要求1所述的方法,其特征在于,所述第二绝缘层内的开口的面积大于或等于像素电极的面积。

7. 根据权利要求1所述的方法,其特征在于,存储区平行于栅线。

8. 根据权利要求1所述的方法,其特征在于,存储线与存储区部分交迭。

9. 根据权利要求1所述的方法,其特征在于,存储线位于存储区上,而且第一绝缘层位于存储线和存储区之间。

10. 根据权利要求1所述的方法,其特征在于,进一步包括在形成栅极和存储线之后,向有源层掺杂杂质离子以形成源区和漏区。

11. 根据权利要求10所述的方法,其特征在于,杂质离子包括 III 族和 V 族元素中的至少一种。

12. 根据权利要求1所述的方法,其特征在于,源区和漏区包括 p+ 区和 n+ 区中的至少一种。

13. 根据权利要求 1 所述的方法,其特征在于,形成栅极、栅线、第一和第二像素电极图案和存储线的工序同时进行。

14. 根据权利要求 1 所述的方法,其特征在于,形成栅线和存储线的工序同时进行。

15. 一种液晶显示器件,包括:

第一和第二基板;

在第一基板上形成硅层的有源层,所述有源层具有源区、漏区和存储区;

在具有有源层的整个第一基板上的第一绝缘层;

在第一绝缘层上形成具有第一和第二导电层的双层的栅极和栅线;

在第一绝缘层上并与存储区部分交迭的存储线;

在第一绝缘层上由第一导电层形成的像素电极,其中栅极、栅线、存储线和像素电极形成在第一绝缘层上的相同层中;

一第二绝缘层,该第二绝缘层具有一暴露由所述第一导电层形成的像素电极的开口;

贯穿所述第一绝缘层和所述第二绝缘层的第一接触孔和第二接触孔;

通过第一接触孔与源区连接的源极和通过第二接触孔与漏区相连的漏极;以及

设置在第一和第二基板之间的液晶层。

16. 根据权利要求 15 所述的器件,其特征在于,所述第二导电层位于第一导电层上。

17. 根据权利要求 15 所述的器件,其特征在于,第一导电层和第二导电层中至少之一包括透明导电材料,所述透明导电材料包括氧化铟锡和氧化铟锌中的至少一种。

18. 根据权利要求 15 所述的器件,其特征在于,第二导电层包括不透明导电材料,所述不透明导电材料包括铝、铝合金、钨、铜、铬和钼中的至少一种。

19. 根据权利要求 15 所述的器件,其特征在于,有源层包括第一部分和第二部分,所述第一部分包括朝向所述像素电极延伸的一矩形沟道区,所述第二部分包括所述存储区。

20. 根据权利要求 19 所述的器件,其特征在于,有源层的第一部分沿着一个方向形成。

21. 根据权利要求 19 所述的器件,其特征在于,有源层的第一部分包括源区和沟道区。

22. 根据权利要求 19 所述的器件,其特征在于,有源层的第二部分包括存储区和漏区。

23. 根据权利要求 22 所述的器件,其特征在于,有源层的存储区沿着存储线形成。

24. 根据权利要求 15 所述的器件,其特征在于,从所述漏极延伸的一延伸部分直接接触到像素电极。

25. 根据权利要求 15 所述的器件,其特征在于,第二绝缘层暴露像素电极,

其中在所述第二绝缘层内的所述开口的面积大于或等于所述像素电极的面积。

26. 根据权利要求 15 所述的器件,其特征在于,存储线与栅线同时形成。

## 液晶显示器件及其制造方法

### 技术领域

[0001] 本发明主要涉及液晶显示 (LCD) 器件及其制造方法。更确切地说,本发明涉及具有存储电容的 LCD 器件及其简化的制造方法。

### 背景技术

[0002] 随着信息显示需求的增加和便携式信息装置使用量的增加,而积极研究和开发了薄膜型平板显示 (FPD) 器件。在各种 FPD 器件中,因为设置在 LCD 器件中的 LCD 面板能以高分辨率和极佳的色彩质量显示图像,所以 LCD 器件显示出其特别的优越性。因此,常常将 LCD 器件与笔记本电脑、桌上型监视器等结合在一起。

[0003] LCD 面板一般包括滤色片基板,粘合到滤色片基板上的阵列基板,以及形成在滤色片基板和阵列基板之间的液晶层。阵列基板一般包括多个布置成矩阵图案的开关器件 (即,薄膜晶体管 (TFT))。每个 TFT 通常包括作为有源图案的非晶硅或多晶硅薄膜,通过该有源图案选择性地形成沟道。

[0004] 图 1 表示现有技术中阵列基板的局部平面图。可以看到,现有技术中的阵列基板包括多个像素,每个像素由多条栅线 and 数据线交叉构成。因此,为了简化说明,仅针对图 1 讨论现有技术中阵列基板的一个像素。

[0005] 参照图 1,阵列基板 10 支持水平取向的栅线 16 和垂直取向的数据线 17,所述栅线和数据线限定像素区。在栅线 16 和相应的数据线 17 的交叉点上形成 TFT,而在每个像素区内形成像素电极 18。

[0006] 每个 TFT 包括与栅线 16 相连的栅极 21,与数据线 17 相连的源极 22,与像素电极 18 相连的漏极 23,和由多晶硅构成的有源图案 24,当将栅电压施加到栅极 21 上时通过有源图案 24 在源极 22 和漏极 23 之间形成了导电沟道区。

[0007] 形成贯通第一和第二绝缘膜 (未示出) 的一对第一接触孔 40A,以便在源极 22 和有源图案 24 的源区之间以及在漏极 23 和有源图案 24 的漏区之间形成电连接。形成贯通第三绝缘膜 (未示出) 的第二接触孔 40B,以便在漏极 23 和像素电极 18 之间形成电连接。

[0008] 下面将参照图 2A-2F 更详细地描述如果采用上述阵列基板的话,按照现有技术的工序制造现有阵列基板的方法。

[0009] 参照图 2A,通过在基板 10 上沉积多晶硅薄膜,和在第一光刻掩模工序中对沉积的薄膜构图而形成有源图案 24。

[0010] 参照图 2B,在基板 10 的整个表面上和有源图案 24 上依次沉积第一绝缘膜 15A 和导电金属层。在沉积之后,用第二光刻掩模工序对导电金属材料构图,从而在有源图案 24 上方形成通过第一绝缘膜 15A 与之隔开的栅极 21。

[0011] 随后,用栅极 21 作为掩模,通过掺杂高密度杂质离子在有源图案 24 的预定区域上形成 P+ 型或 n+ 型源区 / 漏区 24A/24B。因此,通过沟道区 24C 分开的源区 / 漏区 24A/24B 与随后形成的源极 / 漏极形成欧姆接触。

[0012] 参照图 2C,在基板 10 的整个表面上和栅极 21 上沉积第二绝缘膜 15B。然后,在第

三光刻掩模工序中,通过对第一和第二绝缘膜 15A 和 15B 构图除去某些部分,从而形成一对暴露部分源区 / 漏区 24A/24B 的第一接触孔 40A。

[0013] 参照图 2D,然后在基板 10 的整个表面上和在一对第一接触孔 40A 内沉积导电金属材料,并利用第四光刻掩模工序对沉积的导电金属材料构图,从而同时形成源极 22 和漏极 23,每个源极和漏极通过一对第一接触孔 40A 与各源区和漏区 24A 和 24B 中的一个相接触。如图中所示,对部分导电金属层构图,以从源极 22 延出,由此构成数据线 17。

[0014] 参照图 2E,在基板 10 的整个表面上沉积第三绝缘膜 15C 并在第五光刻工序中对其构图,由此形成暴露部分漏极 23 的第二接触孔 40B。

[0015] 最后,参照图 2F,在基板 10 的整个表面上和在第二接触孔 40B 内沉积透明导电金属材料,并用第六掩模光刻工序对其构图,从而形成与漏极 23 相连的像素电极 18。

[0016] 正如以上讨论的那样,现有技术中制造包括图 1 所示多晶硅 TFT 的阵列基板的方法需要六道光刻掩模工序来形成有源图案 24、栅极 21、一对第一接触孔 40A、源极 / 漏极 24A/24B、第二接触孔 40B、和像素电极 18。众所周知,光刻掩模工序需要多道分工序,例如,清洗、光刻胶沉积、用昂贵的掩模曝光、显影、蚀刻、脱模、检验等。因此,任何用大量光刻工序制造阵列基板的方法都会导致产量降低和制造成本增加。

## 发明内容

[0017] 因此,本发明涉及一种 LCD 器件及其制造方法,所述器件和方法基本上克服了因现有技术的限制和缺点而导致的一个或多个问题。

[0018] 本发明的一个优点在于提供一种 LCD 器件及其制造方法,其中减少了用于制造阵列基板的掩模工序数量。

[0019] 本发明的另一个优点在于提供一种具有存储电容的 LCD 器件和制造这种 LCD 器件的简化方法。

[0020] 在以下的说明中将述及本发明的其它特征和优点,这些特征和优点中的一部分能够从以下的说明中明显得到,或是通过本发明的实践而获得。通过文字说明部分和权利要求以及附图中特别指出的结构可以实现和获得本发明的这些和其他优点。

[0021] 为了实现这些和其他优点,并根据本发明的目的,作为概括性和广义的描述,本发明所述制造液晶显示器件的方法可以包括:提供第一基板和第二基板;在第一基板上形成有源层,其中所述有源层包括源区、漏区、沟道区,和存储区;在形成有有源层的整个第一基板上形成第一绝缘层;在形成有第一绝缘层的第一基板上顺序形成第一导电层和第二导电层;通过对第一和第二导电层构图而在第一基板上形成栅极、栅线、像素电极和存储线,其中该存储线与有源层的存储区交迭;在形成有栅极、栅线、像素电极和存储线的整个第一基板上形成第二绝缘层;形成贯穿第一和第二绝缘层的第一和第二接触孔,其中第一接触孔暴露有源层的源区并且第二接触孔暴露有源层的漏区;通过去除第二绝缘层形成一暴露形成在该第二导电层上的一第二像素电极图案的开口;通过去除暴露的第二像素电极图案而暴露由第一导电层形成的第一像素电极图案,其中,第一像素电极图案构成像素电极,其中栅极、栅线和存储线形成为具有第一和第二导电层的双层,并且其中像素电极形成为具有第一导电层的单层;形成源极和漏极,所述源极通过第一接触孔与源区电连接,所述漏极通过第二接触孔与漏区电连接;和在第一和第二基板之间形成液晶层。按照本发明的另一方

面,液晶显示(LCD)器件可以包括:第一基板和第二基板;在第一基板上形成硅层的有源层,所述有源层具有存储区;在具有有源层的第一基板上形成的第一绝缘层;在第一绝缘层上形成具有第一和第二导电层的双层的栅极和栅线;第一绝缘层上与存储器部分交迭的存储线;在第一绝缘层上具有第一导电层的像素电极,其中栅极、栅线、存储线和像素电极形成在第一绝缘层上的相同层中;在形成有像素电极的第一基板上具有由第一导电层形成的第一像素图案的开口并且具有第一和第二接触孔的第二绝缘层,其中第一像素电极图案构成像素电极;通过第一接触孔与源区连接的源极和通过第二接触孔与漏区相连的漏极;以及设置在第一和第二基板之间的液晶层。

[0022] 很显然,以上的一般性描述和下面的详细说明都是示例性和解释性的,其意在于对要求保护的发明提供进一步解释。

#### [0023] 附图说明

[0024] 附图表示的是本发明的实施例,其与说明书一起用于解释本发明,所述附图有助于进一步理解本发明,其与说明书相结合并构成说明书一部分。

[0025] 在附图中:

[0026] 图1表示现有技术中阵列基板的局部平面图;

[0027] 图2A-2F表示沿图1中线I-I'提取的截面图,这些图表示现有技术中制造阵列基板的方法;

[0028] 图3表示根据本发明第一实施例的原理所述阵列基板的局部平面图;

[0029] 图4A-4D表示沿图3中线III-III'提取的截面图,这些图表示制造阵列基板的工序;

[0030] 图5A-5D表示按照本发明第一实施例的原理所述,形成接触孔和开放像素电极区时使用的第三光刻掩模工序的截面图;

[0031] 图6表示按照本发明第二实施例的原理所述阵列基板的局部平面图;

[0032] 图7表示按照本发明第三实施例的原理所述阵列基板的局部平面图;

[0033] 图8A-8H表示沿图7中线VII-VII'提取的截面图,这些图表示制造阵列基板的工序;

[0034] 图9A-9D表示按照本发明第三实施例所述阵列基板制造工序的平面图。

#### [0035] 具体实施方式

[0036] 下面将对本发明的实施例进行详细说明,所述实施例的实例示于附图中。

[0037] 图3表示按照本发明第一实施例所述阵列基板的局部平面图。可以看到,阵列基板包括多个像素,每个像素由相互交叉的多条栅线 and 数据线限定。因此,为了简化说明,将仅根据图3讨论本发明所述阵列基板的一个像素。

[0038] 参照图3,按照本发明第一实施例的原理所述的阵列基板110可以支持水平取向的栅线116、116'和垂直取向的数据线117,所述水平取向的栅线和垂直取向的数据线限定像素区。按照本发明,对于特定的像素而言,参考标记116表示与相应的TFT相连的栅线,而参考标记116'表示仅限定像素区边缘的栅线。在栅线116和相应数据线117的交叉点上可形成诸如TFT等的开关器件,而在每个像素区内可形成像素电极150B。按照本发明的一个方面,每个像素电极可以与相应的TFT相连,并与公共电极协同驱动像素区内设置的液晶层。

[0039] 每个 TFT 可以包括与栅线 116 相连的栅极 121, 与数据线 117 相连的源极 122, 与像素电极 150B 相连的漏极 123, 和由非晶硅或多晶硅形成的有源图案 124, 当将栅极电压施加到栅极 121 上时, 通过有源图案在源极 122 和漏极 123 之间构成导电沟道区。

[0040] 可以形成贯穿第一和第二绝缘膜 (未示出) 的接触孔 140 以便能在源极 122 和有源图案 124 的源区之间以及在漏极 123 和有源图案 124 的漏区之间形成连接。

[0041] 按照本发明, 源极 122 可以包括与数据线 117 相连的延出部分。按照本发明的一个方面, 漏极 123 可以包括直接与像素电极 150B 相连的延出部分。

[0042] 按照本发明, 栅极 121、栅线 116 和 116'、和像素电极 150B 可以在同一光刻掩模工序中同时形成。按照本发明的一个方面, 栅极 121 和栅线 116 和 116' 可以包括具有第一和第二导电膜的双层结构。按照本发明的另一方面, 像素电极 150B 可以包括仅具有第一导电膜的单层结构。按照本发明的再一方面, 像素电极 150B、栅极 121 和栅线 116 和 116' 可以形成在同一层上。

[0043] 按照本发明, 像素电极 150B 可以在形成贯穿第二绝缘膜的接触孔 140 的工序中完全暴露。按照本发明的一个方面, 像素电极 150B 可以在接触孔外侧直接与漏极 123 相连。

[0044] 在描述了按照第一实施例的原理所述的阵列基板之后, 下面将参照图 4A-4D 详细说明制造这种阵列基板的方法。

[0045] 图 4A-4D 表示沿图 3 中线 III-III' 提取的截面图, 这些图表示制造阵列基板的工序。

[0046] 参照图 4A, 可在基板 110 上沉积硅层 (例如, 非晶硅或多晶硅), 并在第一光刻掩模工序中对硅层构图以形成有源图案 124。按照本发明的一个方面, 基板 110 可以包括诸如玻璃等的透明电绝缘材料。

[0047] 按照本发明的一个方面, 在形成有源图案 124 之前可在基板 110 上形成包含氧化硅 ( $\text{SiO}_2$ ) 等材料的缓冲层以便防止杂质 (例如, 钠 (Na)) 从基板 110 扩散到随后沉积的材料中。

[0048] 按照本发明的一个方面, 可以通过沉积非晶硅层或多晶硅层构成制作有源图案 124 的硅层。然而, 按照本发明的另一方面, 可以通过沉积非晶硅层和使非晶硅层结晶形成多晶硅层而构成制作有源图案 124 的硅层。例如, 可以通过诸如低压化学汽相沉积 (LPCVD)、等离子体增强化学气相沉积 (PECVD) 或类似的沉积方法在基板 110 上沉积非晶硅层。接着进行脱氢工序, 由此适当地除去非晶硅层中的氢原子。随之, 在高温炉中或由检验者完成的激光退火 (ELA) 工序进行热处理, 从而在脱氢非晶硅层中引起固相结晶 (SPC)。按照本发明, ELA 工序一般包括通过掩模将非晶硅层暴露于激光的脉冲下, 将所述掩模设计成能在暴露的非晶硅膜内引起连续的横向结晶 (SLS), 其中 SLS 工序往往会在横向生长的硅层内形成晶粒。具体地说, 暴露于激光脉冲下的部分非晶硅层变成熔融状态, 但迅速从液态 / 固态界面朝着暴露区的中心固化。除此以外, 按照 SLS 方法, 还可以通过控制硅层的暴露区和激光强度来控制所形成的硅晶粒的尺寸。

[0049] 参照图 4B, 在基板 110 的整个表面上并在有源图案 124 上分别依次沉积第一绝缘膜 115A 和第一及第二导电膜 150 和 160。沉积后, 在第二光刻掩模工序中, 可对第一和第二导电膜 150 和 160 构图, 从而同时形成栅极 121、栅线 (未示出) 和像素电极图案 125。

[0050] 按照本发明, 栅极 121 可以包括第一栅极图案 150A 和第二栅极图案 160A。按照

本发明的一个方面,像素电极图案 125 可以包括第一像素电极图案 150B 和第二像素电极图案 160B。按照本发明的另一方面,第一栅极图案 150A 和第一像素电极图案 150B 可以由第一导电膜 150 形成,而第二栅极图案 160A 和第二像素电极图案 160B 可以由第二导电膜 160 形成。

[0051] 按照本发明的一个方面,第一导电膜 150 可以包括诸如氧化铟锡 (ITO)、氧化铟锌 (IZO) 等的合适的透明导电膜。按照本发明的另一方面,第二导电膜 160 可以包括诸如铝、铝合金、钨、铜、铬、钼等或其组合物的合适的非透明导电膜。按照本发明的再一个方面,第二导电膜 160 可以包括与第一导电膜 150 相同的材料。

[0052] 在形成栅极 121 和像素电极图案 125 之后,可以用栅极 121 作为掩模,将杂质离子(即,掺杂剂)掺杂到有源图案 124 的区域中,从而形成源区 124A 和漏极 124B。因此,由沟道区 124C 分开的源区 / 漏区 124A/124B 可以与随后形成的源极 / 漏极形成欧姆接触。

[0053] 参照图 4C,在基板 110 的整个表面上和栅极 121、栅线 116 和 116' 以及像素电极图案 125 上沉积第二绝缘膜 115B(即,隔层绝缘膜)。沉积后,可在第三光刻掩模工序中对第一和第二绝缘膜 115A 和 115B 构图从而形成接触孔 140。按照本发明的一个方面,接触孔可暴露部分源区 / 漏区 124A/124B。按照本发明的另一个方面,第三光刻掩模工序还暴露像素电极图案 125 和选择性地除去与第一像素电极图案 150B 相对的第二像素电极图案 160B。如上所述,第一像素电极图案 150B 构成像素电极。按照本发明的再一个方面,可以通过在第二绝缘膜 115B 内形成开口来形成像素电极 150B,所述第二绝缘膜 115B 大于或等于像素电极 150B 的面积。

[0054] 图 5A-5D 表示按照本发明第一实施例的原理所述第三光刻掩模工序的截面图。

[0055] 参照图 5A,可在第二绝缘膜 115B 上形成光敏膜 170 和通过接触孔掩模(未示出)选择性地光敏膜曝光。按照本发明的一个方面,光敏膜 170 可包括光刻胶等光敏材料。然后可将光敏膜 170 显影,由此形成图 5B 所示的光敏膜图案 170'。按照本发明的一个方面,光敏膜图案 170' 把位于源区 / 漏区 124A/124B 和像素电极图案 125 上方的部分第二绝缘膜 115B 露出。按照本发明的一个方面,通过光敏膜图案 170' 露出的和位于像素电极图案 125 上方的那部分第二绝缘膜 115B 可以大于或等于像素电极 150B 的面积。

[0056] 接着,参照图 5C,用光敏膜图案 170' 作为掩模,可选择性地除去第一和第二绝缘膜 115A 和 115B,从而同时形成露出部分源区 / 漏区 124A/124B 的接触孔 140 和露出第二像素电极图案 160B 的开口。随后,在蚀刻工序中用光敏膜图案 170' 作为掩模,除去露出的第二像素电极图案 160B,由此露出第一像素电极图案 150B。如上所述,第一像素电极图案 150B 构成像素电极。在形成接触孔 140 和像素电极之后,可以如图 5D 所示除去光敏膜 170'。

[0057] 现在参照图 4D,可以在按照图 5D 中讨论过的结构上沉积第三导电膜,然后在第四光刻掩模工序中对其构图,从而同时分别形成源极和漏极 122 和 123。按照本发明的一个方面,可以通过各接触孔 140 将源极和漏极 122 和 123 电连接到源区和漏区 124A/124B 上。按照本发明的另一方面,可以对部分第三导电膜构图,以从源极 122 上延出,由此形成数据线 117。按照本发明的再一方面。可以对部分第三导电膜构图,以从漏极 123 上延出,由此直接与像素电极 150B 接触的。

[0058] 如上所述,可以将漏极 123 和像素电极 150B 彼此直接连接,而不必在漏极 123 上

形成贯穿第三绝缘膜的接触孔。因此,可以用较少量的光刻掩模工序制造按照本发明第一实施例的原理所述的阵列基板。进一步的,如上所述,可以同时形成栅极、栅线和像素电极。所以,可以用更少量的光刻掩模工序制造本发明第一实施例的原理所述阵列基板。通过减少制造阵列基板所需的光刻掩模工序的数量,可以简化整个制造工序,提高产量和降低制造成本。

[0059] 图 6 表示按照本发明第二实施例的原理所述阵列基板的局部平面图。

[0060] 参照图 6,本发明第二实施例的原理可示例性地提供一种与第一实施例的阵列基板相同的阵列基板,但其进一步包括公共存储 (SOC) 结构,其中在像素区内利用存储线形成存储电容。因此,除了带有存储电容之外,可以用与第一实施例的阵列基板相同的方式制造第二实施例的阵列基板。

[0061] 按照本发明第二实施例的原理所述的阵列基板 210 可以支持水平取向的栅线 216 和 216',以及垂直取向的数据线 217,所述水平取向的栅线和垂直取向的数据线限定像素区。按照本发明,对于特定的像素而言,参考标记 216 表示与相应的 TFT 相连的栅线,而参考标记 216' 表示仅限定像素区边缘的栅线。在栅线 216 和相应的数据线 217 的交叉点上可形成诸如 TFT 的开关器件,而在每个像素区内可形成像素电极 250B,该像素电极与 TFT 相连。按照上述结构,像素电极 250B 与滤色片基板的公共电极(未示出)协同作用,可以驱动随后设置的液晶材料层。

[0062] 每个 TFT 可以包括与栅线 216 相连的栅极 221,与数据线 217 相连的源极 222,与像素电极 250B 相连的漏极 223,和由非晶硅或多晶硅构成的有源图案 224,当将栅电压施加到栅极 221 上时,通过有源图案 224 在源极和漏极 222 和 223 之间限定导电沟道区。

[0063] 按照本发明,可以形成平行于栅线 216 的存储线 290,而且将存储线 290 设置在像素区内。按照本发明的另一方面,像素区内的部分存储线 290 可以构成存储电极 290A,所述存储电极与像素电极 250B 交迭,形成存储电容。按照本发明的另一方面,可以用构成有源图案 224 的同一个硅层形成存储线 290(并因此形成存储电极 290A)。按照本发明的再一个方面,可以通过沉积无掺杂的硅层形成存储线 290(并因此形成存储电极 290A)。

[0064] 图 7 表示按照本发明第三实施例的原理所述阵列基板的局部平面图。

[0065] 参照图 7,按照本发明第三实施例的原理所述的阵列基板 310 可以支持水平取向的栅线 316 和 316',和垂直取向的数据线 317,所述水平取向的栅线和垂直取向的数据线限定像素区。按照本发明,对于特定像素而言,参考标记 316 表示与相应的 TFT 相连的栅线,而参考标记 316' 表示仅限定像素区边缘的栅线。在栅线 316 和相应的数据线 317 的交叉点处形成诸如 TFT 的开关装置,而且在每个像素区内形成像素电极 350B。按照本发明的一个方面,每个像素电极 350B 可以与相应的 TFT 相连,并与公共电极一同驱动像素区内设置的液晶层。按照本发明,存储线 390 可以隆起地 (elevationally) 形成在栅线 316 和像素电极 350B 的下表面之间。

[0066] 每个 TFT 可以包括与栅线 316 相连的栅极 321,与数据线 317 相连的源极 322,与像素电极 350B 相连的漏极 323,和由非晶硅或多晶硅构成的有源图案 324,当将栅极电压施加到栅极 321 上时,通过有源图案 324 在源极和漏极 322 和 323 之间形成导电沟道区。

[0067] 可以形成贯穿第一和第二绝缘膜(未示出)的第一和第二接触孔 340A 和 340B,以便能够在源极 322 和有源图案 324 的源区之间以及在漏极 323 和有源图案 324 的漏区之间

形成各自的连接。

[0068] 按照本发明,可以在通过位于像素电极 350B 中的第二接触孔 340B 与像素电极 350B 电接触的像素区内沉积有源图案 324 的漏区。按照本发明的一个方面,可以在有源图案 324 的源区和漏区之间形成存储区 324D。按照本发明的另一个方面,存储区 324D 可以平行于栅线 316 延伸并且与存储线 390 交迭从而形成存储电容。按照本发明的再一个方面,可以在存储线 390 和有源图案 324 的存储区 324D 之间设置第一绝缘膜。

[0069] 按照本发明,可以在同一光刻掩模工序中同时形成栅极 321,栅线 316 和 316',存储线 390 和像素电极 350B。按照本发明的一个方面,栅极 321、栅线 316 和 316' 和存储线 390 可以包括具有第一和第二导电膜的双层结构。按照本发明的另一个方面,像素电极 350B 例如可以包括仅有第一导电膜的单层结构。按照本发明的再一个方面,像素电极 350B、栅极 321、栅线 316 和 316' 以及存储线 390 可以形成在同一层上。

[0070] 上面描述了按照本发明第三实施例的原理所述的阵列基板,下面将参照图 8A-8H 和图 9A-9D 详细说明这种阵列基板的制造方法。

[0071] 图 8A-8H 表示沿图 7 中线 VII-VII' 提取的截面图,这些图表示制造阵列基板的工序。图 9A-9D 表示按照本发明第三实施例所述阵列基板制造工序的平面图。

[0072] 参照图 8A 和图 9A,在基板 310 上可沉积硅层(例如,非晶硅或多晶硅),并在第一光刻掩模工序中对所述硅层构图,从而形成有源图案 324。按照本发明的一个方面,基板 310 可以包括诸如玻璃的透明电绝缘材料。

[0073] 按照本发明,有源图案 324 可以分别包括第一和第二部分 324' 和 324"。按照本发明的一个方面,第一和第二部分 324' 和 324" 可以彼此相交。按照本发明的一个方面,第一部分 324' 可以包括朝着像素区延伸的矩形沟道区。按照本发明的一个方面,第二部分 324" 可以包括存储区 324D。然而,应注意到,本发明可以通过任何其他合适的有源图案 324 的结构实现,所述有源图案与随后设置的存储线交迭。

[0074] 参照图 8B,第一绝缘膜 315A(即,栅绝缘膜)和第一及第二导电膜 350、360 可依次沉积在基板 310 的整个表面上和有源图案 324 上。

[0075] 按照本发明的一个方面,第一导电膜 350 可以包括诸如氧化铟锡(ITO)、氧化铟锌(IZO)等的合适的透明导电膜。按照本发明的另一个方面,第二导电膜 360 可以包括诸如铝、铝合金、钨、铜、铬、钼等或它们的组合物的合适的非透明导电膜。按照本发明的再一个方面,第二导电膜 360 可以包括与第一导电膜 350 相同的材料。

[0076] 随后,参照图 8C 和图 9B,在第二光刻掩模工序中,对第一和第二导电膜构图,从而同时形成栅极 321、栅线 316 和 316',存储线 390 和像素电极图案 325。按照本发明,存储线 390 可以与有源图案 324 的存储区 324D 交迭,从而形成存储电容,其中将第一绝缘膜 315A 设置在存储线和有源图案的存储区之间。

[0077] 按照本发明,栅极 321 和存储线 390 可以分别包括第一栅极图案和第一存储线图案 350A 和 350C,以及第二栅极图案和第二存储线图案 360A 和 360C。按照本发明的一个方面,像素电极图案 325 可以分别包括第一和第二像素电极图案 350B 和 360B。按照本发明的另一个方面,第一栅极图案、第一像素电极图案和第一存储线图案 350A、350B 和 350C 可以分别由上述第一导电膜形成,而第二栅极图案、第二像素电极图案和第二存储线图案 360A、360B 和 360C 可以分别由上述第二导电膜形成。

[0078] 在形成栅极 321、存储线 390 和像素电极图案 325 之后,可以用栅极 321 和存储线 390 作为掩模将杂质离子掺杂到有源图案 324 的区域中,从而形成源区 324A 和漏区 324B。因此,由沟道区、连接区和存储区 324C、324E 和 324D 隔开的源区 324A 和漏区 324B 分别与随后形成的源极 / 漏极欧姆接触。掺杂杂质离子后,可以在激活工序中激活杂质。

[0079] 按照本发明,可以根据掺杂的杂质(即掺杂剂)类型改变有源图案 324 的电特性。例如,如果掺杂的杂质是诸如硼(B)的 III 族元素,则源区 / 漏区 324A 和 324B 形成 p+ 型区, TFT 也因此为 P 型 TFT。此外,如果掺杂的杂质是诸如磷(P)的 V 族元素,则源 / 漏区 324A 和 324B 形成 n+ 型区, TFT 也因此是 N 型 TFT。

[0080] 参照图 8D,可以在基板 310 的整个表面上和栅极 321、栅线 316 和 316'、存储线 390 和像素电极图案 325 上沉积第二绝缘膜 315B(即,隔层绝缘膜)。按照本发明的一个方面,第二绝缘膜 315B 可以包括隔层绝缘膜。按照本发明的一个方面,第二绝缘膜 315B 可以包括透明有机绝缘材料,例如苯并环丁烯(BCB),丙烯酸树脂等。

[0081] 接着,可以在第三光刻掩模工序中对第一和第二绝缘膜 315A 和 315B 构图,从而分别形成第一和第二接触孔 340A 和 340B。按照本发明的一个方面,第一和第二接触孔 340A 和 340B 露出各源区 / 漏区 324A/324B 的一部分。按照本发明的另一个方面,第三光刻掩模工序还可以暴露像素电极图案 325 和选择性地除去与第一像素电极图案 350B 对应的第二像素电极图案 360B。

[0082] 按照本发明,可通过在第二绝缘膜 315B 上形成光敏膜 370 和通过接触孔掩模(未示出)选择性地使光敏膜 370 曝光来完成第三光刻工序。按照本发明的一个方面,光敏膜 370 可以包括诸如光刻胶的光敏材料。然后将光敏膜 370 显影,由此形成图 8E 所示的光敏膜图案 370'。按照本发明的一个方面,光敏膜图案 370' 使得位于源区 / 漏区 324A/324B 和像素电极图案 325 上方的部分第二绝缘膜 315B 露出。按照本发明的一个方面,被光敏膜图案 370' 露出的并位于像素电极图案 325 上方的部分第二绝缘膜 315B 可以大于或等于第一像素电极图案 350B 的面积。

[0083] 接着,参照图 8F,可以用光敏膜图案 370' 作为掩模选择性地除去第一和第二绝缘膜 315A 和 315B,以便同时形成使部分源区 / 漏区 324A/324B 露出的第一和第二接触孔 340A 和 340B,和暴露第二像素电极图案 360B 的开口。随之,用光敏膜 370' 作为掩模,在蚀刻工序中除去暴露的第二像素电极图案 360B,由此暴露第一像素电极图案 350B。如上所述,第一像素电极图案 350B 构成像素电极。在形成第一和第二接触孔 340A 和 340B 以及像素电极 350B 之后,可以如图 8G 和 9C 所示,除去光敏膜 370'。

[0084] 现在参照图 8H 和图 9D,可以在以上参照图 8G 讨论的结构上沉积第三导电膜,然后在第四光刻掩模工序中对其构图,从而同时分别形成源极和漏极 322 和 323。按照本发明的一个方面,源极和漏极 322 和 323 可以通过第一和第二接触孔 340A 和 340B 分别与各源区和漏区 324A/324B 之一电性连接。按照本发明的另一个方面,可以对部分第三导电膜构图,以从源极 322 延出,进而形成数据线 317。按照本发明的再一个方面,可以对部分第三导电膜构图,以从漏极 323 延出,进而直接与像素电极相接触图案。

[0085] 在制成以上针对第一到第三实施例讨论的任何一种阵列基板之后,可以将所述基板粘合到滤色片基板上。此外,可以在粘合的阵列基板和滤色片基板之间设置液晶材料,从而完成 LCD 器件的制作。

[0086] 如上所述,可以将漏极和像素电极 323 和 350B 直接相互连接,而不必在漏极 323 上形成贯穿第三绝缘膜的接触孔。因此,可以用少量的光刻掩模工序制造按照本发明第三实施例的原理所述的阵列基板。此外,如上所述,可以同时形成栅极、栅线和像素电极。因此,可以用更少量的光刻掩模工序制造按照本发明第一实施例的原理所述的阵列基板。再者,可以在形成栅极、栅线和像素电极的同时形成存储线,由此进一步减少了制造具有 SOC 结构的阵列基板所需的光刻掩模工序数量,所述 SOC 结构可防止因存储线中的电阻而导致的图像质量下降。通过减少制造阵列基板所需的光刻掩模工序的数量,可以简化整个制造工序,提高产量和降低生产成本。

[0087] 对于本领域的普通技术人员来说,很显然,在不脱离本发明构思或范围的情况下可以对本发明做出各种改进和变换。因此,本发明意在覆盖那些落入后附权利要求及其等同物范围的改进和变换。

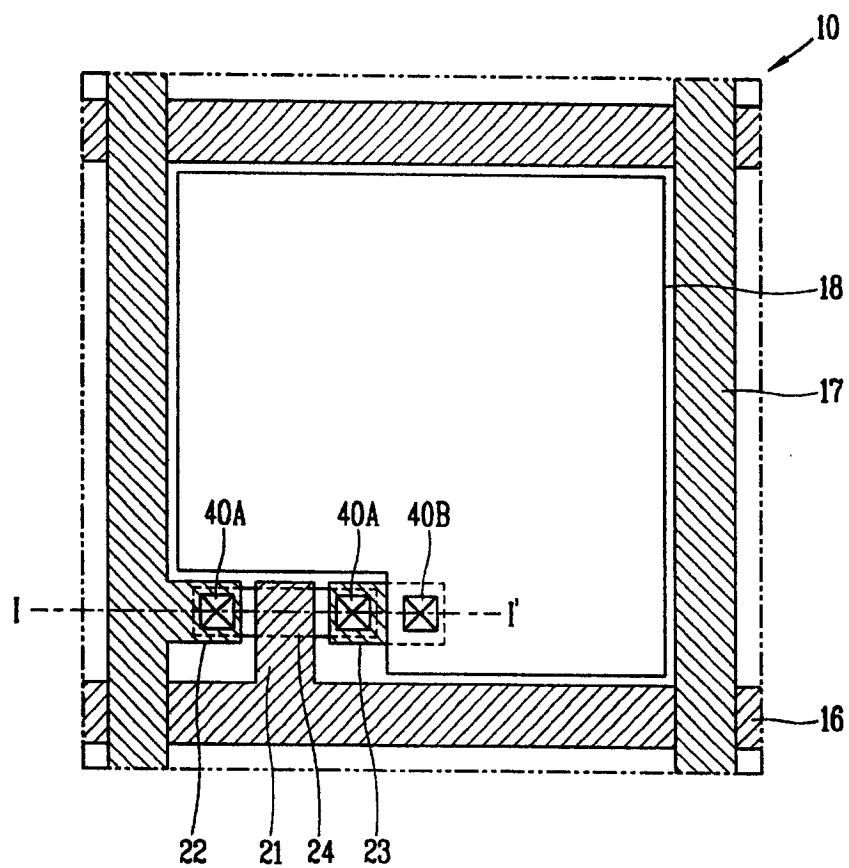


图 1

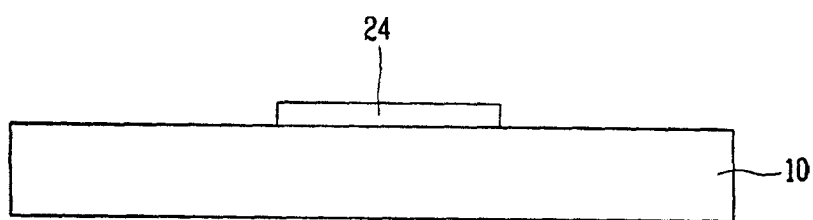


图 2A

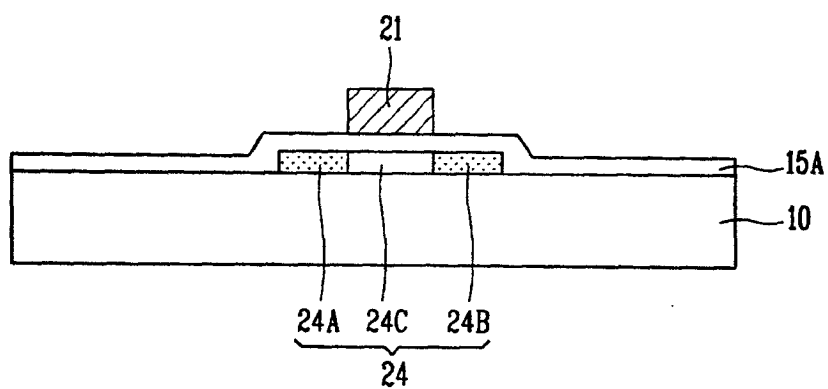


图 2B

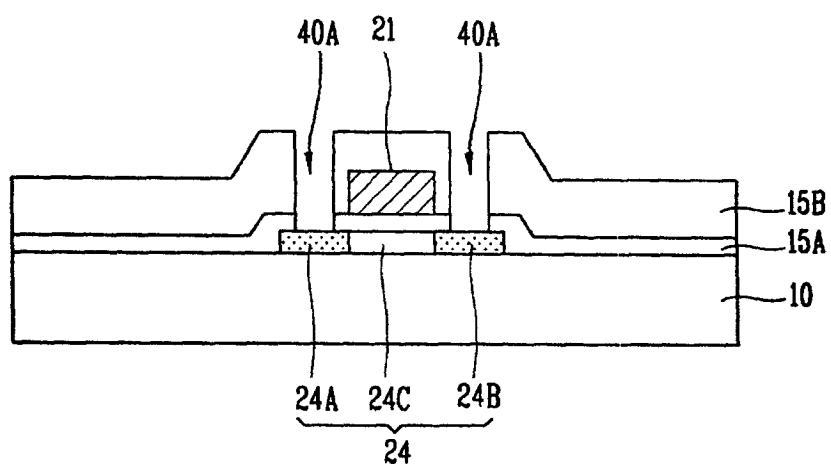


图 2C

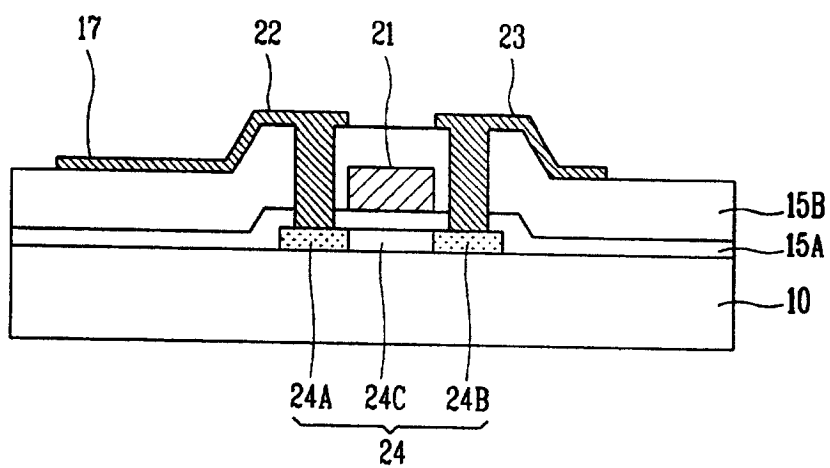


图 2D

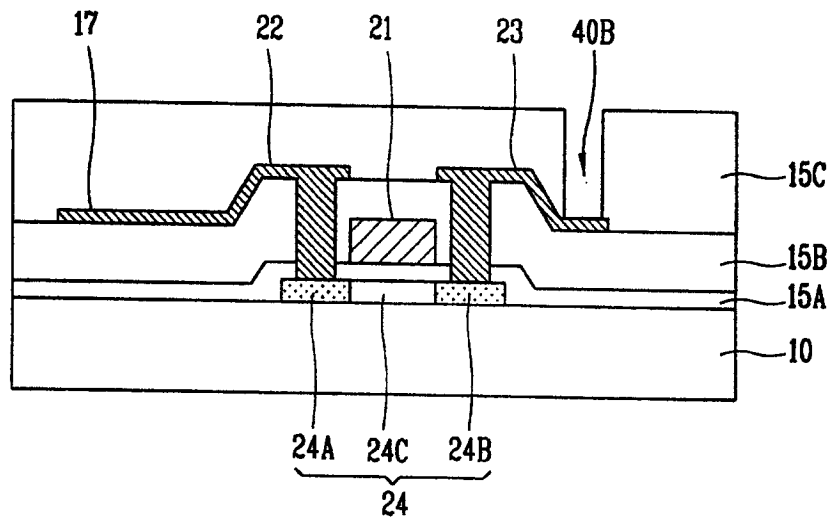


图 2E

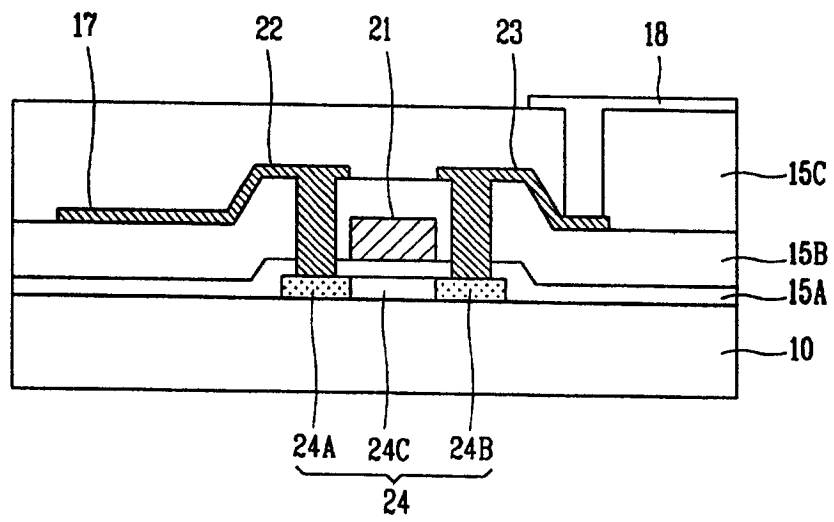


图 2F

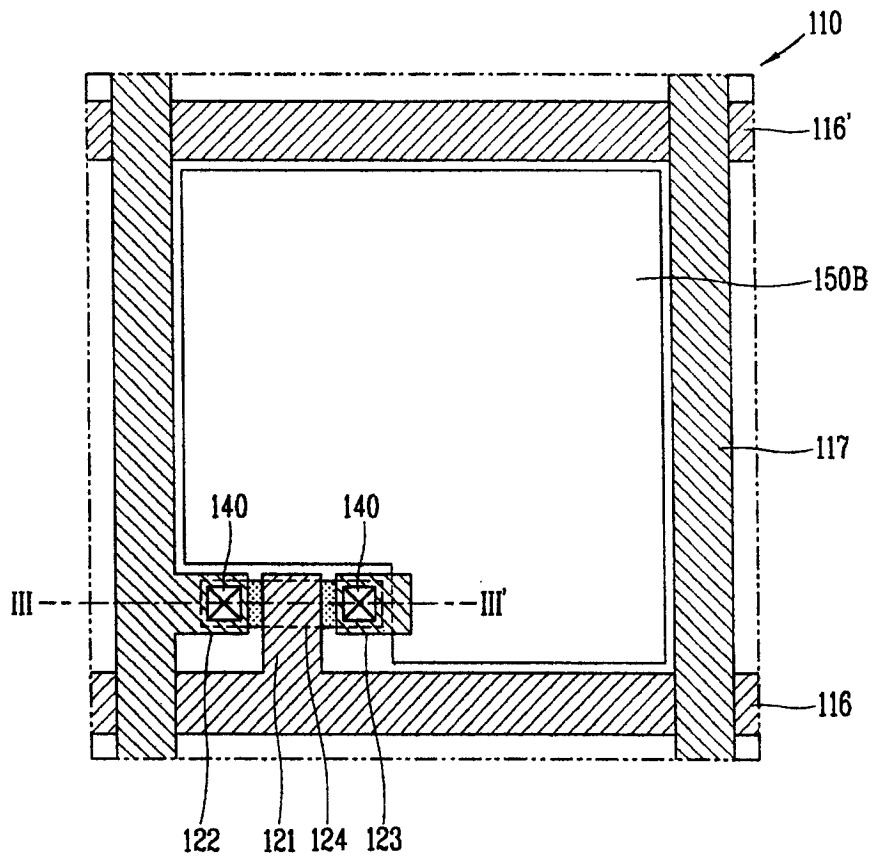


图 3

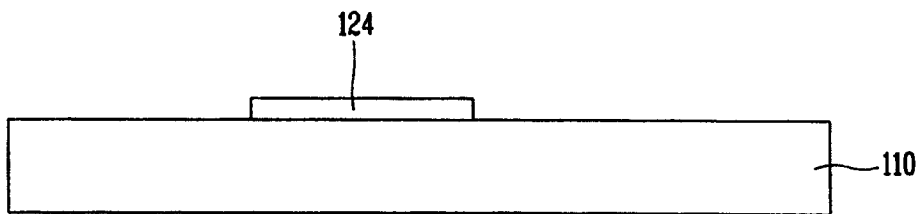


图 4A

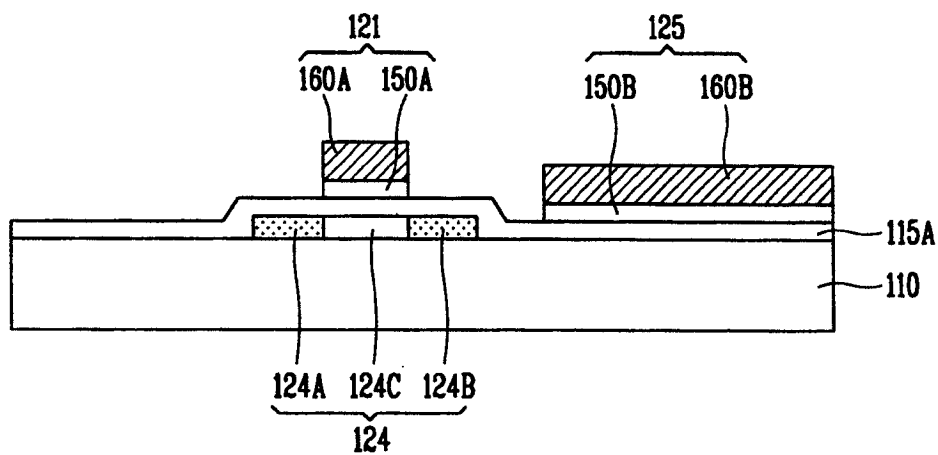


图 4B

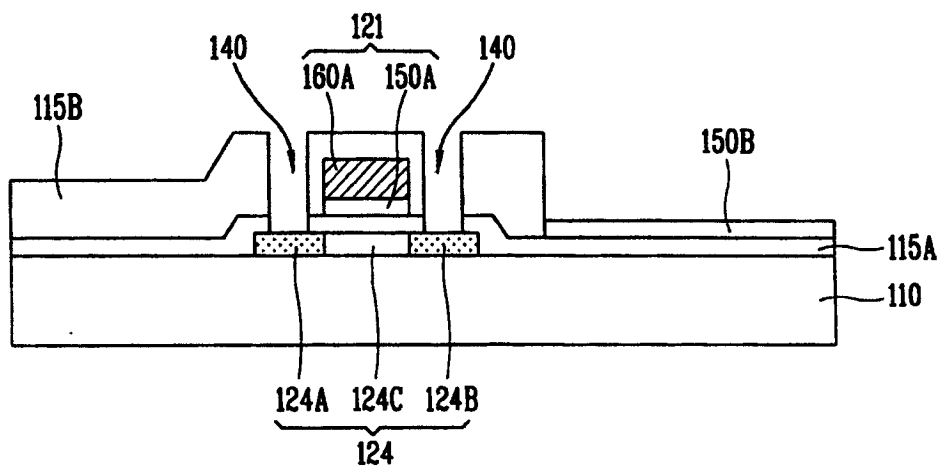


图 4C

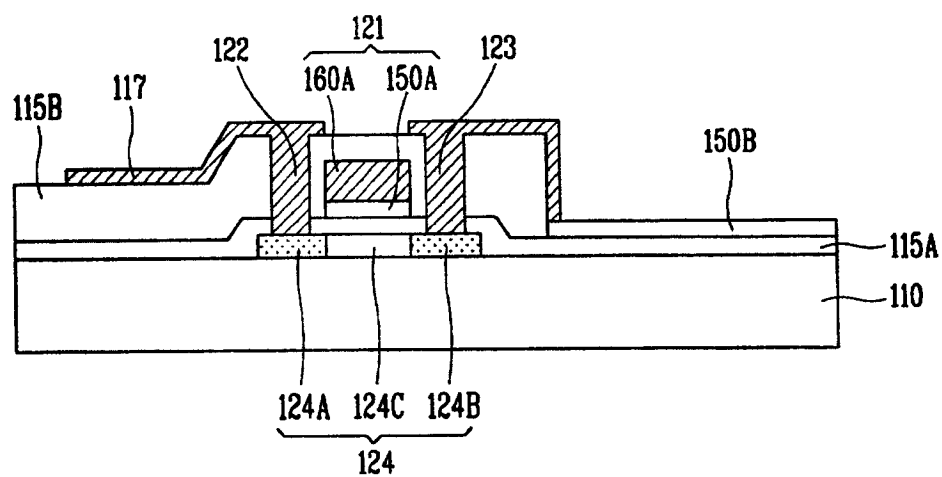


图 4D

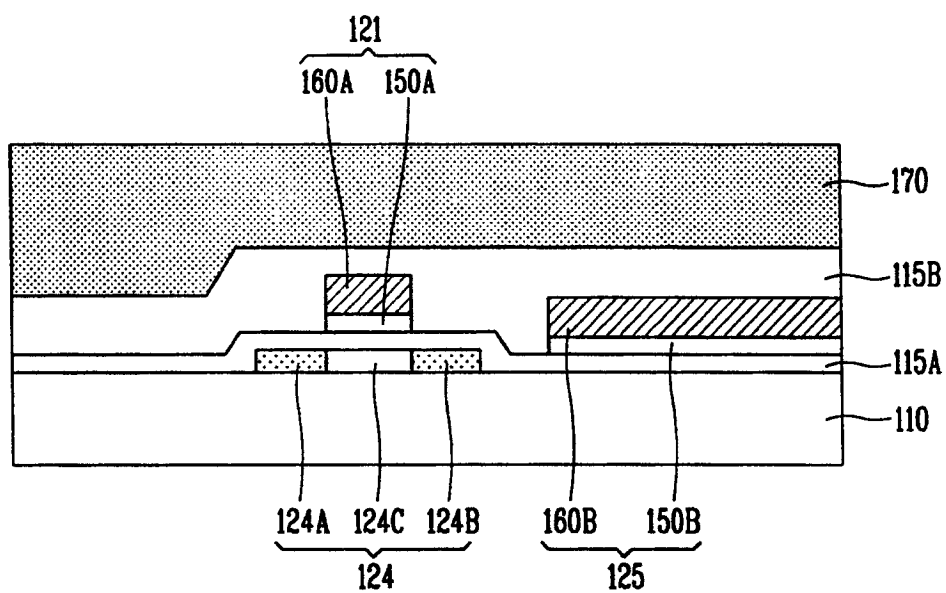


图 5A

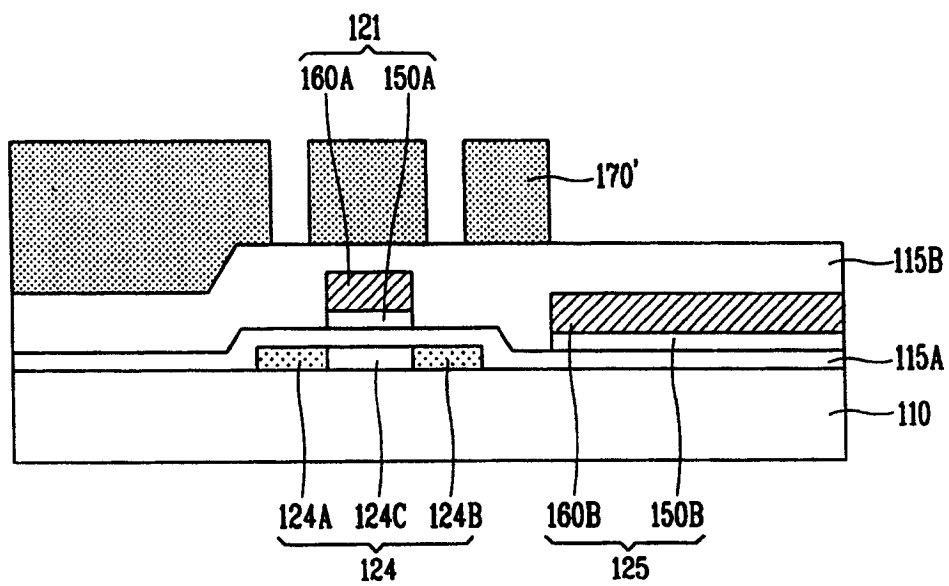


图 5B

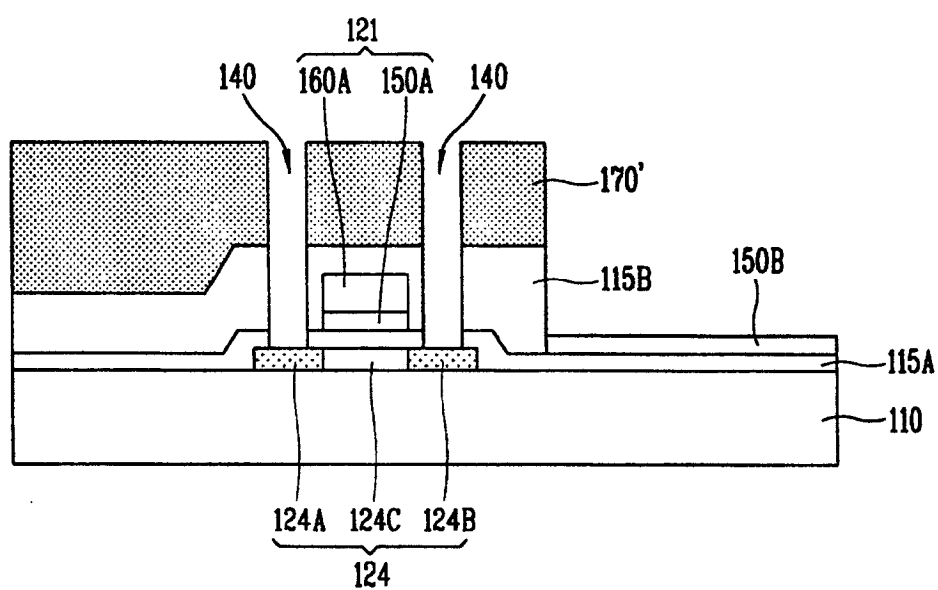


图 5C

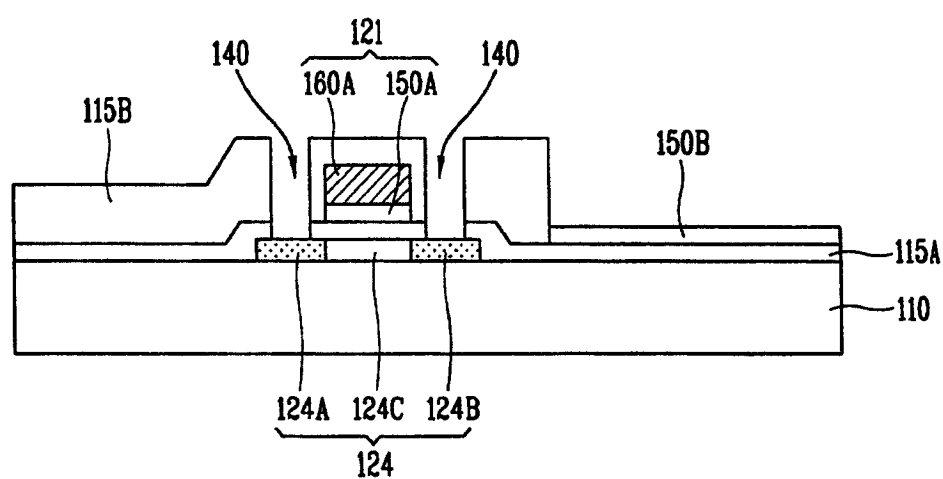


图 5D

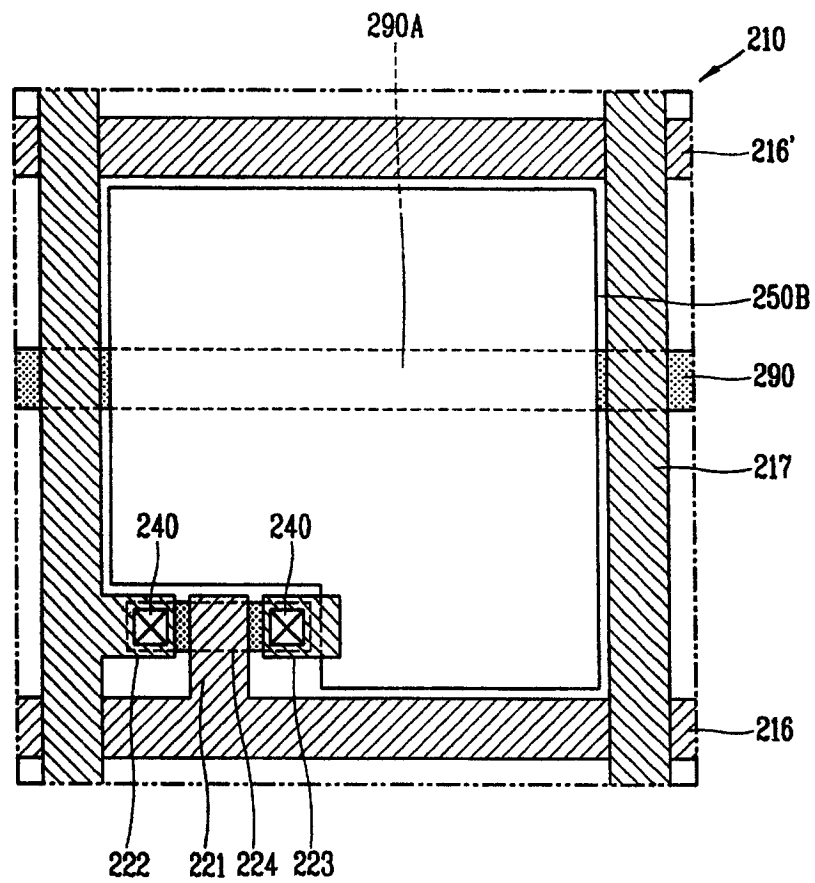


图 6

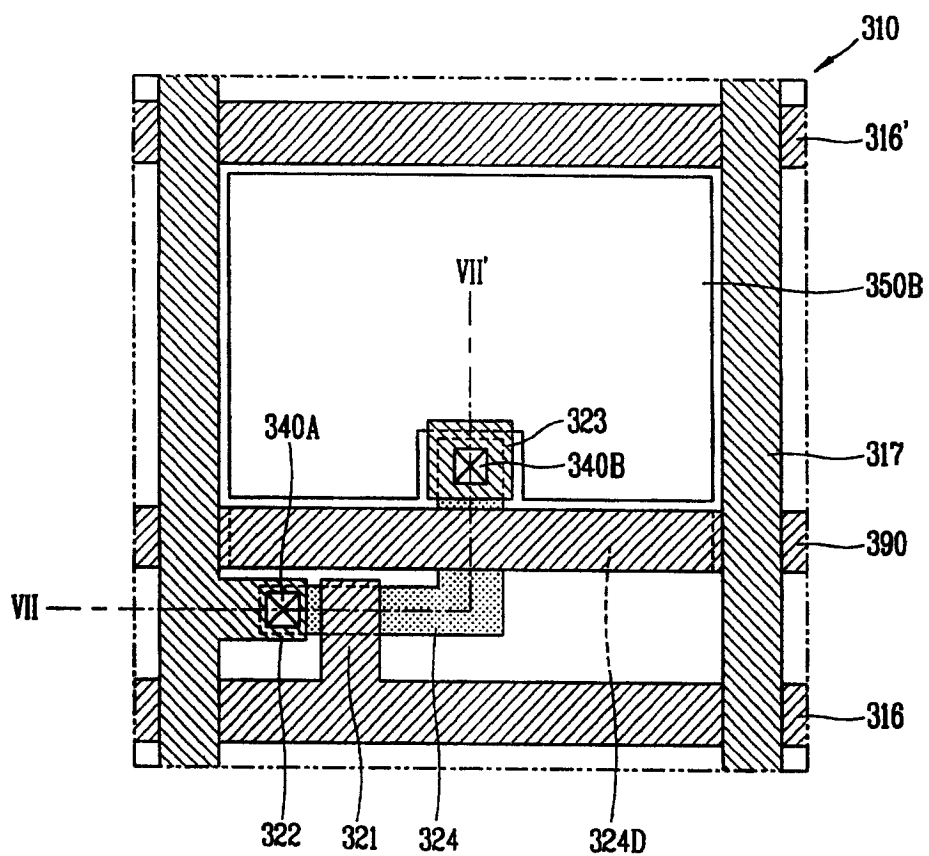


图 7

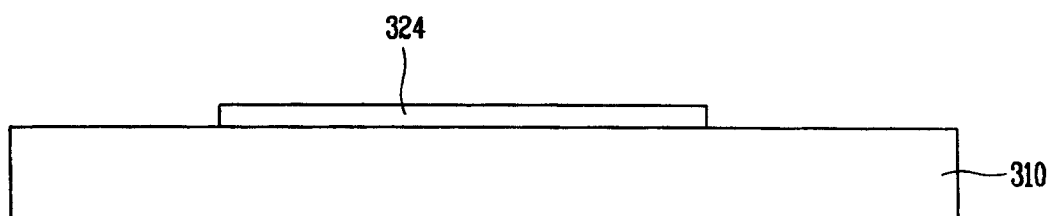


图 8A

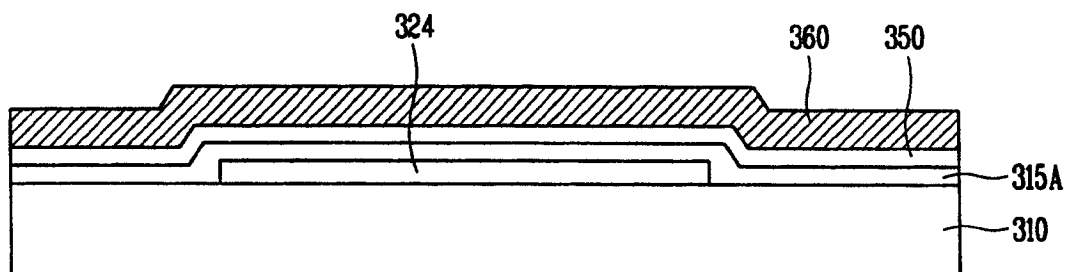


图 8B

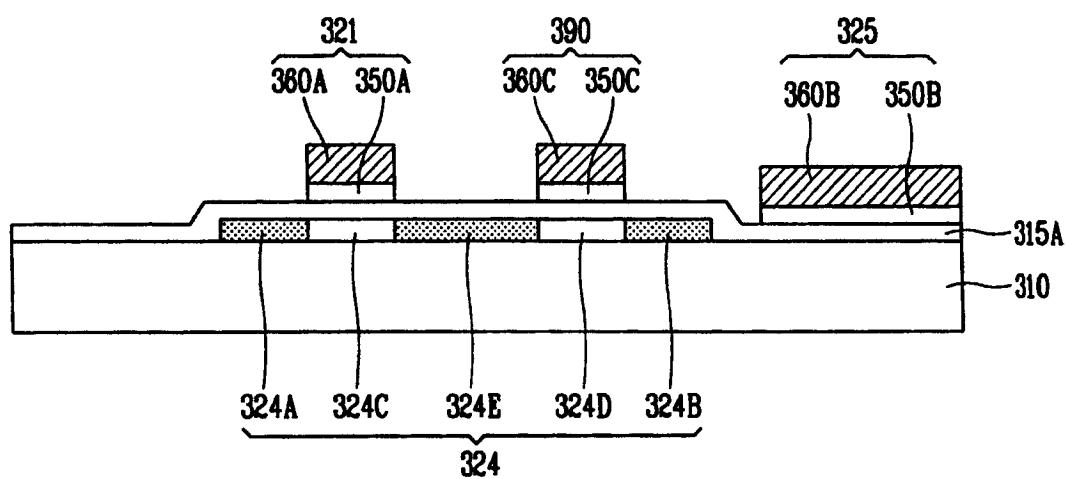


图 8C

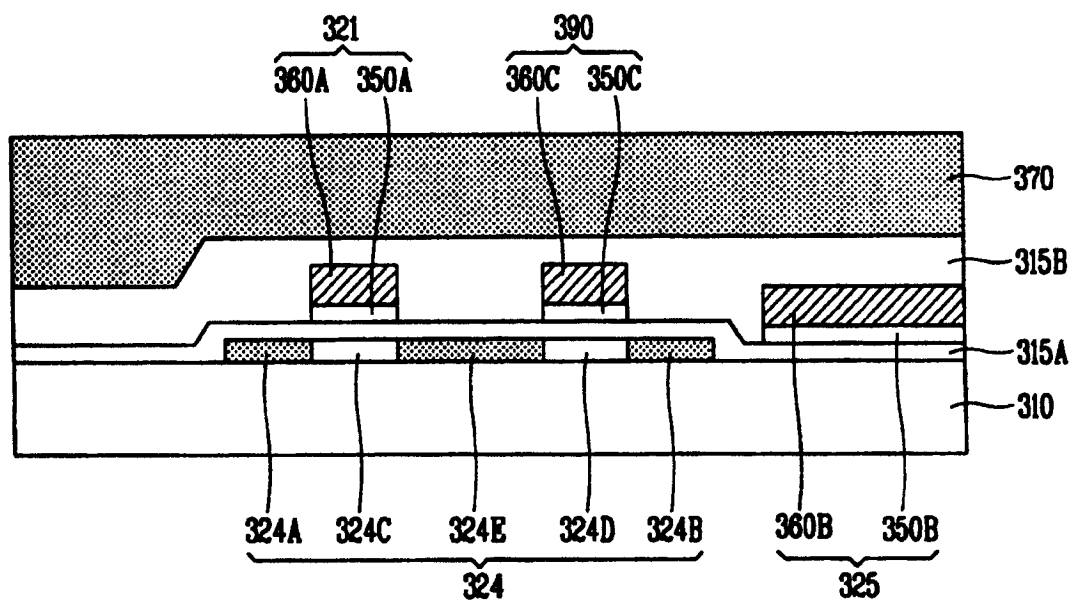


图 8D

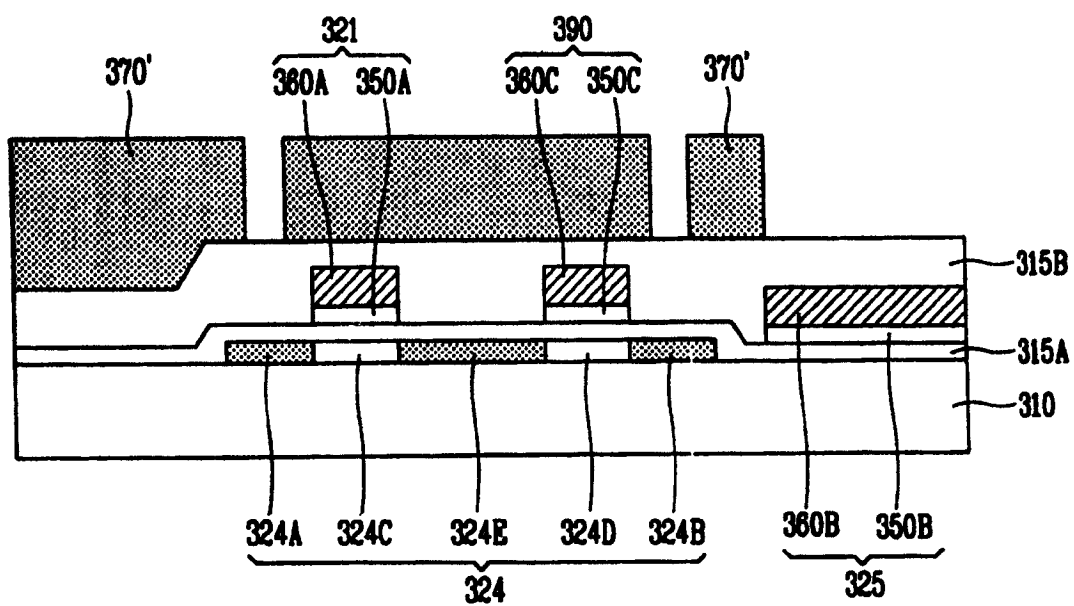


图 8E

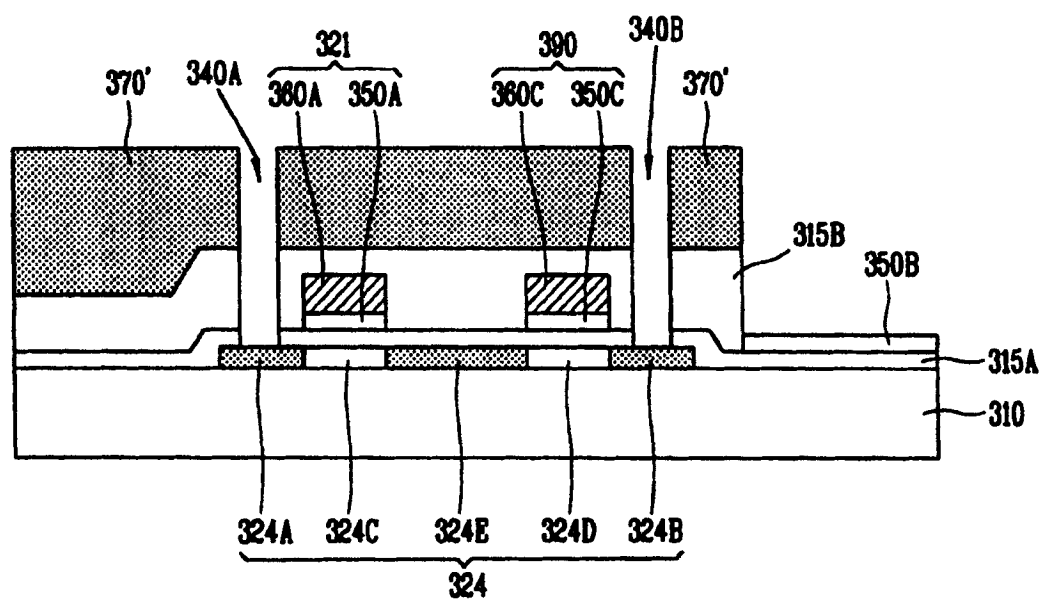


图 8F

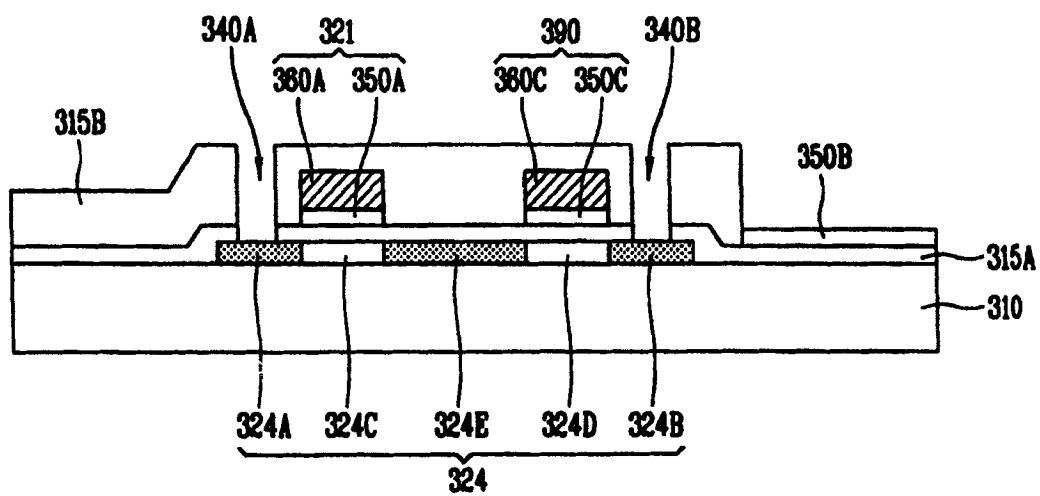


图 8G

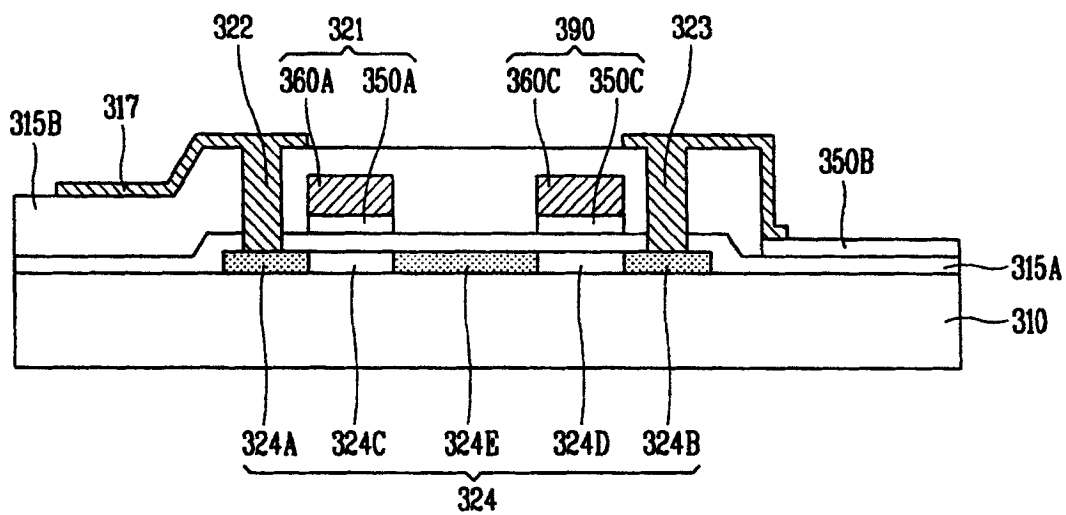


图 8H

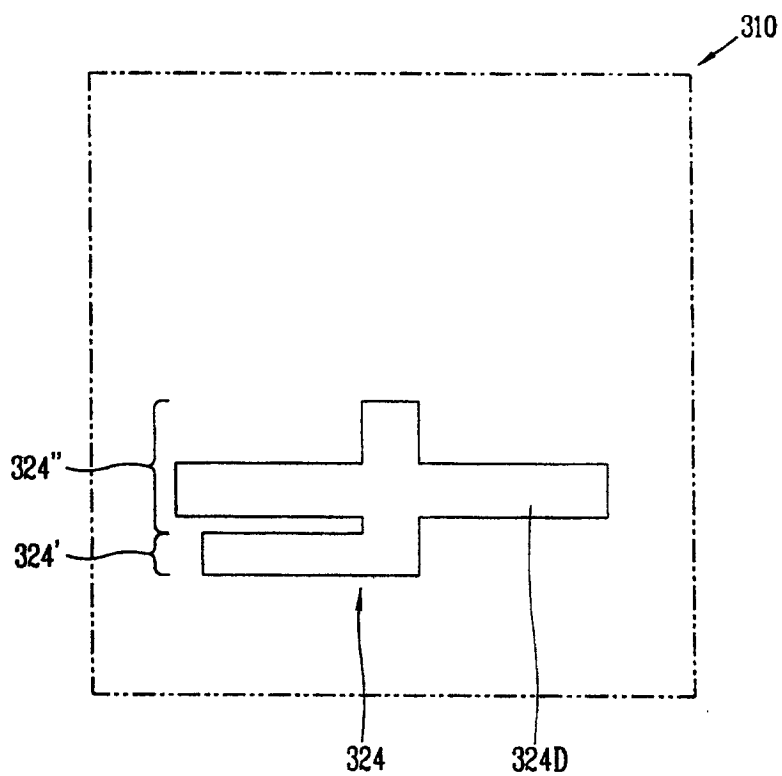


图 9A

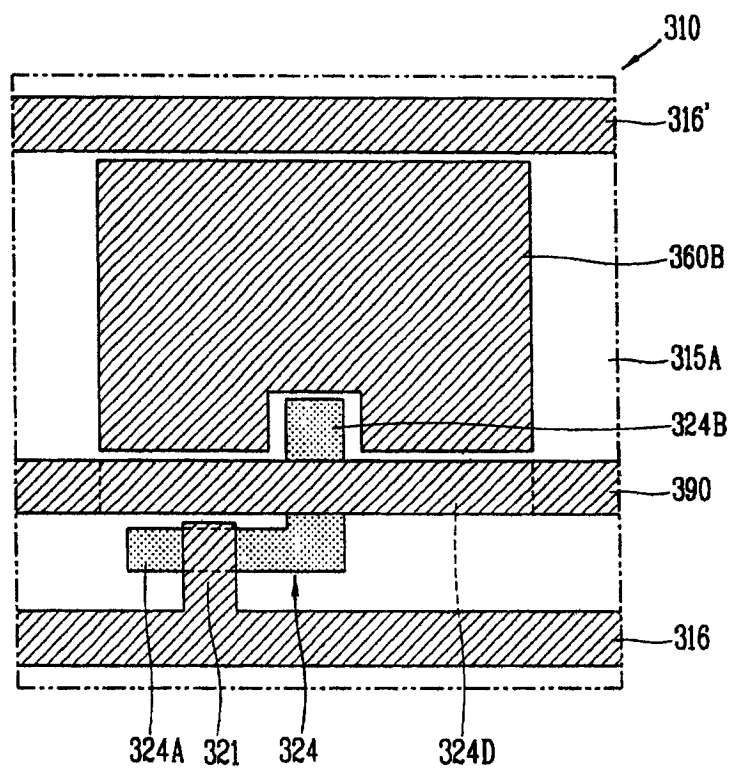


图 9B

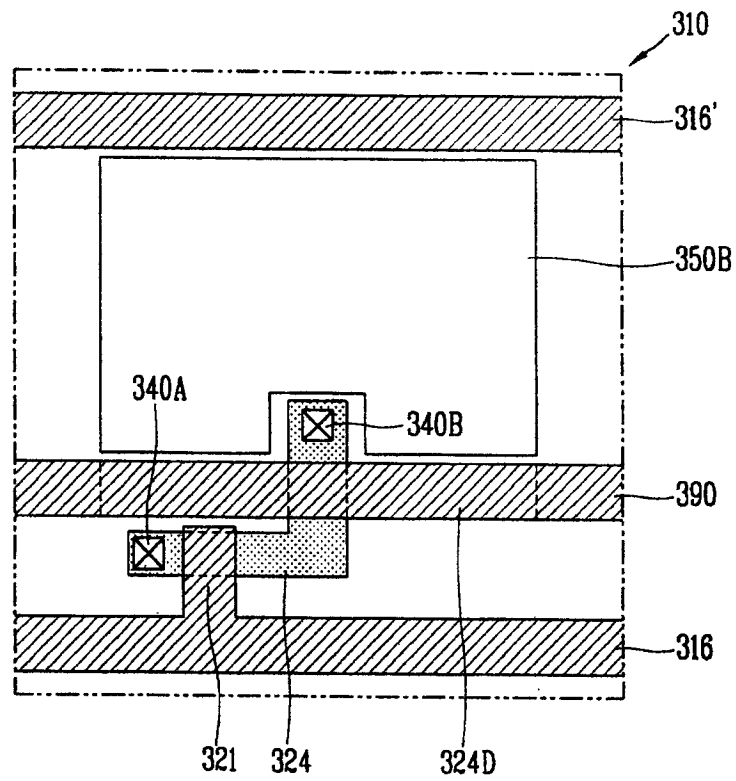


图 9C

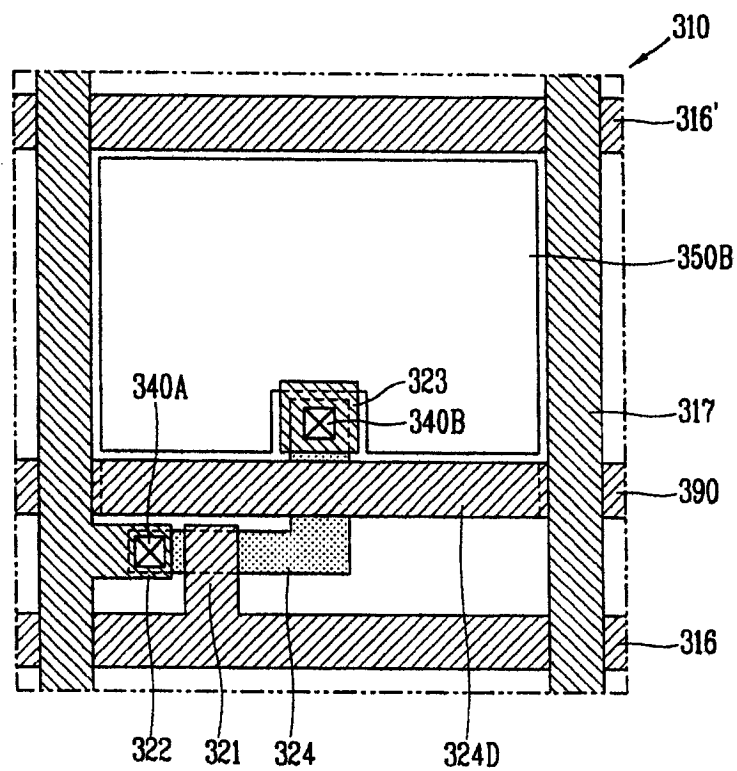


图 9D

|                |                                                |         |            |
|----------------|------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示器件及其制造方法                                   |         |            |
| 公开(公告)号        | <a href="#">CN1746755B</a>                     | 公开(公告)日 | 2010-08-11 |
| 申请号            | CN200510079951.3                               | 申请日     | 2005-06-27 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                       |         |            |
| 申请(专利权)人(译)    | LG.飞利浦LCD株式会社                                  |         |            |
| 当前申请(专利权)人(译)  | 乐金显示有限公司                                       |         |            |
| [标]发明人         | 朴容仁<br>李大润                                     |         |            |
| 发明人            | 朴容仁<br>李大润                                     |         |            |
| IPC分类号         | G02F1/136 G02F1/133 H01L21/027                 |         |            |
| CPC分类号         | H01L27/14621 G02F1/136213 G02F1/136227         |         |            |
| 代理人(译)         | 徐金国                                            |         |            |
| 审查员(译)         | 刘燕梅                                            |         |            |
| 优先权            | 1020040072254 2004-09-09 KR                    |         |            |
| 其他公开文献         | CN1746755A                                     |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a> |         |            |

#### 摘要(译)

一种制造液晶显示装置的方法包括：提供第一和第二基板；在第一基板上形成有源层，有源层包括源区、漏区、沟道区和存储区；在形成有有源层的整个第一基板上形成第一绝缘层；通过对第一和第二导电层构图在第一基板上形成栅极、栅线、像素电极和存储线，存储线与有源层的存储区交迭；在整个第一基板上形成第二绝缘层；形成贯穿第一和第二绝缘层的第一和第二接触孔，其中第一接触孔暴露有源层的源区而第二接触孔暴露有源层的漏区，栅极、栅线和存储线形成为具有第一和第二导电层的双层，像素电极形成为具有第一导电层的单层；源极通过第一接触孔与源区电连接，漏极通过第二接触孔与漏区电连接；和在第一及第二基板之间形成液晶层。

