



(12) 发明专利申请

(10) 申请公布号 CN 101971242 A

(43) 申请公布日 2011. 02. 09

(21) 申请号 200880128102. 4

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

(22) 申请日 2008. 12. 17

代理人 张鑫 胡焯

(30) 优先权数据

2008-072420 2008. 03. 19 JP

(51) Int. Cl.

G09G 3/36 (2006. 01)

(85) PCT申请进入国家阶段日

G02F 1/133 (2006. 01)

2010. 09. 13

G09G 3/20 (2006. 01)

(86) PCT申请的申请数据

PCT/JP2008/072931 2008. 12. 17

(87) PCT申请的公布数据

W02009/116214 JA 2009. 09. 24

(71) 申请人 夏普株式会社

地址 日本大阪府

(72) 发明人 水永隆行 森井秀树 岩本明久

广兼正浩 太田裕己

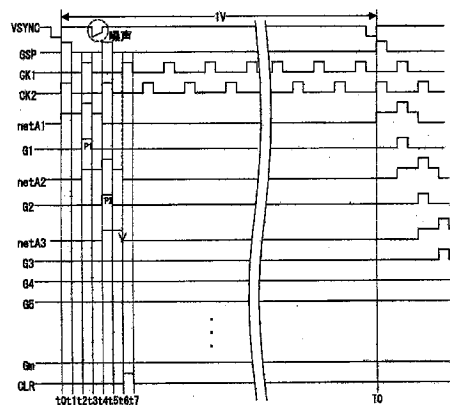
权利要求书 5 页 说明书 28 页 附图 42 页

(54) 发明名称

显示面板驱动电路、液晶显示装置、移位寄存器、液晶面板、以及显示装置的驱动方法

(57) 摘要

本发明提供一种显示面板驱动电路，该显示面板驱动电路包括移位寄存器，该移位寄存器由生成信号线选择信号 (G1 ~ Gm) 的单位电路级联连接而构成，并且从第一级到最后一级依次输出由所述信号线选择信号 (G1 ~ Gm) 形成的脉冲，向所述各单位电路输入时钟信号 (CK1、CK2)、基于来自所述显示面板驱动电路外部的同步信号 (VSYNC) 而生成的栅极起始脉冲信号 (GSP) 或由其它级生成的所述信号线选择信号 (G1 ~ Gm)、以及清零信号 (CLR)，该清零信号 (CLR) 在所述同步信号 (VSYNC) 有异常的情况下被激活，之后到下一个垂直扫描期间开始之前，都不从所述移位寄存器输出脉冲。根据上述结构，能够实现一种可在所述同步信号 (VSYNC) 产生异常的情况下抑制显示混乱并且不增大对电源的负荷的显示面板驱动电路。



1. 一种显示面板驱动电路，

包括移位寄存器，该移位寄存器由输出信号线选择信号的单位电路级联连接而构成，并且从第一级到最后一级依次输出通过将信号线选择信号激活一定的期间而形成的脉冲，所述显示面板驱动电路从外部输入同步信号，其特征在于，

向所述单位电路输入时钟信号、起始脉冲信号或由其它级生成的信号线选择信号、以及清零信号，

该清零信号至少在同步信号有异常的情况下被激活，之后到下一个垂直扫描期间开始之前，都不从所述移位寄存器输出脉冲。

2. 如权利要求 1 所述的显示面板驱动电路，其特征在于，

基于所述同步信号，生成时钟信号、起始脉冲信号、以及清零信号。

3. 如权利要求 1 或 2 所述的显示面板驱动电路，其特征在于，

所述同步信号中至少包含垂直同步信号、水平同步信号、以及数据使能信号的其中一个信号。

4. 如权利要求 1 至 3 的任一项所述的显示面板驱动电路，其特征在于，

不管同步信号是否有异常，都在最后一级的脉冲输出后激活所述清零信号，从而使最后一级输出的信号线选择信号维持不激活的状态。

5. 如权利要求 1 至 4 的任一项所述的显示面板驱动电路，其特征在于，

成为最后一级以外的级的单位电路包括置位用晶体管、输出用晶体管、复位用晶体管、清零用晶体管、以及电容，在该单位电路中，

向置位用晶体管的控制端子输入起始脉冲信号或前一级的信号线选择信号，

向复位用晶体管的控制端子输入后一级的信号线选择信号，

向清零用晶体管的控制端子输入清零信号，

向输出用晶体管的第一导通端子输入时钟信号，

输出用晶体管的第二导通端子与电容的第一电极相连接，置位用晶体管的控制端子与第一导通端子相连接，并且置位用晶体管的第二导通端子与输出用晶体管的控制端子和电容的第二电极相连接，

复位用晶体管的第一导通端子与输出用晶体管的控制端子相连接，并且复位用晶体管的第二导通端子与恒压源相连接，

清零用晶体管的第一导通端子与输出用晶体管的控制端子相连接，并且清零用晶体管的第二导通端子与恒压源相连接，

输出用晶体管的第二导通端子成为输出端子。

6. 如权利要求 5 所述的显示面板驱动电路，其特征在于，

成为最后一级以外的级的单位电路还包括电位提供用晶体管，

电位提供用晶体管的第一导通端子与输出用晶体管的第二导通端子相连接，并且电位提供用晶体管的第二导通端子与恒压源相连接，

向电位提供用晶体管的控制端子输入后一级的信号线选择信号。

7. 如权利要求 5 所述的显示面板驱动电路，其特征在于，

成为最后一级以外的级的单位电路还包括电位提供用晶体管，

电位提供用晶体管的第一导通端子与输出用晶体管的第二导通端子相连接，并且电位

提供用晶体管的第二导通端子与恒压源相连接，

向电位提供用晶体管的控制端子输入与上述时钟信号不相同的时钟信号。

8. 如权利要求 5 所述的显示面板驱动电路，其特征在于，

成为最后一级的单位电路包括置位用晶体管、输出用晶体管、清零用晶体管、以及电容，在该单位电路中，

向置位用晶体管的控制端子输入前一级的信号线选择信号，

向清零用晶体管的控制端子输入清零信号，

向输出用晶体管的第二导通端子输入时钟信号，

输出用晶体管的第二导通端子与电容的第一电极相连接，置位用晶体管的控制端子与第一导通端子相连接，并且置位用晶体管的第二导通端子与输出用晶体管的控制端子和电容的第二电极相连接，

清零用晶体管的第一导通端子与输出用晶体管的控制端子相连接，并且清零用晶体管的第二导通端子与恒压源相连接，

输出用晶体管的第二导通端子成为输出端子。

9. 如权利要求 8 所述的显示面板驱动电路，其特征在于，

成为最后一级的单位电路还包括电位提供用晶体管，

向电位提供用晶体管的控制端子输入所述清零信号，

电位提供用晶体管的第一导通端子与输出用晶体管的第二导通端子相连接，并且电位提供用晶体管的第二导通端子与恒压源相连接。

10. 如权利要求 5 所述的显示面板驱动电路，其特征在于，

所述清零信号在来自各级的信号线选择信号变成不激活的定时或未被激活的定时被激活。

11. 如权利要求 5 所述的显示面板驱动电路，其特征在于，

向所述移位寄存器提供彼此相位不同的多个时钟信号，将这些时钟信号分别输入到不同的单位电路的输出用晶体管。

12. 如权利要求 11 所述的显示面板驱动电路，其特征在于，

所述多个时钟信号各自的不激活期间有一部分重叠。

13. 如权利要求 11 所述的显示面板驱动电路，其特征在于，

所述多个时钟信号中包含相位相差半个周期的两个时钟信号。

14. 如权利要求 11 所述的显示面板驱动电路，其特征在于，

在清零信号被激活的期间内，所述多个时钟信号的至少一个时钟信号不被激活。

15. 如权利要求 5 所述的显示面板驱动电路，其特征在于，

置位用晶体管、输出用晶体管、复位用晶体管、以及清零用晶体管分别为 N 沟道晶体管。

16. 如权利要求 6 或 7 所述的显示面板驱动电路，其特征在于，

置位用晶体管、输出用晶体管、复位用晶体管、清零用晶体管、以及电位提供用晶体管分别为 N 沟道晶体管。

17. 如权利要求 15 所述的显示面板驱动电路，其特征在于，

所述各晶体管的第一导通端子为漏极端子，第二导通端子为源极端子。

18. 如权利要求 5 所述的显示面板驱动电路,其特征在于,
所述各晶体管的第一导通端子为源极端子,第二导通端子为漏极端子。
19. 如权利要求 1 所述的显示面板驱动电路,其特征在于,
包括定时控制器,该定时控制器利用所述同步信号,生成所述时钟信号、起始脉冲信号、以及清零信号。
20. 如权利要求 1 所述的显示面板驱动电路,其特征在于,
包括检测所述同步信号的异常的异常检测电路,基于该检测结果,生成所述清零信号。
21. 一种液晶显示装置,其特征在于,
包括权利要求 1 所述的显示面板驱动电路和液晶面板。
22. 如权利要求 21 所述的液晶显示装置,其特征在于,
所述移位寄存器在液晶面板中形成为单片。
23. 如权利要求 22 所述的液晶显示装置,其特征在于,
所述液晶面板使用非晶硅来形成。
24. 如权利要求 22 所述的液晶显示装置,其特征在于,
所述液晶面板使用多晶硅来形成。
25. 一种移位寄存器,
设置于输入同步信号的显示面板驱动电路,由生成信号线选择信号的单位电路级联连接而构成,并且从第一级到最后一级依次输出通过将信号线选择信号激活一定的期间而形成的脉冲,其特征在于,
向所述单位电路输入时钟信号、起始脉冲信号或由其它级生成的信号线选择信号、以及清零信号,
该清零信号至少在同步信号有异常的情况下被激活,之后到下一个垂直扫描期间开始之前,都不输出脉冲。
26. 一种液晶面板,其特征在于,
如权利要求 25 所述的移位寄存器形成为单片。
27. 一种显示装置的驱动方法,
用于驱动显示装置,该显示装置包括移位寄存器,该移位寄存器由生成信号线选择信号的单位电路级联连接而构成,并且从第一级到最后一级依次输出通过将信号线选择信号激活一定的期间而形成的脉冲,所述显示装置有同步信号输入,其特征在于,
向所述单位电路输入时钟信号、起始脉冲信号或由其它级生成的信号线选择信号、以及清零信号,
该清零信号至少在同步信号有异常的情况下被激活,之后到下一个垂直扫描期间开始之前,都不使所述移位寄存器输出脉冲。
28. 一种显示面板驱动电路,
包括移位寄存器,该移位寄存器由输出信号线选择信号的单位电路级联连接而构成,并且从第一级到最后一级依次输出通过将信号线选择信号激活一定的期间而形成的脉冲,其特征在于,
向成为最后一级的单位电路输入由其它级生成的信号线选择信号、时钟信号、以及清零信号,

通过在最后一级输出脉冲后激活所述清零信号,从而使来自最后一级的信号线选择信号维持不激活的状态。

29. 如权利要求 28 所述的显示面板驱动电路,其特征在于,

成为除了最后一级以外的级的单位电路包括置位用晶体管、输出用晶体管、复位用晶体管、以及电容,在该单位电路中,

向置位用晶体管的控制端子输入起始脉冲信号或前一级的信号线选择信号,

向复位用晶体管的控制端子输入后一级的信号线选择信号,

向输出用晶体管的第一导通端子输入时钟信号,

输出用晶体管的第二导通端子与电容的第一电极相连接,置位用晶体管的控制端子与第一导通端子相连接,并且置位用晶体管的第二导通端子与输出用晶体管的控制端子和电容的第二电极相连接,

复位用晶体管的第一导通端子与输出用晶体管的控制端子相连接,并且复位用晶体管的第二导通端子与恒压源相连接,

输出用晶体管的第二导通端子成为输出端子。

30. 如权利要求 28 所述的显示面板驱动电路,其特征在于,

成为最后一级的单位电路包括置位用晶体管、输出用晶体管、清零用晶体管、以及电容,在该单位电路中,

向置位用晶体管的控制端子输入前一级的信号线选择信号,

向清零用晶体管的控制端子输入清零信号,

向输出用晶体管的第一导通端子输入时钟信号,

输出用晶体管的第二导通端子与电容的第一电极相连接,置位用晶体管的控制端子与第一导通端子相连接,并且置位用晶体管的第二导通端子与输出用晶体管的控制端子和电容的第二电极相连接,

清零用晶体管的第一导通端子与输出用晶体管的控制端子相连接,并且清零用晶体管的第二导通端子与恒压源相连接,

输出用晶体管的第二导通端子成为输出端子。

31. 如权利要求 30 所述的显示面板驱动电路,其特征在于,

成为最后一级的单位电路还包括电位提供用晶体管,

向电位提供用晶体管的控制端子输入所述清零信号,

电位提供用晶体管的第一导通端子与输出用晶体管的第二导通端子相连接,并且电位提供用晶体管的第二导通端子与恒压源相连接。

32. 一种显示面板驱动电路,

包括移位寄存器,该移位寄存器由利用所输入的时钟信号而输出脉冲的单位电路级联连接而构成,并且从各级依次输出脉冲,在各单位电路的所述时钟信号的输入端子与输出端子之间,具有输出用晶体管,所述显示面板驱动电路从外部输入同步信号,其特征在于,

生成清零信号并输入到各单位电路,该清零信号至少在所述同步信号有异常的情况下被激活,

当所述清零信号被激活时,之后到下一个垂直扫描期间开始之前,各单位电路的输出用晶体管都截止。

33. 如权利要求 32 所述的显示面板驱动电路,其特征在于,
不管同步信号是否有异常,所述清零信号都在成为最后一级的单位电路输出脉冲后被激活,之后到下一个垂直扫描期间开始之前,各单位电路的输出用晶体管都截止。

34. 如权利要求 32 所述的显示面板驱动电路,其特征在于,
所述清零信号在所述脉冲未输出的定时或在脉冲变成不激活的定时被激活。

35. 一种移位寄存器,

设置于显示面板驱动电路,由生成信号线选择信号的单位电路级联连接而构成,并且从第一级到最后一级依次输出通过将信号线选择信号激活一定的期间而形成的脉冲,其特征在于,

向成为最后一级的单位电路输入由其它级生成的信号线选择信号、时钟信号、以及清零信号,

通过在最后一级输出脉冲后激活所述清零信号,从而使来自最后一级的信号线选择信号维持不激活的状态。

36. 一种显示装置的驱动方法,

用于驱动显示装置,该显示装置包括移位寄存器,该移位寄存器由生成信号线选择信号的单位电路级联连接而构成,并且从第一级到最后一级依次输出通过将信号线选择信号激活一定的期间而形成的脉冲,其特征在于,

向成为最后一级的单位电路输入由其它级生成的信号线选择信号、时钟信号、以及清零信号,

通过在最后一级输出脉冲后激活所述清零信号,从而使来自最后一级的信号线选择信号维持不激活的状态。

显示面板驱动电路、液晶显示装置、移位寄存器、液晶面板、 以及显示装置的驱动方法

技术领域

[0001] 本发明涉及一种显示面板驱动电路以及用于显示面板驱动电路的移位寄存器。

背景技术

[0002] 图 40 是表示液晶显示装置的栅极驱动器所采用的现有的移位寄存器的电路图。如图 40 所示,现有的移位寄存器 100 由多个移位电路(单位电路)sc1、sc2、 \dots scm、scd 级联连接而构成,移位电路 sci ($i = 1, 2, 3 \dots m$) 包括输入用的节点 qfi、qbi、CKAi、以及输出用的节点 qoi,虚拟移位电路 scd 包括输入用的节点 qfd、CKAd、以及输出用的节点 qod。

[0003] 此处,对于移位电路 sc1,节点 qf1 与栅极起始脉冲信号 GSP 的输出端相连接,节点 qb1 与移位电路 sc2 的节点 qo2 相连接,节点 CKA1 与提供第一时钟信号的第一时钟线 CKL1 相连接,从节点 qo1 输出栅极导通脉冲信号(信号线选择信号)g1。另外,对于移位电路 sci ($i = 2, 3 \dots m-1$),节点 qfi 与移位电路 sc($i-1$) 的节点 qo($i-1$) 相连接,节点 qbi 与移位电路 sc($i+1$) 的节点 qo($i+1$) 相连接,节点 CKAi 与上述第一时钟线 CKL1 或提供第二时钟信号的第二时钟线 CKL2 相连接,从节点 qoi 输出栅极导通脉冲信号(信号线选择信号)gi。此外,若 i 为奇数,则节点 CKAi 与第一时钟线 CKL1 相连接,若 i 为偶数,则节点 CKAi 与第二时钟线 CKL2 相连接。

[0004] 而且,对于移位电路 scm,节点 qfm 与移位电路 sc($m-1$) 的节点 qo($m-1$) 相连接,节点 qbm 与虚拟移位电路 scd 的节点 qod 相连接,节点 CKAm 与第一时钟线 CKL1 或第二时钟线 CKL2 相连接,从节点 qom 输出栅极导通脉冲信号(信号线选择信号)gm。此外,若 m 为奇数,则节点 CKAi 与第一时钟线 CKL1 相连接,若 m 为偶数,则节点 CKAi 与第二时钟线 CKL2 相连接。另外,对于虚拟移位电路 scd,节点 qfd 与移位电路 scm 的节点 qom 相连接,节点 CKAd 与第一时钟线 CKL1 或第二时钟线 CKL2 相连接。此外,若 m 为奇数,则节点 CKAd 与第二时钟线 CKL2 相连接,若 m 为偶数,则节点 CKAd 与第一时钟线 CKL1 相连接。

[0005] 图 41 是表示垂直同步信号 VSYNC、栅极起始脉冲信号 GSP、第一时钟信号 CK1、第二时钟信号 CK2、栅极导通脉冲信号 gi ($i = 1 \sim m$)、以及节点 qod 的输出的各波形的时序图。此外,第一时钟信号 CK1 及第二时钟信号 CK2 在一个周期中的“H(High:高)”(激活)期间都为一个时钟期间,“L(Low:低)”(不激活)期间都为一个时钟期间,当 CK1 和 CK2 的其中一方激活(上升)时,另一方同步地不激活(下降)。

[0006] 在第一级移位电路 sc1 中,因栅极起始脉冲信号 GSP 的激活使得节点 qf1 的电位上升,从而变成向节点 qo1 输出第一时钟信号 CK1 的状态,栅极导通脉冲信号 g1 被激活。另外,在后一级移位电路 sc2 中,因栅极导通脉冲信号 g1 的激活使得节点 qf2 的电位上升,从而变成向节点 qo2 输出第二时钟信号 CK2 的状态,栅极导通脉冲信号 g2 被激活。然后,在移位电路 sc1 中,因栅极导通脉冲信号 g2 的激活,变成不向节点 qo1 输出第一时钟信号 CK1 的状态,同时向节点 qo1 提供低电位侧电源电位。因此,在栅极导通脉冲信号 g1 被激活一定的期间后,使其不激活,从而形成脉冲 P1。

[0007] 即,在移位电路 sci ($i = 2, 3 \dots m-1$) 中,因栅极导通脉冲信号 $g(i-1)$ 的激活使得节点 qfi 的电位上升,从而变成向节点 qoi 输出时钟信号 (CK1 或 CK2) 的状态,栅极导通脉冲信号 gi 被激活。另外,在后一级移位电路 $sc(i+1)$ 中,因栅极导通脉冲信号 gi 激活使得节点 $qf(i+1)$ 的电位上升,从而变成向节点 $qo(i+1)$ 输出时钟信号 (CK2 或 CK1) 的状态,栅极导通脉冲信号 $g(i+1)$ 被激活。然后,在移位电路 sci 中,因栅极导通脉冲信号 $g(i+1)$ 的激活,变成不向节点 qoi 输出时钟信号的状态,同时向节点 qoi 提供低电位侧电源电位。因此,在栅极导通脉冲信号 gi 激活一定的期间后,使其不激活,从而形成脉冲 Pi 。

[0008] 另外,在移位电路 scm 中,因栅极导通脉冲信号 $g(m-1)$ 的激活使得节点 qfm 的电位上升,从而变成向节点 qom 输出时钟信号 (CK1 或 CK2) 的状态,栅极导通脉冲信号 gm 被激活。另外,在后一级的虚拟移位电路 scd 中,因栅极导通脉冲信号 gm 的激活使得节点 qfd 的电位上升,从而变成向节点 qod 输出时钟信号 (CK2 或 CK1) (节点 qod 的电位上升) 的状态。然后,在移位电路 scm 中,因节点 qod 的电位上升,变成不向节点 qom 输出时钟信号的状态,同时向节点 qom 提供低电位侧电源电位。因此,在栅极导通脉冲信号 gm 激活一定的期间后,使其不激活,从而形成脉冲 Pm 。

[0009] 由此,在移位寄存器 100 中,来自各移位电路的栅极导通脉冲信号依次被激活一定的期间,从第一级移位电路 $sc1$ 到最后一级移位电路 scm 依次输出脉冲。此外,能够列举出以下的专利文献 1 ~ 3 作为相关的公知文献。

[0010] 专利文献 1:日本公开专利公报“特开 2001-273785 号公报 (2001 年 10 月 5 日公开)”

[0011] 专利文献 2:日本公开专利公报“特开 2006-24350 号公报 (2006 年 1 月 26 日公开)”

[0012] 专利文献 3:日本公开专利公报“特开 2007-114771 号公报 (2007 年 5 月 10 日公开)”

发明内容

[0013] 此处,当栅极起始脉冲信号 GSP 与垂直同步信号 VSYNC 的脉冲输出联动而被激活时,例如图 42 那样垂直同步信号 VSYNC 中产生噪声时,有可能出现以下异常情况直到最后一级为止:栅极起始脉冲信号 GSP 与之联动地被激活,同时从两个移位电路输出脉冲(两个栅极导通脉冲信号同时被激活)。另外,在水平同步信号 HSYNC 中产生噪声的情况下,有可能出现以下异常直到最后一级为止:时钟信号发生混乱,例如栅极导通脉冲信号的脉宽变小。

[0014] 从而,在现有的移位寄存器中,存在以下问题:当垂直同步信号 VSYNC、水平同步信号 HSYNC 或数据使能信号 DE 等同步信号中产生噪声等异常时,栅极导通脉冲信号的异常一直持续到最后一级为止,在面板一侧显示发生混乱,并且在面板驱动一侧对电源造成很大的负荷。

[0015] 本发明中,提出了一种能够在同步信号 (VSYNC、HSYNC 或 DE) 产生异常的情况下抑制显示混乱并且不增大对电源的负荷的显示面板驱动电路、以及用于显示面板驱动电路的移位寄存器。

[0016] 另外,现有的移位寄存器还存在以下问题:为了对移位电路 scm (最后一级) 进行

复位,需要设置移位电路 scd(虚拟级),从而导致移位寄存器的电路面积增大。

[0017] 本发明中,提供一种能够抑制移位寄存器的电路面积的显示面板驱动电路、以及用于显示面板驱动电路的移位寄存器。

[0018] 本发明的显示面板驱动电路包括移位寄存器,该移位寄存器由输出信号线选择信号的单位电路级联连接而构成,并且从第一级到最后一级依次输出通过将信号线选择信号激活一定的期间而形成的脉冲,所述显示面板驱动电路从外部输入同步信号,其特征在于,向所述单位电路输入时钟信号、起始脉冲信号或由其它级生成的信号线选择信号、以及清零信号,该清零信号至少在同步信号有异常的情况下被激活,之后到下一个垂直扫描期间开始之前,都不从所述移位寄存器输出脉冲。

[0019] 本发明的显示面板驱动电路包括移位寄存器,该移位寄存器由利用所输入的时钟信号而输出脉冲的单位电路级联连接而构成,并且从各级依次输出脉冲,在各单位电路的所述时钟信号的输入端子与输出端子之间,具有输出用晶体管,并且所述显示面板驱动电路从外部输入同步信号,其特征在于,生成清零信号并输入到各单位电路,该清零信号至少在所述同步信号有异常的情况下被激活,当所述清零信号被激活时,之后到下一个垂直扫描期间开始之前,各单位电路的输出用晶体管都截止。

[0020] 根据本发明的显示面板驱动电路,当同步信号有异常时,清零信号被激活,从而之后使移位寄存器的脉冲输出都停止。因此,能够抑制显示混乱并且不增大对电源的负荷。

[0021] 显示面板驱动电路也可以采用以下结构:基于所述同步信号,生成时钟信号、起始脉冲信号、以及清零信号。

[0022] 显示面板驱动电路也可以采用以下结构:所述同步信号中至少包含垂直同步信号、水平同步信号、以及数据使能信号的其中一个信号。

[0023] 本显示面板驱动电路也可以采用以下结构:不管同步信号是否有异常,都在最后一级的脉冲输出后激活所述清零信号,从而使最后一级输出的信号线选择信号维持不激活的状态。

[0024] 本显示面板驱动电路也可以采用以下结构:不管同步信号是否有异常,都在成为最后一级的单位电路输出脉冲后激活所述清零信号,之后到下一个垂直扫描期间开始之前,各单位电路的输出用晶体管都截止。

[0025] 本显示面板驱动电路也可以采用以下结构:所述清零信号在所述脉冲未输出的定时或在脉冲变成不激活的定时被激活。

[0026] 本显示面板驱动电路也可以采用以下结构:成为最后一级以外的级的单位电路包括置位用晶体管、输出用晶体管、复位用晶体管、清零用晶体管、以及电容,在该单位电路中,向清零用晶体管的控制端子输入清零信号,向复位用晶体管的控制端子输入后一级的信号线选择信号,向置位用晶体管的控制端子输入起始脉冲信号或前一级的信号线选择信号,向输出用晶体管的第一导通端子输入时钟信号,输出用晶体管的第二导通端子与电容的第一电极相连接,置位用晶体管的控制端子与第一导通端子相连接,并且置位用晶体管的第二导通端子与输出用晶体管的控制端子和电容的第二电极相连接,清零用晶体管的第一导通端子与输出用晶体管的控制端子相连接,并且清零用晶体管的第二导通端子与恒压源相连接,复位用晶体管的第一导通端子与输出用晶体管的控制端子相连接,并且复位用晶体管的第二导通端子与恒压源相连接,输出用晶体管的第二导通端子成为输出端子。此

外,在本申请中,将晶体管的源极端子和漏极端子的其中一方记为第一导通端子,将另一方记为第二导通端子,根据各晶体管的设计,可能所有晶体管的第一导通端子都为漏极端子,也可能所有晶体管的第一导通端子都为源极端子,还有可能某些晶体管的第一导通端子为漏极端子,而剩下晶体管的第一导通端子为源极端子。

[0027] 本显示面板驱动电路也可以采用以下结构:成为最后一级以外的级的单位电路还包括电位提供用晶体管,电位提供用晶体管的第一导通端子与输出用晶体管的第二导通端子相连接,并且电位提供用晶体管的第二导通端子与恒压源相连接,向电位提供用晶体管的控制端子输入后一级的信号线选择信号。

[0028] 本显示面板驱动电路也可以采用以下结构:成为最后一级以外的级的单位电路还包括电位提供用晶体管,电位提供用晶体管的第一导通端子与输出用晶体管的第二导通端子相连接,并且电位提供用晶体管的第二导通端子与恒压源相连接,向电位提供用晶体管的控制端子输入与前述时钟信号不相同的时钟信号。

[0029] 本显示面板驱动电路也可以采用以下结构:成为最后一级的单位电路包括置位用晶体管、输出用晶体管、清零用晶体管、以及电容,在该单位电路中,向清零用晶体管的控制端子输入清零信号,向置位用晶体管的控制端子输入前一级的信号线选择信号,向输出用晶体管的第一导通端子输入时钟信号,输出用晶体管的第二导通端子与电容的第一电极相连接,置位用晶体管的控制端子与第一导通端子相连接,并且置位用晶体管的第二导通端子与输出用晶体管的控制端子和电容的第二电极相连接,清零用晶体管的第一导通端子与输出用晶体管的控制端子相连接,并且清零用晶体管的第二导通端子与恒压源相连接,输出用晶体管的第二导通端子成为输出端子。

[0030] 本显示面板驱动电路也可以采用以下结构:成为最后一级的单位电路还包括电位提供用晶体管,向电位提供用晶体管的控制端子输入清零信号,电位提供用晶体管的第一导通端子与输出用晶体管的第二导通端子相连接,并且电位提供用晶体管的第二导通端子与恒压源相连接。

[0031] 本显示面板驱动电路也可以采用以下结构:所述清零信号在来自各级的信号线选择信号变成不激活的定时或未被激活的定时被激活。

[0032] 本显示面板驱动电路也可以采用以下结构:向所述移位寄存器提供彼此相位不同的多个时钟信号,将这些时钟信号分别输入到不同的单位电路的输出用晶体管。

[0033] 本显示面板驱动电路也可以采用以下结构:所述多个时钟信号各自的不激活期间有一部分重叠。

[0034] 本显示面板驱动电路也可以采用以下结构:所述多个时钟信号中包含相位相差半个周期的两个时钟信号。

[0035] 本显示面板驱动电路也可以采用以下结构:在清零信号被激活的期间内,所述多个时钟信号的至少一个时钟信号不被激活。

[0036] 本显示面板驱动电路也可以采用以下结构:置位用晶体管、输出用晶体管、复位用晶体管、以及清零用晶体管分别为N沟道晶体管。

[0037] 本显示面板驱动电路也可以采用以下结构:置位用晶体管、输出用晶体管、复位用晶体管、清零用晶体管、以及电位提供用晶体管分别为N沟道晶体管。

[0038] 本显示面板驱动电路也可以采用以下结构:第一导通端子为漏极端子,第二导通

端子为源极端子。

[0039] 本显示面板驱动电路也可以采用以下结构：第一导通端子为源极端子，第二导通端子为漏极端子。

[0040] 本显示面板驱动电路也可以采用以下结构：输入所述同步信号，包括定时控制器，该定时控制器利用所述同步信号，生成所述时钟信号和起始脉冲信号、以及清零信号。

[0041] 本显示面板驱动电路也可以采用以下结构：包括检测所述同步信号的异常的异常检测电路，基于该检测结果，生成所述清零信号。

[0042] 本液晶显示装置的特征在于，包括所述显示面板驱动电路和液晶面板。

[0043] 本液晶显示装置也可以采用以下结构：所述移位寄存器在液晶面板中形成为单片。

[0044] 本液晶显示装置也可以采用以下结构：所述液晶面板使用非晶硅来形成。还可以采用以下结构：所述液晶面板使用多晶硅来形成。

[0045] 本移位寄存器设置于输入同步信号的显示面板驱动电路，由生成信号线选择信号的单位电路级联连接而构成，并且从第一级到最后一级依次输出通过将信号线选择信号激活一定的期间而形成的脉冲，其特征不在于，向所述单位电路输入时钟信号、起始脉冲信号或由其它级生成的信号线选择信号、以及清零信号，该清零信号至少在同步信号有异常的情况下被激活，之后到下一个垂直扫描期间开始之前，都不输出脉冲。在这种情况下，也可以采用以下结构：所述移位寄存器形成为单片。

[0046] 本显示装置的驱动方法是用于驱动显示装置的显示装置的驱动方法，所述显示装置包括移位寄存器，该移位寄存器由生成信号线选择信号的单位电路级联连接而构成，并且从第一级到最后一级依次输出通过将信号线选择信号激活一定的期间而形成的脉冲，所述显示装置有同步信号输入，其特征不在于，向所述单位电路输入时钟信号、起始脉冲信号或由其它级生成的信号线选择信号、以及清零信号，通过至少在同步信号有异常的情况下激活该清零信号，之后到下一个垂直扫描期间开始之前，都不使所述移位寄存器输出脉冲。

[0047] 本显示面板驱动电路包括移位寄存器，该移位寄存器由输出信号线选择信号的单位电路级联连接而构成，并且从第一级到最后一级依次输出通过将信号线选择信号激活一定的期间而形成的脉冲，其特征不在于，向成为最后一级的单位电路输入由其它级生成的信号线选择信号、时钟信号、以及清零信号，通过在最后一级输出脉冲后激活所述清零信号，从而使来自最后一级的信号线选择信号维持不激活的状态。

[0048] 根据本显示面板驱动电路，由于最后一级（单位电路）可以利用清零信号进行复位，因此，不需要现有那样的虚拟级（虚拟移位电路），能够缩小移位寄存器的电路面积。

[0049] 本显示面板驱动电路也可以采用以下结构：成为最后一级以外的级的单位电路包括置位用晶体管、输出用晶体管、复位用晶体管、以及电容，在该单位电路中，向置位用晶体管的控制端子输入起始脉冲信号或前一级的信号线选择信号，向复位用晶体管的控制端子输入后一级的信号线选择信号，向输出用晶体管的第一导通端子输入时钟信号，输出用晶体管的第二导通端子与电容的第一电极相连接，置位用晶体管的控制端子与第一导通端子相连接，并且置位用晶体管的第二导通端子与输出用晶体管的控制端子和电容的第二电极相连接，复位用晶体管的第一导通端子与输出用晶体管的控制端子相连接，并且复位用晶体管的第二导通端子与恒压源相连接，输出用晶体管的第二导通端子成为输出端子。

[0050] 本显示面板驱动电路也可以采用以下结构：成为最后一级单位电路包括置位用晶体管、输出用晶体管、用于对最后一级进行复位而设置的清零用晶体管、以及电容，在该单位电路中，向置位用晶体管的控制端子输入前一级的信号线选择信号，向清零用晶体管的控制端子输入清零信号，向输出用晶体管的第一导通端子输入时钟信号，输出用晶体管的第二导通端子与电容的第一电极相连接，置位用晶体管的控制端子与第一导通端子相连接，并且置位用晶体管的第二导通端子与输出用晶体管的控制端子和电容的第二电极相连接，清零用晶体管的第一导通端子与输出用晶体管的控制端子相连接，并且清零用晶体管的第二导通端子与恒压源相连接，输出用晶体管的第二导通端子成为输出端子。

[0051] 本显示面板驱动电路也可以采用以下结构：成为最后一级单位电路还包括电位提供用晶体管，向电位提供用晶体管的控制端子输入清零信号，电位提供用晶体管的第一导通端子与输出用晶体管的第二导通端子相连接，并且电位提供用晶体管的第二导通端子与恒压源相连接。

[0052] 本发明的移位寄存器设置于显示面板驱动电路，由生成信号线选择信号的单位电路级联连接而构成，并且从第一级到最后一级依次输出通过将信号线选择信号激活一定的期间而形成的脉冲，其特征在于，向成为最后一级单位电路输入由其它级生成的信号线选择信号、时钟信号、以及清零信号，通过在最后一级输出脉冲后激活所述清零信号，从而使来自最后一级信号线选择信号维持不激活的状态。

[0053] 本发明的显示装置的驱动方法是用于对显示装置进行驱动的显示装置的驱动方法，所述显示装置包括移位寄存器，该移位寄存器由生成信号线选择信号的单位电路级联连接而构成，并且从第一级到最后一级依次输出通过将信号线选择信号激活一定的期间而形成的脉冲，其特征在于，向成为最后一级单位电路输入由其它级生成的信号线选择信号、时钟信号、以及清零信号，通过在最后一级输出脉冲后激活所述清零信号，从而使来自最后一级信号线选择信号维持不激活的状态。

[0054] 根据本发明的显示面板驱动电路，当同步信号有异常时，清零信号被激活，从而之后使移位寄存器的脉冲输出都停止。因此，能够抑制显示混乱并且不增大对电源的负荷。

[0055] 另外，根据本发明的显示面板驱动电路，由于在最后一级（单位电路）可以利用清零信号进行复位，因此，不需要现有那样的虚拟级（虚拟移位电路），能够缩小移位寄存器的电路面积。

附图说明

[0056] 图 1 是表示本移位寄存器的结构的框图。

[0057] 图 2(a) 和图 2(b) 是表示移位寄存器的单位电路结构的电路图。

[0058] 图 3 是表示本移位寄存器的结构的电路图。

[0059] 图 4 是表示图 3 的移位寄存器的动作（同步信号无异常时）的时序图。

[0060] 图 5 是表示图 3 的移位寄存器的动作（同步信号有异常时）的时序图。

[0061] 图 6 是表示本移位寄存器的另一结构的电路图。

[0062] 图 7 是表示图 6 的移位寄存器的动作（同步信号无异常时）的时序图。

[0063] 图 8 是表示本移位寄存器的另一结构的电路图。

[0064] 图 9 是表示图 8 的移位寄存器的动作（同步信号无异常时）的时序图。

- [0065] 图 10 是表示图 8 的移位寄存器的动作（同步信号有异常时）的时序图。
- [0066] 图 11 是表示本移位寄存器的另一结构的电路图。
- [0067] 图 12 是表示图 11 的移位寄存器的动作（同步信号无异常时）的时序图。
- [0068] 图 13 是表示本移位寄存器的另一结构的电路图。
- [0069] 图 14 是表示图 13 的移位寄存器的动作（同步信号无异常时）的时序图。
- [0070] 图 15 是表示图 13 的移位寄存器的动作（同步信号有异常时）的时序图。
- [0071] 图 16 是表示图 13 的移位寄存器的动作（同步信号有异常时）的时序图。
- [0072] 图 17 是说明贯通电流的电路图。
- [0073] 图 18 是表示图 13 的移位寄存器的动作（同步信号有异常时）的时序图。
- [0074] 图 19 是表示本移位寄存器的另一结构的框图。
- [0075] 图 20(a) 和图 20(b) 是表示本移位寄存器的单位电路结构的电路图。
- [0076] 图 21 是表示图 19 的移位寄存器的动作（同步信号无异常时）的时序图。
- [0077] 图 22 是表示图 19 的移位寄存器的动作（同步信号有异常时）的时序图。
- [0078] 图 23 是表示实施方式 1 和实施方式 2 的液晶显示装置的结构框图。
- [0079] 图 24 是表示实施方式 3 和实施方式 4 的液晶显示装置的结构框图。
- [0080] 图 25 是表示实施方式 3 的移位寄存器的结构框图。
- [0081] 图 26(a) 和图 26(b) 是表示实施方式 3 的移位寄存器的单位电路结构的电路图。
- [0082] 图 27 是表示实施方式 3 的移位寄存器的结构电路图。
- [0083] 图 28 是表示图 27 的移位寄存器的动作的时序图。
- [0084] 图 29 是表示本移位寄存器的另一结构的电路图。
- [0085] 图 30 是表示图 29 的移位寄存器的动作的时序图。
- [0086] 图 31 是表示实施方式 3 的移位寄存器的另一结构的电路图。
- [0087] 图 32 是表示图 31 的移位寄存器的动作的时序图。
- [0088] 图 33 是表示实施方式 3 的移位寄存器的另一结构的电路图。
- [0089] 图 34 是表示图 33 的移位寄存器的动作（同步信号无异常时）的时序图。
- [0090] 图 35 是表示实施方式 3 的移位寄存器的另一结构的电路图。
- [0091] 图 36 是表示图 35 的移位寄存器的动作（同步信号无异常时）的时序图。
- [0092] 图 37 是表示实施方式 4 的移位寄存器的结构框图。
- [0093] 图 38(a) 和图 38(b) 是表示实施方式 4 的移位寄存器的单位电路结构的电路图。
- [0094] 图 39 是表示图 37 的移位寄存器的动作的时序图。
- [0095] 图 40 是表示现有的移位寄存器的结构框图。
- [0096] 图 41 是表示图 40 的移位寄存器的动作的时序图。
- [0097] 图 42 是表示图 40 的移位寄存器的动作的时序图。
- [0098] 标号说明
- [0099] 1 液晶显示装置（显示装置）
- [0100] 10、10a ~ 10g 移位寄存器
- [0101] G1Gm 栅极导通脉冲（信号线选择信号）
- [0102] SC1SCm 移位电路（单位电路）
- [0103] GSP 栅极起始脉冲

- [0104] CK1 第一时钟信号
- [0105] CK2 第二时钟信号
- [0106] CLR 清零信号
- [0107] Tra 置位用晶体管
- [0108] Trb 输出用晶体管
- [0109] Trc 清零用晶体管
- [0110] Trd 复位用晶体管
- [0111] Tre 低电平电位提供用晶体管

具体实施方式

[0112] 以下,基于图 1~图 39,说明本发明的一个实施方式。

[0113] 图 23 是表示本液晶显示装置的结构框图。如图 23 所示,本液晶显示装置 1 包括液晶面板 3、栅极驱动器 5、源极驱动器 6、定时控制器 7、数据处理电路 8、以及异常检测电路 9。栅极驱动器 5 中设有移位寄存器 10 和电平移位器 4,利用栅极驱动器 5、定时控制器 7、以及异常检测电路 9 构成液晶面板驱动电路 11。此外,本实施方式中,电平移位器 4 采用包含在栅极驱动器 5 内的结构,但也可以设置在栅极驱动器 5 的外部。

[0114] 在本液晶面板 3 中,设置有由栅极驱动器 5 驱动的扫描信号线 16、由源极驱动器 6 驱动的数据信号线 15、像素 P、保持电容布线(未图示)等,并且移位寄存器 10 形成为单片。在各像素 P 中,设置有与扫描信号线 16 及数据信号线 15 相连接的晶体管(TFT)、和与该晶体管相连接的像素电极。此外,为了形成各像素的晶体管或移位寄存器的晶体管,使用非晶硅或多晶硅或 CG 硅等。

[0115] 从液晶显示装置 1 的外部向定时控制器 7 输入作为同步信号的垂直同步信号 VSYNC、水平同步信号 HSYNC、以及数据使能信号 DE。此外,这些同步信号(VSYNC、HSYNC、以及 DE)也输入到异常检测电路 9。另外,从液晶显示装置 1 的外部向数据处理电路 8 输入视频数据(RGB 数字数据)。异常检测电路 9 用来检测同步信号的异常,若同步信号有异常,则将出错信号发送到定时控制器 7。对于异常检测电路 9 所进行的同步信号的异常检测,可以采用例如“日本公开专利公报 2003-167545”记载的方法。定时控制器 7 利用各同步信号和来自异常检测电路 9 的出错信号,生成多个源时钟信号(ck1、ck2 等)、源清零信号(c1r)、源栅极起始脉冲信号(gsp)。而且,源时钟信号(ck1、ck2 等)、源清零信号(c1r)、以及源栅极起始脉冲信号(gsp)经电平移位器 6 进行电平移位,分别成为时钟信号(CK1、CK2 等)、清零信号(CLR)、以及栅极起始脉冲信号(GSP)。另外,定时控制器 7 基于所输入的同步信号(VSYNC、HSYNC、以及 DE),向数据处理电路 8 输出控制信号,并且向源极驱动器 6 输出源极定时信号。

[0116] 将时钟信号(CKA、CKB 等)、清零信号(CLR)、以及栅极起始脉冲信号(GSP)输入到移位寄存器 10。清零信号(CLR)在同步信号(VSYNC、HSYNC、以及 DE)无异常的情况下,变成“L”(不激活),在同步信号(VSYNC、HSYNC、以及 DE)有异常的情况下,变成“H”(激活),而且不管同步信号是否有异常,在从最后一级输出脉冲后都变成“H”(激活)。移位寄存器 10 使用这些信号(CKA、CKB 等、CLR、GSP),生成栅极导通脉冲信号,并将其输出到液晶面板 3 的扫描信号线。移位寄存器 10 由生成栅极导通脉冲信号的移位电路级联连接而构成,使

各级（移位电路）的栅极导通脉冲信号依次被激活一定的期间，从第一级到最后一级依次输出脉冲（导通脉冲）。然后，在液晶面板 3 中，利用该脉冲依次选择扫描信号线。

[0117] 数据处理电路 8 对视频数据实施预定的处理，基于来自定时控制器 7 的控制信号，向源极驱动器 6 输出数据信号。源极驱动器 6 使用来自数据处理电路 8 的数据信号和来自定时控制器 7 的源极定时信号，生成信号电位，并将其输出到液晶面板 3 的数据信号线。将该信号电位通过各像素的晶体管写入到该像素的像素电极。

[0118] 实施方式 1

[0119] 图 1 中示出本实施方式 1 所涉及的移位寄存器 10a 的结构。如图 1 所示，移位寄存器 10a 由多个移位电路（单位电路）SC1、SC2、…SC_m 级联连接而构成，移位电路 SC_i ($i = 1, 2, 3 \dots m-1$) 包括输入用的节点 Q_{fi}、Q_{bi}、CKA_i、CL_i、以及输出用的节点 Q_{oi}，移位电路 SC_m 包括输入用的节点 Q_{fm}、CKA_m、CL_m、以及输出用的节点 Q_{om}。

[0120] 此处，对于移位电路 SC1，节点 Q_{f1} 与电平移位器（参照图 23）的 GSP 输出端 R0 相连接，节点 Q_{b1} 与移位电路 SC2 的节点 Q_{o2} 相连接，节点 CKA1 与提供第一时钟信号的第一时钟线 CKL1 相连接，节点 CL1 与提供清零信号（CLR）的清零线 CLRL 相连接，从节点 Q_{o1} 输出栅极导通脉冲信号（信号线选择信号）G1。

[0121] 另外，对于移位电路 SC_i ($i = 2 \sim m-1$)，节点 Q_{fi} 与移位电路 SC($i-1$) 的节点 Q_o($i-1$) 相连接，节点 Q_{bi} 与移位电路 SC($i+1$) 的节点 Q_o($i+1$) 相连接，若 i 为奇数，则节点 CKA_i 与第一时钟线 CKL1 相连接，若 i 为偶数，则节点 CKA_i 与第二时钟线 CKL2 相连接，节点 CL_i 与上述清零线 CLRL 相连接，从节点 Q_{oi} 输出栅极导通脉冲信号（信号线选择信号）G_i。

[0122] 而且，对于移位电路 SC_m，节点 Q_{fm} 与移位电路 SC($m-1$) 的节点 Q_o($m-1$) 相连接，节点 CKA_m 与第二时钟线 CKL2 相连接，节点 CL_m 与上述清零线 CLRL 相连接，从节点 Q_{om} 输出栅极导通脉冲信号（信号线选择信号）G_m。

[0123] 图 2(a) 是表示 SC_i ($i = 1 \sim m-1$) 的具体结构的电路图。如图 2(a) 所示，SC_i ($i = 1 \sim m-1$) 包含置位用晶体管 Tra、输出用晶体管 Trb、清零用晶体管 Trc、复位用晶体管 Trd、以及电容 C。晶体管 Tra ~ Trd 分别是 N 沟道晶体管。

[0124] 此处，Trb 的源极端子与电容 C 的第一电极相连接，Tra 的栅极端子（控制端子）与漏极端子相连接，并且 Tra 的源极端子与 Trb 的栅极端子和电容 C 的第二电极相连接。另外，Trc 的漏极端子与 Trb 的栅极端子相连接，并且 Trc 的源极端子与低电位侧电源 V_{ss} 相连接。另外，Trd 的漏极端子与 Trb 的栅极端子相连接，并且 Trd 的源极端子与低电位侧电源 V_{ss} 相连接。而且，Tra 的栅极端子与节点 Q_{fi} 相连接，Trb 的漏极端子与节点 CKA_i 相连接，Trc 的栅极端子与节点 CL_i 相连接，Trd 的栅极端子与节点 Q_{bi} 相连接，Trb 的源极端子与节点 Q_{oi} 相连接。此外，将 Tra 的源极端子、电容 C 的第二电极、以及 Trb 的栅极端子的连接点作为节点 netA_i。

[0125] 另外，图 2(b) 是表示 SC_m 的具体结构的电路图。如图 2(b) 所示，SC_m 包含置位用晶体管 Tra、输出用晶体管 Trb、清零用晶体管 Trc、以及电容 C。晶体管 Tra ~ Trc 分别是 N 沟道晶体管，电容 C 也可以是寄生电容。此处，Trb 的源极端子与电容 C 的第一电极相连接，Tra 的栅极端子（控制端子）与漏极端子相连接，并且 Tra 的源极端子与 Trb 的栅极端子和电容 C 的第二电极相连接。另外，Trc 的漏极端子与 Trb 的栅极端子相连接，并且 Trc 的源极端子与低电位侧电源 V_{ss} 相连接。而且，Tra 的栅极端子与节点 Q_{fm} 相连接，Trb 的

漏极端子与节点 CKAm 相连接, Trc 的栅极端子与节点 CLm 相连接, Trb 的源极端子与节点 Qom 相连接。此外, 将 Tra 的源极端子、电容 C 的第二电极、以及 Trb 的栅极端子的连接点作为节点 netAm。

[0126] 此外, 移位电路 SCi ($i = 1 \sim m-1$) 的各节点 (Qfi、Qbi、CKAi、CLi、Qoi)、以及移位电路 SCm 的各节点 (Qfm、CKAm、CLm、Qom) 的连接目标如图 1 所示, 本移位寄存器 10a 整体的具体结构如图 3 所示。

[0127] 下面, 说明图 3 所示的移位寄存器 10a 的动作。图 4 是表示同步信号无异常的情况下的垂直同步信号 VSYNC、栅极起始脉冲信号 GSP、第一时钟信号 CK1、第二时钟信号 CK2、栅极导通脉冲信号 Gi ($i = 1 \sim m$)、以及清零信号 (CLR) 的各波形的时序图。此外, 第一时钟信号 CK1 及第二时钟信号 CK2 在一个周期中的“H” (激活) 期间都为三个时钟期间, “L” (不激活) 期间都为三个时钟期间, 当 CK1 和 CK2 的其中一方不激活 (下降) 时, 另一方延迟一个时钟期间而激活 (上升)。但是, 这只是第一时钟信号 CK1 和第二时钟信号 CK2 的一个例子, 若有两个时钟信号都变为“L”的期间, 则“H”期间和“L”期间可以任意地设定。

[0128] 首先, 在图 4 的 t_0 , 若通过 GSP 的激活而使 Qf1 的电位上升, 则 SC1 的 Tra 导通, netA1 的电位从“L”变为“H”。因此, SC1 的 Trb 也导通, 从而向 Qo1 输出 CK1。即, G1 保持“L”不变。在从 t_0 起经过一个时钟期间后的 t_1 , GSP 下降 (变成不激活) 而变成“L”, 但由于 SC1 的电容 C, netA1 的电位维持在“H”, 从而使得 SC1 的 Trb 也仍保持导通。

[0129] 在从 t_1 起经过一个时钟期间后的 t_2 , 由于 CK1 上升 (被激活), 因此, G1 也被激活而变成“H”。此时, netA1 的电位因电容 C 而被升压到高于“H”的电位。另一方面, 若通过 G1 的激活而使 Qf2 的电位上升, 则 SC2 的 Tra 导通, netA2 的电位从“L”变为“H”。因此, SC2 的 Trb 也导通, 从而向 Qo2 输出 CK2。即, G2 保持“L”不变。

[0130] 在从 t_2 起经过一个时钟期间后的 t_3 , CK1 下降而变成“L”, netA1 的电位也变回“H”, 但是由于 SC1 的 Trb 仍然导通, 因此, 持续向 Qo1 输出 CK1。即, G1 从“H”变为“L”而变成不激活, 并维持不激活的状态。此外, 即使 G1 变成不激活而变成“L”, 但 netA2 的电位因 SC2 的电容 C 而维持在“H”, 从而 SC2 的 Trb 仍保持导通。

[0131] 在从 t_3 起经过一个时钟期间后的 t_4 , 由于 CK2 上升, 因此, G2 也被激活而变成“H”。此时, netA2 的电位因电容 C 而被升压到高于“H”的电位。另一方面, 若通过 G2 的激活而使 Qb1 的电位上升, 则 SC1 的 Trd 导通, netA1 与 Vss 相连接, 其电位从“H”变为“L”。因此, SC1 的 Trb 截止, 不再向 Qo1 输出 CK1。

[0132] 在从 t_4 起经过一个时钟期间后的 t_5 , CK2 下降而变成“L”, netA2 的电位也变回“H”, 但是由于 SC2 的 Trb 仍然导通, 因此, 持续向 Qo2 输出 CK2。即, G2 从“H”变为“L”而变成不激活, 并维持不激活的状态。

[0133] 而且, 在 t_x , 由于 CK2 上升, 因此, Gm 也被激活而变成“H”。此时, netAm 的电位因电容 C 而被升压到高于“H”的电位。

[0134] 在从 t_x 起经过一个时钟期间后的 t_y , CK2 下降而变成“L”, netAm 的电位也变回“H”, 但是由于 SCm 的 Trb 仍然导通, 因此, 持续向 Qom 输出 CK2。即, Gm 从“H”变为“L”而变成不激活, 并维持不激活的状态。

[0135] 在从 t_y 起经过一个时钟期间后的 t_z , CK2 维持在“L”, 但由于清零信号 CLR 被激活而变成“H”, 因此, SCm 的 Trc 导通, netAm 与 Vss 相连接, 其电位从“H”变为“L”。因此,

SC_m 的 Trb 截止,不再向 Q_{om} 输出 CK₂。

[0136] 此外,图 4 中,是在 t_z (从 G_m 下降起经过一个时钟期间后) 激活清零信号 CLR,但并不限于此。例如,也可以在 t_y ~ t_z 期间 (不包含 t_y) 内激活清零信号 CLR。但是,在 t_y 不激活清零信号 CLR。这是由于,这样能使 G_m 维持“H”(激活)的状态。

[0137] 由此,在同步信号无异常的情况下,移位寄存器 10a 中,来自各移位电路 SC_i (i = 1 ~ m) 的栅极导通脉冲信号 G_i 依次被激活一定的期间,从第一级的移位电路 SC₁ 到最后一级的移位电路 SC_m 依次输出脉冲 P₁ ~ P_m。

[0138] 图 5 是表示同步信号有异常的情况下的垂直同步信号 VSYNC、栅极起始脉冲信号 GSP、第一时钟信号 CK₁、第二时钟信号 CK₂、栅极导通脉冲信号 G_i (i = 1 ~ m)、以及清零信号 (CLR) 的各波形的时序图。

[0139] 图 5 的 t₀ ~ t₅ 期间内的移位寄存器 10a 的动作与图 4 的相同。在 t₅, CK₂ 下降而变成“L”, netA₂ 的电位也变回“H”,但是由于 SC₂ 的 Trb 仍然导通,因此,持续向 Q_{o2} 输出 CK₂。即,G₂ 从“H”变为“L”而变成不激活,并维持不激活的状态。在 t₅,G₂ 变成不激活而变成“L”,但 netA₃ 的电位因 SC₃ 的电容 C 而维持在“H”,从而 SC₃ 的 Trb 也保持导通。

[0140] 此处,如图 5 所示,在 t₃ ~ t₄ 的期间内,垂直同步信号 VSYNC 产生噪声而使 GSP 在不希望的定时 (t₄) 被激活,这时,在 t₆,清零信号 CLR 被激活而变成“H”,SC₃ 的 Trc 导通,netA₃ 与 V_{ss} 相连接,其电位从“H”变为“L”。因此,SC₃ 的 Trb 截止,不再向 Q_{o3} 输出 CK₁,G₃ 维持在“L”(不激活)。即,从 SC₃ 不输出脉冲,在它之后的 SC₄、SC₅、…SC_m 中,Trb 也不导通,也不输出脉冲。因而,在该垂直扫描期间中,脉冲的输出到 SC₂ (脉冲 P₂) 为止,到下一个垂直扫描期间开始 (T₀) 之前,从各级输出的栅极导通脉冲信号都维持在“L”(不激活)。

[0141] 此外,图 5 中,是在 t₆ 激活清零信号 CLR,但并不限于此。也可以在 t₅ ~ t₆ 的期间内激活清零信号 CLR。

[0142] 由此,根据上述实施方式,由于在同步信号 (VSYNC、HSYNC、或 DE) 产生异常的情况下,清零信号 CLR 变为“H”(激活),之后,到下一个垂直扫描期间开始之前,来自移位寄存器的脉冲输出停止,因此能够抑制显示混乱并且不增大对电源的负荷。

[0143] 此外,也能够将图 3 的移位寄存器 10a 构成为如图 6 所示那样的移位寄存器 10b。移位寄存器 10b 中,在移位寄存器 10a 的结构的基础上,还在最后一级的移位电路 SC_m 设有 N 沟道的低电平电位提供用晶体管 Tre。晶体管 Tre 的源极端子与低电位侧电源相连接,其漏极端子与节点 Q_{om} 相连接,其栅极端子与节点 CL_m 相连接。

[0144] 若采用移位寄存器 10b 的结构,则可以通过清零信号 CLR 的激活来使 G_m 下降。因而,如图 7 所示,在 t_y,能够与 G_m 的下降 (变成不激活) 同步地激活清零信号 CLR。

[0145] 此外,也能够将图 3 的移位寄存器 10a 构成为如图 8 所示那样的移位寄存器 10c。移位寄存器 10c 中,在移位寄存器 10a 的结构的基础上,还在移位电路 SC_i (i = 1 ~ m-1) 设有 N 沟道的低电平电位提供用晶体管 Tre。晶体管 Tre 的源极端子与低电位侧电源相连接,其漏极端子与节点 Q_{oi} 相连接,其栅极端子与节点 Q_{bi} 相连接。

[0146] 下面,说明图 8 所示的移位寄存器 10c 的动作。图 9 是表示同步信号无异常的情况下的垂直同步信号 VSYNC、栅极起始脉冲信号 GSP、第一时钟信号 CK₁、第二时钟信号 CK₂、栅极导通脉冲信号 G_i (i = 1 ~ m)、以及清零信号 (CLR) 的各波形的时序图。此外,第一时钟信

号 CK1 及第二时钟信号 CK2 在一个周期中的“H”（激活）期间都为时钟期间，“L”（不激活）期间都为时钟期间，当 CK1 和 CK2 的其中一方下降时，另一方同步地上升。

[0147] 首先，在图 9 的 t_0 ，若通过 GSP 的激活而使 Qf1 的电位上升，则 SC1 的 Tra 导通，netA1 的电位从“L”变为“H”。因此，SC1 的 Trb 也导通，从而向 Qo1 输出 CK1。即，G1 保持“L”不变。

[0148] 在从 t_0 起经过一个时钟期间后的 t_1 ，GSP 下降（变成不激活）而变成“L”，但由于 SC1 的电容 C，netA1 的电位并不下降，从而 SC1 的 Trb 也仍保持导通。即，CK1 的上升使 G1 也被激活而变成“H”。此时，netA1 的电位因电容 C 而被升压到高于“H”的电位。另一方面，若通过 G1 的激活而使 Qf2 的电位上升，则 SC2 的 Tra 导通，netA2 的电位从“L”变为“H”。因此，SC2 的 Trb 也导通，从而向 Qo2 输出 CK2，G2 维持在“L”。

[0149] 在从 t_1 起经过一个时钟期间后的 t_2 ，由于 CK2 上升，因此，G2 也被激活而变成“H”。此时，netA2 的电位因电容 C 而被升压到高于“H”的电位。另一方面，若通过 G2 的激活而使 Qb1 的电位上升，则 SC1 的 Trd 导通，netA1 与 Vss 相连接，其电位从“H”变为“L”。因此，SC1 的 Trb 截止，不再向 Qo1 输出 CK1。另外，若通过 G2 的激活而使 Qb1 的电位上升，则 SC1 的 Tre 导通，Qo1 与 Vss 相连接，其电位从“H”变为“L”。即，G1 从“H”变为“L”而变成不激活，并维持不激活的状态。此外，即使使 G1 非激活而变成“L”，但 netA2 的电位因 SC2 的电容 C 而维持，从而 SC2 的 Trb 仍然保持导通。另外，若通过 G2 的激活使 Qf3 的电位上升，则 SC3 的 Tra 导通，netA3 的电位从“L”变为“H”。因此，SC3 的 Trb 也导通，从而向 Qo3 输出 CK1。即，G3 保持“L”不变。

[0150] 在从 t_2 起经过一个时钟期间后的 t_3 ，由于 CK1 上升，因此，G3 也被激活而变成“H”。另一方面，若通过 G3 的激活使 Qb2 的电位上升，则 SC2 的 Trd 导通，netA2 与 Vss 相连接，其电位从“H”变为“L”。因此，SC2 的 Trb 截止，不再向 Qo2 输出 CK2。另外，若通过 G3 的激活而使 Qb2 的电位上升，则 SC2 的 Tre 导通，Qo2 与 Vss 相连接，其电位从“H”变为“L”。即，G2 从“H”变为“L”而变成不激活，并维持不激活的状态。

[0151] 而且，在 t_x ，由于 CK2 上升，因此，Gm 也被激活而变成“H”。此时，netAm 的电位因电容 C 而被升压到高于“H”的电位。

[0152] 在从 t_x 起经过一个时钟期间后的 t_y ，CK2 下降而变成“L”，netAm 的电位也变回“H”，但是由于 SCm 的 Trb 仍然导通，因此，持续向 Qom 输出 CK2。即，Gm 从“H”变为“L”而变成不激活，并维持不激活的状态。

[0153] 在从 t_y 起经过一个时钟期间后的 t_z ，由于清零信号 CLR 被激活而变成“H”，因此，SCm 的 Trc 导通，netAm 与 Vss 相连接，其电位从“H”变为“L”。因此，SCm 的 Trb 截止，不再向 Qom 输出 CK2。

[0154] 此外，图 9 中，是在 t_z （从 Gm 下降起经过一个时钟期间后）激活清零信号 CLR，但并不限于此。例如，也可以在 $t_y \sim t_z$ 期间（不包含 t_y ）内激活清零信号 CLR。但是，在 t_y 不激活清零信号 CLR。这是由于，这样能使 Gm 维持“H”（激活）的状态。

[0155] 由此，在同步信号无异常的情况下，移位寄存器 10b 中，来自各移位电路 SCi ($i = 1 \sim m$) 的栅极导通脉冲信号 Gi 依次被激活一定的期间，从第一级的移位电路 SC1 到最后一级的移位电路 SCm 依次输出脉冲。

[0156] 图 10 是表示同步信号有异常的情况下的垂直同步信号 VSYNC、栅极起始脉冲信号

GSP、第一时钟信号 CK1、第二时钟信号 CK2、栅极导通脉冲信号 G_i ($i = 1 \sim m$)、以及清零信号 (CLR) 的各波形的时序图。

[0157] 图 10 的 $t_0 \sim t_3$ 期间内的移位寄存器 10c 的动作与图 9 的相同。此处,如图 10 所示,在 $t_2 \sim t_3$ 的期间内,垂直同步信号 VSYNC 产生噪声而使 GSP 在不希望的定时 (t_3) 被激活,这时,在 t_4 ,清零信号 CLR 被激活而变成“H”,SC3 的 Trc 导通,netA3 与 Vss 相连接,其电位从“H”变为“L”。因此,SC3 的 Trb 截止,不再向 Qo3 输出 CK1,G3 维持在“L”(不激活)。即,从 SC3 不输出脉冲,在它之后的 SC4、SC5、 \dots SCm 中,Trb 也不导通,也不输出脉冲。因而,在该垂直扫描期间中,脉冲的输出到 SC2 为止,到下一个垂直扫描期间开始 (T_0) 之前,从各级输出的栅极导通脉冲信号都维持在“L”(不激活)。

[0158] 此外,图 10 中,是在 t_4 激活清零信号 CLR,但并不限于此。也可以在 t_5 激活清零信号 CLR。

[0159] 此外,也能够将图 8 的移位寄存器 10c 构成为如图 11 所示那样的移位寄存器 10d。移位寄存器 10d 中,在移位寄存器 10c 的结构的基础上,还在最后一级的移位电路 SCm 设有 N 沟道的低电平电位提供用晶体管 Tre。晶体管 Tre 的源极端子与低电位侧电源相连接,其漏极端子与节点 Qom 相连接,其栅极端子与节点 CLm 相连接。

[0160] 若采用移位寄存器 10d 的结构,则可以通过清零信号 CLR 的激活来使 Gm 下降。因而,如图 12 所示,在 t_y ,能够与 Gm 的下降(变成不激活)同步地激活清零信号 CLR。

[0161] 此外,也能够将图 3 的移位寄存器 10a 构成为如图 13 所示那样的移位寄存器 10e。移位寄存器 10e 中,在移位寄存器 10a 的结构的基础上,还在移位电路 SCi ($i = 1 \sim m$) 设有 N 沟道的低电平电位提供用晶体管 Tre。晶体管 Tre 的源极端子与低电位侧电源相连接,其漏极端子与节点 Qoi 相连接,其栅极端子与第一时钟线 CKL1 或第二时钟线 CKL2 相连接。此外,若 i 为奇数,则移位电路 SCi 的晶体管 Tre 的栅极端子与第二时钟线 CKL2 相连接,若 i 为偶数,则晶体管 Tre 的栅极端子与第一时钟线 CKL1 相连接。

[0162] 下面,说明图 13 所示的移位寄存器 10e 的动作。图 14 是表示同步信号无异常的情况下的垂直同步信号 VSYNC、栅极起始脉冲信号 GSP、第一时钟信号 CK1、第二时钟信号 CK2、栅极导通脉冲信号 G_i ($i = 1 \sim m$)、以及清零信号 (CLR) 的各波形的时序图。此外,第一时钟信号 CK1 及第二时钟信号 CK2 在一个周期中的“H”(激活)期间都为一个时钟期间,“L”(不激活)期间都为一个时钟期间,当 CK1 和 CK2 的其中一方下降时,另一方同步地上升。

[0163] 首先,在图 14 的 t_0 ,若通过 GSP 的激活而使 Qf1 的电位上升,则 SC1 的 Tra 导通,netA1 的电位从“L”变为“H”。因此,SC1 的 Trb 也导通,从而向 Qo1 输出 CK1。

[0164] 在从 t_0 起经过一个时钟期间后的 t_1 ,GSP 下降(变成不激活)而变成“L”,但由于 SC1 的电容 C,netA1 的电位并不下降,从而 SC1 的 Trb 也仍保持导通。因此,CK1 的上升使 G1 也被激活而变成“H”。此时,netA1 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G1 的激活而使 Qf2 的电位上升,则 SC2 的 Tra 导通,netA2 的电位从“L”变为“H”。因此,SC2 的 Trb 也导通,从而向 Qo2 输出 CK2。即,G2 保持“L”不变。

[0165] 在从 t_1 起经过一个时钟期间后的 t_2 ,由于 CK2 上升,因此,G2 也被激活而变成“H”。此时,netA2 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G2 的激活而使 Qb1 的电位上升,则 SC1 的 Trd 导通,netA1 与 Vss 相连接,其电位从“H”变为“L”。

因此, SC1 的 Trb 截止,不再向 Qo1 输出 CK1。在 t2,由于 CK2 上升,因此 SC1 的 Tre 导通, Qo1 与 Vss 相连接,其电位从“H”变为“L”。因此, G1 从“H”变为“L”而变成不激活,并维持不激活的状态。此外,即使 G1 变成不激活而变成“L”,但 netA2 的电位因 SC2 的电容 C 而维持,从而 SC2 的 Trb 仍然保持导通。另外,若通过 G2 的激活使 Qf3 的电位上升,则 SC3 的 Tra 导通,netA3 的电位从“L”变为“H”。因此,SC3 的 Trb 也导通,从而向 Qo3 输出 CK1。即, G3 保持“L”不变。

[0166] 在从 t2 起经过一个时钟期间后的 t3,由于 CK1 上升,因此, G3 也被激活而变成“H”。另一方面,若通过 G3 的激活而使 Qb2 的电位上升,则 SC2 的 Trd 导通,netA2 与 Vss 相连接,其电位从“H”变为“L”。因此,SC2 的 Trb 截止,不再向 Qo2 输出 CK2。在 t3,由于 CK1 上升,因此 SC2 的 Tre 导通, Qo2 与 Vss 相连接,其电位从“H”变为“L”。因此, G2 从“H”变为“L”而变成不激活,并维持不激活的状态。

[0167] 此外,在移位寄存器 10e 中,在 t4 ~ t5 及 t6 ~ t7,由于 CK2 变成“H”,因此, SC1 的 Tre 导通, Qo1 与 Vss 相连接,能使 G1 再次降低到“L”(所谓的拉至“L”)。同样,在 t5 ~ t6,由于 CK1 变成“H”,因此, SC2 的 Tre 导通, Qo2 与 Vss 相连接,能够使 G2 再次降低到“L”(拉至“L”)。

[0168] 而且,在 tx,由于 CK2 上升,因此, Gm 也被激活而变成“H”。此时, netAm 的电位因电容 C 而被升压到高于“H”的电位。

[0169] 在从 tx 起经过一个时钟期间后的 ty,由于清零信号 CLR 被激活而变成“H”,因此, SCm 的 Trc 导通, netAm 与 Vss 相连接,其电位降低到“L”。因此, SCm 的 Trb 截止,不再向 Qom 输出 CK2。而且,在 ty,由于 CK1 上升,因此, SCm 的 Tre 导通, Qom 与 Vss 相连接。因此, Gm 变成不激活而变为“L”。

[0170] 此外,图 14 中,是在 ty 激活清零信号 CLR,但并不限于此。例如,也可以在 ty ~ tz 期间(包含 ty 及 tz)内激活清零信号 CLR。

[0171] 由此,在同步信号无异常的情况下,移位寄存器 10e 中,来自各移位电路 SCi (i = 1 ~ m) 的栅极导通脉冲信号 Gi 依次被激活一定的期间,从第一级的移位电路 SC1 到最后一级的移位电路 SCm 依次输出脉冲。

[0172] 图 15 是表示同步信号产生异常的情况下的垂直同步信号 VSYNC、栅极起始脉冲信号 GSP、第一时钟信号 CK1、第二时钟信号 CK2、栅极导通脉冲信号 Gi (i = 1 ~ m)、以及清零信号 (CLR) 的各波形的时序图。

[0173] 图 15 的 t0 ~ t3 期间内的移位寄存器 10b 的动作与图 14 的相同。此处,如图 15 所示,在 t1 ~ t2 的期间内,垂直同步信号 VSYNC 产生噪声而使 GSP 在不希望的定时 (t2) 被激活,这时,在 t3,清零信号 CLR 被激活而变成“H”, SC3 的 Trc 导通, netA3 与 Vss 相连接,其电位从“H”变为“L”。因此, SC3 的 Trb 截止,不再向 Qo3 输出 CK1, G3 维持在“L”(不激活)。即,从 SC3 不输出脉冲,在它之后的 SC4、SC5、…SCm 中, Trb 也不导通,也不输出脉冲。因而,在该垂直扫描期间中,脉冲的输出到 SC2 为止,到下一个垂直扫描期间开始 (T0) 之前,从各级输出的栅极导通脉冲信号都维持在“L”(不激活)。

[0174] 这种情况下,在 t4 ~ t5 及 t6 ~ t7,由于 CK2 也变为“H”,因此, SC1 的 Tre 导通, Qo1 与 Vss 相连接,能使 G1 再次降低到“L”(所谓的拉至“L”)。同样,在 t5 ~ t6,由于 CK1 变为“H”,因此, SC2 的 Tre 导通, Qo2 与 Vss 相连接,能够使 G2 再次降低到“L”(拉至

“L”)。

[0175] 此外,图 15 中,是在 t_3 激活清零信号 CLR,但并不限于此。也可以在 $t_3 \sim t_4$ (包含 t_4 和 t_5) 的期间内激活清零信号 CLR。例如,在 t_3 到 t_4 的期间内激活清零信号 CLR 的情况下,变成如图 16 所示那样。即,在 t_a , SC3 的 Trc 导通, netA3 与 V_{ss} 相连接,其电位从“H”变为“L”。因此, SC3 的 Trb 截止,不再向 Q_{o3} 输出 CK1, G3 维持在“H”(激活)。另外,在 t_a , SC4 的 Trc 导通, netA4 与 V_{ss} 相连接,其电位从“H”变为“L”。因此, SC4 的 Trb 截止,不再向 Q_{o4} 输出 CK2, G4 维持在“L”(不激活)。在 t_4 , 由于 CK2 上升,因此, SC3 的 Tre 导通, Q_{o3} 与 V_{ss} 相连接。因此, G3 变成不激活而变为“L”。

[0176] 在图 16 的情况下,在 $t_a \sim t_4$ 的期间内,贯通电流按照图 17 的箭头所示的路径,从 CKL1 流向 V_{ss} ,有可能会对电源电压造成负担。因此,要在 t_a 激活清零信号 CLR 的情况下,如图 18 所示,通过在清零信号 CLR 变为“H”(激活)的期间内使 CK1 降低到“L”,从而能够防止图 17 所示那样的贯通电流。

[0177] 实施方式 2

[0178] 图 19 中示出本实施方式 2 所涉及的液晶面板的结构。如图 19 所示,本液晶面板中,在面板的左端设有移位寄存器 10f,在面板的右端设有移位寄存器 10g。移位寄存器 10f 由多个移位电路 SC $_i$ ($i = 1, 3, 5 \dots 2n+1$) 级联连接而构成,移位寄存器 10g 由移位电路 SC $_i$ ($i = 2, 4, 6 \dots 2n$) 级联连接而构成。移位电路 SC $_i$ ($i = 1, 2, 3 \dots 2n-2$) 包括输入用的节点 Q_{fi} 、 Q_{bi} 、CKA $_i$ 、CKB $_i$ 、CL $_i$ 、以及输出用的节点 Q_{oi} , 移位电路 SC $_{(2n-1)}$ 包括输入用的节点 $Q_{f(2n-1)}$ 、CKA $_{(2n-1)}$ 、CKB $_{(2n-1)}$ 、CL $_{(2n-1)}$ 、以及输出用的节点 $Q_{o(2n-1)}$ 。另外,移位电路 SC $_{(2n)}$ 包括输入用的节点 $Q_{f(2n)}$ 、CKA $_{(2n)}$ 、CKB $_{(2n)}$ 、CL $_{(2n)}$ 、以及输出用的节点 $Q_{o(2n)}$ 。

[0179] 此处,对于移位电路 SC1,节点 Q_{f1} 与电平移位器(参照图 23)的 GSP1 的输出端 R01 相连接,节点 Q_{b1} 与移位电路 SC3 的节点 Q_{o3} 相连接,节点 CKA1 与提供第一时钟信号的第一时钟线 CKL1 相连接,节点 CKB1 与提供第三时钟信号的第三时钟线 CKL3 相连接,节点 CL1 与提供第一清零信号(CLR1)的第一清零线 CLRL1 相连接,从节点 Q_{o1} 输出栅极导通脉冲信号(信号线选择信号)G1。

[0180] 另外,对于移位电路 SC2,节点 Q_{f2} 与电平移位器的 GSP2 的输出端 R02 相连接,节点 Q_{b2} 与移位电路 SC4 的节点 Q_{o4} 相连接,节点 CKA2 与提供第二时钟信号的第二时钟线 CKL2 相连接,节点 CKB2 与提供第四时钟信号的第四时钟线 CKL4 相连接,节点 CL2 与提供第二清零信号(CLR2)的第二清零线 CLRL2 相连接,从节点 Q_{o2} 输出栅极导通脉冲信号(信号线选择信号)G2。

[0181] 另外,对于移位电路 SC $_i$ ($i = 3 \sim 2n-2$),节点 Q_{fi} 与移位电路 SC $_{(i-2)}$ 的节点 $Q_{o(i-2)}$ 相连接,节点 Q_{bi} 与移位电路 SC $_{(i+2)}$ 的节点 $Q_{o(i+2)}$ 相连接,若 i 为奇数,则节点 CL $_i$ 与第一清零线 CLRL1 相连接,若 i 为偶数,则节点 CL $_i$ 与第二清零线 CLRL2 相连接。另外,若 i 为 4 的倍数 +1,则节点 CKA $_i$ 与第一时钟线 CKL1 相连接,并且节点 CKB $_i$ 与第三时钟线 CKL3 相连接,若 i 为 4 的倍数 +2,则节点 CKA $_i$ 与第二时钟线 CKL2 相连接,并且节点 CKB $_i$ 与第四时钟线 CKL4 相连接,若 i 为 4 的倍数 +3,则节点 CKA $_i$ 与第三时钟线 CKL1 相连接,并且节点 CKB $_i$ 与第一时钟线 CKL3 相连接,若 i 为 4 的倍数,则节点 CKA $_i$ 与第四时钟线 CKL4 相连接,并且节点 CKB $_i$ 与第二时钟线 CKL2 相连接。而且,从节点 Q_{oi} 输出栅极导通脉冲信号(信号线选择信号)G $_i$ 。

[0182] 对于移位电路 SC(2n-1), 节点 Qf(2n-1) 与移位电路 SC(2n-3) 的节点 Qo(2n-3) 相连接, 节点 CKA(2n-1) 与第三时钟线 CKL3 相连接, 节点 CKB(2n-1) 与第一时钟线 CKL1 相连接, 节点 CL(2n-1) 与第一清零线 CLRL1 相连接, 从节点 Qo(2n-1) 输出栅极导通脉冲信号 (信号线选择信号)G(2n-1)。

[0183] 对于移位电路 SC(2n), 节点 Qf(2n) 与移位电路 SC(2n-2) 的节点 Qo(2n-2) 相连接, 节点 CKA(2n) 与第四时钟线 CKL4 相连接, 节点 CKB(2n) 与第二时钟线 CKL2 相连接, 节点 CL(2n) 与第二清零线 CLRL2 相连接, 从节点 Qo(2n) 输出栅极导通脉冲信号 (信号线选择信号)G(2n)。

[0184] 图 20(a) 是表示 SC_i (i = 1 ~ 2n-2) 的具体结构的电路图。如图 20(a) 所示, SC_i (i = 1 ~ 2n-2) 包含置位用晶体管 Tra、输出用晶体管 Trb、清零用晶体管 Trc、复位用晶体管 Trd、低电平电位提供用晶体管 Tre、以及电容 C。晶体管 Tra ~ Tre 分别是 N 沟道晶体管。

[0185] 此处, Trb 的源极端子与电容 C 的第一电极相连接, Tra 的栅极端子 (控制端子) 与漏极端子相连接, 并且 Tra 的源极端子与 Trb 的栅极端子和电容 C 的第二电极相连接。另外, Trc 的漏极端子与 Trb 的栅极端子相连接, 并且 Trc 的源极端子与低电位侧电源 V_{ss} 相连接。另外, Trd 的漏极端子与 Trb 的栅极端子相连接, 并且 Trd 的源极端子与低电位侧电源 V_{ss} 相连接。另外, Tre 的漏极端子与 Trb 的源极端子相连接, 并且 Tre 的源极端子与低电位侧电源 V_{ss} 相连接。而且, Tra 的栅极端子与节点 Qf_i 相连接, Trb 的漏极端子与节点 CKA_i 相连接, Tre 的栅极端子与节点 CKB_i 相连接, Trc 的栅极端子与节点 CL_i 相连接, Trd 的栅极端子与节点 Qb_i 相连接, Trb 的源极端子与节点 Qo_i 相连接。此外, 将 Tra 的源极端子、电容 C 的第二电极、以及 Trb 的栅极端子的连接点作为节点 netA_i。

[0186] 另外, 图 20(b) 是表示 SC_j (j = (2n-1) 或 2n) 的具体结构的电路图。如图 20(b) 所示, SC_j 包含置位用晶体管 Tra、输出用晶体管 Trb、清零用晶体管 Trc、电位提供用晶体管 Tre、以及电容 C。晶体管 Tra ~ Trc、Tre 分别是 N 沟道晶体管。

[0187] 此处, Trb 的源极端子与电容 C 的第一电极相连接, Tra 的栅极端子 (控制端子) 与漏极端子相连接, 并且 Tra 的源极端子与 Trb 的栅极端子和电容 C 的第二电极相连接。另外, Trc 的漏极端子与 Trb 的栅极端子相连接, 并且 Trc 的源极端子与低电位侧电源 V_{ss} 相连接。另外, Tre 的漏极端子与 Trb 的源极端子相连接, 并且 Tre 的源极端子与低电位侧电源 V_{ss} 相连接。而且, Tra 的栅极端子与节点 Qf_j 相连接, Trb 的漏极端子与节点 CKA_j 相连接, Tre 的栅极端子与节点 CKB_j 相连接, Trc 的栅极端子与节点 CL_j 相连接, Trb 的源极端子与节点 Qo_j 相连接。此外, 将 Tra 的源极端子、电容 C 的第二电极、以及的栅极端子的连接点作为节点 netA_j。

[0188] 此外, 移位电路 SC_i (i = 1 ~ 2n-2) 的各节点 (Qf_i、Qb_i、CKA_i、CKB_i、CL_i、Qo_i)、以及移位电路 SC_j (j = (2n-1) 或 2n) 的各节点 (Qf_j、CKA_j、CKB_j、CL_j、Qo_j) 的连接目标如图 19 所示。

[0189] 下面, 说明图 19 所示的移位寄存器 10f、10g 的动作。图 21 是表示同步信号无异常的情况下的垂直同步信号 VSYNC、栅极起始脉冲信号 GSP1、GSP2、第一时钟信号 CK1、第二时钟信号 CK2、第三时钟信号 CK3、第四时钟信号 CK4、栅极导通脉冲信号 G_i (i = 1 ~ 2n)、第一清零信号 CLR1、以及第二清零信号 CLR2 的各波形的时序图。此外, CK1 ~ CK4 各自在一个周期中的“H”期间为一个时钟期间, “L”期间为三个时钟期间, 当 CK1 下降时, CK2 同步

上升,当 CK2 下降时,CK3 同步上升,当 CK3 下降时,CK4 同步上升,当 CK4 下降时,CK1 同步上升。另外,GSP2 的上升沿是从 GSP1 的上升沿起经过一个时钟期间后。

[0190] 首先,在图 21 的 t0,若通过 GSP1 的激活而使 Qf1 的电位上升,则 SC1 的 Tra 导通,netA1 的电位从“L”变为“H”。因此,SC1 的 Trb 也导通,从而向 Qo1 输出 CK1。即,G1 保持“L”不变。

[0191] 在从 t0 起经过一个时钟期间后的 t1,GSP1 下降而变成“L”,但 netA1 的电位因 SC1 的电容 C 而维持在“H”,SC1 的 Trb 也保持导通。另外,在 t1,若通过 GSP2 的激活使得 Qf2 的电位上升,则 SC2 的 Tra 导通,netA2 的电位从“L”变为“H”。因此,SC2 的 Trb 也导通,从而向 Qo2 输出 CK2。即,G2 保持“L”不变。

[0192] 在从 t1 起经过一个时钟期间后的 t2,由于 CK1 上升,因此,G1 也被激活而变成“H”。此时,netA1 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G1 的激活使得 Qf3 的电位上升,则 SC3 的 Tra 导通,netA3 的电位从“L”变为“H”。因此,SC3 的 Trb 也导通,从而向 Qo3 输出 CK3。即,G3 保持“L”不变。另外,在 t2,GSP2 下降而变成“L”,但 netA2 的电位因 SC2 的电容 C 而维持在“H”,SC2 的 Trb 也保持导通。

[0193] 在从 t2 起经过一个时钟期间后的 t3,CK1 下降而变成“L”,netA1 的电位也变回“H”,但是由于 SC1 的 Trb 仍然导通,因此,持续向 Qo1 输出 CK1。因而,G1 从“H”变为“L”而变成不激活,并维持不激活的状态。此外,即使 G1 变成不激活而变为“L”,但 netA3 的电位因 SC3 的电容 C 而维持在“H”,从而 SC3 的 Trb 保持导通。另外,在 t3,由于 CK2 上升,因此,G2 也被激活而变成“H”。此时,netA2 的电位因电容 C 而被升压到高于“H”的电位。另外,在 t3,若通过 G2 的激活使 Qf4 的电位上升,则 SC4 的 Tra 导通,netA4 的电位从“L”变为“H”。因此,SC4 的 Trb 也导通,从而向 Qo4 输出 CK4。即,G4 保持“L”不变。

[0194] 在从 t3 起经过一个时钟期间后的 t4,由于 CK3 上升,因此,G3 也被激活而变成“H”。此时,netA3 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G3 的激活使 Qb1 的电位上升,则 SC1 的 Trd 导通,netA1 与 Vss 相连接,其电位从“H”变为“L”。因此,SC1 的 Trb 截止,不再向 Qo1 输出 CK1。另外,在 t4,由于 CK3 上升,因此 SC1 的 Tre 导通,Qo1 与 Vss 相连接,其电位降低到“L”(G1 被拉至“L”)。另外,在 t4,CK2 下降而变成“L”,netA2 的电位也变回“H”但是由于 SC2 的 Trb 仍然导通,因此,持续向 Qo2 输出 CK2。因而,G2 从“H”变为“L”而变成不激活,并维持不激活的状态。

[0195] 在从 t4 起经过一个时钟期间后的 t5,由于 CK4 上升,因此,G4 也被激活而变成“H”。此时,netA4 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G4 的激活使 Qb2 的电位上升,则 SC2 的 Trd 导通,netA2 与 Vss 相连接,其电位从“H”变为“L”。因此,SC2 的 Trb 截止,不再向 Qo2 输出 CK2。另外,在 t5,由于 CK4 上升,因此 SC2 的 Tre 导通,Qo2 与 Vss 相连接,其电位降低到“L”(G2 被拉至“L”)。另外,在 t5,CK3 下降而变成“L”,netA3 的电位也变回“H”,但是由于 SC3 的 Trb 仍然导通,因此,持续向 Qo3 输出 CK3。因而,G3 从“H”变为“L”而变成不激活,并维持不激活的状态。

[0196] 在从 t5 起经过一个时钟期间后的 t6,由于 CK1 上升,因此,G5 也被激活而变成“H”。此时,netA5 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G5 的激活使 Qb3 的电位上升,则 SC3 的 Trd 导通,netA3 与 Vss 相连接,其电位从“H”变为“L”。因此,SC3 的 Trb 截止,不再向 Qo3 输出 CK3。另外,在 t6,由于 CK1 上升,因此 SC3 的 Tre 导

通, Q_{o3} 与 V_{ss} 相连接, 其电位降低到“L” (G_3 被拉至“L”)。另外, 在 t_6 , CK_4 下降而变成“L”, $netA_4$ 的电位也变回“H”, 但是由于 SC_4 的 Trb 仍然导通, 因此, 持续向 Q_{o4} 输出 CK_4 。因而, G_4 从“H”变为“L”而变成不激活, 并维持不激活的状态。

[0197] 在从 t_6 起经过一个时钟期间后的 t_7 , 由于 CK_2 上升, 因此, G_6 也被激活而变成“H”。此时, $netA_6$ 的电位因电容 C 而被升压到高于“H”的电位。另一方面, 若通过 G_6 的激活而使 Q_{b4} 的电位上升, 则 SC_4 的 Trd 导通, $netA_4$ 与 V_{ss} 相连接, 其电位从“H”变为“L”。因此, SC_4 的 Trb 截止, 不再向 Q_{o4} 输出 CK_4 。另外, 在 t_7 , 由于 CK_2 上升, 因此 SC_4 的 Tre 导通, Q_{o4} 与 V_{ss} 相连接, 其电位降低到“L” (G_4 被拉至“L”)。

[0198] 而且, 在 t_x , 由于 CK_3 上升, 因此, $G(2n-1)$ 也被激活而变成“H”。此时, $netA(2n-1)$ 的电位因电容 C 而被升压到高于“H”的电位。

[0199] 另外, 在从 t_x 起经过一个时钟期间后的 t_y , 由于 CK_4 上升, 因此, $G(2n)$ 也被激活而变成“H”。此时, $netA(2n)$ 的电位因电容 C 而被升压到高于“H”的电位。另外, 在 t_y , CK_3 下降而变成“L”, $netA(2n-1)$ 的电位也变回“H”, 但是由于 $SC(2n-1)$ 的 Trb 仍然导通, 因此, 持续向 $Q_{o(2n-1)}$ 输出 CK_3 。因而, $G(2n-1)$ 从“H”变为“L”而变成不激活, 并维持不激活的状态。

[0200] 在从 t_y 起经过一个时钟期间后的 t_z , 由于第一清零信号 CLR_1 被激活而变成“H”, 因此 $SC(2n-1)$ 的 Trc 导通, $netA(2n-1)$ 与 V_{ss} 相连接, 其电位从“H”变为“L”。因此, $SC(2n-1)$ 的 Trb 截止, 不再向 $Q_{o(2n-1)}$ 输出 CK_3 。而且, 由于 CK_1 上升, 因此 $SC(2n-1)$ 的 Tre 导通, $Q_{o(2n-1)}$ 与 V_{ss} 相连接, 其电位降低到“L” ($G(2n-1)$ 被拉至“L”)。另外, 在 t_z , CK_4 下降而变成“L”, $netA(2n)$ 的电位也变回“H”, 但是由于 $SC(2n)$ 的 Trb 仍然导通, 因此, 持续向 $Q_{o(2n)}$ 输出 CK_4 。因而, $G(2n)$ 从“H”变为“L”而变成不激活, 并维持不激活的状态。

[0201] 在从 t_y 起经过一个时钟期间后的 t_w , 由于第二清零信号 CLR_2 被激活而变成“H”, 因此 $SC(2n)$ 的 Trc 导通, $netA(2n)$ 与 V_{ss} 相连接, 其电位从“H”变为“L”。因此, $SC(2n)$ 的 Trb 截止, 不再向 $Q_{o(2n)}$ 输出 CK_4 。而且, 由于 CK_2 上升, 因此 $SC(2n)$ 的 Tre 导通, $Q_{o(2n)}$ 与 V_{ss} 相连接, 其电位降低到“L” ($G(2n)$ 被拉至“L”)。

[0202] 由此, 在同步信号无异常的情况下, 在移位寄存器 $10f$ 中, 来自各移位电路 SC_i ($i = 1, 3, 5 \dots 2n-1$) 的栅极导通脉冲信号 G_i 依次被激活一定的期间, 从第一级的移位电路 SC_1 到最后一级的移位电路 $SC(2n-1)$ 依次输出脉冲 $P_1, P_3 \dots P(2n-1)$ 。另外, 在移位寄存器 $10g$ 中, 来自各移位电路 SC_i ($i = 2, 4, 6 \dots 2n$) 的栅极导通脉冲信号 G_i 依次被激活一定的期间, 从第一级的移位电路 SC_2 到最后一级的移位电路 $SC(2n)$ 依次输出脉冲 $P_1, P_2 \dots P(2n)$ 。

[0203] 图 22 是表示同步信号产生异常的情况下的垂直同步信号 $VSYNC$ 、栅极起始脉冲信号 GSP_1 、 GSP_2 、第一时钟信号 CK_1 、第二时钟信号 CK_2 、第三时钟信号 CK_3 、第四时钟信号 CK_4 、栅极导通脉冲信号 G_i ($i = 1 \sim 2n$)、第一清零信号 CLR_1 、以及第二清零信号 CLR_2 的各波形的时序图。

[0204] 图 22 的 $t_0 \sim t_3$ 期间内的移位寄存器 $10f$ 、 $10g$ 的动作与图 21 的相同。此处, 如图 22 所示, 在 $t_2 \sim t_3$ 的期间内, 垂直同步信号 $VSYNC$ 产生噪声而使 GSP_1 在不希望的定时 (t_3) 被激活, 使 GSP_2 在不希望的定时 (t_4) 被激活, 在这种情况下, 在 t_4 , 第一清零信号 CLR_1 被激活而变成“H”, 在 t_5 , 第二清零信号 CLR_2 被激活而变成“H”。因而, 在 t_4 , SC_3

的 Trc 导通, netA3 与 Vss 相连接, 其电位从“H”变为“L”。因此, SC3 的 Trb 截止, 不再向 Qo3 输出 CK3, G3 维持在“L”(不激活)。即, 从 SC3 不输出脉冲, 在它之后的 SC5、SC7、… SC(2n-1) 中, Trb 也不导通, 也不输出脉冲。另外, 在 t4, 由于 CK3 上升, 因此 SC1 的 Tre 导通, Qo1 与 Vss 相连接, 其电位降低到“L”(G1 被拉至“L”)。

[0205] 另外, 在 t5, SC4 的 Trc 导通, netA4 与 Vss 相连接, 其电位从“H”变为“L”。因此, SC4 的 Trb 截止, 不再向 Qo4 输出 CK4, G4 维持在“L”(不激活)。即, 从 SC4 不输出脉冲, 在它之后的 SC6、SC8、… SC(2n) 中, Trb 也不导通, 也不输出脉冲。另外, 在 t5, 由于 CK4 上升, 因此 SC2 的 Tre 导通, Qo2 与 Vss 相连接, 其电位降低到“L”(G2 被拉至“L”)。

[0206] 由此, 在该垂直扫描期间中, 来自移位寄存器 10f 的脉冲输出到 SC1 为止, 到下一个垂直扫描期间开始 (T0) 之前, 从各级 (SC1、SC3、… SC(2n-1)) 输出的栅极导通脉冲信号都维持在“L”(不激活)。另外, 来自移位寄存器 10g 的脉冲输出到 SC2 为止, 到下一个垂直扫描期间开始 (T0) 之前, 从各级 (SC2、SC4、SC(2n)) 输出的栅极导通脉冲信号都维持在“L”(不激活)。

[0207] 由此, 根据实施方式 2, 由于在同步信号 (VSYNC、HSYNC、或 DE) 产生异常的情况下, 第一清零信号 CLR1 和第二清零信号 CLR2 变为“H”(激活), 之后, 到下一个垂直扫描期间开始之前, 来自各移位寄存器 (10f、10g) 的脉冲输出停止, 因此能够抑制显示混乱和对电源负荷增大。

[0208] 此外, 在图 19 所示的移位寄存器 10f、10g 中, 也可以将 GSP1 和 GSP2 作为公共的栅极起始脉冲信号。在这种情况下, 例如图 21 中使 GSP1 和 GSP2 分别在 t0 变为“H”(激活)。另外, 也可以将 CLR1 和 CLR2 作为公共的清零信号。在这种情况下, 例如图 21 中使 GLR1 和 GLR2 分别在 tw 变为“H”(激活), 在图 22 中使 GLR1 和 GLR2 分别在 t5 变为“H”(激活)。

[0209] 此外, 上述的说明中对因 VSYNC 的异常而导致清零信号被激活的情况进行了说明, 当然在 HSYNC 或 DE 产生异常的情况下, 也会导致清零信号被激活。

[0210] 实施方式 3

[0211] 下面, 基于图 24 ~ 图 36, 说明实施方式 3。

[0212] 图 24 是表示本液晶显示装置的结构框图。如图 24 所示, 本液晶显示装置 101 包括液晶面板 103、栅极驱动器 105、源极驱动器 106、定时控制器 107、以及数据处理电路 108。栅极驱动器 105 中设有移位寄存器 110 和电平移位器 104, 利用栅极驱动器 105 和定时控制器 107 构成液晶面板驱动电路 111。此外, 本实施方式中, 电平移位器 104 采用包含在栅极驱动器 105 内的结构, 但也可以设置在栅极驱动器 105 的外部。

[0213] 在本液晶面板 103 中, 设置有由栅极驱动器 105 驱动的扫描信号线 16、由源极驱动器 106 驱动的数据信号线 15、像素 P、保持电容布线 (未图示) 等, 并且移位寄存器 110 形成单片。在各像素 P 中, 设置有与扫描信号线 16 及数据信号线 15 相连接的晶体管 (TFT)、和与该晶体管相连接的像素电极。此外, 为了形成各像素的晶体管或移位寄存器的晶体管, 使用非晶硅或多晶硅 (例如 CG 硅) 等。

[0214] 从液晶显示装置 101 的外部向定时控制器 107 输入作为同步信号的垂直同步信号 VSYNC、水平同步信号 HSYNC、以及数据使能信号 DE。另外, 从液晶显示装置 101 的外部向数据处理电路 108 输入视频数据 (RGB 数字数据)。定时控制器 107 利用各同步信号, 生成多个源时钟信号 (ck1、ck2 等)、源清零信号 (clr)、源栅极起始脉冲信号 (gsp)。而且, 源时钟

信号 (ck1、ck2 等)、源清零信号 (clr)、以及源栅极起始脉冲信号 (gsp) 经电平移位器 106 进行电平移位, 分别成为时钟信号 (CK1、CK2 等)、清零信号 (CLR)、以及栅极起始脉冲信号 (GSP)。另外, 定时控制器 107 基于所输入的同步信号 (VSYNC、HSYNC、以及 DE), 向数据处理电路 108 输出控制信号, 并且向源极驱动器 106 输出源极定时信号。

[0215] 将时钟信号 (CKA、CKB 等)、清零信号 (CLR)、以及栅极起始脉冲信号 (GSP) 输入到移位寄存器 110。清零信号 (CLR) 是用于对最后一级进行复位的信号, 在最后一级输出脉冲后变为“H”(激活)。移位寄存器 110 使用这些信号 (CKA、CKB 等、CLR、GSP), 生成栅极导通脉冲信号, 并将其输出到液晶面板 103 的扫描信号线。移位寄存器 110 由生成栅极导通脉冲信号的移位电路级联连接而构成, 使各级 (移位电路) 的栅极导通脉冲信号依次激活一定的期间, 从第一级到最后一级依次输出脉冲 (导通脉冲)。然后, 在液晶面板 103 中, 利用该脉冲依次选择扫描信号线。

[0216] 数据处理电路 108 对视频数据实施预定的处理, 基于来自定时控制器 107 的控制信号, 向源极驱动器 106 输出数据信号。源极驱动器 106 使用来自数据处理电路 108 的数据信号和来自定时控制器 107 的源极定时信号, 生成信号电位, 并将其输出到液晶面板 103 的数据信号线。将该信号电位通过各像素的晶体管写入到该像素的像素电极。

[0217] 图 25 中示出本实施方式所涉及的移位寄存器 110a 的结构。如图 25 所示, 移位寄存器 110a 由多个移位电路 (单位电路) SC1、SC2、… SCm 级联连接而构成, 移位电路 SCi ($i = 1, 2, 3 \dots m-1$) 包括输入用的节点 Qfi、Qbi、CKAi、以及输出用的节点 Qoi, 移位电路 SCm 包括输入用的节点 Qfm、CKAm、CLm、以及输出用的节点 Qom。

[0218] 此处, 对于移位电路 SC1, 节点 Qf1 与电平移位器 (参照图 24) 的 GSP 输出端 R0 相连接, 节点 Qb1 与移位电路 SC2 的节点 Qo2 相连接, 节点 CKA1 与提供第一时钟信号的第一时钟线 CKL1 相连接, 从节点 Qo1 输出栅极导通脉冲信号 (信号线选择信号) G1。

[0219] 另外, 对于移位电路 SCi ($i = 2 \sim m-1$), 节点 Qfi 与移位电路 SC(i-1) 的节点 Qo(i-1) 相连接, 节点 Qbi 与移位电路 SC(i+1) 的节点 Qo(i+1) 相连接, 若 i 为奇数, 则节点 CKAi 与第一时钟线 CKL1 相连接, 若 i 为偶数, 则节点 CKAi 与第二时钟线 CKL2 相连接, 从节点 Qoi 输出栅极导通脉冲信号 (信号线选择信号) Gi。

[0220] 而且, 对于移位电路 SCm, 节点 Qfm 与移位电路 SC(m-1) 的节点 Qo(m-1) 相连接, 节点 CKAm 与第二时钟线 CKL2 相连接, 节点 CLm 与上述清零线 CLRL 相连接, 从节点 Qom 输出栅极导通脉冲信号 (信号线选择信号) Gm。

[0221] 图 26(a) 是表示 SCi ($i = 1 \sim m-1$) 的具体结构的电路图。如图 26(a) 所示, SCi ($i = 1 \sim m-1$) 包含置位用晶体管 Tra、输出用晶体管 Trb、复位用晶体管 Trd、以及电容 C。各晶体管是 N 沟道晶体管。

[0222] 此处, Trb 的源极端子与电容 C 的第一电极相连接, Tra 的栅极端子 (控制端子) 与漏极端子相连接, 并且 Tra 的源极端子与 Trb 的栅极端子和电容 C 的第二电极相连接。另外, Trd 的漏极端子与 Trb 的栅极端子相连接, 并且 Trd 的源极端子与低电位侧电源 Vss 相连接。而且, Tra 的栅极端子与节点 Qfi 相连接, Trb 的漏极端子与节点 CKAi 相连接, Trc 的栅极端子与节点 CLi 相连接, Trd 的栅极端子与节点 Qbi 相连接, Trb 的源极端子与节点 Qoi 相连接。此外, 将 Tra 的源极端子、电容 C 的第二电极、以及 Trb 的栅极端子的连接点作为节点 netBi。

[0223] 另外,图 26(b) 是表示 SC_m 的具体结构的电路图。如图 26(b) 所示,SC_m 包含置位用晶体管 Tra、输出用晶体管 Trb、用于对最后一级进行复位而设置的清零用晶体管 Trc、以及电容 C。各晶体管分别是 N 沟道晶体管,电容 C 也可以是寄生电容。此处,Trb 的源极端子与电容 C 的第一电极相连接, Tra 的栅极端子(控制端子)与漏极端子相连接,并且 Tra 的源极端子与 Trb 的栅极端子和电容 C 的第二电极相连接。另外,Trc 的漏极端子与 Trb 的栅极端子相连接,并且 Trc 的源极端子与低电位侧电源 V_{ss} 相连接。而且, Tra 的栅极端子与节点 Q_{fm} 相连接, Trb 的漏极端子与节点 CK_{Am} 相连接, Trc 的栅极端子与节点 CL_m 相连接, Trb 的源极端子与节点 Q_{om} 相连接。此外,将 Tra 的源极端子、电容 C 的第二电极、以及 Trb 的栅极端子的连接点作为节点 net_{Bm}。

[0224] 此外,移位电路 SC_i ($i = 1 \sim m-1$) 的各节点(Q_{fi}、Q_{bi}、CK_{Ai}、Q_{oi})、以及移位电路 SC_m 的各节点(Q_{fm}、CK_{Am}、CL_m、Q_{om}) 的连接目标如图 25 所示,本移位寄存器 110a 整体的具体结构如图 27 所示。

[0225] 下面,说明图 27 所示的移位寄存器 110a 的动作。图 28 是表示垂直同步信号 VSYNC、栅极起始脉冲信号 GSP、第一时钟信号 CK1、第二时钟信号 CK2、栅极导通脉冲信号 G_i ($i = 1 \sim m$)、以及清零信号(CLR) 的各波形的时序图。此外,第一时钟信号 CK1 及第二时钟信号 CK2 在一个周期中“H”(激活)期间都为三个时钟期间,“L”(不激活)期间都为三个时钟期间,当 CK1 和 CK2 的其中一方不激活(下降)时,另一方延迟一个时钟期间而激活(上升)。但是,这只是第一时钟信号 CK1 和第二时钟信号 CK2 的一个例子,若有两个时钟信号都变为“L”的期间,则“H”期间和“L”期间可以任意地设定。

[0226] 首先,在图 28 的 t₀,若通过 GSP 的激活而使 Q_{f1} 的电位上升,则 SC₁ 的 Tra 导通, net_{B1} 的电位从“L”变为“H”。因此, SC₁ 的 Trb 也导通,从而向 Q_{o1} 输出 CK₁。即, G₁ 保持“L”不变。在从 t₀ 起经过一个时钟期间后的 t₁, GSP 下降(使其变成不激活)而变成“L”,但由于 SC₁ 的电容 C, net_{B1} 的电位维持在“H”,从而使得 SC₁ 的 Trb 也仍保持导通。

[0227] 在从 t₁ 起经过一个时钟期间后的 t₂,由于 CK₁ 上升(被激活),因此, G₁ 也被激活而变成“H”。此时, net_{B1} 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G₁ 的激活而使 Q_{f2} 的电位上升,则 SC₂ 的 Tra 导通, net_{B2} 的电位从“L”变为“H”。因此, SC₂ 的 Trb 也导通,从而向 Q_{o2} 输出 CK₂。即, G₂ 保持“L”不变。

[0228] 在从 t₂ 起经过一个时钟期间后的 t₃, CK₁ 下降而变成“L”, net_{B1} 的电位也变回“H”,但是由于 SC₁ 的 Trb 仍然导通,因此,持续向 Q_{o1} 输出 CK₁。即, G₁ 从“H”变为“L”而变成不激活,并维持不激活的状态。此外,即使 G₁ 变成不激活而变成“L”,但 net_{B2} 的电位因 SC₂ 的电容 C 而维持在“H”,从而 SC₃ 的 Trb 仍保持导通。

[0229] 在从 t₃ 起经过一个时钟期间后的 t₄,由于 CK₂ 上升,因此, G₂ 也被激活而变成“H”。此时, net_{B2} 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G₂ 的激活使 Q_{b1} 的电位上升,则 SC₁ 的 Trd 导通, net_{B1} 与 V_{ss} 相连接,其电位从“H”变为“L”。因此, SC₁ 的 Trb 截止,不再向 Q_{o1} 输出 CK₁。

[0230] 在从 t₄ 起经过一个时钟期间后的 t₅, CK₂ 下降而变成“L”, net_{B2} 的电位也变回“H”,但是由于 SC₂ 的 Trb 仍然导通,因此,持续向 Q_{o2} 输出 CK₂。即, G₂ 从“H”变为“H”而变成不激活,并维持不激活的状态。

[0231] 而且,在 t_x,由于 CK₂ 上升,因此, G_m 也被激活而变成“H”。此时, net_{Bm} 的电位因

电容 C 而被升压到高于“H”的电位。

[0232] 在从 t_x 起经过一个时钟期间后的 t_y , CK2 下降而变成“L”, netBm 的电位也变回“H”,但是由于 SCm 的 Trb 仍然导通,因此,持续向 Qom 输出 CK2。即, Gm 从“H”变为“L”而变成不激活,并维持不激活的状态。

[0233] 在从 t_y 起经过一个时钟期间后的 t_z , CK2 维持在“L”,但由于清零信号 CLR 被激活而变成“H”,因此, SCm 的 Trc 导通, netBm 与 Vss 相连接,其电位从“H”变为“L”。因此, SCm 的 Trb 截止,不再向 Qom 输出 CK2。

[0234] 此外,图 28 中,是在 t_z (从 Gm 下降起经过一个时钟期间后) 激活清零信号 CLR,但并不限于此。例如,也可以在 $t_y \sim t_z$ 期间 (不包含 t_y) 内激活清零信号 CLR。但是,在 t_y 不激活清零信号 CLR。这是由于,这样能使 Gm 维持“H”(激活)的状态。

[0235] 由此,在移位寄存器 110a 中,来自各移位电路 SCi ($i = 1 \sim m$) 的栅极导通脉冲信号 Gi 依次被激活一定的期间,从第一级的移位电路 SC1 到最后一级的移位电路 SCm 依次输出脉冲 P1 ~ Pm。而且,由于最后一级 (单位电路 SCm) 利用清零信号进行复位,因此,能够省略现有那样的虚拟级 (虚拟移位电路),能够缩小电路面积。

[0236] 此外,也能够将图 27 的移位寄存器 110a 构成为如图 29 所示那样的移位寄存器 110b。移位寄存器 110b 中,在移位寄存器 110a 的结构的基础上,还在最后一级的移位电路 SCm 设有 N 沟道的低电平电位提供用晶体管 Tre。晶体管 Tre 的源极端子与低电位侧电源相连接,其漏极端子与节点 Qom 相连接,其栅极端子与节点 CLm 相连接。

[0237] 若采用移位寄存器 110b 的结构,则可以通过清零信号 CLR 的激活来使 Gm 下降。因而,如图 30 所示,在 t_y ,能够与 Gm 的下降 (变成不激活) 同步地激活清零信号 CLR。

[0238] 此外,也能够将图 27 的移位寄存器 110a 构成为如图 31 所示那样的移位寄存器 110c。移位寄存器 110c 中,在移位寄存器 110a 的结构的基础上,还在移位电路 SCi ($i = 1 \sim m-1$) 设有 N 沟道的低电平电位提供用晶体管 Tre。晶体管 Tre 的源极端子与低电位侧电源相连接,其漏极端子与节点 Qoi 相连接,其栅极端子与节点 Qbi 相连接。

[0239] 下面,说明图 31 所示的移位寄存器 110c 的动作。图 32 是表示垂直同步信号 VSYNC、栅极起始脉冲信号 GSP、第一时钟信号 CK1、第二时钟信号 CK2、栅极导通脉冲信号 Gi ($i = 1 \sim m$)、以及清零信号 (CLR) 的各波形的时序图。此外,第一时钟信号 CK1 及第二时钟信号 CK2 在一个周期中的“H”(激活)期间都为一个时钟期间,“L”(不激活)期间都为一个时钟期间,当 CK1 和 CK2 的其中一方下降时,另一方同步地上升。

[0240] 首先,在图 32 的 t_0 ,若通过 GSP 的激活而使 Qf1 的电位上升,则 SC1 的 Tra 导通, netB1 的电位从“L”变为“H”。因此, SC1 的 Trb 也导通,从而向 Qo1 输出 CK1。即, G1 保持“L”不变。

[0241] 在从 t_0 起经过一个时钟期间后的 t_1 , GSP 下降 (变成不激活) 而变成“L”,但由于 SC1 的电容 C, netB1 的电位并不下降,从而 SC1 的 Trb 也仍保持导通。即, CK1 的上升使 G1 也被激活而变成“H”。此时, netB1 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G1 的激活而使 Qf2 的电位上升,则 SC2 的 Tra 导通, netB2 的电位从“L”变为“H”。因此, SC2 的 Trb 也导通,不再向 Qo2 输出 CK2, G2 维持在“L”。

[0242] 在从 t_1 起经过一个时钟期间后的 t_2 ,由于 CK2 上升,因此, G2 也被激活而变成“H”。此时, netB2 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G2 的激

活使 Qb1 的电位上升,则 SC1 的 Trd 导通,netB1 与 Vss 相连接,其电位从“H”变为“L”。因此,SC1 的 Trb 截止,不再向 Qo1 输出 CK1。另外,若通过 G2 的激活而使 Qb1 的电位上升,则 SC1 的 Tre 导通, Qo1 与 Vss 相连接,其电位从“H”变为“L”。即, G1 从“H”变为“L”而变成不激活,并维持不激活的状态。此外,即使 G1 变成不激活而变成“L”,但 netB2 的电位因 SC2 的电容 C 而维持,从而 SC2 的 Trb 仍然保持导通。另外,若通过 G2 的激活使 Qf3 的电位上升,则 SC3 的 Tra 导通, netB3 的电位从“L”变为“H”。因此, SC3 的 Trb 也导通,从而向 Qo3 输出 CK1。即, G3 保持“L”不变。

[0243] 在从 t₂ 起经过一个时钟期间后的 t₃,由于 CK1 上升,因此, G3 也被激活而变成“H”。另一方面,若通过 G3 的激活使 Qb2 的电位上升,则 SC2 的 Trd 导通, netB2 与 Vss 相连接,其电位从“H”变为“L”。因此, SC2 的 Trb 截止,不再向 Qo2 输出 CK2。另外,若通过 G3 的激活而使 Qb2 的电位上升,则 SC2 的 Tre 导通, Qo2 与 Vss 相连接,其电位从“H”变为“L”。即, G2 从“H”变为“L”而变成不激活,并维持不激活的状态。

[0244] 而且,在 t_x,由于 CK2 上升,因此, G_m 也被激活而变成“H”。此时, netB_m 的电位因电容 C 而被升压到高于“H”的电位。

[0245] 在从 t_x 起经过一个时钟期间后的 t_y, CK2 下降而变成“L”, netB_m 的电位也变回“H”,但是由于 SC_m 的 Trb 仍然导通,因此,持续向 Q_{om} 输出 CK2。即, G_m 从“H”变为“L”而变成不激活,并维持不激活的状态。

[0246] 在从 t_y 起经过一个时钟期间后的 t_z,由于清零信号 CLR 被激活而变成“H”,因此, SC_m 的 Trc 导通, netB_m 与 Vss 相连接,其电位从“H”变为“L”。因此, SC_m 的 Trb 截止,不再向 Q_{om} 输出 CK2。

[0247] 此外,图 32 中,是在 t_z (从 G_m 下降起经过一个时钟期间后) 激活清零信号 CLR,但并不限于此。例如,也可以在 t_y ~ t_z 期间 (不包含 t_y) 内激活清零信号 CLR。但是,在 t_y 不激活清零信号 CLR。这是由于,这样能使 G_m 维持“H” (激活) 的状态。

[0248] 由此,在移位寄存器 110b 中,来自各移位电路 SC_i (i = 1 ~ m) 的栅极导通脉冲信号 G_i 依次被激活一定的期间,从第一级的移位电路 SC1 到最后一级的移位电路 SC_m 依次输出脉冲。

[0249] 此外,也能够将图 31 的移位寄存器 110c 构成为如图 33 所示那样的移位寄存器 110d。移位寄存器 110d 中,在移位寄存器 110c 的结构的基础上,还在最后一级的移位电路 SC_m 设有 N 沟道的晶体管 Tre。晶体管 Tre 的源极端子与低电位侧电源相连接,其漏极端子与节点 Q_{om} 相连接,其栅极端子与节点 CL_m 相连接。

[0250] 若采用移位寄存器 110d 的结构,则可以通过清零信号 CLR 的激活来使 G_m 下降。因而,如图 34 所示,在 t_y,能够与 G_m 的下降 (变成不激活) 同步地激活清零信号 CLR。

[0251] 此外,也能够将图 27 的移位寄存器 110a 构成为如图 35 所示那样的移位寄存器 110e。移位寄存器 110e 中,在移位寄存器 110a 的结构的基础上,还在移位电路 SC_i (i = 1 ~ m) 设有 N 沟道的晶体管 Tre。晶体管 Tre 的源极端子与低电位侧电源相连接,其漏极端子与节点 Q_{oi} 相连接,其栅极端子与第一时钟线 CKL1 或第二时钟线 CKL2 相连接。此外,若 i 为奇数,则移位电路 SC_i 的晶体管 Tre 的栅极端子与第二时钟线 CKL2 相连接,若 i 为偶数,则晶体管 Tre 的栅极端子与第一时钟线 CKL1 相连接。

[0252] 下面,说明图 35 所示的移位寄存器 110e 的动作。图 36 是表示垂直同步信号

VSYNC、栅极起始脉冲信号 GSP、第一时钟信号 CK1、第二时钟信号 CK2、栅极导通脉冲信号 G_i ($i = 1 \sim m$)、以及清零信号 (CLR) 的各波形的时序图。此外,第一时钟信号 CK1 及第二时钟信号 CK2 在一个周期中的“H”(激活)期间都为时钟期间,“L”(不激活)期间都为时钟期间,当 CK1 和 CK2 的其中一方下降时,另一方同步地上升。

[0253] 首先,在图 36 的 t_0 ,若通过 GSP 的激活而使 Qf1 的电位上升,则 SC1 的 Tra 导通,netB1 的电位从“L”变为“H”。因此,SC1 的 Trb 也导通,从而向 Qo1 输出 CK1。

[0254] 在从 t_0 起经过一个时钟期间后的 t_1 ,GSP 下降(变成不激活)而变成“L”,但由于 SC1 的电容 C,netB1 的电位并不下降,从而 SC1 的 Trb 也仍保持导通。因此,CK1 的上升使 G1 也被激活而变成“H”。此时,netB1 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G1 的激活而使 Qf2 的电位上升,则 SC2 的 Tra 导通,netB2 的电位从“L”变为“H”。因此,SC2 的 Trb 也导通,从而向 Qo2 输出 CK2。即,G2 保持“L”不变。

[0255] 在从 t_1 起经过一个时钟期间后的 t_2 ,由于 CK2 上升,因此,G2 也被激活而变成“H”。此时,netB2 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G2 的激活使 Qb1 的电位上升,则 SC1 的 Trd 导通,netB1 与 Vss 相连接,其电位从“H”变为“L”。因此,SC1 的 Trb 截止,不再向 Qo1 输出 CK1。在 t_2 ,由于 CK2 上升,因此 SC1 的 Tre 导通,Qo1 与 Vss 相连接,其电位从“H”变为“L”。因此,G1 从“H”变为“L”而变成不激活,并维持不激活的状态。此外,即使 G1 变成不激活而变成“L”,但 netB2 的电位因 SC2 的电容 C 而维持,从而 SC2 的 Trb 仍然保持导通。另外,若通过 G2 的激活使 Qf3 的电位上升,则 SC3 的 Tra 导通,netB3 的电位从“L”变为“H”。因此,SC3 的 Trb 也导通,从而向 Qo3 输出 CK1。即,G3 保持“L”不变。

[0256] 在从 t_2 起经过一个时钟期间后的 t_3 ,由于 CK1 上升,因此,G3 也被激活而变成“H”。另一方面,若通过 G3 的激活使 Qb2 的电位上升,则 SC2 的 Trd 导通,netB2 与 Vss 相连接,其电位从“H”变为“L”。因此,SC2 的 Trb 截止,不再向 Qo2 输出 CK2。在 t_3 ,由于 CK1 上升,因此 SC2 的 Tre 导通,Qo2 与 Vss 相连接,其电位从“H”变为“L”。因此,G2 从“H”变为“L”而变成不激活,并维持不激活的状态。

[0257] 此外,在移位寄存器 110e 中,在 $t_4 \sim t_5$ 及 $t_6 \sim t_7$,由于 CK2 变成“H”,因此,SC1 的 Tre 导通,Qo1 与 Vss 相连接,能使 G1 再次降低到“L”(所谓的拉至“L”)。同样,在 $t_5 \sim t_6$,由于 CK1 变为“H”,因此,SC2 的 Tre 导通,Qo2 与 Vss 相连接,能够使 G2 再次降低到“L”(拉至“L”)。

[0258] 而且,在 t_x ,由于 CK2 上升,因此,Gm 也被激活而变成“H”。此时,netBm 的电位因电容 C 而被升压到高于“H”的电位。

[0259] 在从 t_x 起经过一个时钟期间后的 t_y ,由于清零信号 CLR 被激活而变成“H”,因此,SCm 的 Trc 导通,netBm 与 Vss 相连接,其电位降低到“L”。因此,SCm 的 Trb 截止,不再向 Qom 输出 CK2。而且,在 t_y ,由于 CK1 上升,因此,SCm 的 Tre 导通,Qom 与 Vss 相连接。因此,Gm 变成不激活而变为“L”。

[0260] 此外,图 36 中,是在 t_y 激活清零信号 CLR,但并不限于此。例如,也可以在 $t_y \sim t_z$ 期间(包含 t_y 及 t_z)内激活清零信号 CLR。

[0261] 由此,在移位寄存器 110e 中,来自各移位电路 SCi ($i = 1 \sim m$) 的栅极导通脉冲信号 G_i 依次被激活一定的期间,从第一级的移位电路 SC1 到最后一级的移位电路 SCm 依次输

出脉冲。而且,由于最后一级(单位电路 SC_m)利用清零信号进行复位,因此,能够省略现有那样的虚拟级(虚拟移位电路),能够缩小电路面积。

[0262] 实施方式 4

[0263] 下面,基于图 37~图 39,说明实施方式 4。图 37 中示出本实施方式所涉及的液晶面板的结构。如图 37 所示,本液晶面板中,在面板的左端设有移位寄存器 110f,在面板的右端设有移位寄存器 110g。移位寄存器 110f 由多个移位电路 SC_i ($i = 1, 3, 5 \dots 2n+1$) 级联连接而构成,移位寄存器 110g 由移位电路 SC_i ($i = 2, 4, 6 \dots 2n$) 级联连接而构成。移位电路 SC_i ($i = 1, 2, 3 \dots 2n-2$) 包括输入用的节点 Q_{fi}、Q_{bi}、CKA_i、CKB_i、以及输出用的节点 Q_{oi},移位电路 SC_(2n-1) 包括输入用的节点 Q_{f(2n-1)}、CKA_(2n-1)、CKB_(2n-1)、CL_(2n-1)、以及输出用的节点 Q_{o(2n-1)}。另外,移位电路 SC_(2n) 包括输入用的节点 Q_{f(2n)}、CKA_(2n)、CKB_(2n)、CL_(2n)、以及输出用的节点 Q_{o(2n)}。

[0264] 此处,对于移位电路 SC₁,节点 Q_{f1} 与电平移位器的 GSP1 的输出端 R01 相连接,节点 Q_{b1} 与移位电路 SC₃ 的节点 Q_{o3} 相连接,节点 CKA₁ 与提供第一时钟信号的第一时钟线 CKL₁ 相连接,节点 CKB₁ 与提供第三时钟信号的第三时钟线 CKL₃ 相连接,从节点 Q_{o1} 输出栅极导通脉冲信号(信号线选择信号)G₁。

[0265] 另外,对于移位电路 SC₂,节点 Q_{f2} 与电平移位器的 GSP2 的输出端 R02 相连接,节点 Q_{b2} 与移位电路 SC₄ 的节点 Q_{o4} 相连接,节点 CKA₂ 与提供第二时钟信号的第二时钟线 CKL₂ 相连接,节点 CKB₂ 与提供第四时钟信号的第四时钟线 CKL₄ 相连接,从节点 Q_{o2} 输出栅极导通脉冲信号(信号线选择信号)G₂。

[0266] 另外,对于移位电路 SC_i ($i = 3 \sim 2n-2$),节点 Q_{fi} 与移位电路 SC_(i-2) 的节点 Q_{o(i-2)} 相连接,节点 Q_{bi} 与移位电路 SC_(i+2) 的节点 Q_{o(i+2)} 相连接。另外,若 i 为 4 的倍数 +1,则节点 CKA_i 与第一时钟线 CKL₁ 相连接,并且节点 CKB_i 与第三时钟线 CKL₃ 相连接,若 i 为 4 的倍数 +2,则节点 CKA_i 与第二时钟线 CKL₂ 相连接,并且节点 CKB_i 与第四时钟线 CKL₄ 相连接,若 i 为 4 的倍数 +3,则节点 CKA_i 与第三时钟线 CKL₁ 相连接,并且节点 CKB_i 与第一时钟线 CKL₃ 相连接,若 i 为 4 的倍数,则节点 CKA_i 与第四时钟线 CKL₄ 相连接,并且节点 CKB_i 与第二时钟线 CKL₂ 相连接。而且,从节点 Q_{oi} 输出栅极导通脉冲信号(信号线选择信号)G_i。

[0267] 对于移位电路 SC_(2n-1),节点 Q_{f(2n-1)} 与移位电路 SC_(2n-3) 的节点 Q_{o(2n-3)} 相连接,节点 CKA_(2n-1) 与第三时钟线 CKL₃ 相连接,节点 CKB_(2n-1) 与第一时钟线 CKL₁ 相连接,节点 CL_(2n-1) 与第一清零线 CLRL₁ 相连接,从节点 Q_{o(2n-1)} 输出栅极导通脉冲信号(信号线选择信号)G_(2n-1)。

[0268] 对于移位电路 SC_(2n),节点 Q_{f(2n)} 与移位电路 SC_(2n-2) 的节点 Q_{o(2n-2)} 相连接,节点 CKA_(2n) 与第四时钟线 CKL₄ 相连接,节点 CKB_(2n) 与第二时钟线 CKL₂ 相连接,节点 CL_(2n) 与第二清零线 CLRL₂ 相连接,从节点 Q_{o(2n)} 输出栅极导通脉冲信号(信号线选择信号)G_(2n)。

[0269] 图 38(a) 是表示 SC_i ($i = 1 \sim 2n-2$) 的具体结构的电路图。如图 38(a) 所示,SC_i ($i = 1 \sim 2n-2$) 包含置位用晶体管 Tra、输出用晶体管 Trb、复位用晶体管 Trd、低电平电位提供用晶体管 Tre、以及电容 C。各晶体管是 N 沟道晶体管。

[0270] 此处,Trb 的源极端子与电容 C 的第一电极相连接,Tra 的栅极端子(控制端子)

与漏极端子相连接,并且 Tra 的源极端子与 Trb 的栅极端子和电容 C 的第二电极相连接。另外,Trd 的漏极端子与 Trb 的栅极端子相连接,并且 Trd 的源极端子与低电位侧电源 Vss 相连接。另外,Tre 的漏极端子与 Trb 的源极端子相连接,并且 Tre 的源极端子与低电位侧电源 Vss 相连接。而且,Tra 的栅极端子与节点 Qfi 相连接,Trb 的漏极端子与节点 CKAi 相连接, Tre 的栅极端子与节点 CKBi 相连接, Trc 的栅极端子与节点 CLi 相连接, Trd 的栅极端子与节点 Qbi 相连接, Trb 的源极端子与节点 Qoi 相连接。此外,将 Tra 的源极端子、电容 C 的第二电极、以及 Trb 的栅极端子的连接点作为节点 netBi。

[0271] 另外,图 38(b) 是表示 SCj(j = (2n-1) 或 2n) 的具体结构的电路图。如图 38(b) 所示,SCj 包含置位用晶体管 Tra、输出用晶体管 Trb、用于对最后一级进行复位而设置的清零用晶体管 Trc、低电平电位提供用晶体管 Tre、以及电容 C。各晶体管是 N 沟道晶体管。

[0272] 此处,Trb 的源极端子与电容 C 的第一电极相连接, Tra 的栅极端子(控制端子)与漏极端子相连接,并且 Tra 的源极端子与 Trb 的栅极端子和电容 C 的第二电极相连接。另外,Trc 的漏极端子与 Trb 的栅极端子相连接,并且 Trc 的源极端子与低电位侧电源 Vss 相连接。另外,Tre 的漏极端子与 Trb 的源极端子相连接,并且 Tre 的源极端子与低电位侧电源 Vss 相连接。而且,Tra 的栅极端子与节点 Qfj 相连接,Trb 的漏极端子与节点 CKAj 相连接, Tre 的栅极端子与节点 CKBj 相连接, Trc 的栅极端子与节点 CLj 相连接, Trb 的源极端子与节点 Qoj 相连接。此外,将 Tra 的源极端子、电容 C 的第二电极、以及 Trb 的栅极端子的连接点作为节点 netBj。

[0273] 此外,移位电路 SCi(i = 1 ~ 2n-2) 的各节点(Qfi、Qbi、CKAi、CKBi、Qoi) 及移位电路 SCj(j = (2n-1) 或 2n) 的各节点(Qfj、CKAj、CKBj、CLj、Qoj) 的连接目标如图 37 所示。

[0274] 下面,说明图 37 所示的移位寄存器 110f、110g 的动作。图 39 是表示垂直同步信号 VSYNC、栅极起始脉冲信号 GSP1、GSP2、第一时钟信号 CK1、第二时钟信号 CK2、第三时钟信号 CK3、第四时钟信号 CK4、栅极导通脉冲信号 Gi(i = 1 ~ 2n)、第一清零信号 CLR1、以及第二清零信号 CLR2 的各波形的时序图。此外,CK1 ~ CK4 各自在一个周期中的“H”期间为一个时钟期间,“L”期间为三个时钟期间,当 CK1 下降时,CK2 同步上升,当 CK2 下降时,CK3 同步上升,当 CK3 下降时,CK4 同步上升,当 CK4 下降时,CK1 同步上升。另外,GSP2 的上升沿是从 GSP1 的上升沿起经过一个时钟期间后。

[0275] 首先,在图 39 的 t0,若通过 GSP1 的激活而使 Qf1 的电位上升,则 SC1 的 Tra 导通, netB1 的电位从“L”变为“H”。因此,SC1 的 Trb 也导通,从而向 Qo1 输出 CK1。即,G1 保持“L”不变。

[0276] 在从 t0 起经过一个时钟期间后的 t1,GSP1 下降而变成“L”,但 netB1 的电位因 SC1 的电容 C 而维持在“H”, SC1 的 Trb 也保持导通。另外,在 t1,若通过 GSP2 的激活使得 Qf2 的电位上升,则 SC2 的 Tra 导通, netB2 的电位从“L”变为“H”。因此, SC2 的 Trb 也导通,从而向 Qo2 输出 CK2。即,G2 保持“L”不变。

[0277] 在从 t1 起经过一个时钟期间后的 t2,由于 CK1 上升,因此,G1 也被激活而变成“H”。此时,netB1 的电位因电容 C 而被升压到高于“H”的电位。另一方面,若通过 G1 的激活而使 Qf3 的电位上升,则 SC3 的 Tra 导通,netB3 的电位从“L”变为“H”。因此,SC3 的 Trb 也导通,从而向 Qo3 输出 CK3。即,G3 保持“L”不变。另外,在 t2,GSP2 下降而变成“L”,但

netB2 的电位因 SC2 的电容 C 而维持在“H”，从而 SC2 的 Trb 也保持导通。

[0278] 在从 t2 起经过一个时钟期间后的 t3, CK1 下降而变成“L”，netB1 的电位也变回“H”，但是由于 SC1 的 Trb 仍然导通，因此，持续向 Qo1 输出 CK1。因而，G1 从“H”变为“L”而变成不激活，并维持不激活的状态。此外，即使 G1 变成不激活而变成“L”，但 netB3 的电位因 SC3 的电容 C 而维持在“H”，从而 SC3 的 Trb 仍保持导通。另外，在 t3, 由于 CK2 上升，因此，G2 也被激活而变成“H”。此时，netB2 的电位因电容 C 而被升压到高于“H”的电位。另外，在 t3, 若通过 G2 的激活使 Qf4 的电位上升，则 SC4 的 Tra 导通，netB4 的电位从“L”变为“H”。因此，SC4 的 Trb 也导通，从而向 Qo4 输出 CK4。即，G4 保持“L”不变。

[0279] 在从 t3 起经过一个时钟期间后的 t4, 由于 CK3 上升，因此，G3 也被激活而变成“H”。此时，netB3 的电位因电容 C 而被升压到高于“H”的电位。另一方面，若通过 G3 的激活使 Qb1 的电位上升，则 SC1 的 Trd 导通，netB1 与 Vss 相连接，其电位从“H”变为“L”。因此，SC1 的 Trb 截止，不再向 Qo1 输出 CK1。另外，在 t4, 由于 CK3 上升，因此 SC1 的 Tre 导通，Qo1 与 Vss 相连接，其电位降低到“L”（G1 被拉至“L”）。另外，在 t4, CK2 下降而变成“L”，netB2 的电位也变回“H”，但是由于 SC2 的 Trb 仍然导通，因此，持续向 Qo2 输出 CK2。因而，G2 从“H”变为“L”而变成不激活，并维持不激活的状态。

[0280] 在从 t4 起经过一个时钟期间后的 t5, 由于 CK4 上升，因此，G4 也被激活而变成“H”。此时，netB4 的电位因电容 C 而被升压到高于“H”的电位。另一方面，若通过 G4 的激活使 Qb2 的电位上升，则 SC2 的 Trd 导通，netB2 与 Vss 相连接，其电位从“H”变为“L”。因此，SC2 的 Trb 截止，不再向 Qo2 输出 CK2。另外，在 t5, 由于 CK4 上升，因此 SC2 的 Tre 导通，Qo2 与 Vss 相连接，其电位降低到“L”（G2 被拉至“L”）。另外，在 t5, CK3 下降而变成“L”，netB3 的电位也变回“H”，但是由于 SC3 的 Trb 仍然导通，因此，持续向 Qo3 输出 CK3。因而，G3 从“H”变为“L”而变成不激活，并维持不激活的状态。

[0281] 在从 t5 起经过一个时钟期间后的 t6, 由于 CK1 上升，因此，G5 也被激活而变成“H”。此时，netB5 的电位因电容 C 而被升压到高于“H”的电位。另一方面，若通过 G5 的激活使 Qb3 的电位上升，则 SC3 的 Trd 导通，netB3 与 Vss 相连接，其电位从“H”变为“L”。因此，SC3 的 Trb 截止，不再向 Qo3 输出 CK3。另外，在 t6, 由于 CK1 上升，因此 SC3 的 Tre 导通，Qo3 与 Vss 相连接，其电位降低到“L”（G3 被拉至“L”）。另外，在 t6, CK4 下降而变成“L”，netB4 的电位也变回“H”，但是由于 SC4 的 Trb 仍然导通，因此，持续向 Qo4 输出 CK4。因而，G4 从“H”变为“L”而变成不激活，并维持不激活的状态。

[0282] 在从 t6 起经过一个时钟期间后的 t7, 由于 CK2 上升，因此，G6 也被激活而变成“H”。此时，netB6 的电位因电容 C 而被升压到高于“H”的电位。另一方面，若通过 G6 的激活使 Qb4 的电位上升，则 SC4 的 Trd 导通，netB4 与 Vss 相连接，其电位从“H”变为“L”。因此，SC4 的 Trb 截止，不再向 Qo4 输出 CK4。另外，在 t7, 由于 CK2 上升，因此 SC4 的 Tre 导通，Qo4 与 Vss 相连接，其电位降低到“L”（G4 被拉至“L”）。

[0283] 而且，在 tx, 由于 CK3 上升，因此，G(2n-1) 也被激活而变成“H”。此时，netB(2n-1) 的电位因电容 C 而被升压到高于“H”的电位。

[0284] 另外，在从 tx 起经过一个时钟期间后的 ty, 由于 CK4 上升，因此，G(2n) 也被激活而变成“H”。此时，netB(2n) 的电位因电容 C 而被升压到高于“H”的电位。另外，在 ty, CK3 下降而变成“L”，netB(2n-1) 的电位也变回“H”，但是由于 SC(2n-1) 的 Trb 仍然导通，

因此,持续向 $Q_o(2n-1)$ 输出 CK3。因而, $G(2n-1)$ 从“H”变为“L”而变成不激活,并维持不激活的状态。

[0285] 在从 t_y 起经过一个时钟期间后的 t_z ,由于第一清零信号 CLR1 被激活而变成“H”,因此 SC(2n-1) 的 Trc 导通, netB(2n-1) 与 V_{ss} 相连接,其电位从“H”变为“L”。因此, SC(2n-1) 的 Trb 截止,不再向 $Q_o(2n-1)$ 输出 CK3。而且,由于 CK1 上升,因此 SC(2n-1) 的 Tre 导通, $Q_o(2n-1)$ 与 V_{ss} 相连接,其电位降低到“L”($G(2n-1)$ 被拉至“L”)。另外,在 t_z , CK4 下降而变成“L”, netB(2n) 的电位也变回“H”,但是由于 SC(2n) 的 Trb 仍然导通,因此,持续向 $Q_o(2n)$ 输出 CK4。因而, $G(2n)$ 从“H”变为“L”而变成不激活,并维持不激活的状态。

[0286] 在从 t_y 起经过一个时钟期间后的 t_w ,由于第二清零信号 CLR2 被激活而变成“H”,因此 SC(2n) 的 Trc 导通, netB(2n) 与 V_{ss} 相连接,其电位从“H”变为“L”。因此, SC(2n) 的 Trb 截止,不再向 $Q_o(2n)$ 输出 CK4。而且,由于 CK2 上升,因此 SC(2n) 的 Tre 导通, $Q_o(2n)$ 与 V_{ss} 相连接,其电位降低到“L”($G(2n)$ 被拉至“L”)。

[0287] 由此,在同步信号无异常的情况下,在移位寄存器 110f 中,来自各移位电路 SC $_i$ ($i = 1, 3, 5 \dots 2n-1$) 的栅极导通脉冲信号 G_i 依次被激活一定的期间,从第一级的移位电路 SC1 到最后一级的移位电路 SC(2n-1) 依次输出脉冲 P1, P3...P(2n-1)。另外,在移位寄存器 110g 中,来自各移位电路 SC $_i$ ($i = 2, 4, 6 \dots 2n$) 的栅极导通脉冲信号 G_i 依次被激活一定的期间,从第一级的移位电路 SC2 到最后一级的移位电路 SC(2n) 依次输出脉冲 P1, P2...P(2n)。而且,由于各移位寄存器 110f、110g 的最后一级(单位电路 SC(2n-1)、SC(2n))利用清零信号进行复位,因此,能够省略现有那样的虚拟级(虚拟移位电路),能够缩小电路面积。

[0288] 此外,在图 37 所示的移位寄存器 110f、110g 中,也可以将 GSP1 和 GSP2 作为公共的栅极起始脉冲信号。在这种情况下,例如图 39 中使 GSP1 和 GSP2 分别在 t_0 变为“H”(激活)。另外,也可以将 CLR1 和 CLR2 作为公共的清零信号。在这种情况下,例如图 39 中使 CLR1 和 CLR2 分别在 t_w 变为“H”(激活)。

[0289] 本发明并不限于上述实施方式,基于技术常识对上述实施方式进行适当变更或将其组合而得到的方式也包括在本发明的实施方式内。

[0290] 产业上的实用性

[0291] 本显示面板驱动电路及移位寄存器适用于液晶显示装置。

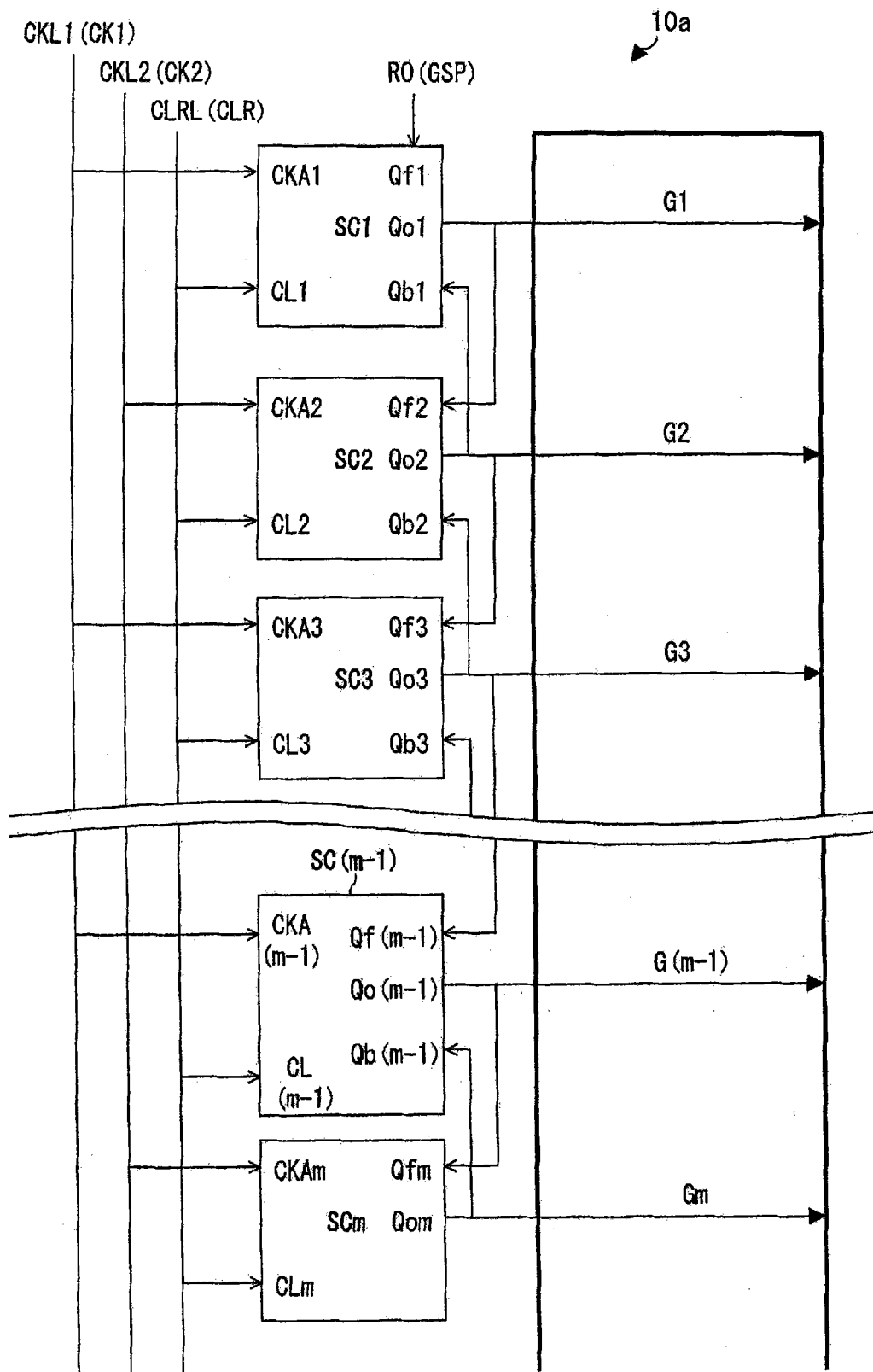


图 1

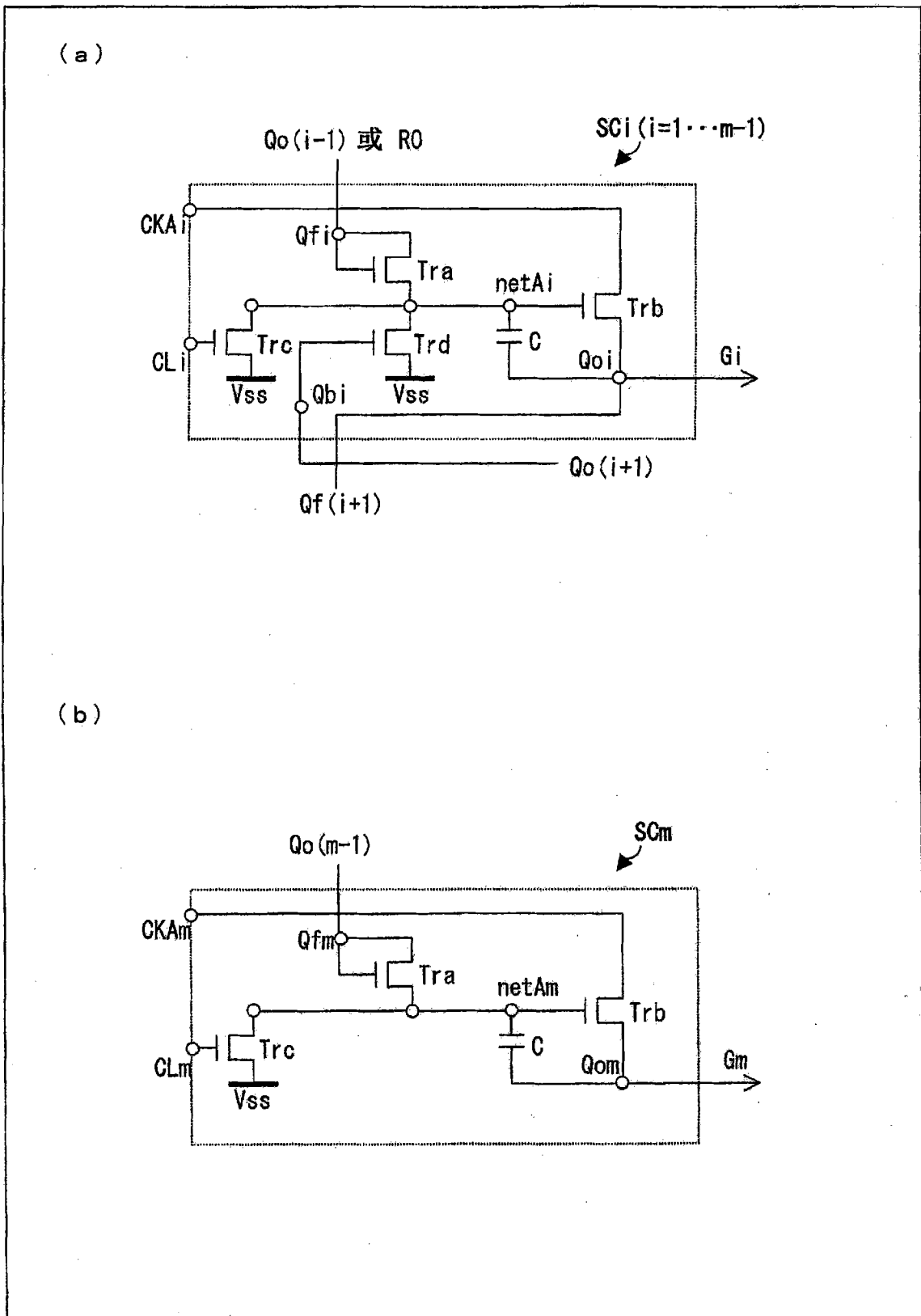


图 2

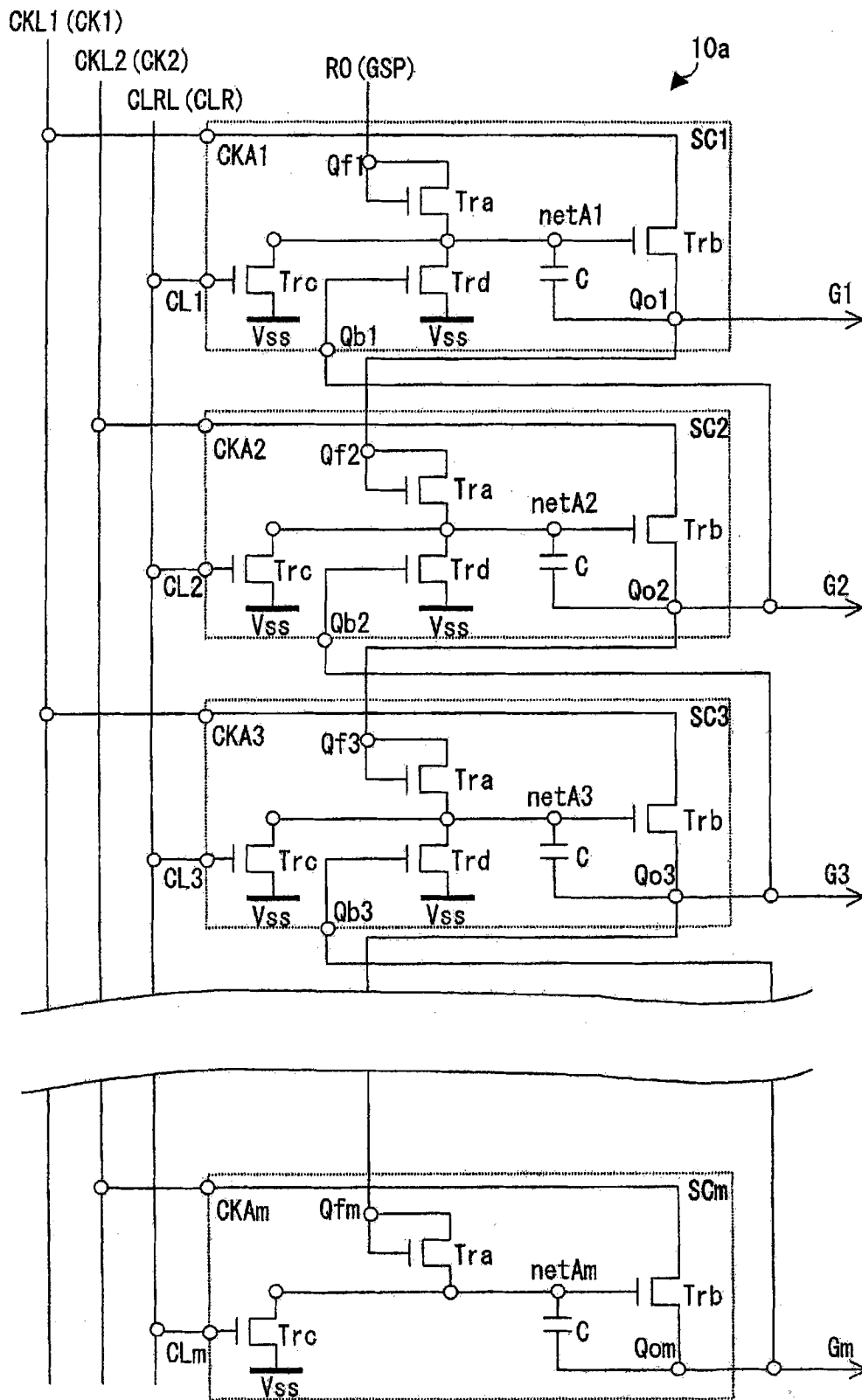


图 3

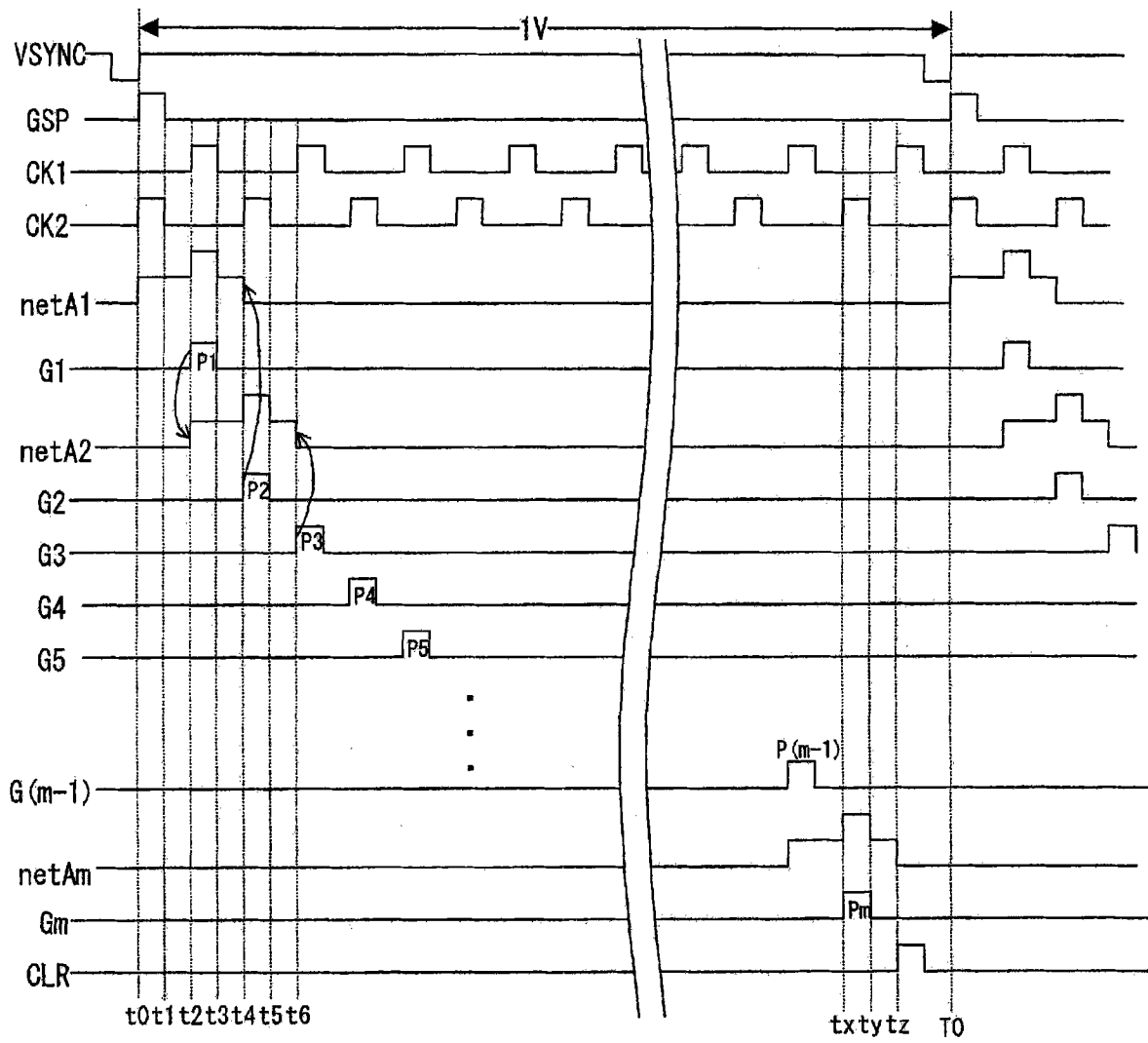


图 4

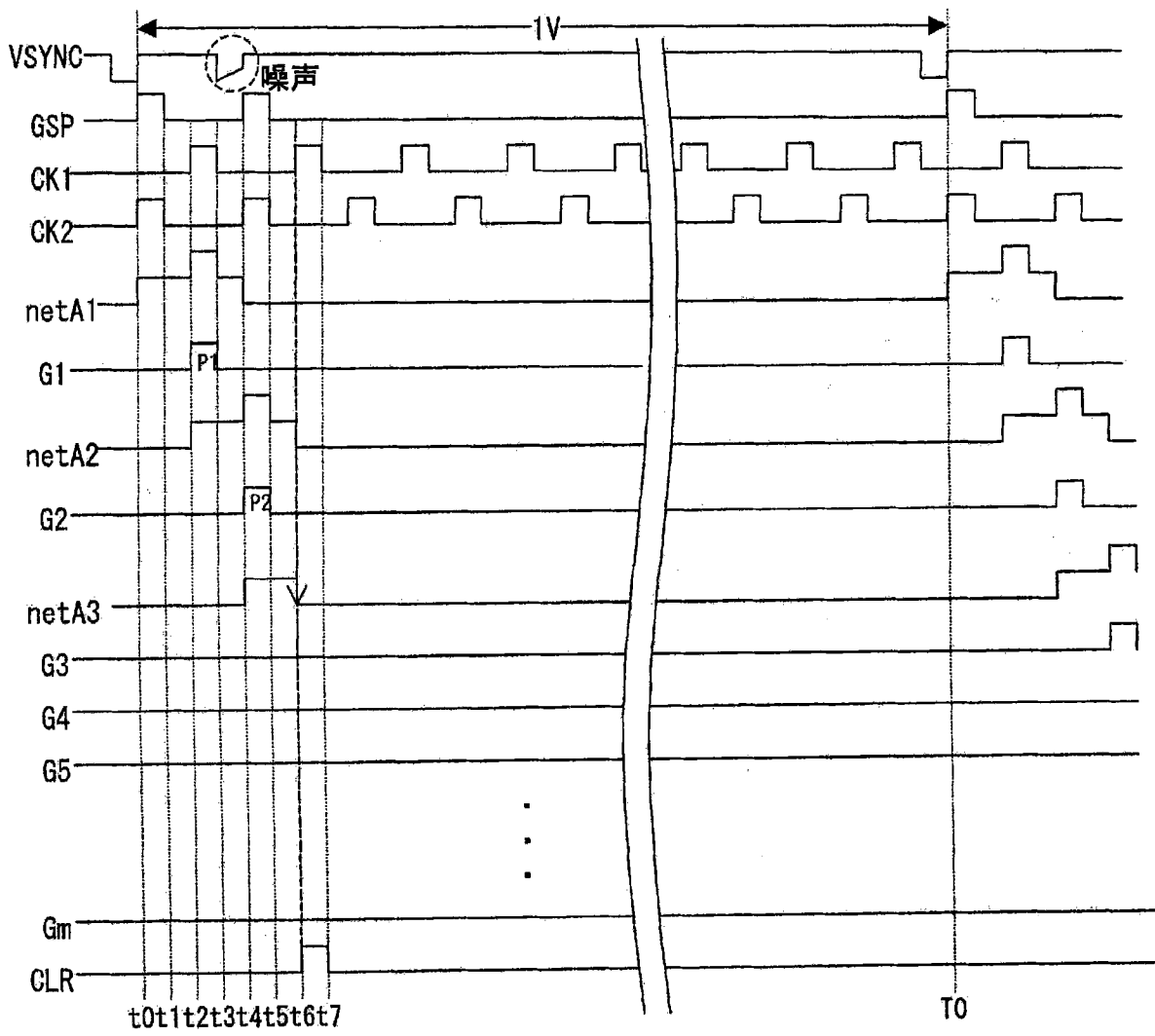


图 5

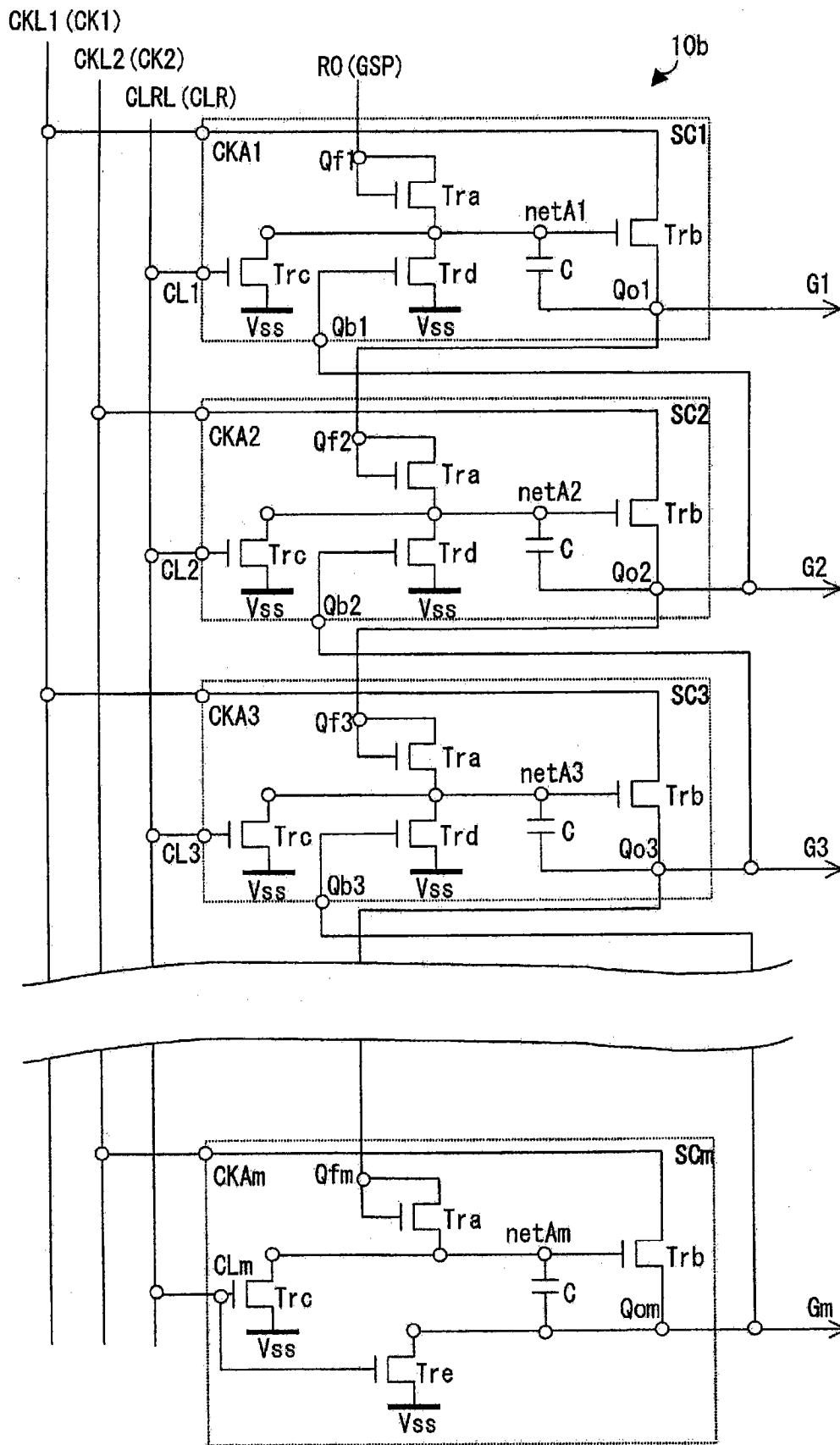


图 6

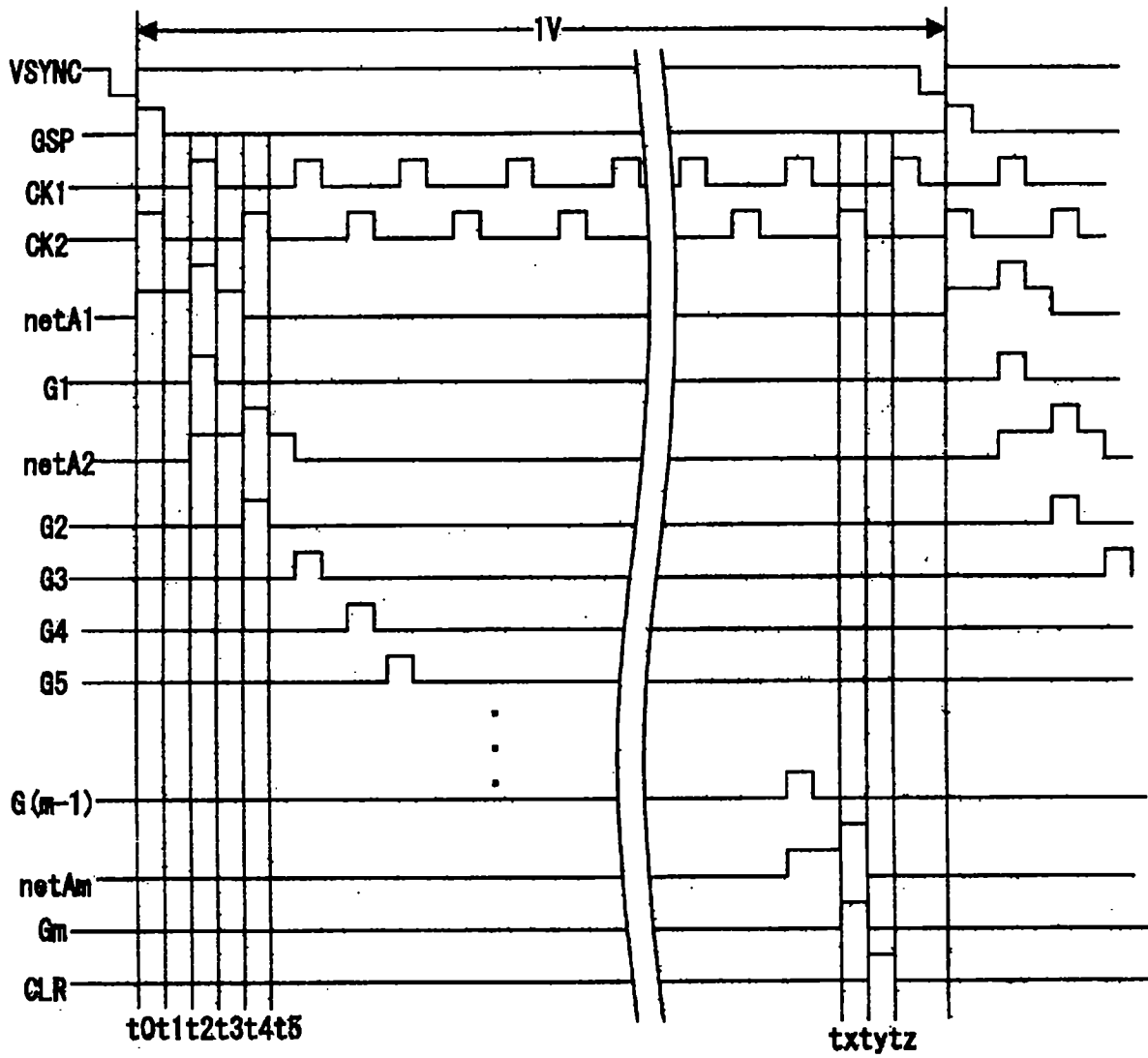


图 7

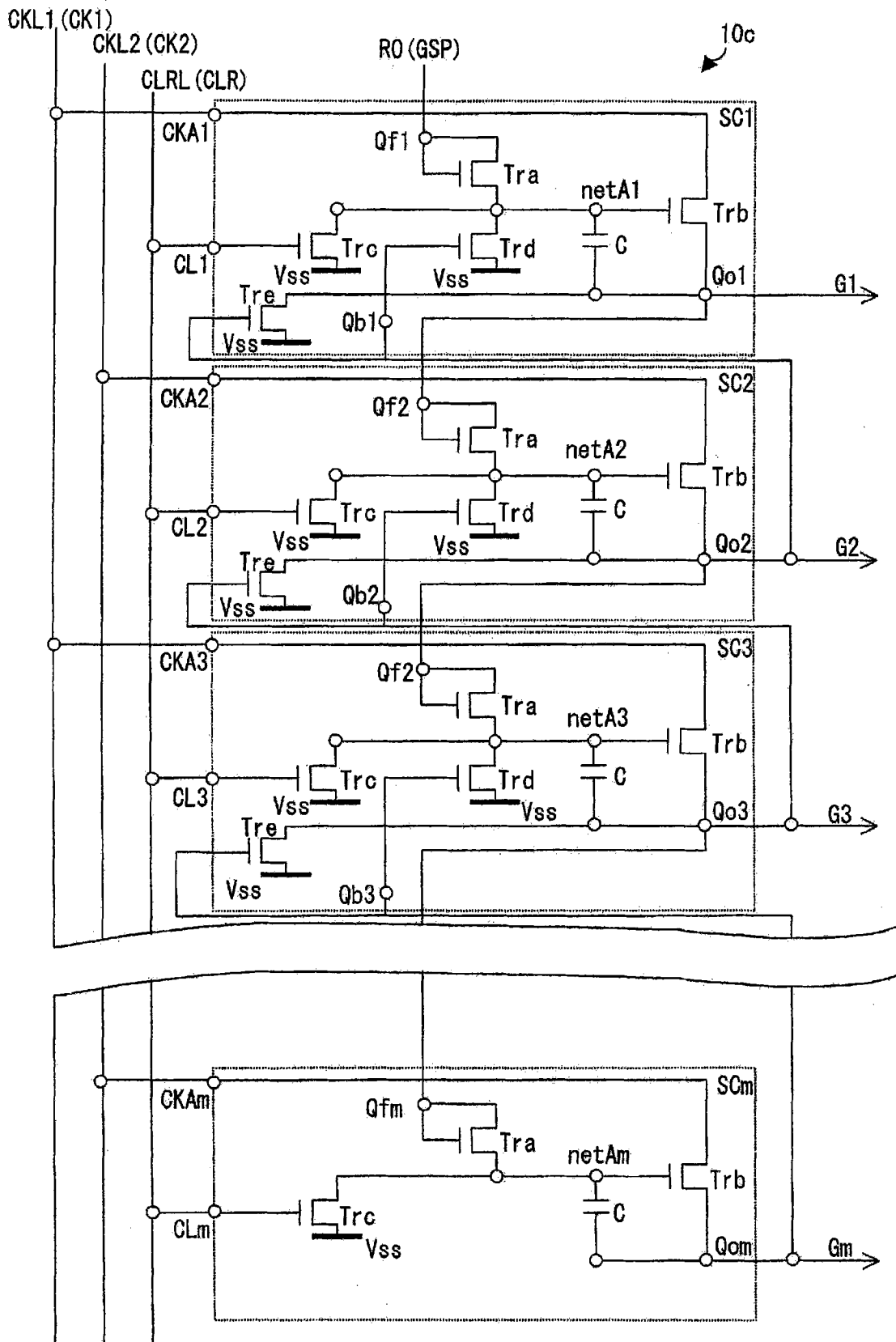


图 8

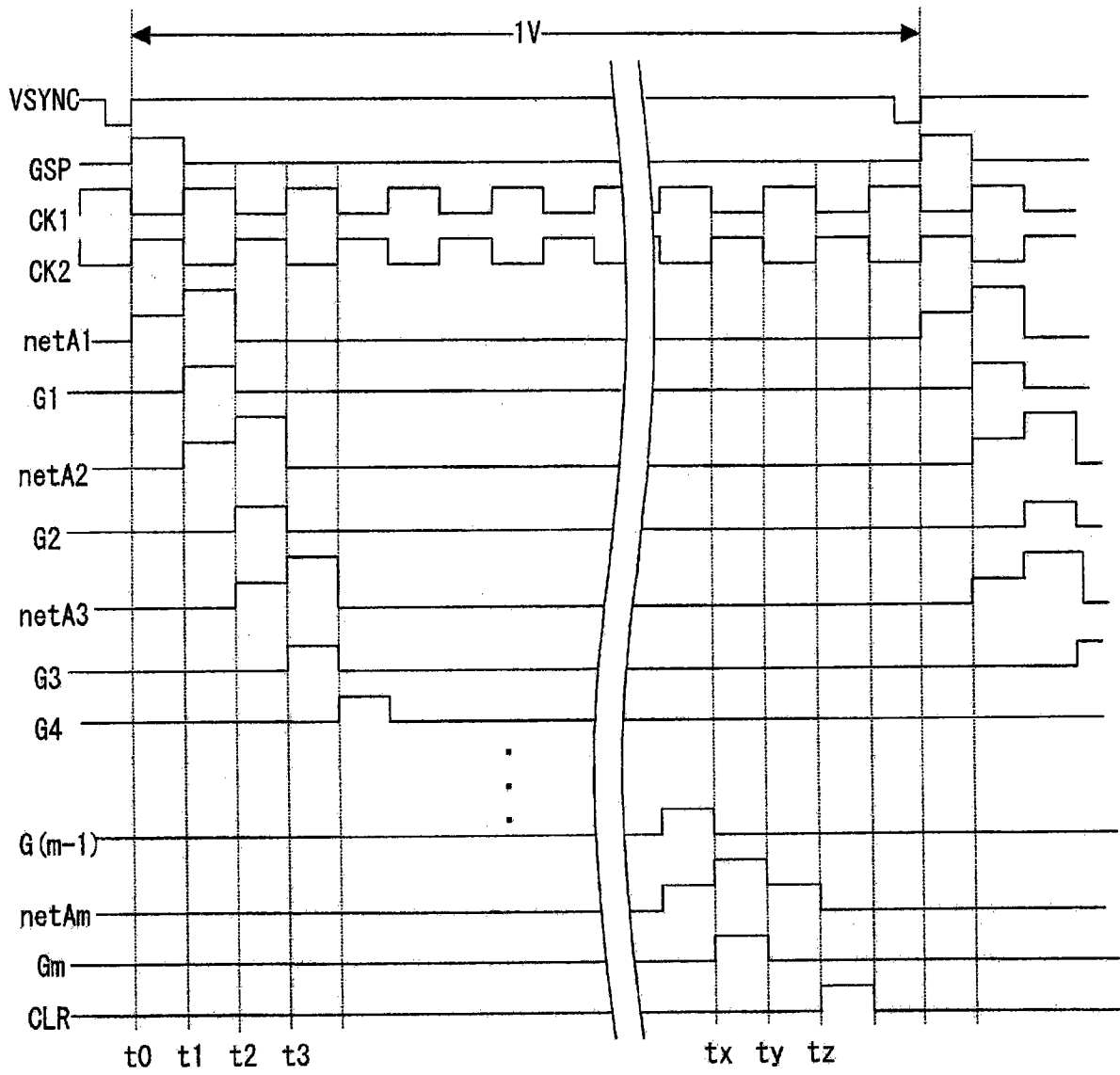


图 9

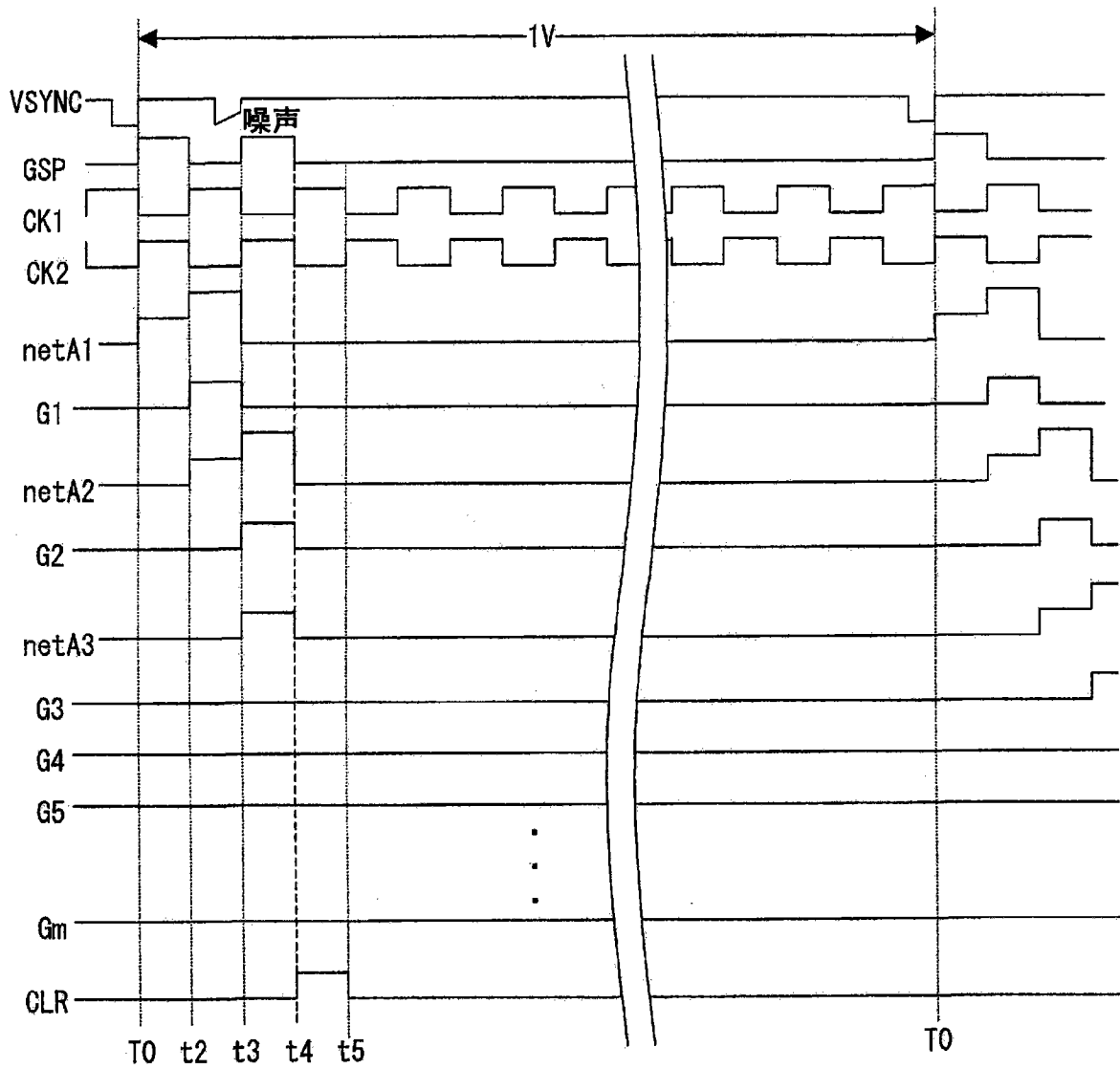


图 10

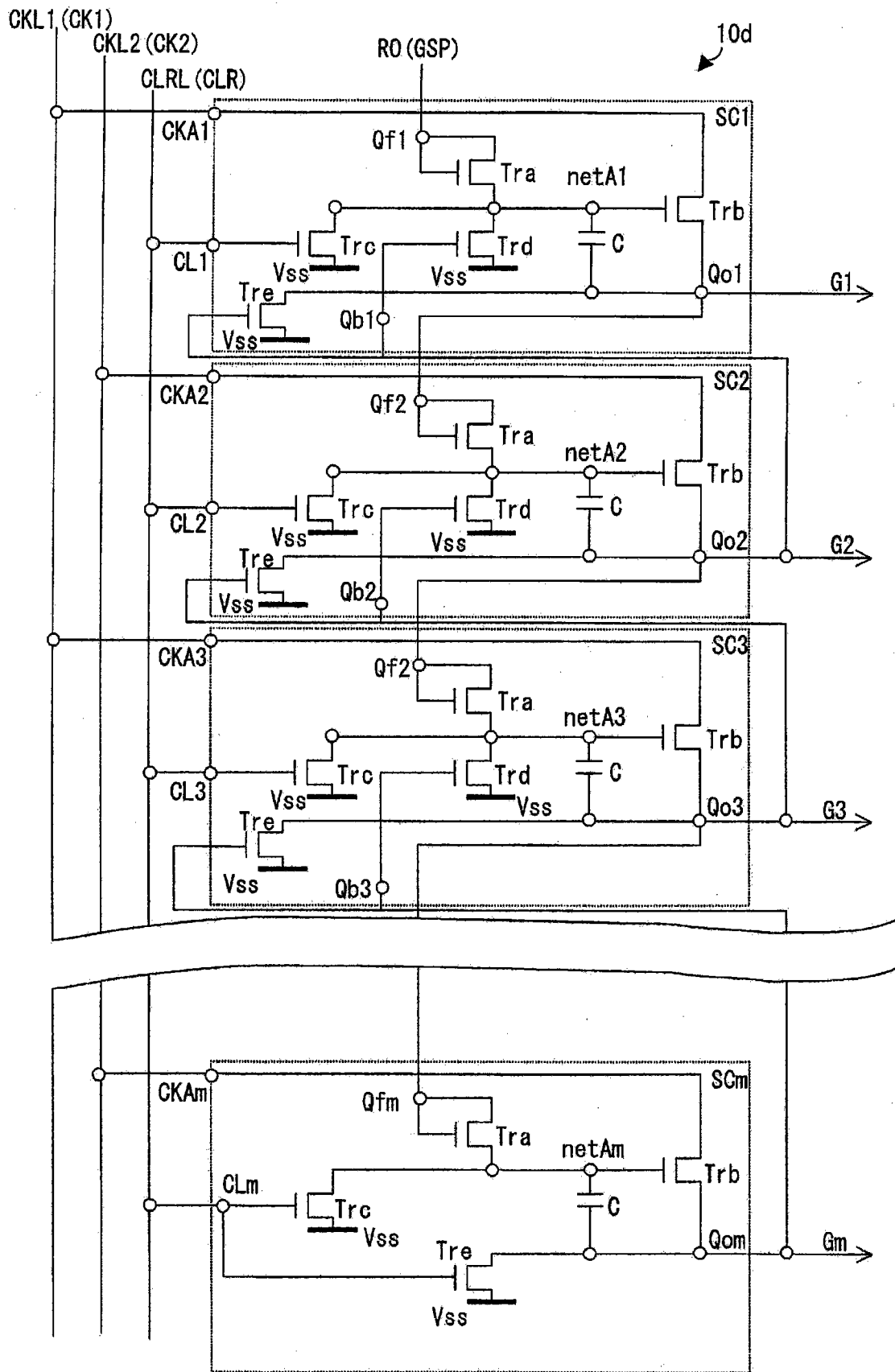


图 11

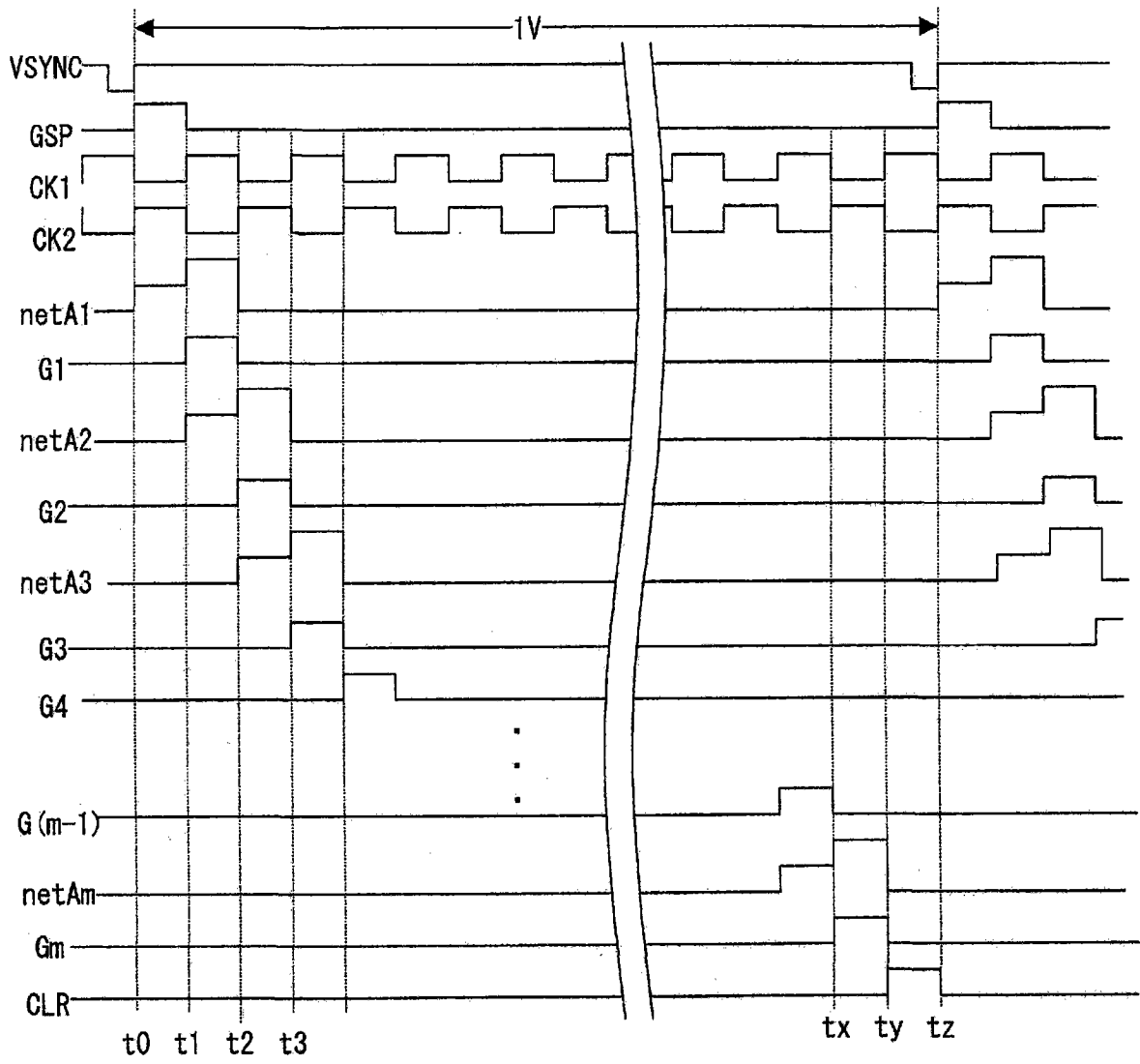


图 12

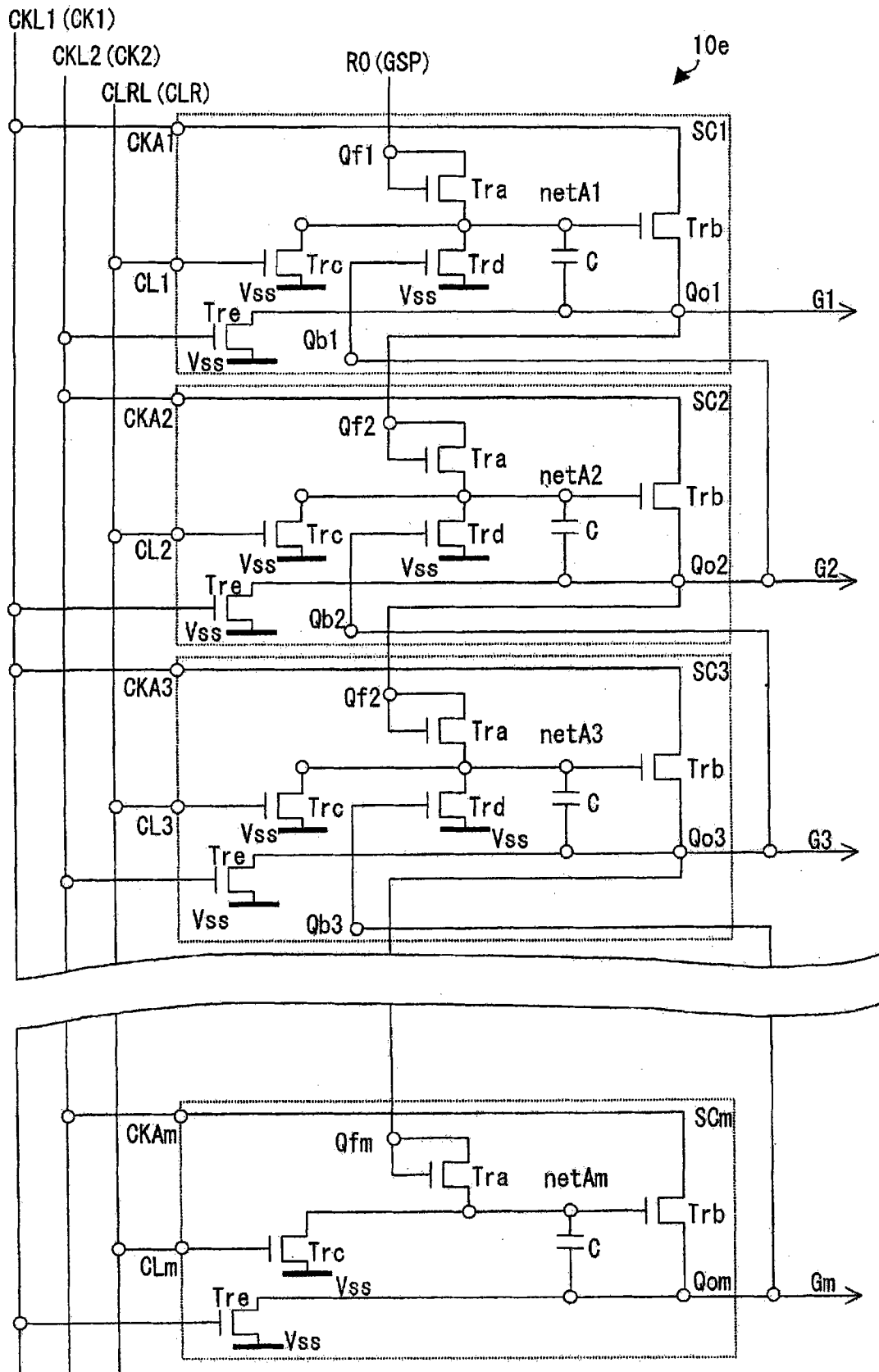


图 13

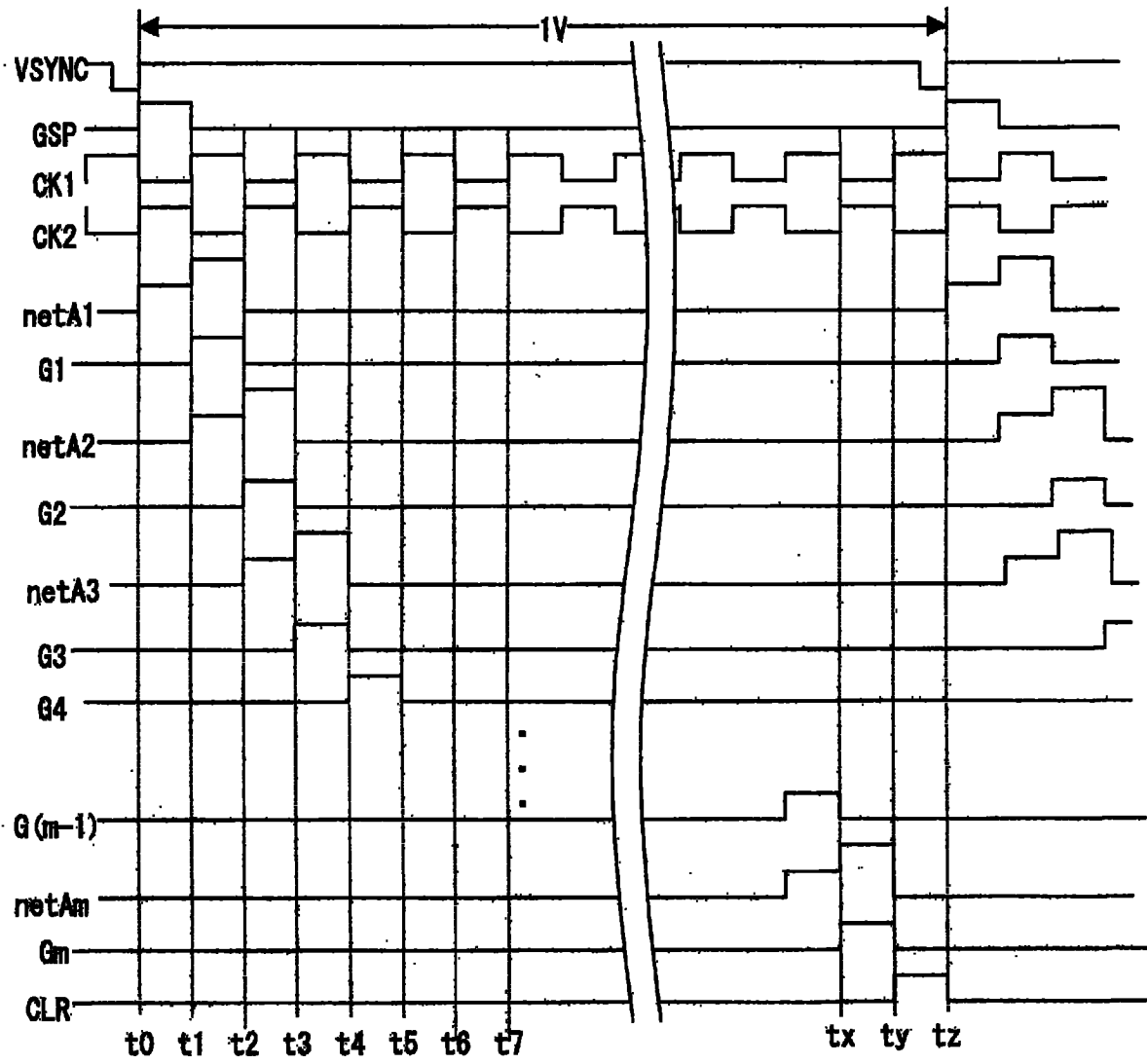


图 14

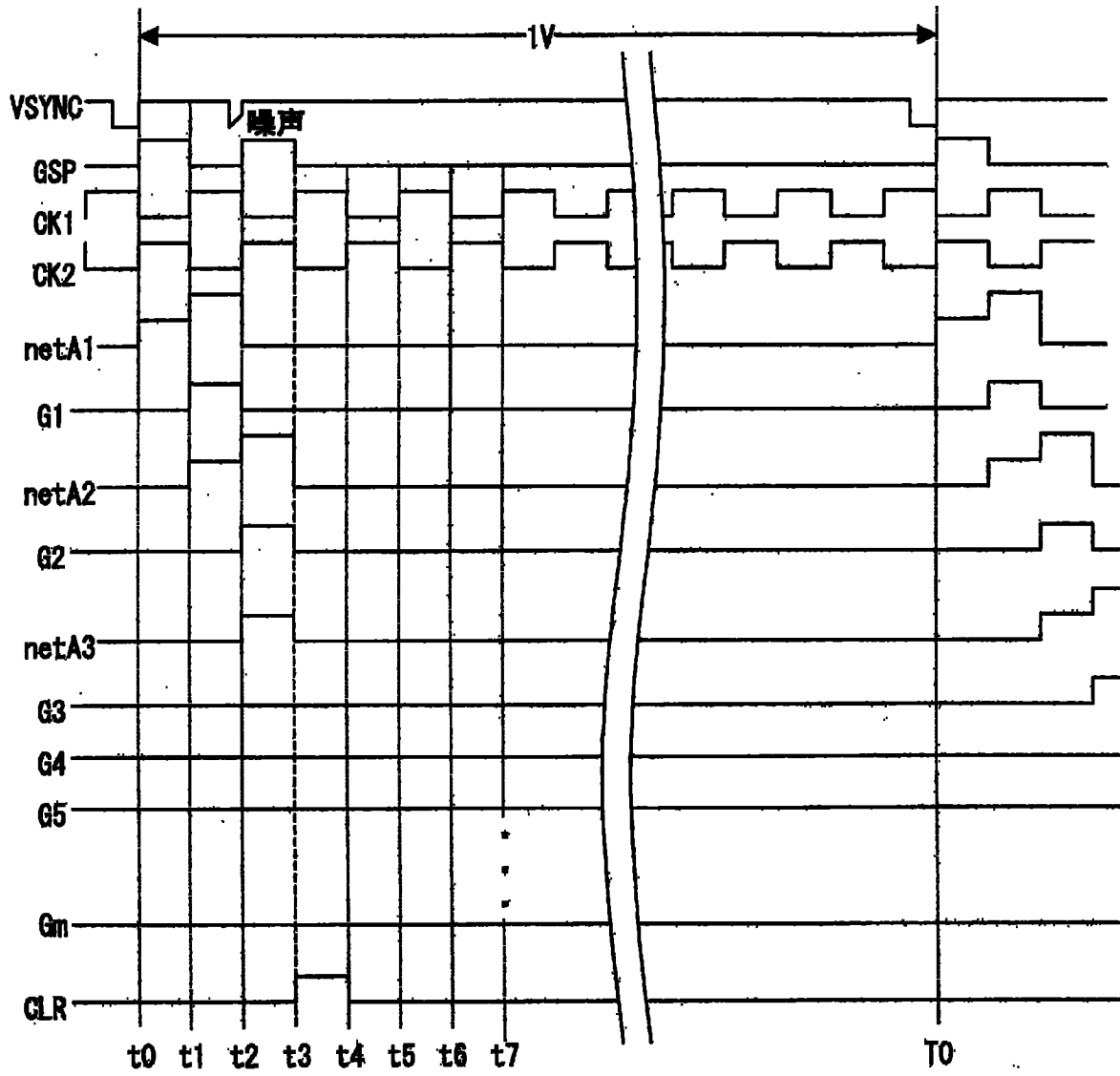


图 15

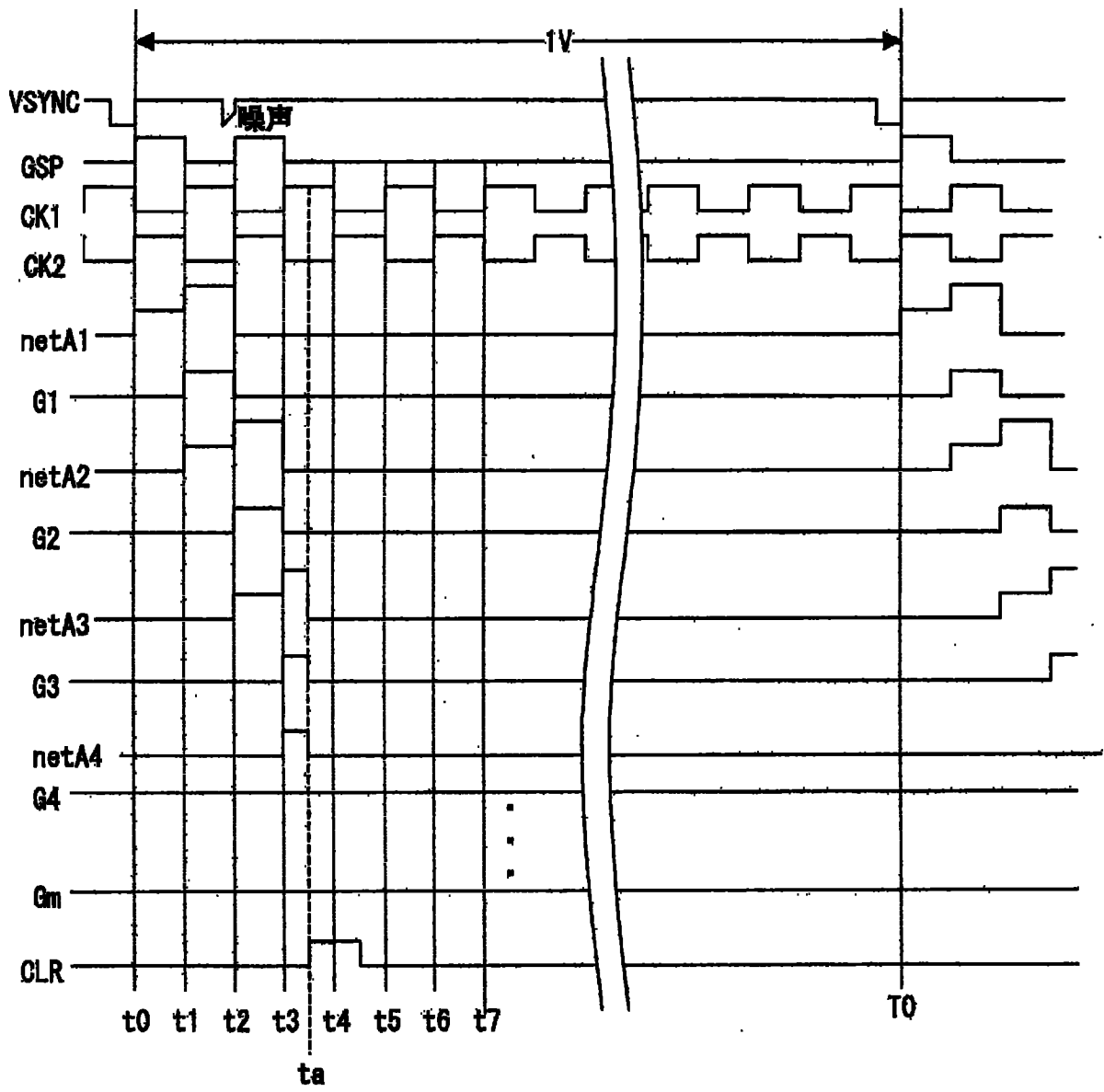


图 16

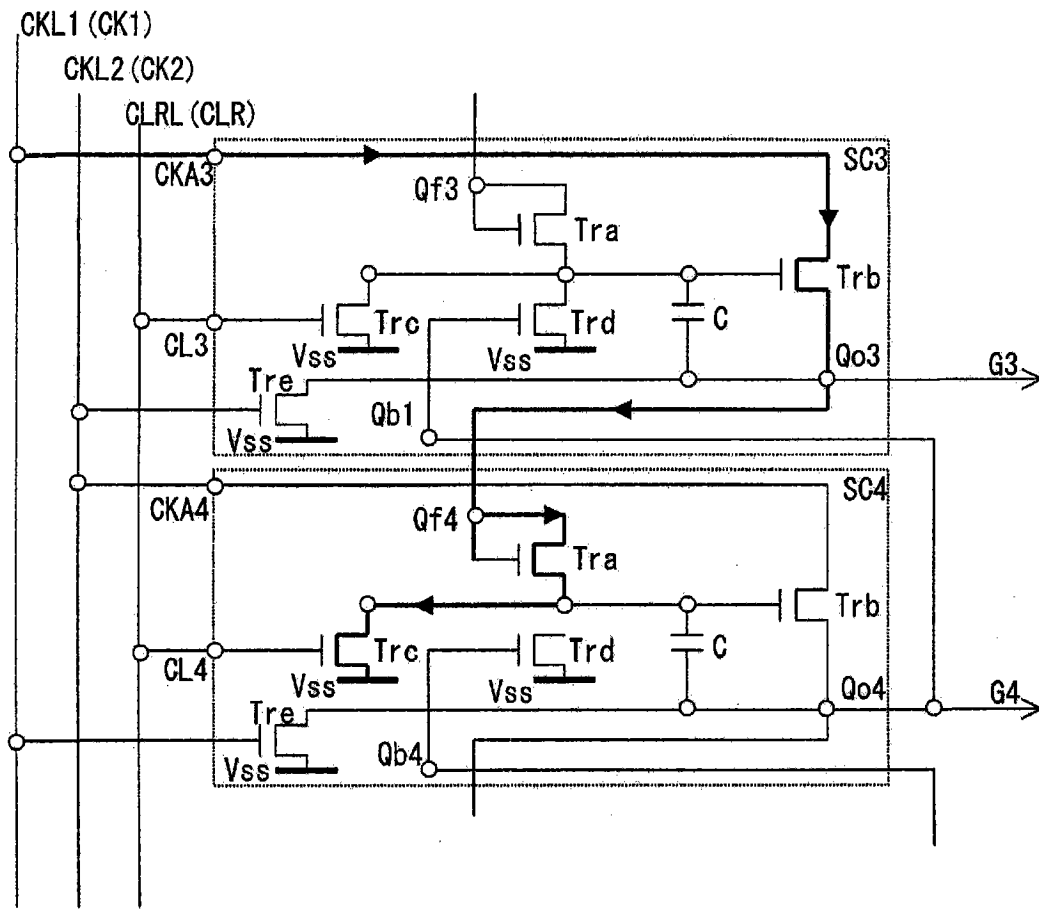


图 17

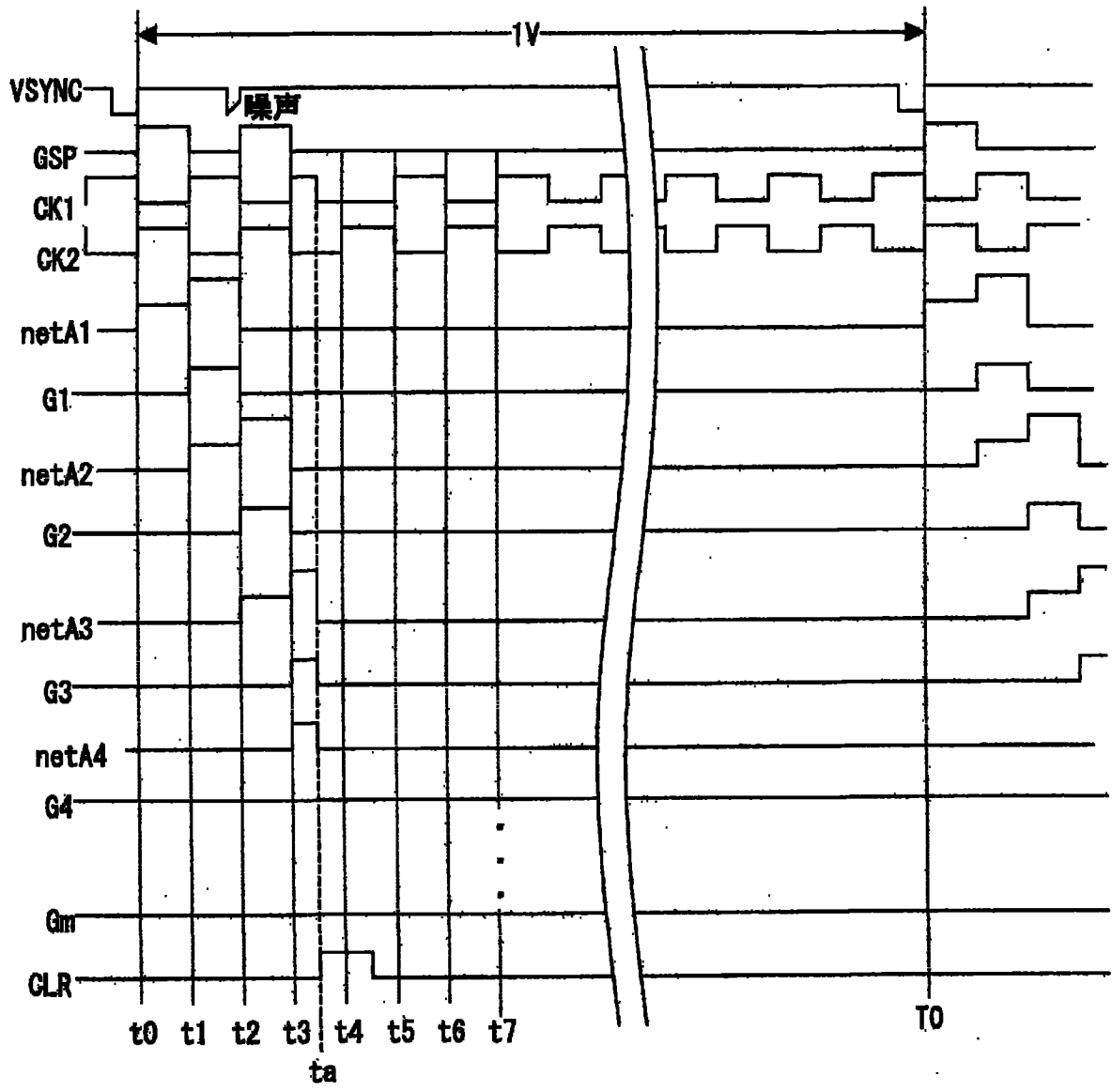


图 18

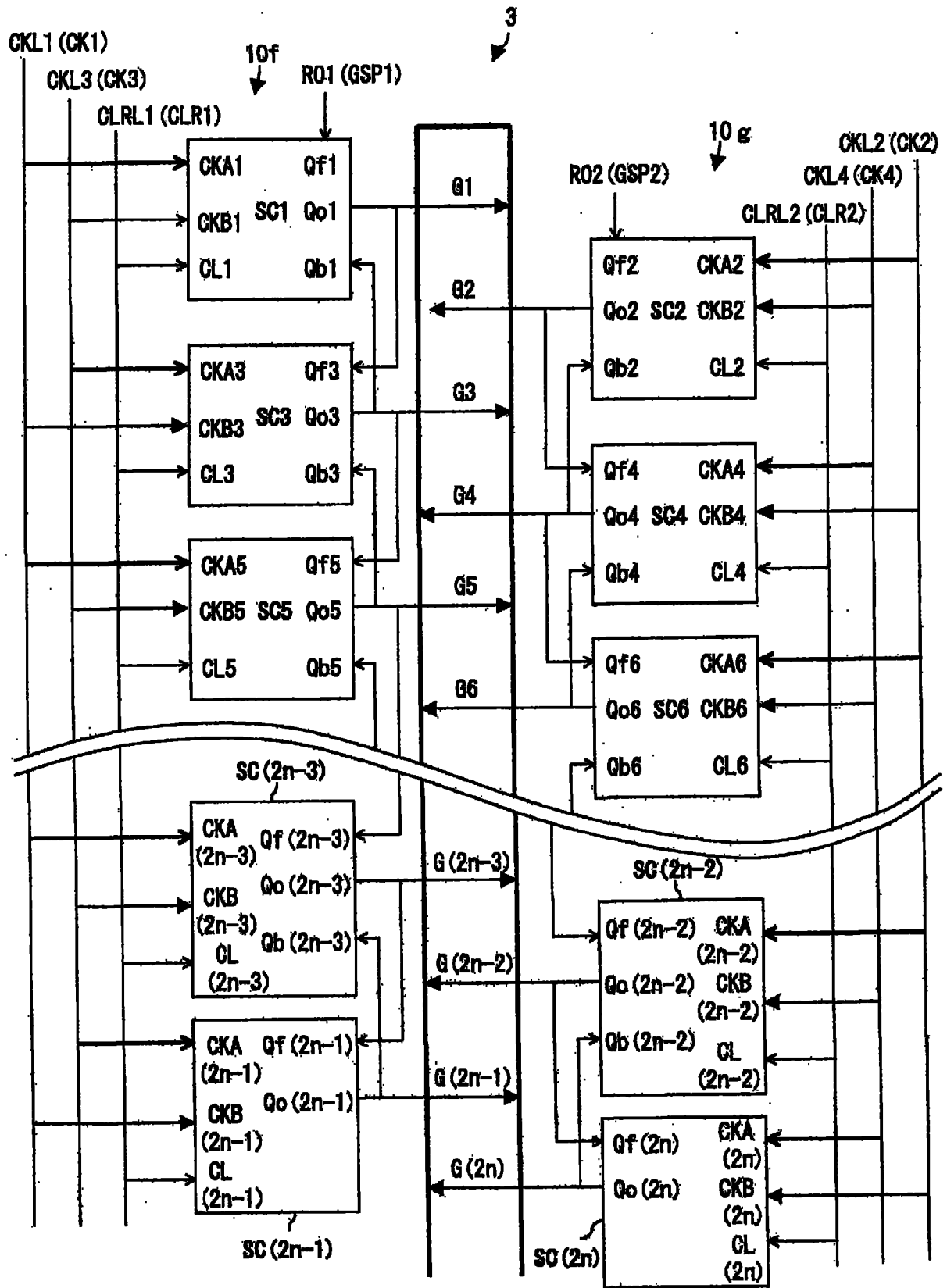


图 19

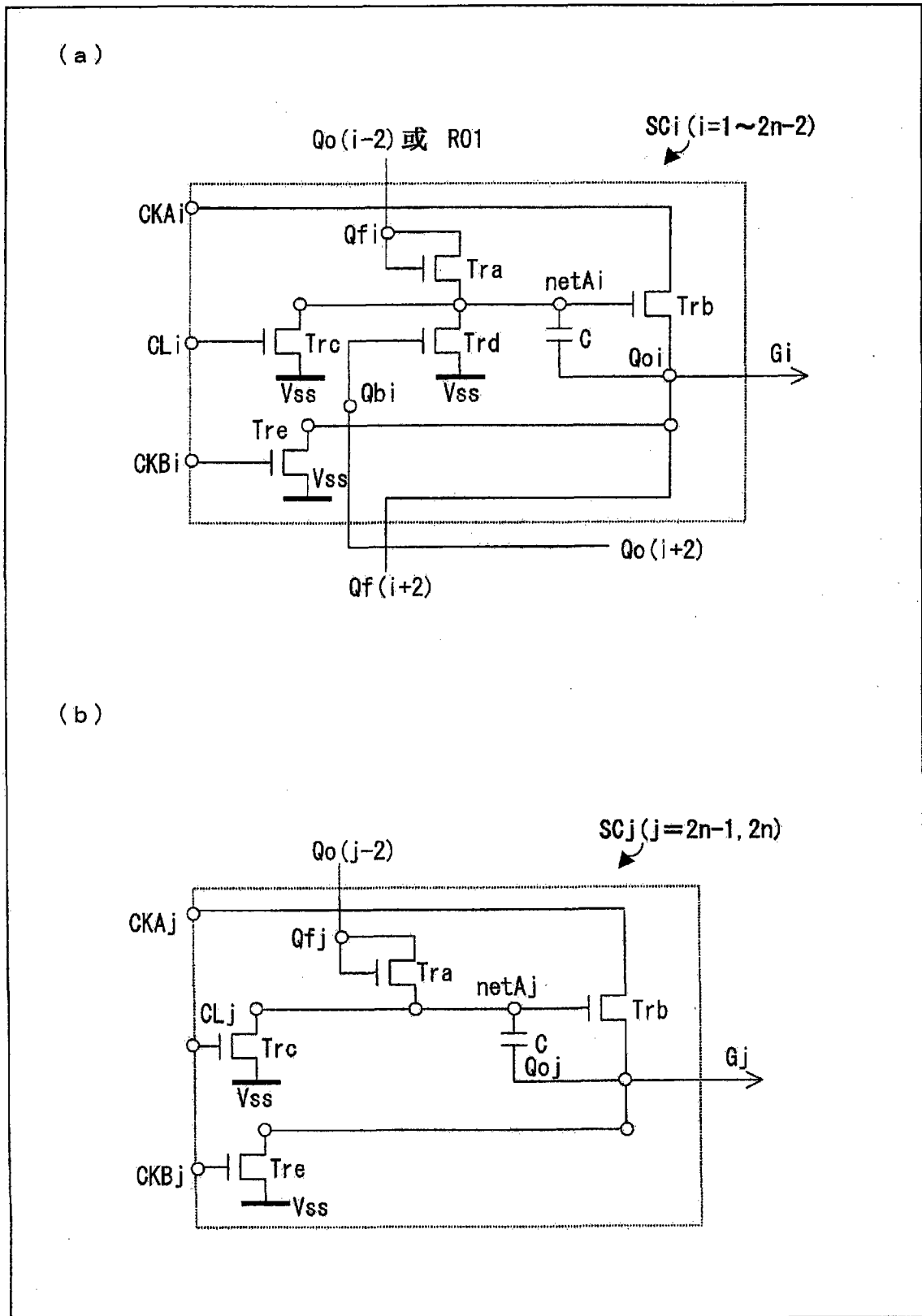


图 20

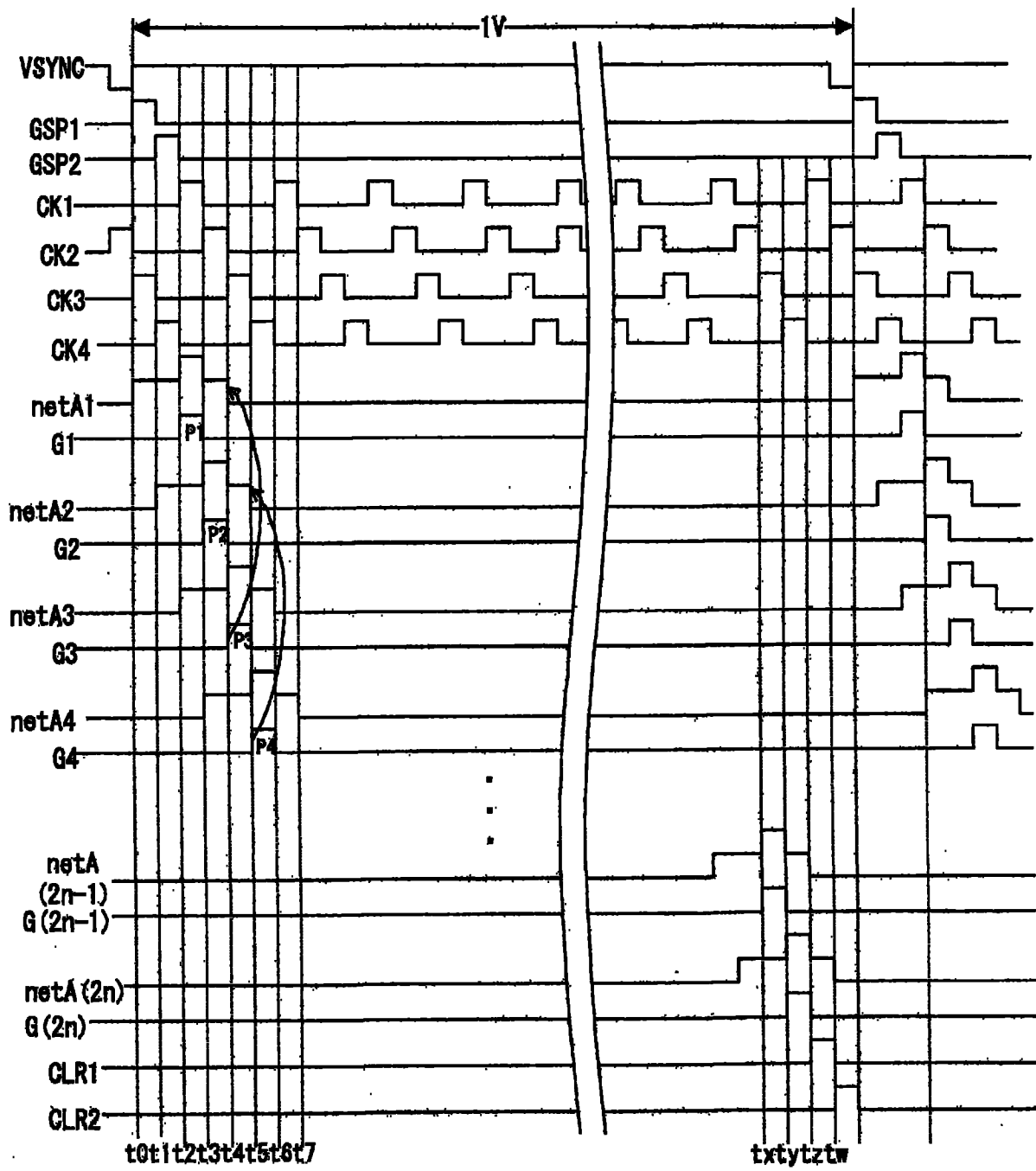


图 21

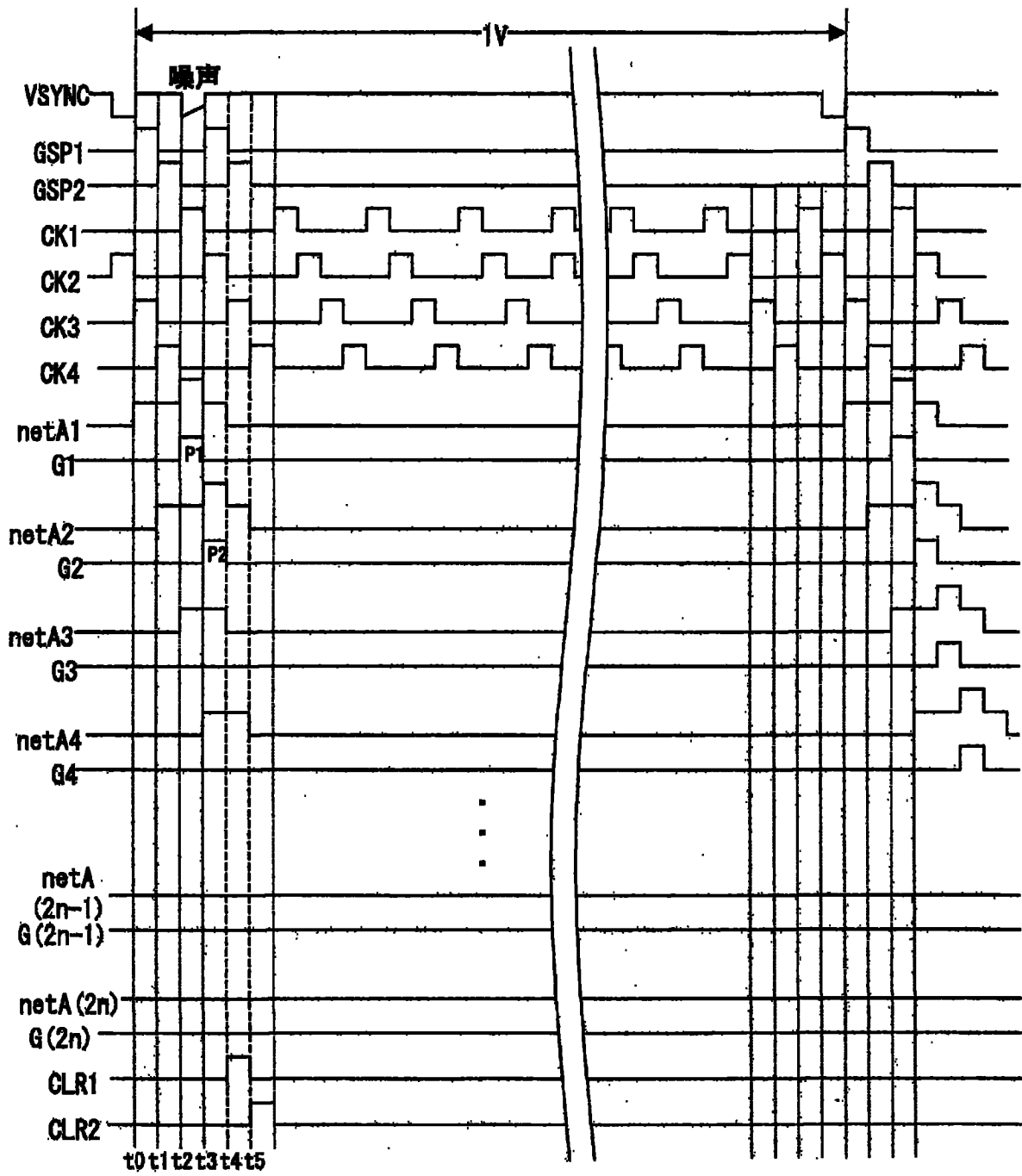


图 22

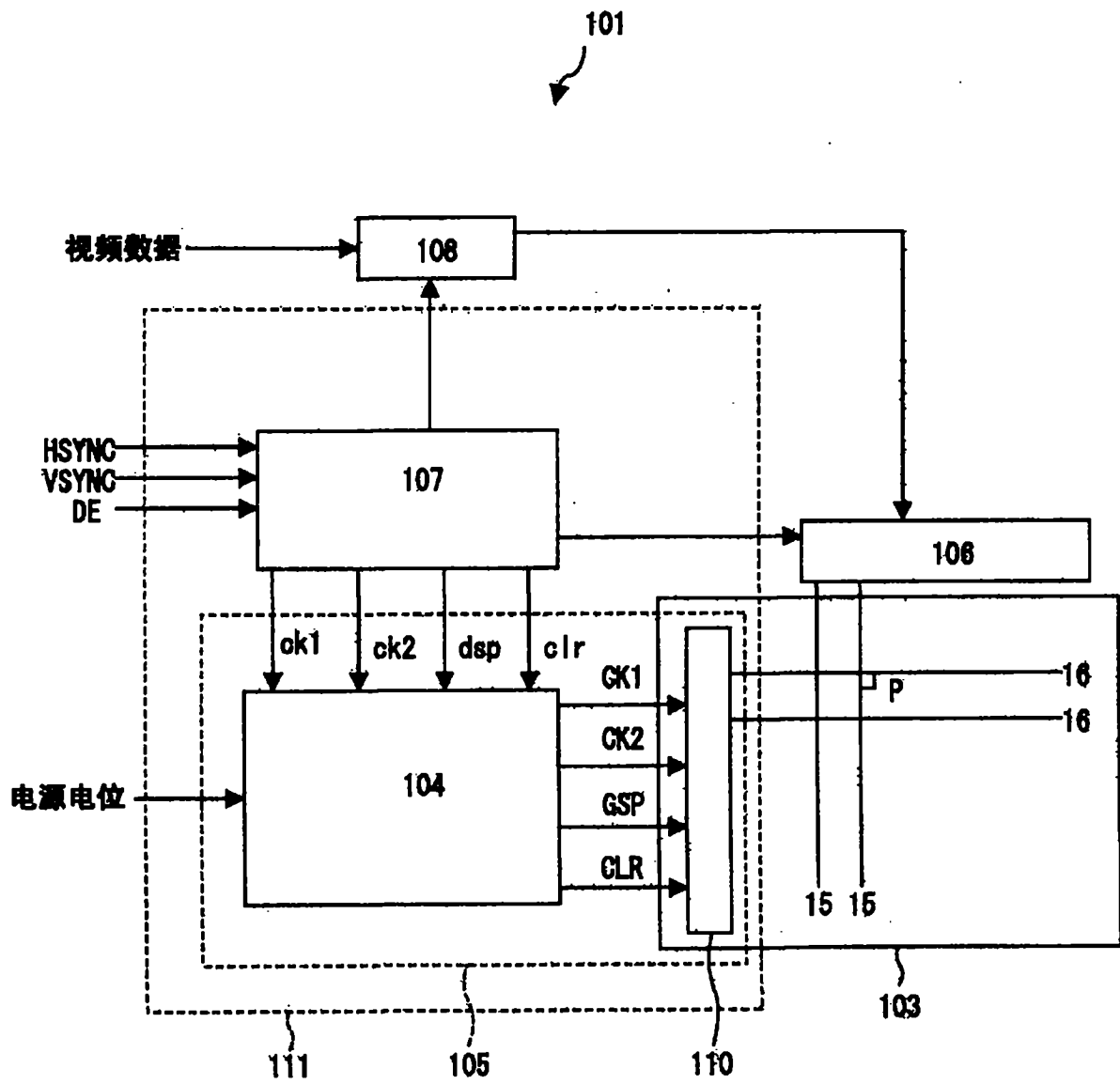


图 24

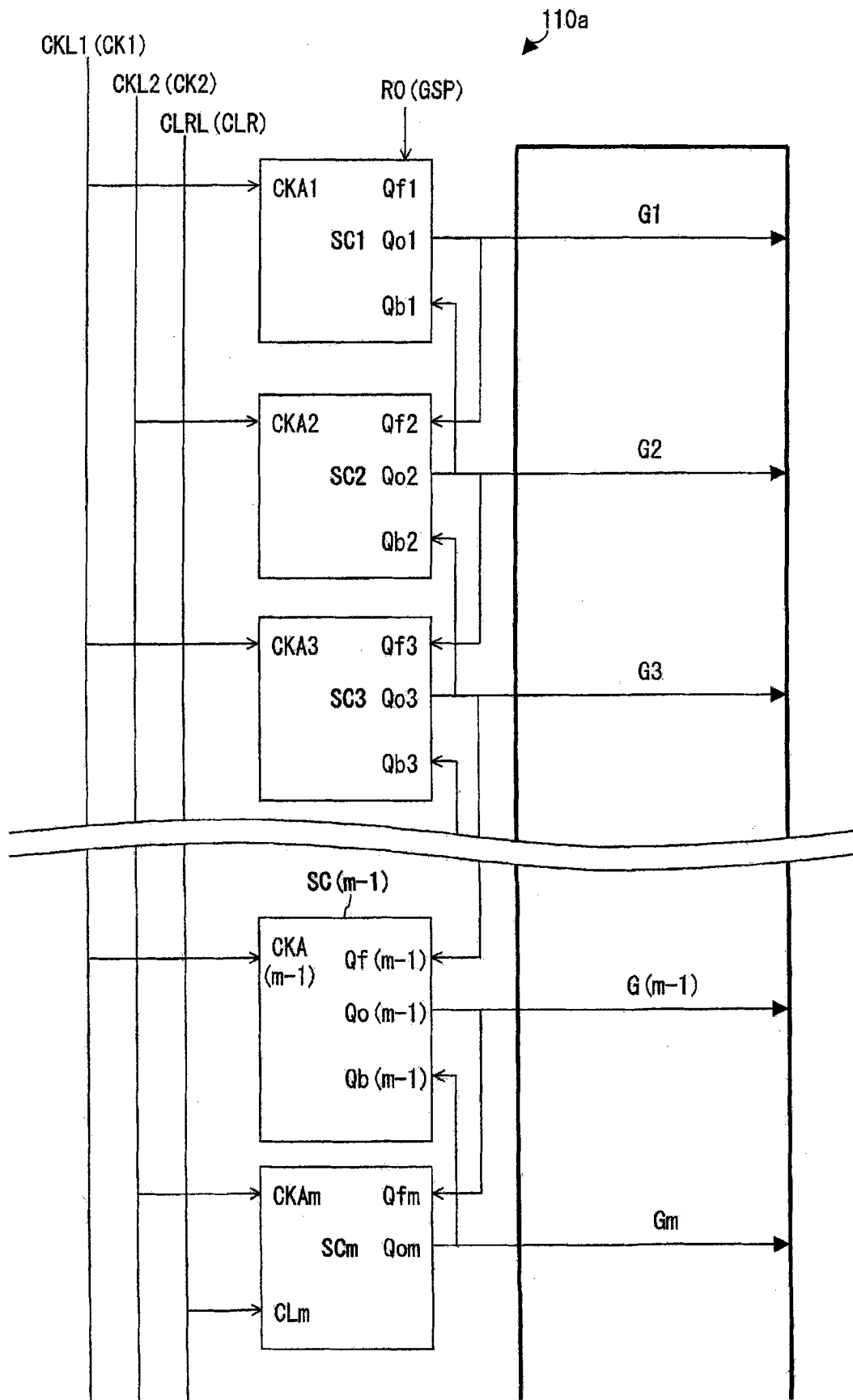


图 25

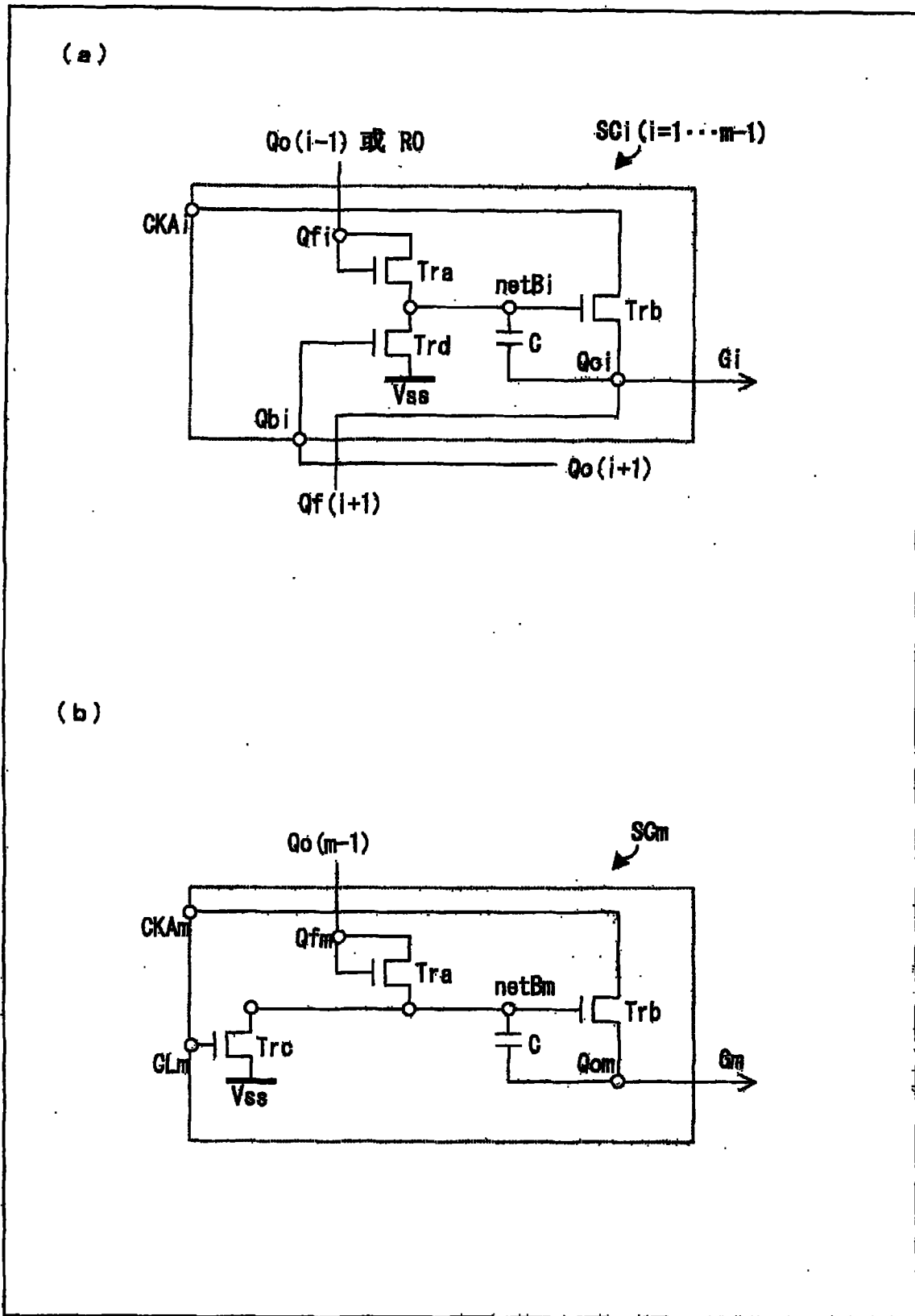


图 26

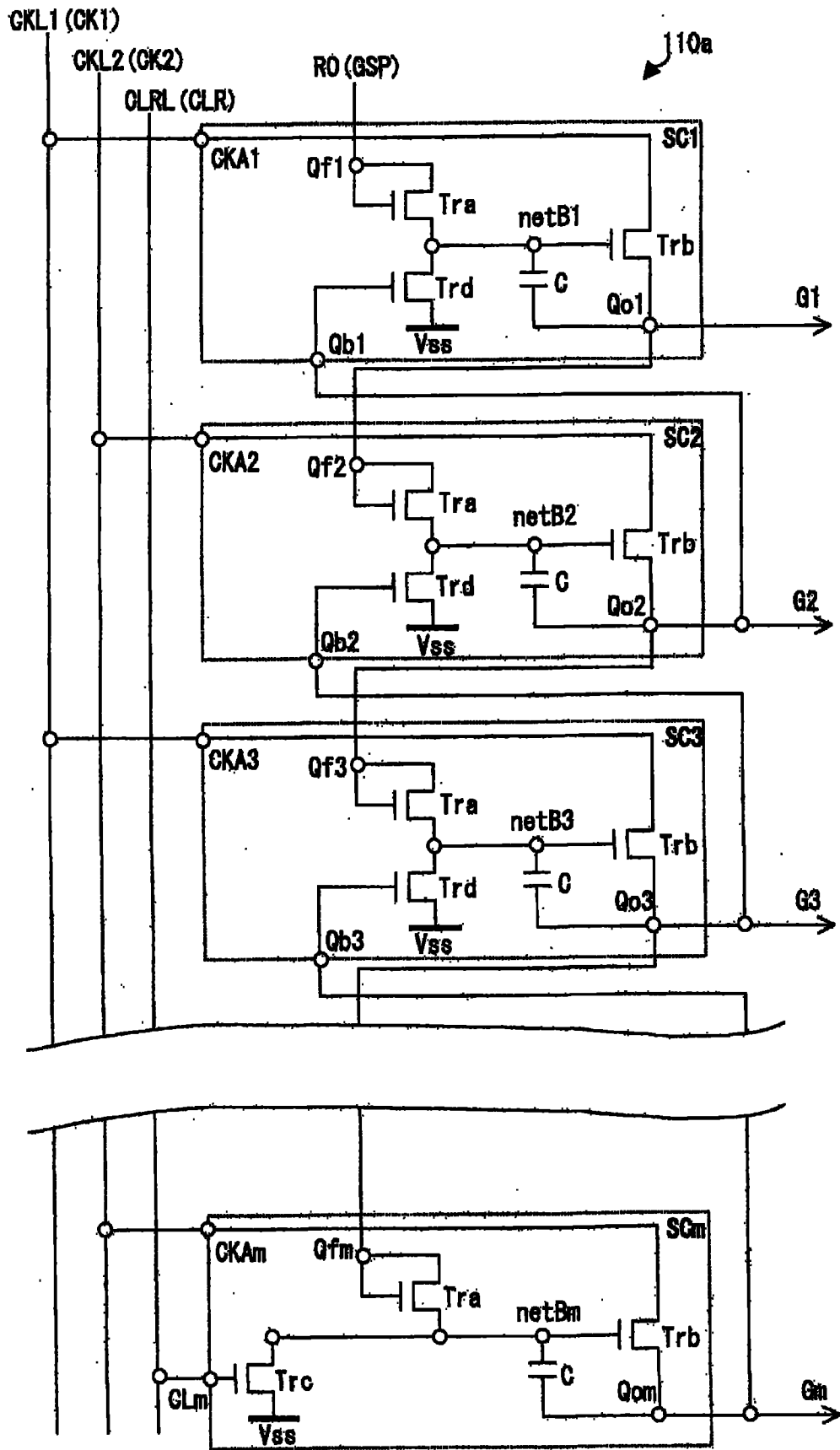


图 27

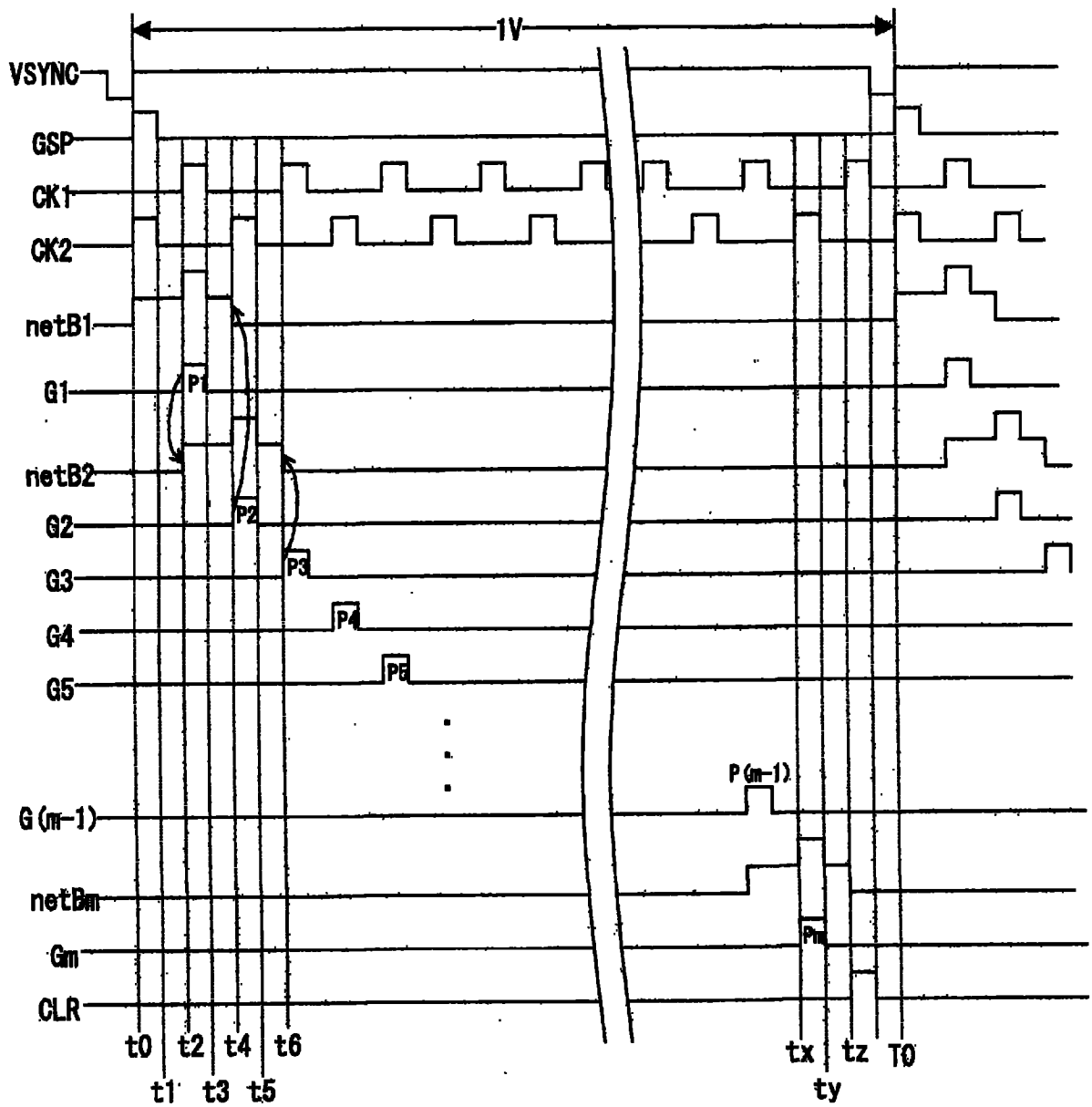


图 28

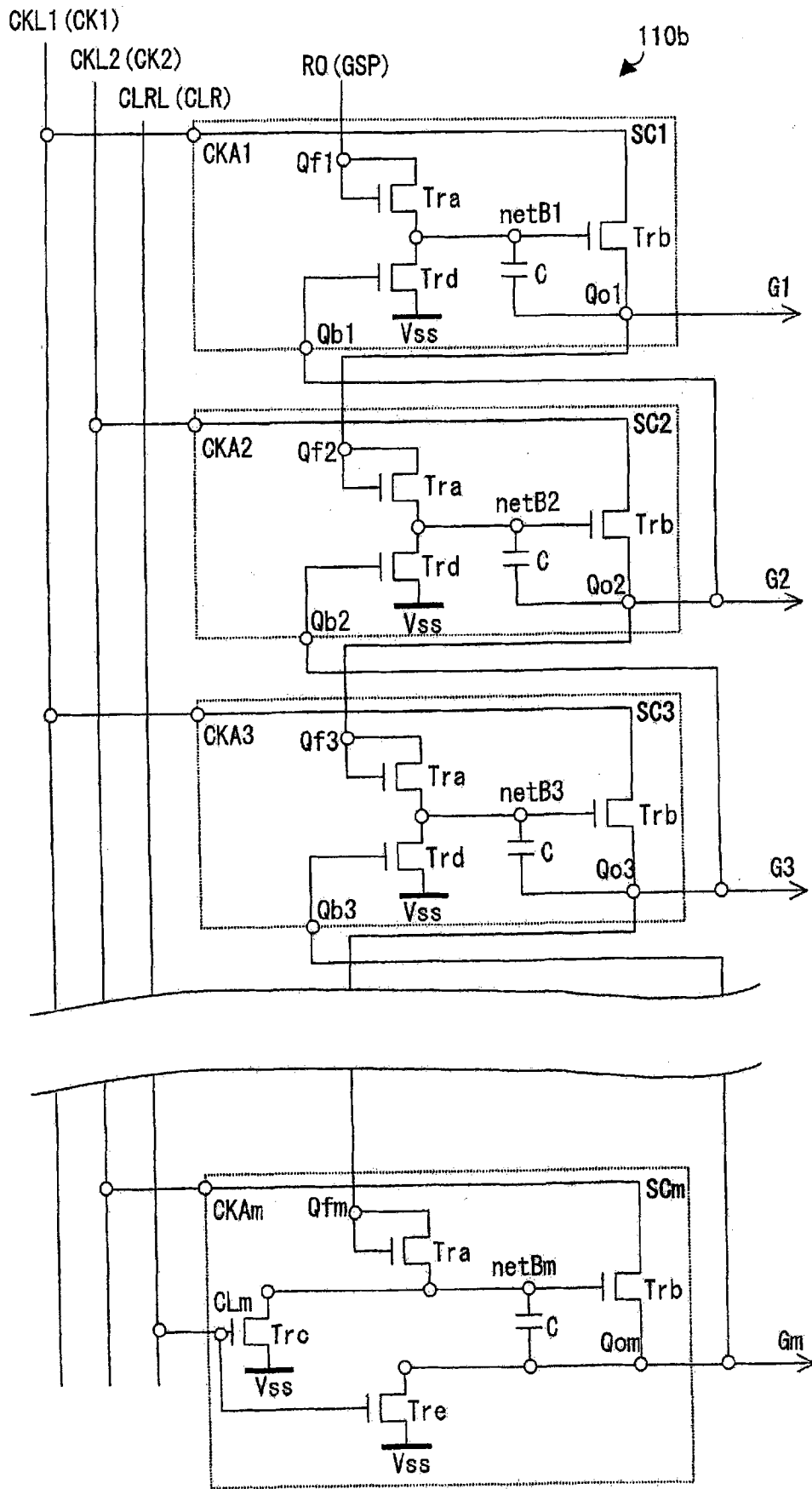


图 29

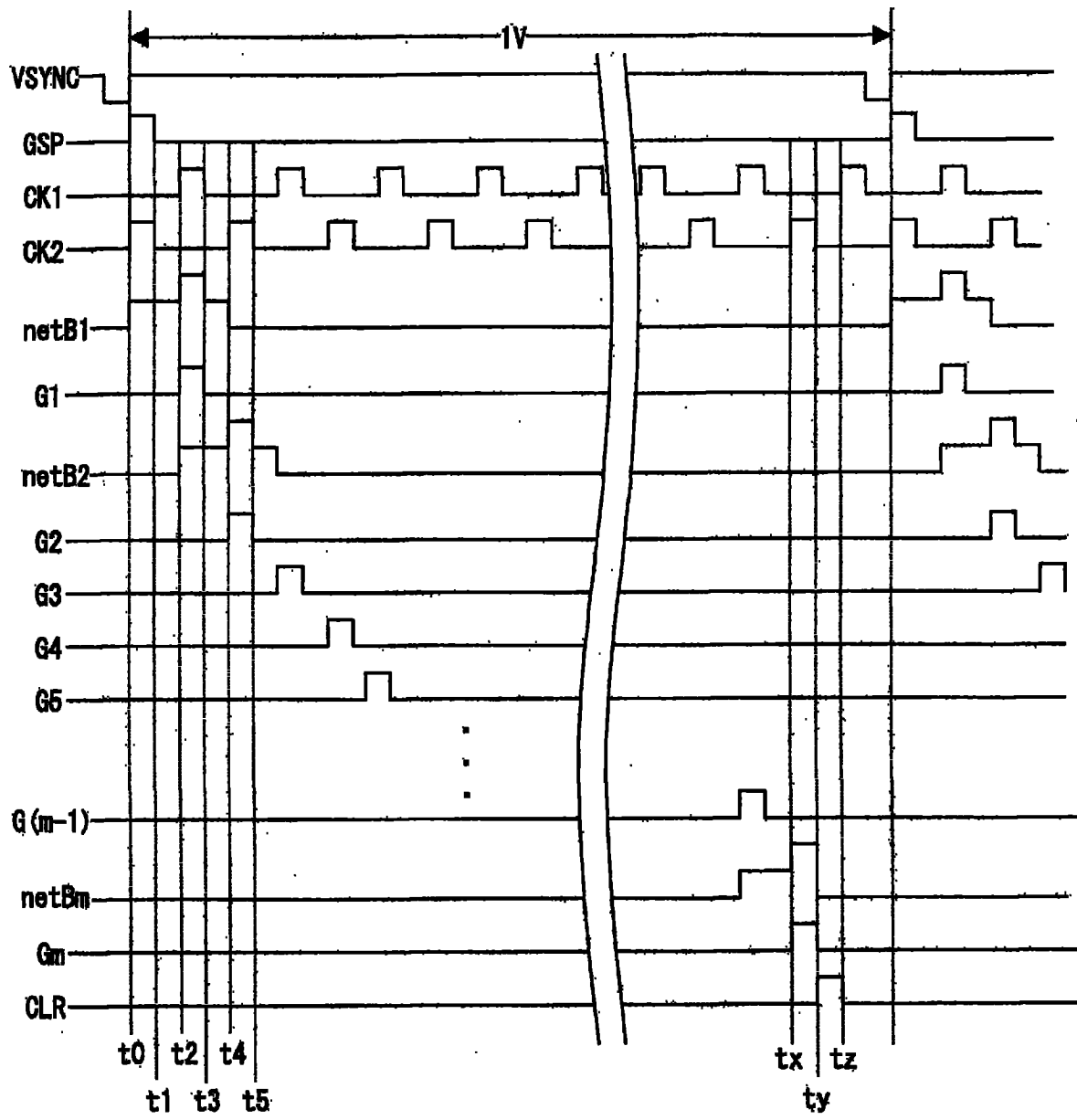


图 30

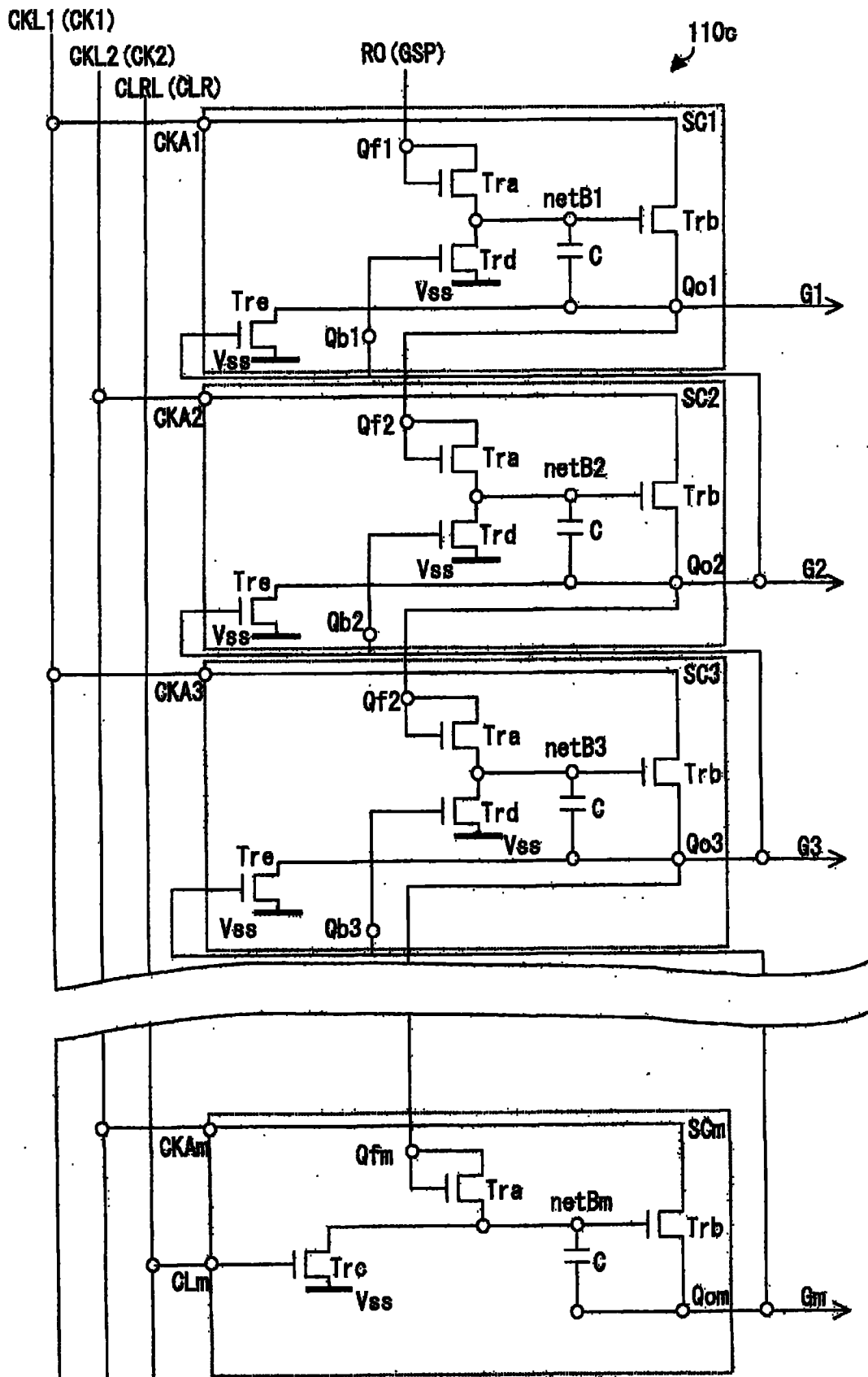


图 31

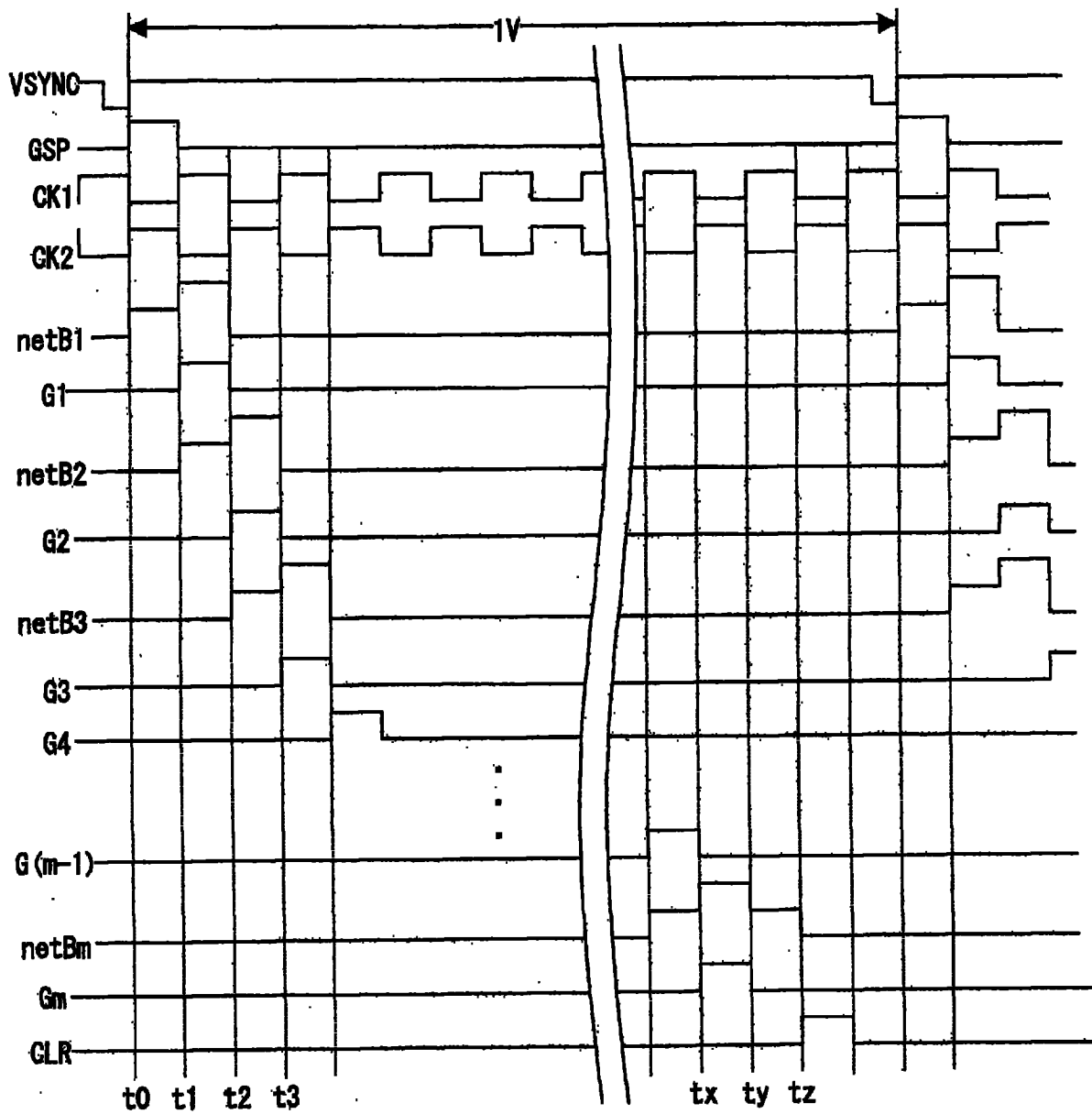


图 32

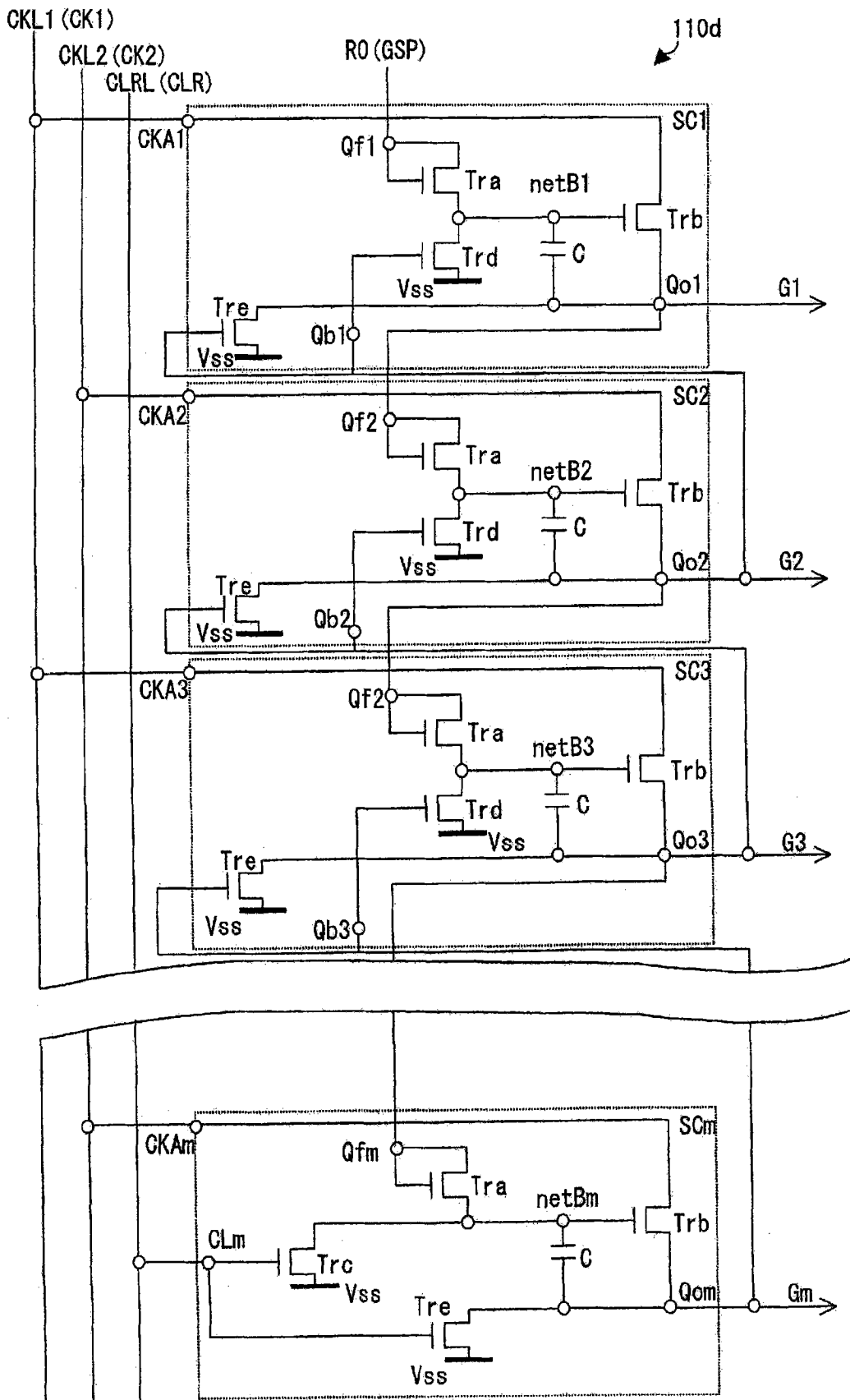


图 33

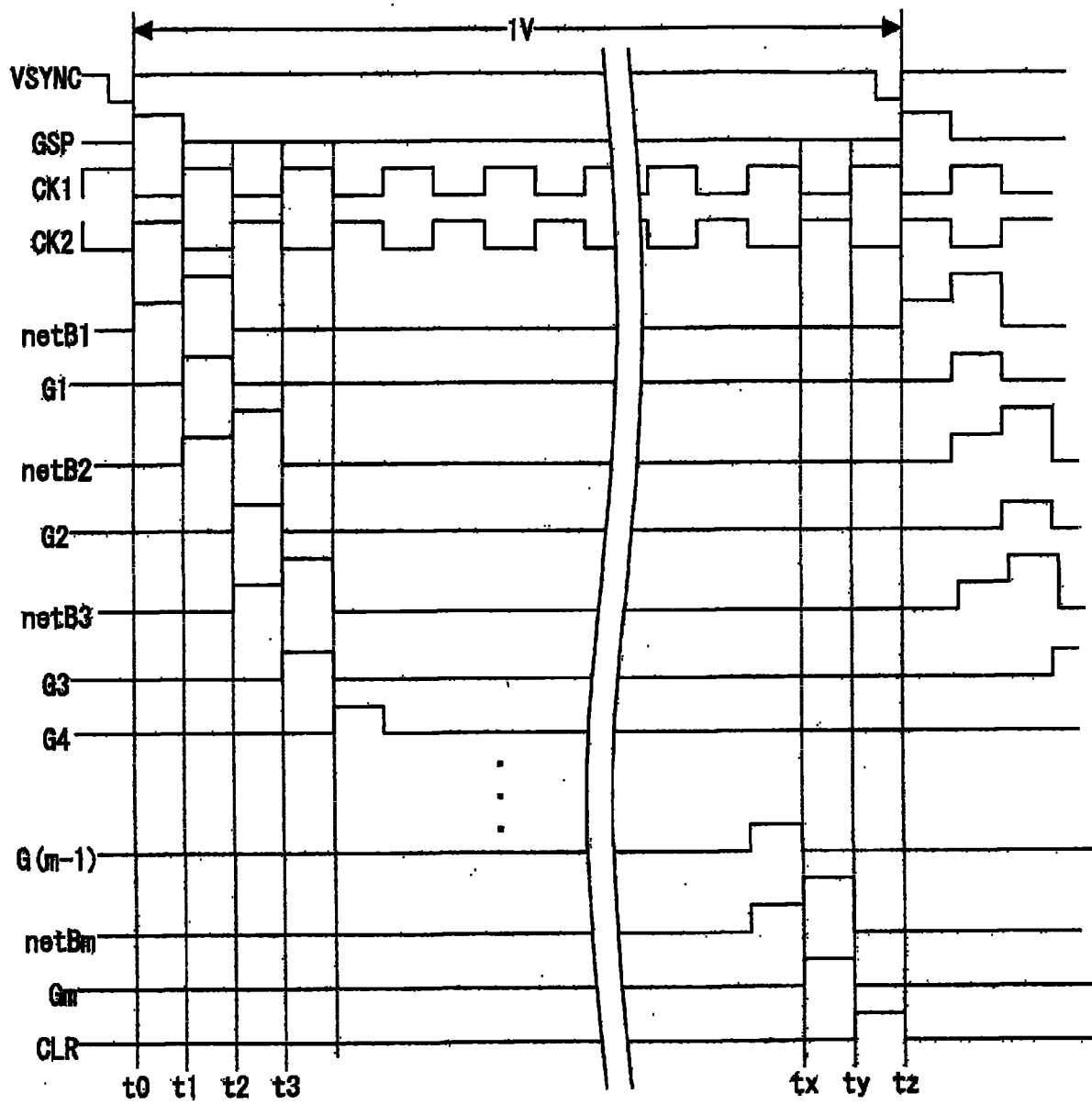


图 34

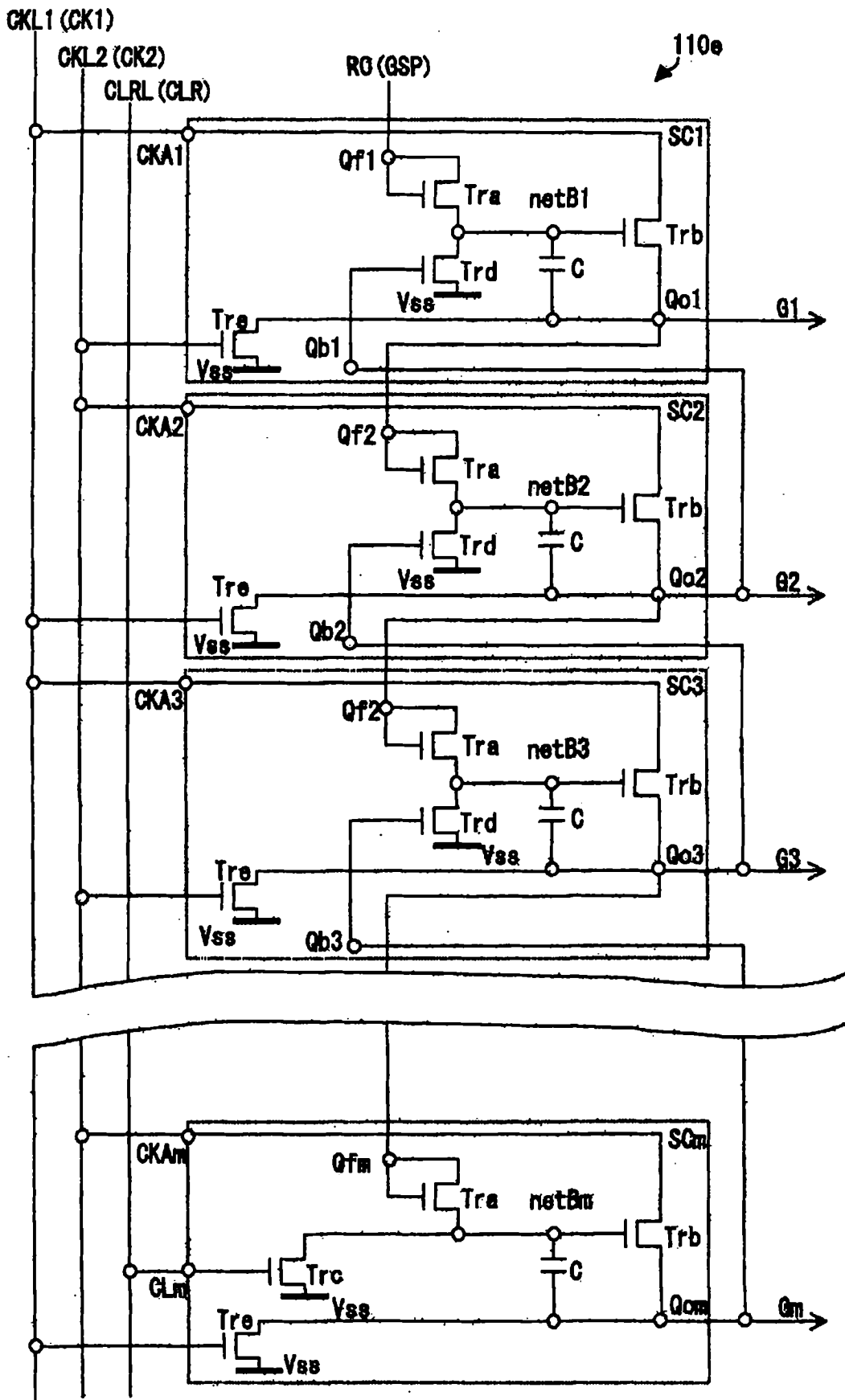


图 35

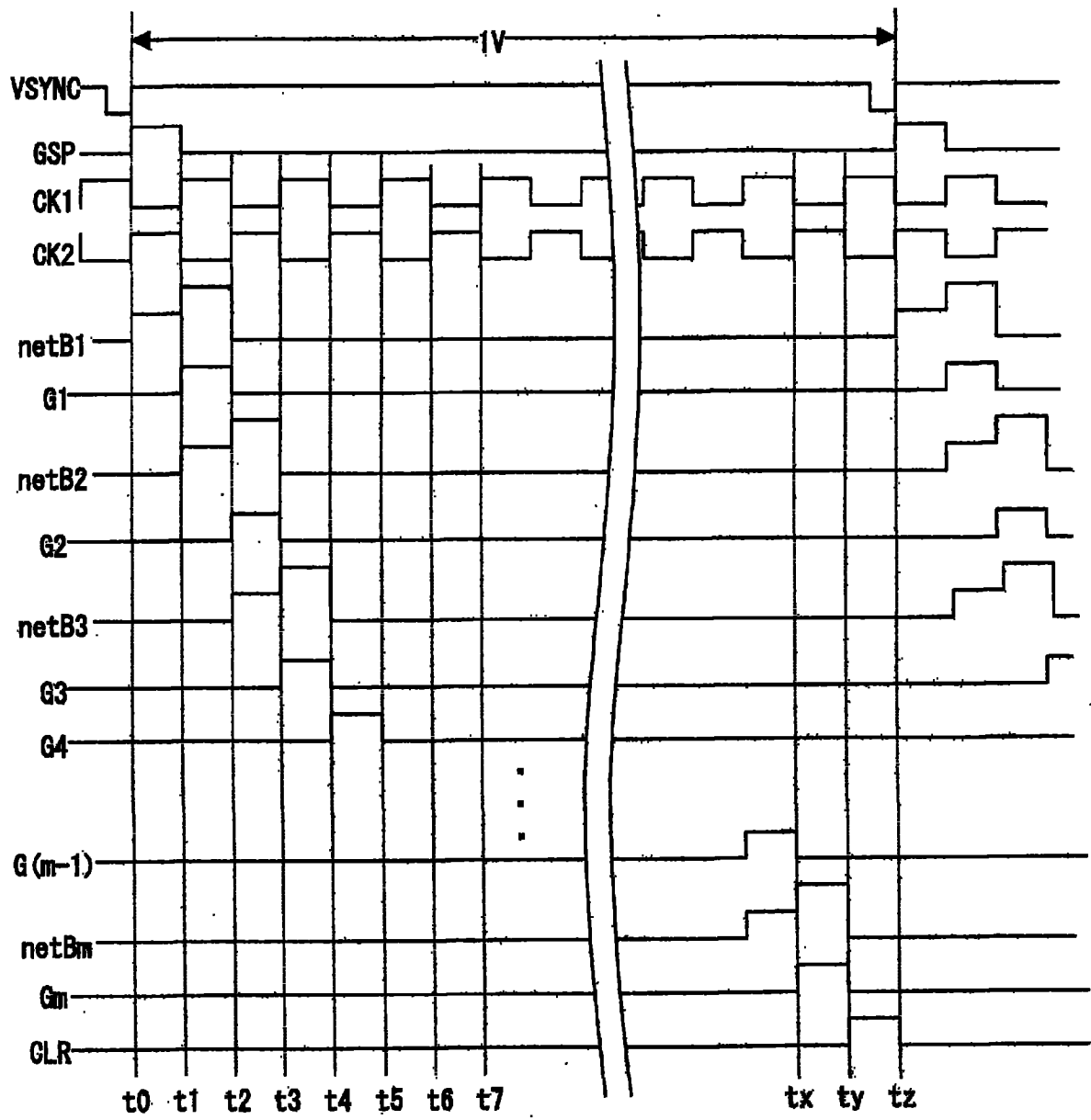


图 36

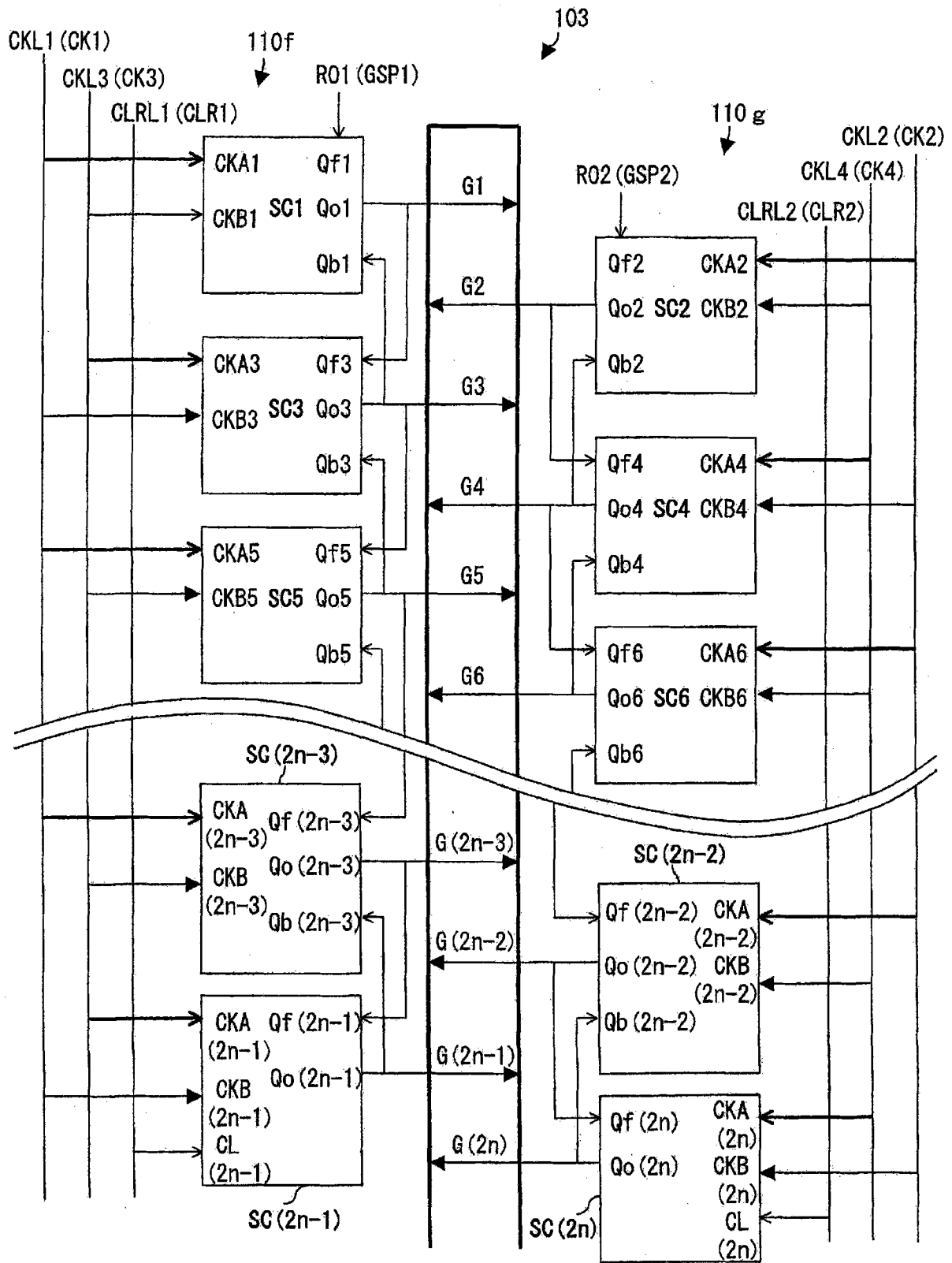


图 37

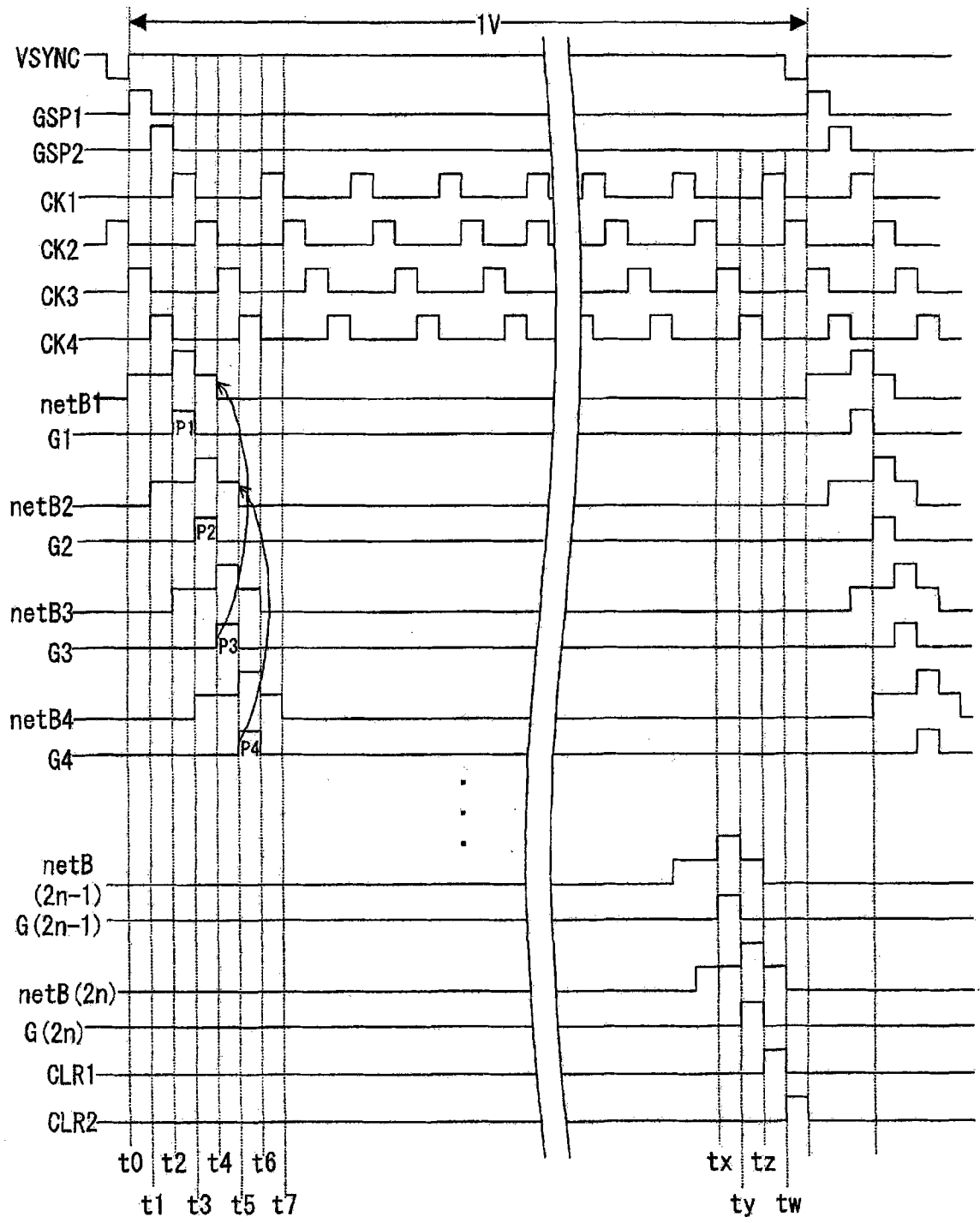


图 39

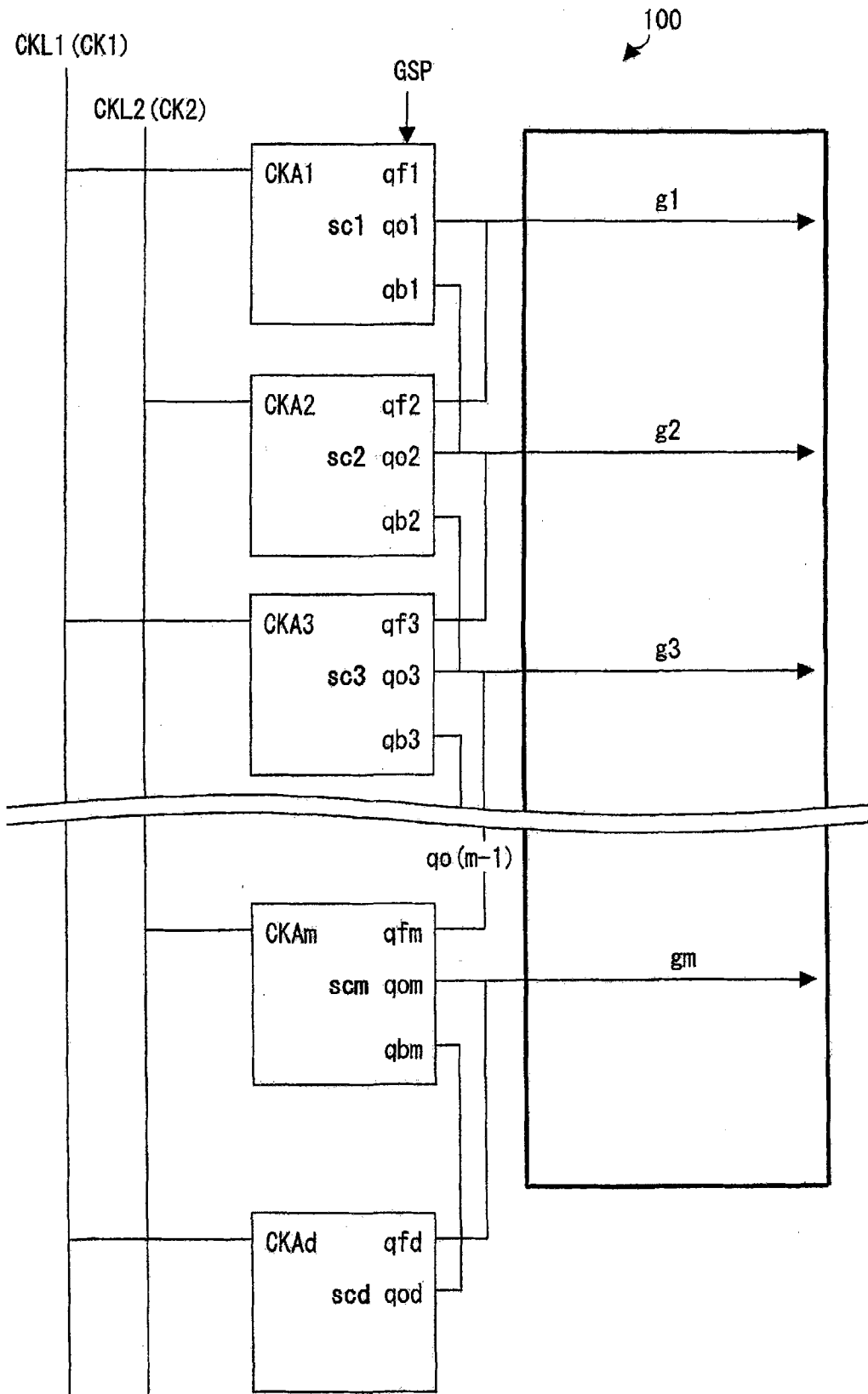


图 40

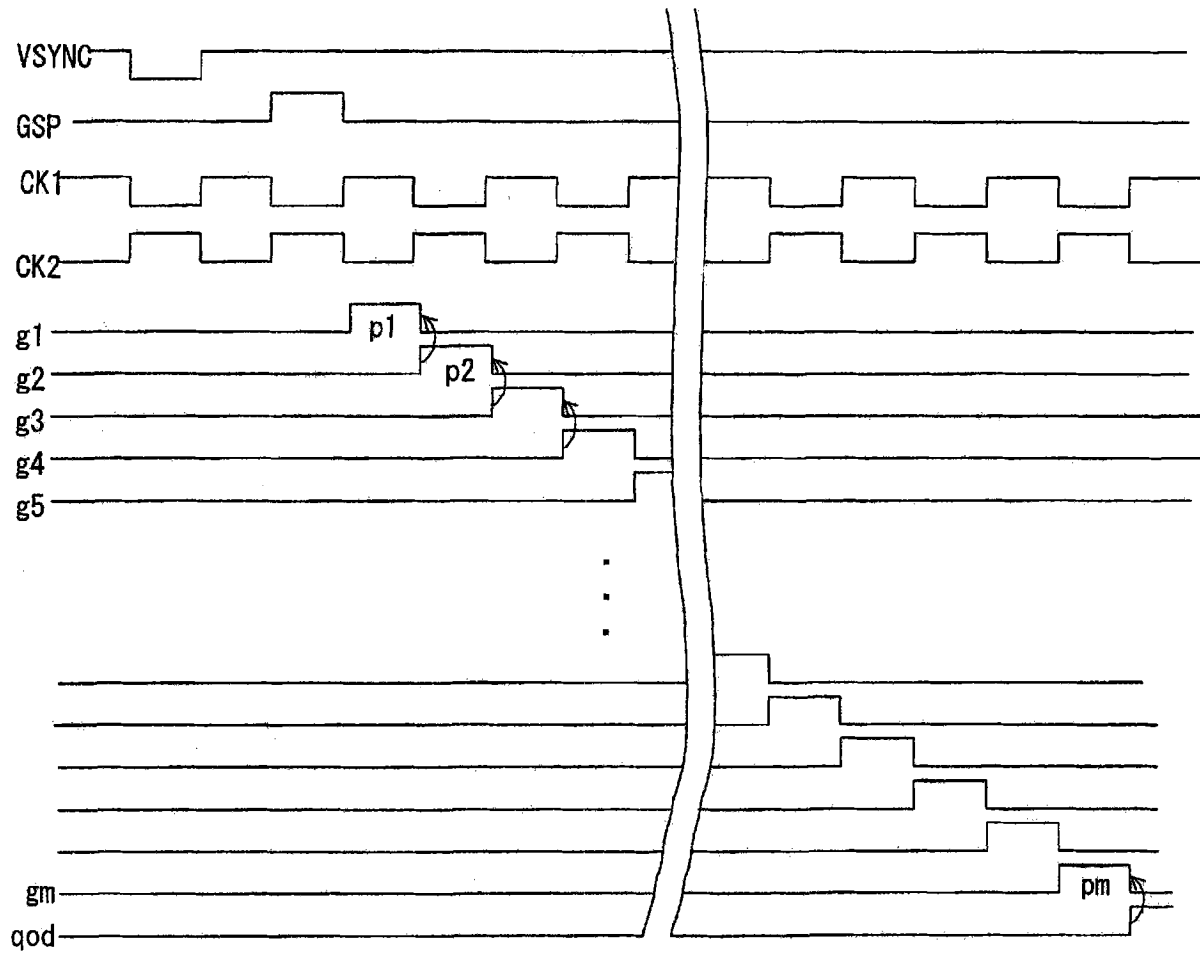


图 41

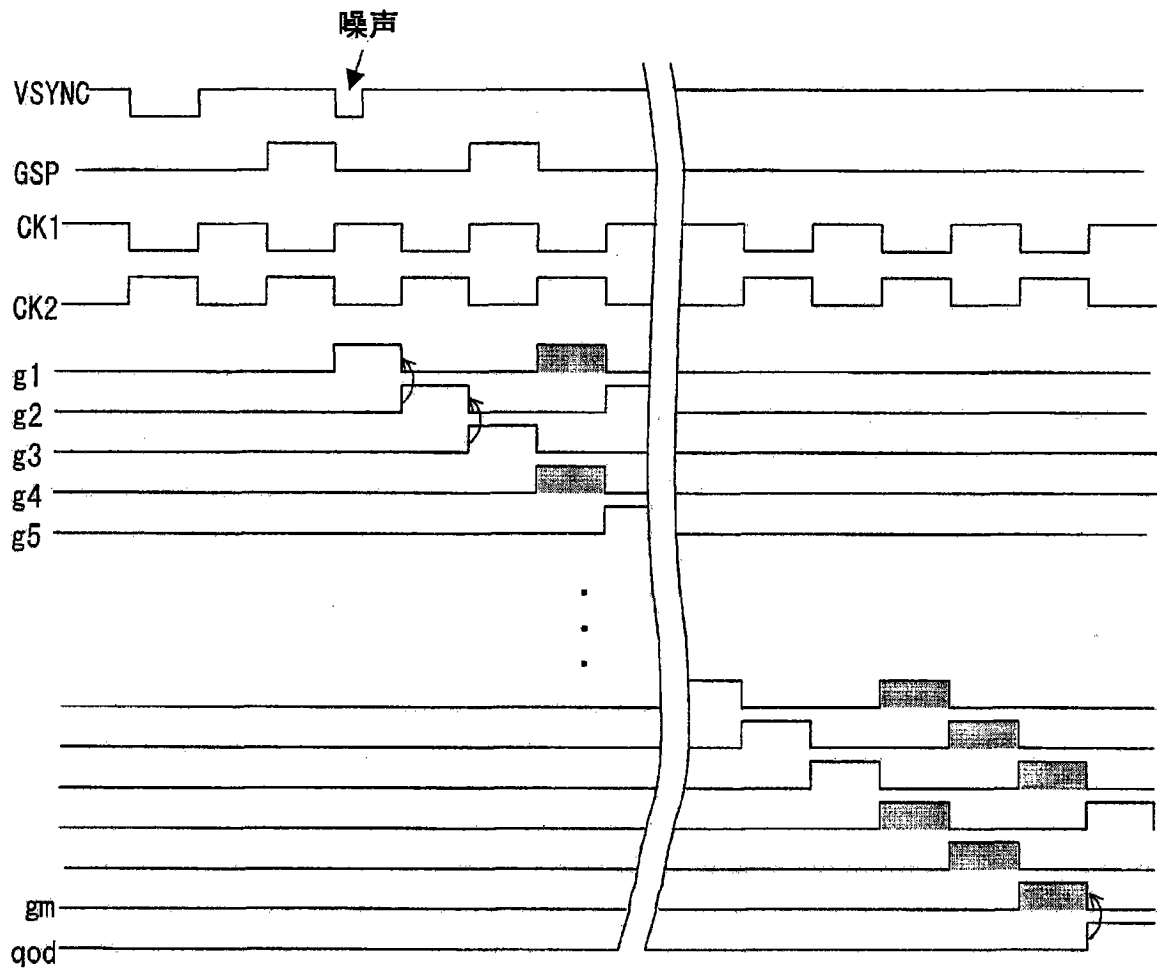


图 42

专利名称(译)	显示面板驱动电路、液晶显示装置、移位寄存器、液晶面板、以及显示装置的驱动方法		
公开(公告)号	CN101971242A	公开(公告)日	2011-02-09
申请号	CN200880128102.4	申请日	2008-12-17
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	水永隆行 森井秀树 岩本明久 广兼正浩 太田裕己		
发明人	水永隆行 森井秀树 岩本明久 广兼正浩 太田裕己		
IPC分类号	G09G3/20 G09G3/36 G02F1/133		
CPC分类号	G11C19/28 G09G2330/025 G09G2310/0286 G09G3/3677 G11C19/184		
代理人(译)	张鑫 胡烨		
优先权	2008072420 2008-03-19 JP		
其他公开文献	CN101971242B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种显示面板驱动电路，该显示面板驱动电路包括移位寄存器，该移位寄存器由生成信号线选择信号(G1 ~ Gm)的单位电路级联连接而构成，并且从第一级到最后一级依次输出由所述信号线选择信号(G1 ~ Gm)形成的脉冲，向所述各单位电路输入时钟信号(CK1、CK2)、基于来自所述显示面板驱动电路外部的同步信号(VSYNC)而生成的栅极起始脉冲信号(GSP)或由其它级生成的所述信号线选择信号(G1 ~ Gm)、以及清零信号(CLR)，该清零信号(CLR)在所述同步信号(VSYNC)有异常的情况下被激活，之后到下一个垂直扫描期间开始之前，都不从所述移位寄存器输出脉冲。根据上述结构，能够实现一种可在所述同步信号(VSYNC)产生异常的情况下抑制显示混乱并且不增大对电源的负荷的显示面板驱动电路。

