

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810131460.2

[43] 公开日 2008 年 11 月 19 日

[11] 公开号 CN 101308646A

[22] 申请日 2008.1.15

[21] 申请号 200810131460.2

[30] 优先权

[32] 2007. 2. 6 [33] KR [31] 12166/07

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 朴宰完 金昌民 金钟善

[74] 专利代理机构 北京市柳沈律师事务所
代理人 邵亚丽

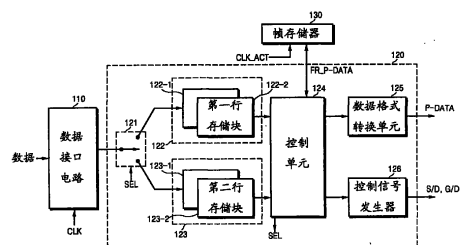
权利要求书 3 页 说明书 8 页 附图 3 页

[54] 发明名称

定时控制器及其操作方法和具有该控制器的
液晶显示装置

[57] 摘要

一种定时控制器及其操作方法和具有该控制器的液晶显示装置。在该定时控制器和具有该控制器的液晶显示装置中，该定时控制器包含一行存储块，接收和储存以第一数据传送频率接收的像素数据，并以第二数据传送频率输出所储存的像素数据。一控制单元，其与行存储块的输出端相连，以第二数据传送频率传送行存储块输出的像素数据至一外部帧存储器，并在将像素数据转换为预置数据格式后，输出由该帧存储器传送的像素数据。



1.一种定时控制器包括:

行存储块,接收和储存以第一数据传送频率接收的像素数据,并以第二数据传送频率输出所储存的像素数据;和

控制单元,其与行存储块的输出端相连,以第二数据传送频率将从行存储块输出的像素数据传送至一外部帧存储器,并在将像素数据转换为预置数据格式后,输出从该帧存储器传送的像素数据。

2.根据权利要求1的定时控制器,进一步包括:

数据格式转换单元,将控制单元输出的像素数据转换为与液晶面板的驱动方法对应的数据格式;和

控制信号发生器,响应从控制单元输出的控制信号产生多个驱动液晶面板的控制信号。

3.根据权利要求1的定时控制器,其中第一数据传送频率高于第二数据传送频率。

4.根据权利要求1的定时控制器,其中行存储块包括:

第一行存储块,储存液晶面板的第N水平行上的像素数据,这里N为自然数;和

第二行存储块,储存液晶面板的第(N+1)水平行上的像素数据。

5.根据权利要求4的定时控制器,其中该定时控制器进一步包括选择块,其响应选择信号选择第一行存储块或第二行存储块。

6.根据权利要求4的定时控制器,其中第一行存储块和第二行存储块分别包括一储存奇数像素数据的奇数行存储器和一储存偶数像素数据的偶数行存储器。

7.一种液晶显示装置包括权利要求1的定时控制器,并进一步包括:

数据接口电路,传送以第一数据传送频率接收的像素数据并将接收的像素数据输出至定时控制器;

以第二数据传送频率与定时控制器接口的帧存储器,其接收和储存像素数据,并以帧为单位将储存的像素数据输出至定时控制器;

包括多条源极线、多条栅极线和多个像素的液晶面板;

源极驱动器,其通过基于从定时控制器输出的源极控制信号将像素数

据转换为预置伽马电压电平来驱动液晶面板；和
栅极驱动器，其基于从定时控制器输出的栅极控制信号驱动液晶面板。

8. 根据权利要求 7 的液晶显示装置，其中帧存储器包括 SDRAM 或 DDR SDRAM。

9. 一种定时控制器，包括：

第一行存储块，其储存以第一数据传送频率接收到的液晶面板的第 N 水平行上的像素数据，这里 N 为自然数；

第二行存储块，其储存以第一数据传送频率接收到的液晶面板的第 $(N+1)$ 水平行上的像素数据；

选择块，其与第一和第二行存储块的输入端相连，响应行存储选择信号将从外部源接收到的像素数据输出至第一行存储块或第二行存储块；

控制单元，其连接第一和第二行存储块的输出端，以第二数据传送频率将由第一和第二行存储块输出的像素数据传送至帧存储器，将从帧存储器输出的像素数据转换为预置数据格式，并输出转换的像素数据；

数据格式转换单元，其将由控制单元输出的像素数据转换为与液晶面板的驱动方法对应的数据格式；和

控制信号发生器，其响应从控制单元输出的控制信号产生多个驱动液晶面板的控制信号。

10. 根据权利要求 9 的定时控制器，其中第一行存储块和第二行存储块分别包括一储存奇数像素数据的奇数行存储器和一储存偶数像素数据的偶数行存储器。

11. 根据权利要求 9 的定时控制器，其中行存储选择信号由控制单元输出。

12. 根据权利要求 9 的定时控制器，其中第一数据传送频率高于第二数据传送频率。

13. 一种定时控制器的操作方法，包括：

响应行存储选择信号将以第一数据传送频率在选择电路接收到的像素数据输出至第一行存储块或第二行存储块；

第一行存储块储存以第一数据传送频率接收的像素数据中的液晶面板的第 N 水平行上的像素数据，这里 N 为自然数；

第二行存储块储存以第一数据传送频率接收的像素数据中的液晶面板的第(N+1)水平行上的像素数据; 和

在分别与第一和第二行存储块的输出端连接的控制单元以第二数据传送频率向外部帧存储器传送由第一和第二行存储块输出的像素数据。

14. 根据权利要求 13 的方法, 进一步包括:

将从控制单元输出的像素数据转换为与液晶面板驱动方法对应的数据格式; 和

接收从控制单元输出的控制信号并产生多个驱动液晶面板的控制信号。

15. 根据权利要求 13 的方法, 其中第一行存储块和第二行存储块分别包括一储存奇数像素数据的奇数行存储器和一储存偶数像素数据的偶数行存储器。

16. 根据权利要求 13 的方法, 其中第一数据传送频率高于第二数据传送频率。

定时控制器及其操作方法和具有该控制器的液晶显示装置

技术领域

本发明的实施例涉及一种定时控制器和具有该定时控制器的液晶显示装置，尤其是，涉及一种能减少帧存储器接口带宽的定时控制器和具有该定时控制器的液晶显示装置。

背景技术

液晶显示的分辨率一般依据显示装置上每单位面积所集成的像素数量。通过在更大幅面尺寸上形成液晶显示装置可提高分辨率。通过增加液晶面板上像素的集成密度也可提高分辨率以显示高质量的图像。随着分辨率的提高，被处理和显示的像素数据的数量也将增加。鉴于此，将需要处理像素数据数量增加的方法和系统和处理速度增快的方法和系统。

图1为一用于显示装置的常规定时控制器的方框图。参考图1，该定时控制器10包括控制单元11，选择电路12，第一行存储块13，第二行存储块14，数据格式转换单元15和控制信号发生器16。

控制单元11接收由数据接口电路20输出的像素数据，并将该像素数据输出到帧存储器30。控制单元11还接收从帧存储器30逐帧输出的像素数据。选择电路12接收从控制单元11输出的像素数据，并根据由控制单元11产生的行存储块选择信号SEL将接收到的像素数据输出到第一行存储块13或第二行存储块14。

第一行存储块13和第二行存储块14分别存储在接收的液晶面板的水平上的像素数据。数据格式转换单元15基于液晶面板的数据驱动方法将从第一行存储块13或第二行存储块14输出的像素数据转换成一预置的数据格式后输出像素数据P-DATA。

控制信号发生器16根据从控制单元11输出的控制信号输出栅极驱动器控制信号G/D和源极驱动器控制信号S/D。然而，在常规定时控制器10中，数据接口电路20和定时控制器10的接口速率具有相对低的频率（如85MHz）。随着汇聚在液晶面板上的像素数目的增加，显示数目增加的像

素所需要的像素数据的数量也将增加。

此外，超速传动(over-drive)技术被引入来提高液晶显示装置的响应速度，120Hz 技术被引入来改善可能发生的模糊现象，其是保持型(hold-type)显示装置的限制，以及超图案化垂直取向(Super Phenomenon Vertical Alignment, SPVA)技术被引入来拓展视角。由于这些当前技术的改进，被处理的像素数据的数量必然增加。

因此，为了对液晶显示装置应用超速传动技术、120Hz 技术和 SPVA 技术等，液晶显示装置包括一帧存储块 30 并进一步提高定时控制器 10 和帧存储器 30 之间的传输频率或带宽。然而，当数据传输频率或带宽大于某一速率如 200MHz 时，将很难达到设置或保持用于存取在帧存储器 30 中存储的像素数据的时间。

所以，希望提高帧存储器 30 和定时控制器 10 之间的数据传输频率或带宽来改善增加的像素数据的处理速度。

发明内容

本发明的部分实施例提供一改善帧存储器和定时控制器之间的接口带宽的定时控制器，以及包括该定时控制器的液晶显示装置。

一方面，定时控制器包括：一行存储块，接收和储存以第一数据传送频率接收的像素数据，并以第二数据传送频率输出储存的像素数据；和一控制单元，其与行存储块的输出端相连，以第二数据传送频率传送行存储块输出的像素数据至一外帧存储器，并在将像素数据转换为预置数据格式后，输出由该帧存储器传送来的像素数据。

在一实施例中，定时控制器进一步包括：一数据格式转换单元，将控制单元输出的像素数据转换为与液晶面板的驱动方法对应的数据格式；和一控制信号发生器，响应控制单元输出的控制信号产生多个驱动液晶面板的控制信号。

在另一实施例中，第一数据传送频率高于第二数据传送频率。

在另一实施例中，行存储块包括：一第一行存储块，储存液晶面板的第 N 水平行上的像素数据，这里 N 为自然数；和一第二行存储块，储存液晶面板的第 (N+1) 水平行上的像素数据。

在另一实施例中，定时控制器进一步包括一选择块，响应选择信号选

择第一行存储块或第二行存储块。

在另一实施例中，第一行存储块和第二行存储块分别包括一储存奇数像素数据的奇数行存储器和一储存偶数像素数据的偶数行存储器。

在另一方面，一液晶显示装置包括上述的定时控制器，并进一步包括：一数据接口电路，以第一数据传送频率传送所接收的像素数据并输出所接收的像素数据至定时控制器；一以第二数据传送频率与定时控制器接口的帧存储器，接收和储存像素数据，并以帧为单位输出储存的像素数据至定时控制器；包括多条源极线、多条栅极线和多个像素的液晶面板；一源极驱动器，其基于定时控制器输出的源极控制信号通过将像素数据转换为预置伽马电压电平来驱动液晶面板；和一栅极驱动器，其基于定时控制器输出的栅极控制信号驱动液晶面板。

在一实施例中，帧存储器包括 SDRAM 或 DDR SDRAM。

在另一方面，一定时控制器包括：一第一行存储块，其储存以第一数据传送频率接收到的液晶面板第 N 水平行上的像素数据，这里 N 为自然数；一第二行存储块，其储存以第一数据传送频率接收到的液晶面板第 (N+1) 水平行上的像素数据；一选择块，其与第一和第二行存储块的输入端相连，响应行存储选择信号输出从外部源接收到的像素数据至第一行存储块或第二行存储块；一控制单元，其连接至第一和第二行存储块的输出端，以第二数据传送频率传送由第一和第二行存储块输出的像素数据至帧存储器，将帧存储器输出的像素数据转换为预置数据格式，并输出转换后的像素数据；一数据格式转换单元，其将由控制单元输出的像素数据转换为与液晶面板驱动方法对应的数据格式；和一控制信号发生器，其响应控制单元输出的控制信号产生多个驱动液晶面板的控制信号。

在一实施例中，第一行存储块和第二行存储块分别包括一储存奇数像素数据的奇数行存储器和一储存偶数像素数据的偶数行存储器。

在另一实施例中，行存储选择信号由控制单元输出。

在另一实施例中，第一数据传送频率高于第二数据传送频率。

在另一方面，一种定时控制器的操作方法包括：响应行存储选择信号将以第一数据传送频率在选择电路接收到的像素数据输出至第一行存储块或第二行存储块；第一行存储块储，储存以第一数据传送频率接收的像素数据中的液晶面板的第 N 水平行上的像素数据，这里 N 为自然数；第二行

存储块，储存以第一数据传送频率接收的像素数据中的液晶面板第 $(N+1)$ 水平行上的像素数据；并在分别与第一和第二行存储块的输出端连接的控制单元以第二数据传送频率向外部分帧存储器传送由第一和第二行存储块输出的像素数据。

在一实施例中，该方法进一步包括：将由控制单元输出的像素数据转换为与液晶面板驱动方法对应的数据格式；和接收控制单元输出的控制信号并产生多个驱动液晶面板的控制信号。

在另一实施例中，第一行存储块和第二行存储块分别包括一储存奇数像素数据的奇数行存储器和一储存偶数像素数据的偶数行存储器。

在另一实施例中，第一数据传送频率高于第二数据传送频率。

附图说明

从下面结合附图的实施例的描述中，本发明总的发明原理的这些和/或其他方面和优点将变得清楚和更容易被理解，其中：

图1是常规定时控制器的方框图；

图2是按照本发明的一个范例实施例的液晶显示装置的方框图；

图3是图2中所述的定时控制器的方框图；和

图4是说明按照本发明的另一个范例实施例的定时控制器的有益效果的图表。

具体实施方式

下面将参照附图更全面地描述本发明的实施例，其中附图示出本发明的优选实施例。然而本发明可以以多种不同的形式实施，并且不应该被看作仅局限于本文所述的实施例。相反地，提供这些实施例使得公开的内容充分和完全，且将对本领域的技术人员完整表达本发明的所涉及的范围。在图中，为了清楚，层和区域的尺寸和相对尺寸被放大了，全文中相同的标号表示相同的元件。

需要理解的是，当一元件被指明是被“连接”，“耦接”或“邻接”到另一元件时，该元件可直接连接或耦接到其他元件或中间存在插入元件。相反，当元件被指明是被“直接连接”，“直接耦接”，或“直接邻接”到另一元件时，则中间不存在插入元件。如这里所用的，用语“和/或”包含所列相关项中一

个或多个的任何和全部的组合，并可被简写为“/”。

需要理解的是，虽然用语第一，第二等等在本文中可能被用来描述不同元件，但这些元件不应该局限于这些用语。这些用语仅用来区分元件。例如，第一信号可以被称做第二信号，并且同样地，第二信号可以被称做第一信号，而不脱离本文的教导。

本文中所使用的用语仅是为了描述特定实施例的目的，并不用来限定本发明。如本文所用的，单数形式“一”和“该”意思是也包括复数形式，除非上下文清楚地另外指出。应进一步理解的是，在说明书中使用的用语“包含”和/或“包含有”或“包括”及“包括有”表示陈述的特征，区域，整数，步骤，操作，元件和/或构件的存在，但不排除存在或加入一个或多个其他特征，区域，整数，步骤，操作，元件，构件和/或其中的组合。

除非另外定义，所有本文所用的用语（包括技术的和科学的用语）具有与本发明所属领域普通技能的人员所理解的同样的含义。应进一步理解的是，诸如那些在通常使用的辞典中定义的用语，应该被解释为具有与相关技术上下文和/或本申请中一致的含义，并不能被解释为理想化或过于形式化的含义，除非本文中清楚定义。

图 2 是按照本发明的一个范例实施例的液晶显示装置的方框图。参见图 2，液晶显示装置 100 包含一数据接口电路 110，一定时控制器 120，一帧存储器 130，一源极驱动器 140，一栅极驱动器 150，和一液晶面板 160。

该数据接口电路 110 按照 LVDS 接口方法操作，将接收的像素数据 DATA 转换为预置信号电平，如 3.3V 至 1.8V 之间，并响应具有第一频率的第一时钟信号 CLK 输出电平转换后的像素数据。

该第一频率包含一预置额外（overhead）频率。额外是指常规驱动液晶面板 160 操作所需要的额外时间。定时控制器 120 接收和输出从数据接口电路 110 输出至帧存储器 130 的像素数据，并输出以帧为单位的由帧存储器 130 输出至源极驱动器 140 的像素数据 P-DATA。

图 3 是图 2 中所述的定时控制器 120 的实施例的方框图。参见图 2 和 3，该定时控制器 120 包含一选择块 121，一包含多个行存储器 122-1 和 122-2 的第一行存储块 122，一包含多个行存储器 123-1 和 123-2 的第二行存储块 123，一控制单元 124，一数据格式转换单元 125，和一控制信号发生器 126。

选择块 121 接收响应具有第一频率的第一时钟信号 CLK 由数据接口电

路 110 输出的像素数据，并响应从控制单元 124 输出的选择信号 SEL 将接收到的像素数据输出至第一行存储块 122 或第二行存储块 123。

例如，选择块 121 响应选择信号 SEL 的第一电平（如，逻辑“高”）将所接收到的像素数据输出至第一行存储块 122，并响应选择信号 SEL 的第二电平（如，逻辑“低”）将接收到的像素数据输出至第二行存储块 123。

第一行存储块 122 储存由选择块 121 输出的像素数据中液晶面板 160 的第 N 水平行上的像素数据（N 为自然数，例如，N 大于 2）。第一行存储块 122 包含储存接收到的第 N 水平行的像素数据中奇数像素数据的第一奇数行存储器 122-1 和储存接收到的第 N 水平行的像素数据中偶数像素数据的第一偶数行存储器 122-2。

第二行存储块 123 储存由选择块 121 输出的像素数据中液晶面板 160 第 (N+1) 水平行的像素数据。第二行存储块 123 包含储存接收到的第 (N+1) 水平行的像素数据中奇数像素数据的第二奇数行存储器 123-1 和储存接收到的第 (N+1) 水平行的像素数据中偶数像素数据的第二偶数行存储器 123-2。

当第一行存储块 122 接收第 N 水平行的像素数据时，第二行存储块 123 输出预先储存的第 (N-1) 水平行的像素数据。同样，当第二行存储块 123 接收第 (N+1) 水平行的像素数据时，第一行存储块 122 输出预先储存的第 N 水平行的像素数据。

也就是，由于第一行存储块 122 和第二行存储块 123 输出排成行的像素数据，因此它们以一有效像素频率储存和输出以第一频率接收到的像素数据。该有效像素频率为除去额外频率的第一频率。

控制单元 124 接收由第一行存储块 122 或第二行存储块 123 输出的像素数据并输出至帧存储器 130。控制单元 124 接收由帧存储器 130 输出的像素数据并输出至数据格式转换单元 125。

帧存储器 130 包含多个为了和定时控制器 120 接口的数据输入/输出管脚（未示出）。帧存储器 130 接收并储存控制单元 124 经过一连接到多个输入/输出管脚的数据总线输出的像素数据，并且响应具有第二频率的第二时钟信号 CLK_ACT 将所储存的像素数据按帧输出至控制单元 124。帧存储器 130 可以实施为诸如 SDRAM 或 DDR SDRAM 之类的易失性存储器。

第二时钟信号 CLK_ACT 具有与相应于定时控制器 120 的驱动技术（如，

超传动技术, 120Hz 驱动技术和 SPVA 技术) 输入到定时控制器 120 的像素数据的传输频率(如, 第一频率)成比例的频率。即, 第一频率高于第二频率。

数据格式转换单元 125 将控制单元 124 输出的像素数据转换为与所使用的液晶显示装置 160 驱动方法(如, 点反转方法, 线反转方法等等)对应的数据格式, 并输出转换后的像素数据 P-DATA。

控制信号发生器 126 响应控制单元 124 输出的控制信号将控制信号 S/D 和 G/D 输出至源极驱动器 140 和栅极驱动器 150, 控制信号 S/D 和 G/D 控制数据格式转换单元 125 输出的转换的像素数据 P-DATA 的信号传输定时。在基于定时控制器 120 输出的源极驱动器控制信号 S/D 将像素数据 P-DATA 转换为预置伽马电压电平或预置极性后, 源极驱动器 140 将像素数据 P-DATA 输出至液晶面板 160 的数据线。

栅极驱动器 150 基于定时控制器 120 输出的栅极驱动器控制信号 G/D 依次导通液晶面板 160 包含的栅极线。

图 4 是说明按照本发明的范例实施例的有益效果的图表。图 4 说明了使用超速传动驱动方法时的情况, 其在支持高分辨率的定时控制器 120 和帧存储器 130 之间驱动接口传输速度的 1.5 或 3 倍。

参见图 1 至 4, 数据接口电路 110 输出的像素数据的频率具有相应于有效像素频率和额外频率组合的频率。例如, 当输出的像素数据频率为 85MHz 时, 有效像素频率和额外频率分别变为 62.5MHz 和 17.5MHz。所希望的有效像素频率相对额外频率的比率可由系统设计时确定。

在使用驱动具有 HD (1366×768) 水平分辨率的液晶显示装置 100 的单个数据接口方法的情况下, 传统的定时控制器 10 以当 1.5 倍的超速传动时的传输频率 127.5MHz 将像素数据传送至帧存储器 30。另一方面, 按照本发明实施例的定时控制器 120 以当 1.5 倍超速传动时的传输频率 93.8MHz 将像素数据传送至帧存储器 130。

也就是说, 通过经过行存储块 122 或 123 减少具有第一频率并由数据接口电路 110 输出的额外像素数据, 按照本发明实施例的定时控制器 120 可比常规定时控制器减少大概 26.5% 的带宽。当使用驱动具有 FHD (1920×1080) 水平分辨率的液晶显示装置的双接口方法时, 传统定时控制器 10 以大约 255MHz 的速率与帧存储器 30 接口。

同样，当将 10 比特的像素数据传送到帧存储器 30 并在传送像素数据中所有 32 比特数据总线被占用时，传统定时控制器 10 以传输频率 239.1MHz 驱动。因此，当常规定时控制器 10 对帧存储器 30 存取时，勉强能获得设置或保持时间。

在另一方面，当以 3 倍超速传动速率驱动时，根据本发明实施例的定时控制器 120 与帧存储器 130 接口的频率可仅为 187.5MHz。同样，根据本发明实施例的定时控制器 120 在数据总线的 32 比特被占用时，可以 175.8MHz 的传输频率将 10 比特的像素数据传送至帧存储器 130。因此，帧存储器 130 与传统定时控制器 10 相比可更容易地获得充足的设置或保持时间并减少接口带宽。

也就是，根据本发明的定时控制器 120 可通过在控制单元 124 之前设置行存储块 122 和 123，以不包含额外频率的有效像素数据频率与帧存储器 130 接口，而不需要增加另外的电路。另外，通过减少帧存储器 130 和定时控制器 120 间的接口带宽，定时控制器 120 不需要另外的电路以增加分辨率，因此定时控制器 120 可被低成本的制造。

如上所述，根据本发明实施例的定时控制器 120 和具有该定时控制器的液晶显示装置 100 可减少定时控制器 120 和帧存储器 130 间的接口带宽，并可减少定时控制器 120 和帧存储器 130 的制造成本。

虽然已经参考其示例实施例示出和描述了本发明的实施例，但是本领域技术人员可以理解的是，在不脱离本发明由下述权利要求所定义的精神和范围的情况下，本文可以进行各种形式和细节上的各种变形。

本申请按照 35 U.S.C. §119 要求 2007 年 2 月 6 日申请的韩国专利申请 No.10-2007-0012166 的优先权，在此整体结合其全部公开内容作为参考。

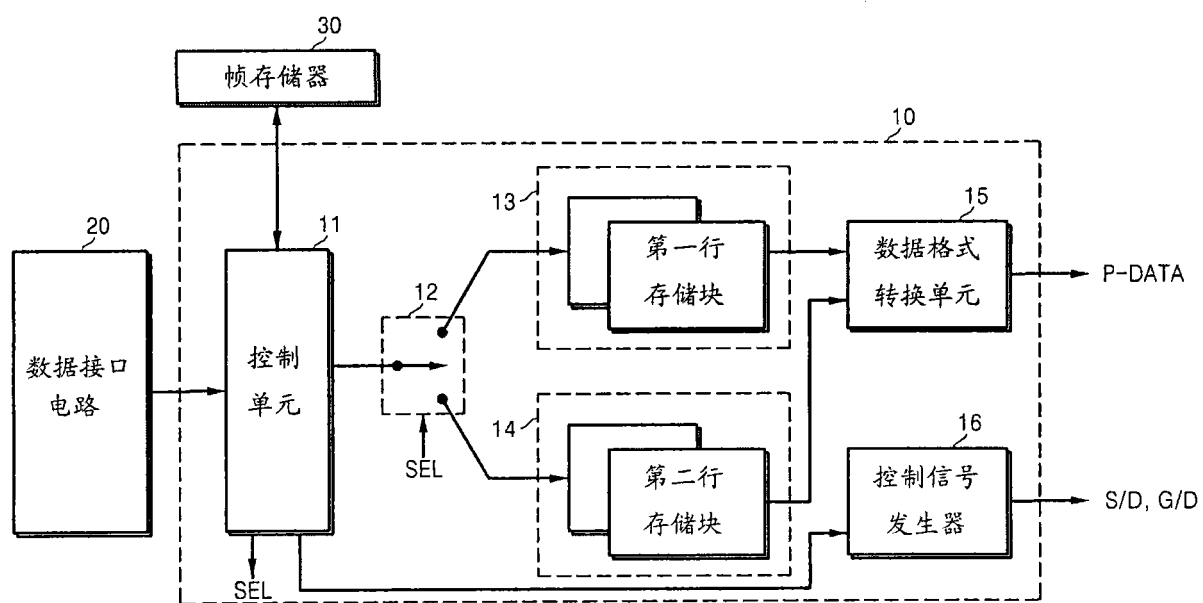


图 1

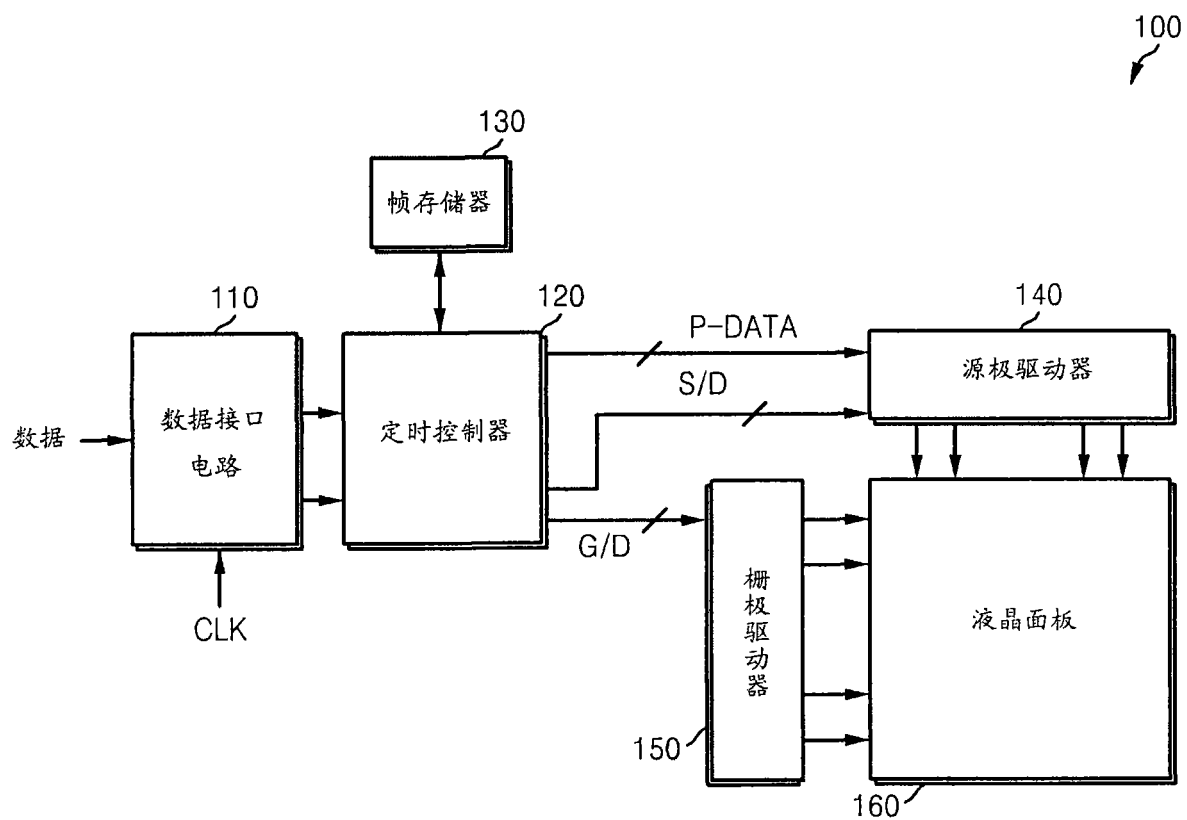


图 2

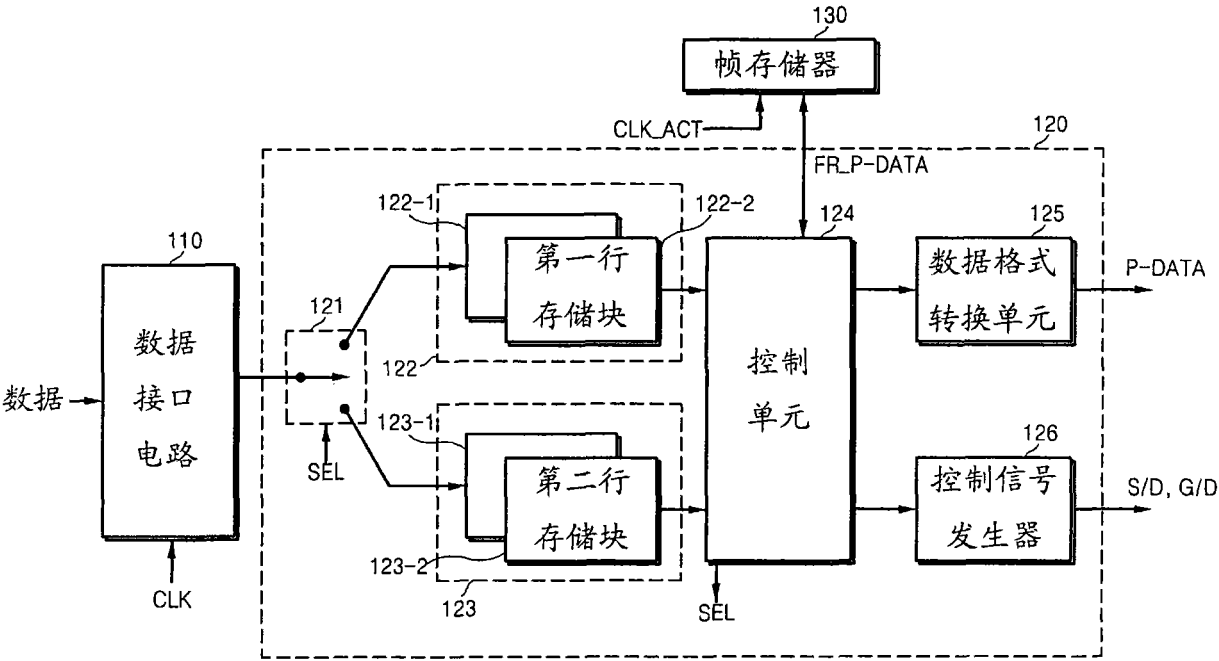


图 3

分辨率	比特宽度	LVDS Rx.	有效像素 频率	建议的		LVDS Rx. 频率	先前的	
				使用 24/30 比特	使用 32 比特		使用 24/30 比特	使用 32 比特
HD (1366x768)	8-bit	单	62.5MHz	93.8MHz	70.4MHz	85MHz	127.5MHz	95.7MHz
	10-bit				87.9MHz			119.6MHz
FHD (1920x1080)	8-bit	双		187.5MHz	140.7MHz		255MHz	191.3MHz
	10-bit				175.8MHz			239.1MHz

图 4

专利名称(译)	定时控制器及其操作方法和具有该控制器的液晶显示装置		
公开(公告)号	CN101308646A	公开(公告)日	2008-11-19
申请号	CN200810131460.2	申请日	2008-01-15
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	朴宰完 金昌民 金钟善		
发明人	朴宰完 金昌民 金钟善		
IPC分类号	G09G3/36		
CPC分类号	G09G2340/04 G09G3/3611 G09G5/39		
代理人(译)	邵亚丽		
优先权	1020070012166 2007-02-06 KR		
外部链接	Espacenet SIPO		

摘要(译)

一种定时控制器及其操作方法和具有该控制器的液晶显示装置。在该定时控制器和具有该控制器的液晶显示装置中，该定时控制器包含一行存储块，接收和储存以第一数据传送频率接收的像素数据，并以第二数据传送频率输出所储存的像素数据。一控制单元，其与行存储块的输出端相连，以第二数据传送频率传送行存储块输出的像素数据至一外部帧存储器，并在将像素数据转换为预置数据格式后，输出由该帧存储器传送的像素数据。

