



## (12) 发明专利

(10) 授权公告号 CN 101751886 B

(45) 授权公告日 2012. 11. 07

(21) 申请号 200910151641. 6

CN 1567419 A, 2005. 01. 19, 全文.

(22) 申请日 2009. 07. 20

审查员 罗朋

(30) 优先权数据

10-2008-0127458 2008. 12. 15 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 洪镇铁 姜弼盛 郑良锡 崔震虎

李玟镐 杨成玄

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 徐金国 钟强

(51) Int. Cl.

G09G 3/36 (2006. 01)

(56) 对比文件

CN 1707595 A, 2005. 12. 14, 全文.

US 6954201 B1, 2005. 10. 11, 全文.

US 2008/0291181 A1, 2008. 11. 27, 全文.

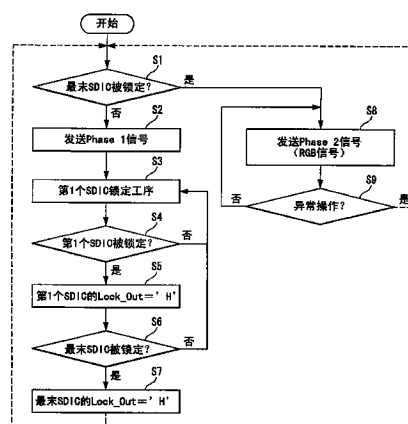
权利要求书 3 页 说明书 11 页 附图 15 页

(54) 发明名称

液晶显示器及其驱动方法

(57) 摘要

公开了一种液晶显示器及其驱动方法。所述液晶显示器包括:时序控制器;N个源极驱动集成电路(IC),其中N是等于或者大于2的整数;N个数据总线对,每个数据总线对都以点对点的方式将所述时序控制器与所述N个源极驱动IC的每一个连接;锁定检查线,将所述N个源极驱动IC中的第一源极驱动IC与所述时序控制器连接,并将所述N个源极驱动IC彼此级联连接;以及反馈锁定检查线,将所述N个源极驱动IC中的最末源极驱动IC与所述时序控制器连接。



1. 一种液晶显示器,包括:

时序控制器;

N 个源极驱动集成电路 (IC),其中 N 是等于或者大于 2 的整数;

N 个数据总线对,每个所述数据总线对都以点对点的方式将所述时序控制器与所述 N 个源极驱动 IC 中的每一个连接;

锁定检查线,将所述 N 个源极驱动 IC 中的第一源极驱动 IC 与所述时序控制器连接,并将所述 N 个源极驱动 IC 彼此级联连接;以及

反馈锁定检查线,将所述 N 个源极驱动 IC 中的最末源极驱动 IC 与所述时序控制器连接,

其中所述时序控制器通过所述 N 个数据总线对的每一对给所述 N 个源极驱动 IC 中的每一个串行传输前导信号,在该前导信号中,具有高逻辑电平的多个比特相继排列,然后具有低逻辑电平的多个比特相继排列,所述时序控制器还通过所述锁定检查线给所述第一源极驱动 IC 传输锁定信号,该锁定信号表示从所述 N 个源极驱动 IC 的每一个输出的内部时钟脉冲的相位被锁定,并且所述时序控制器通过所述反馈锁定检查线从所述最末源极驱动 IC 接收所述锁定信号的反馈信号;

其中在所述时序控制器接收所述锁定信号的所述反馈信号之后,所述时序控制器通过所述 N 个数据总线对的每一对给所述 N 个源极驱动 IC 中的每一个串行传输包括 RGB 数据比特、时钟比特和内部数据使能时钟比特的每个 RGB 数据包。

2. 根据权利要求 1 所述的液晶显示器,其中所述 N 个源极驱动 IC 中的每一个都从所述前导信号恢复基准时钟,以便输出该基准时钟和相位被锁定的内部时钟脉冲,

其中所述 N 个源极驱动 IC 中的每一个都将所述 RGB 数据包的所述时钟比特恢复为用于数据采样的所述基准时钟,以便采样所述 RGB 数据比特。

3. 根据权利要求 2 所述的液晶显示器,其中所述 N 个源极驱动 IC 中的每一个都将采样的数据解串行化,以便输出并行数据,然后将该并行数据转换为模拟数据电压,以便给液晶显示面板的数据线供给该模拟数据电压。

4. 根据权利要求 3 所述的液晶显示器,其中所述 N 个源极驱动 IC 中的每一个都包括相位锁定电路,该相位锁定电路根据所述基准时钟锁定所述内部时钟脉冲的相位,并输出相位被锁定的所述内部时钟脉冲。

5. 根据权利要求 4 所述的液晶显示器,其中所述相位锁定电路比较所述基准时钟的相位与所述内部时钟脉冲的相位,以便根据所述基准时钟的相位锁定所述内部时钟脉冲的相位,并且根据所述时钟比特和所述内部数据使能时钟比特转变所述基准时钟。

6. 根据权利要求 5 所述的液晶显示器,其中在传输所述 RGB 数据包之前,所述时序控制器通过所述 N 个数据总线对给所述 N 个源极驱动 IC 串行传输用于锁定所述内部时钟脉冲的相位的多个锁定数据包,

其中所述 N 个源极驱动 IC 中的每一个都将所述锁定数据包恢复为所述基准时钟,以便锁定所述内部时钟脉冲的相位。

7. 根据权利要求 6 所述的液晶显示器,其中所述时序控制器在 1 个水平周期的消隐周期期间通过所述 N 个数据总线对的每一对给所述 N 个源极驱动 IC 的每一个串行传输所述多个锁定数据包的每一个之后,所述时序控制器在所述 1 个水平周期的数据使能周期期间

通过所述 N 个数据总线对的每一对给所述 N 个源极驱动 IC 的每一个串行传输每个 RGB 数据包。

8. 根据权利要求 1 所述的液晶显示器,进一步包括将所述时序控制器并联到所述 N 个源极驱动 IC 的控制线对。

9. 根据权利要求 8 所述的液晶显示器,其中所述时序控制器通过所述控制线对给所述 N 个源极驱动 IC 传输从外部接收的控制信号,

其中所述控制信号包括用于识别所述 N 个源极驱动 IC 的每一个的芯片识别代码和用于控制所述 N 个源极驱动 IC 的每一个的功能的控制数据。

10. 根据权利要求 5 所述的液晶显示器,其中所述相位锁定电路包括锁相环 (PLL) 和延迟锁定环 (DLL) 之一。

11. 一种驱动液晶显示器的方法,所述液晶显示器包括时序控制器和 N 个源极驱动集成电路 (IC),其中 N 是等于或者大于 2 的整数,所述方法包括:

从所述时序控制器产生前导信号,在该前导信号中,具有高逻辑电平的多个比特相继排列,然后具有低逻辑电平的多个比特相继排列;

以点对点的方式,通过将所述时序控制器连接到所述 N 个源极驱动 IC 的 N 个数据总线对的每一对,给所述 N 个源极驱动 IC 的每一个串行传输所述前导信号;

从所述时序控制器产生锁定信号,该锁定信号表示从所述 N 个源极驱动 IC 的每一个输出的内部时钟脉冲的相位被锁定;

通过锁定检查线,给所述 N 个源极驱动 IC 的第一源极驱动 IC 传输所述锁定信号,其中该锁定检查线将所述第一源极驱动 IC 与所述时序控制器连接,并将所述 N 个源极驱动 IC 彼此级联连接;

从所述 N 个源极驱动 IC 中的最末源极驱动 IC 产生所述锁定信号的反馈信号;以及

通过将所述最末源极驱动 IC 与所述时序控制器连接的反馈锁定检查线,给所述时序控制器传输所述锁定信号的所述反馈信号,

在给所述时序控制器传输所述锁定信号的所述反馈信号之后,从所述时序控制器产生每个都包括 RGB 数据比特、时钟比特和内部数据使能时钟比特的 RGB 数据包;以及

通过 N 个数据总线对的每一对,给所述 N 个源极驱动 IC 的每一个串行传输每一个所述 RGB 数据包。

12. 根据权利要求 11 所述的方法,进一步包括:

在所述 N 个源极驱动 IC 的每一个内,从所述前导信号恢复基准时钟,以便产生该基准时钟和相位被锁定的内部时钟脉冲;以及

在所述 N 个源极驱动 IC 的每一个内,将所述 RGB 数据包的所述时钟比特恢复为用于数据采样的所述基准时钟,以便采样所述 RGB 数据比特。

13. 根据权利要求 12 所述的方法,进一步包括:

在所述 N 个源极驱动 IC 的每一个内,将采样的数据解串行化,以便输出并行数据;

在所述 N 个源极驱动 IC 的每一个内,将所述并行数据转换为模拟数据电压;以及

给液晶显示面板的数据线供给所述模拟数据电压。

14. 根据权利要求 12 所述的方法,进一步包括:

通过在所述 N 个源极驱动 IC 的每一个内包含的相位锁定电路,比较所述基准时钟的相

位与所述内部时钟脉冲的相位,以便根据所述基准时钟的相位锁定所述内部时钟脉冲的相位,并且根据所述时钟比特和所述内部数据使能时钟比特转变所述基准时钟。

15. 根据权利要求 12 所述的方法,进一步包括:

在产生所述 RGB 数据包之前,从所述时序控制器产生用于锁定所述内部时钟脉冲的相位的多个锁定数据包;

通过所述 N 个数据总线对的每一对,给所述 N 个源极驱动 IC 中的每一个串行传输所述多个锁定数据包;以及

在所述 N 个源极驱动 IC 的每一个内,将所述锁定数据包恢复为所述基准时钟,以便锁定所述内部时钟脉冲的相位。

16. 根据权利要求 15 所述的方法,其中在 1 个水平周期的消隐周期期间,通过所述 N 个数据总线对的每一对,给所述 N 个源极驱动 IC 的每一个串行传输所述多个锁定数据包的每一个,

其中通过所述 N 个数据总线对的每一对,给所述 N 个源极驱动 IC 的每一个串行传输每个所述 RGB 数据包。

17. 根据权利要求 11 所述的方法,进一步包括:

通过将所述时序控制器并联到所述 N 个源极驱动 IC 的控制线对,给所述 N 个源极驱动 IC 传输从外部接收的控制信号,其中该控制信号包括用于识别所述 N 个源极驱动 IC 的每一个的芯片识别代码和用于控制所述 N 个源极驱动 IC 的每一个的功能的控制数据。

18. 根据权利要求 14 所述的方法,其中所述相位锁定电路包括锁相环 (PLL) 和延迟锁定环 (DLL) 之一。

## 液晶显示器及其驱动方法

[0001] 本申请要求 2008 年 12 月 15 日提交的韩国专利申请 10-2008-0127458 的优先权，为了所有目的在此援引该专利申请的全部内容作为参考，就像在这里全部列出一样。

### 技术领域

[0002] 本发明的实施例涉及液晶显示器及其驱动方法。

### 背景技术

[0003] 有源矩阵型液晶显示器使用薄膜晶体管 (TFT) 作为开关元件来显示运动图像。由于有源矩阵型液晶显示器的较薄外形，有源矩阵型液晶显示器已经应用在电视以及诸如办公设备和计算机这样的便携式设备中的显示设备。因此，有源矩阵型液晶显示器正快速取代阴极射线管 (CRT)。

[0004] 液晶显示器包括给液晶显示面板的数据线供给数据电压的多个源极驱动集成电路 (IC)、给液晶显示面板的栅极线顺序地供给栅极脉冲 (即扫描脉冲) 的多个栅极驱动 IC 以及控制源极驱动 IC 和栅极驱动 IC 的时序控制器。在液晶显示器中，数字视频数据通过接口输入到时序控制器。时序控制器通过诸如迷你低压差分信号 (LVDS) 接口这样的接口给源极驱动 IC 供给数字视频数据、用于采样数字视频数据的时钟、用于控制源极驱动 IC 的操作的控制信号等。源极驱动 IC 将从时序控制器串行输入的数字视频数据解串行化，以便输出并行数据，然后使用伽马补偿电压将并行数据转换为模拟数据电压，以便给数据线供给模拟数据电压。

[0005] 时序控制器采用给源极驱动 IC 共同施加时钟和数字视频数据的多点方式给源极驱动 IC 供给必要的信号。因为源极驱动 IC 彼此级联连接，所以源极驱动 IC 顺序地采样数字视频数据，然后同时输出对应于 1 条线的数据电压。在这种数据传输方法中，在时序控制器与源极驱动 IC 之间，诸如 R、G 和 B 数据传输线以及时钟传输线的多条线是必需的。因为迷你 LVDS 接口是以相位彼此不同的一对差分信号的形式传输每个数字视频数据和时钟的方式，所以在时序控制器与源极驱动 IC 之间的至少 14 条数据传输线是必需的，以便同时传输奇数数据和偶数数据。于是，因为在位于时序控制器与源极驱动 IC 之间的印刷电路板 (PCB) 上必须形成多条数据传输线，所以很难减小数据传输线的数量。

### 发明内容

[0006] 本发明的实施例提供了一种能减小时序控制器与源极驱动集成电路 (IC) 之间的数据传输线数量的液晶显示器及其驱动方法。

[0007] 一个方面，提供了液晶显示器，包括：时序控制器；N 个源极驱动集成电路 (IC)，其中 N 是等于或者大于 2 的整数；N 个数据总线对，每个数据总线对都以点对点的方式将所述时序控制器与所述 N 个源极驱动 IC 中的每一个连接；锁定检查线，将所述 N 个源极驱动 IC 中的第一源极驱动 IC 与所述时序控制器连接，并将所述 N 个源极驱动 IC 彼此级联连接；以及反馈锁定检查线，将所述 N 个源极驱动 IC 中的最末源极驱动 IC 与所述时序控制器连接。

[0008] 其中所述时序控制器通过所述 N 个数据总线对的每一对给所述 N 个源极驱动 IC 中的每一个串行传输前导信号,在该前导信号中,具有高逻辑电平的多个比特相继排列,然后具有低逻辑电平的多个比特相继排列,所述时序控制器通过所述锁定检查线给所述第一源极驱动 IC 传输锁定信号,该锁定信号表示从所述 N 个源极驱动 IC 的每一个输出的内部时钟脉冲的相位被锁定,并且所述时序控制器通过所述反馈锁定检查线从所述最末源极驱动 IC 接收所述锁定信号的反馈信号。

[0009] 在时序控制器接收锁定信号的反馈信号之后,时序控制器通过 N 个数据总线对的每一对给 N 个源极驱动 IC 中的每一个串行传输包括 RGB 数据比特、时钟比特和内部数据使能时钟比特的每个 RGB 数据包。

[0010] N 个源极驱动 IC 中的每一个都从前导信号恢复基准时钟,以便输出基准时钟和相位被锁定的内部时钟脉冲。N 个源极驱动 IC 中的每一个都将 RGB 数据包的时钟比特恢复为用于数据采样的基准时钟,以便采样 RGB 数据比特。

[0011] N 个源极驱动 IC 中的每一个都将采样的数据解串行化,以便输出并行数据,然后将并行数据转换为模拟数据电压,以便给液晶显示面板的数据线供给模拟数据电压。

[0012] N 个源极驱动 IC 中的每一个都包括根据基准时钟锁定内部时钟脉冲的相位并输出相位被锁定的内部时钟脉冲的相位锁定电路。

[0013] 相位锁定电路比较基准时钟的相位与内部时钟脉冲的相位,以便根据基准时钟的相位锁定内部时钟脉冲的相位,并且根据时钟比特和内部数据使能时钟比特转变基准时钟。

[0014] 时序控制器在传输 RGB 数据包之前通过 N 个数据总线对给 N 个源极驱动 IC 串行传输用于锁定内部时钟脉冲的相位的多个锁定数据包。N 个源极驱动 IC 中的每一个都将锁定数据包恢复为基准时钟,以便锁定内部时钟脉冲的相位。

[0015] 时序控制器在 1 个水平周期的消隐周期期间通过 N 个数据总线对的每一对给 N 个源极驱动 IC 的每一个串行传输多个锁定数据包的每一个之后,时序控制器在该 1 个水平周期的数据使能周期期间通过 N 个数据总线对的每一对给 N 个源极驱动 IC 的每一个串行传输每个 RGB 数据包。

[0016] 液晶显示器进一步包括将时序控制器并联到 N 个源极驱动 IC 的控制线对。

[0017] 时序控制器通过控制线对给 N 个源极驱动 IC 传输从外部接收的控制信号。该控制信号包括用于识别 N 个源极驱动 IC 的每一个的芯片识别代码和用于控制 N 个源极驱动 IC 的每一个的功能的控制数据。

[0018] 相位锁定电路包括锁相环 (PLL) 和延迟锁定环 (DLL) 之一。

[0019] 另一个方面,提供了驱动液晶显示器的方法,所述液晶显示器包括时序控制器和 N 个源极驱动集成电路 (IC),其中 N 是大于或等于 2 的整数,所述方法包括:从所述时序控制器产生前导信号,在该前导信号中,具有高逻辑电平的多个比特相继排列,然后具有低逻辑电平的多个比特相继排列;以点对点的方式,通过将所述时序控制器连接到所述 N 个源极驱动 IC 的 N 个数据总线对的每一对,给所述 N 个源极驱动 IC 的每一个串行传输所述前导信号;从所述时序控制器产生锁定信号,该锁定信号表示从所述 N 个源极驱动 IC 的每一个输出的内部时钟脉冲的相位被锁定;通过锁定检查线,给所述 N 个源极驱动 IC 的所述第一源极驱动 IC 传输所述锁定信号,其中该锁定检查线将第一源极驱动 IC 与所述时序控制器

连接,并将所述N个源极驱动IC彼此级联连接;从所述N个源极驱动IC中的最末源极驱动IC产生所述锁定信号的反馈信号;以及通过将所述最末源极驱动IC连接到所述时序控制器的反馈锁定检查线,给所述时序控制器传输所述锁定信号的所述反馈信号。

[0020] 从后面给出的详细描述将明了本发明进一步的应用范围。然而,应当理解,在说明本发明优选实施例时,仅通过示例给出了详细描述和具体例子,因为通过该详细描述,在本发明精神和范围内的各种变化和修改对于本领域技术人员来说是显而易见的。

## 附图说明

[0021] 给本发明提供进一步理解并引入组成说明书一部分的附图说明了本发明的实施例,并与说明书一起用于解释本发明的原理。在附图中:

[0022] 图1是说明根据本发明的实施例的液晶显示器的方块图;

[0023] 图2说明在时序控制器与源极驱动集成电路(IC)之间的线;

[0024] 图3是说明源极驱动IC的构造的方块图;

[0025] 图4是说明栅极驱动IC的构造的方块图;

[0026] 图5和6是以阶段形式说明在时序控制器与源极驱动IC之间的信号传输过程的流程图;

[0027] 图7是说明时钟分离和数据采样单元的方块图;

[0028] 图8说明了能使源极驱动IC进行调试操作的串行通讯控制通路和芯片识别代码的例子;

[0029] 图9是说明锁相环(PLL)的方块图;

[0030] 图10是说明由时序控制器产生的Phase 1信号的波形图;

[0031] 图11到13是说明由时序控制器产生的Phase 2信号的波形图;

[0032] 图14是说明时钟分离和数据采样单元的输出的波形图;

[0033] 图15A到15D是说明当RGB数据包的比特率变化时,RGB数据包的长度的截面图。

## 具体实施方式

[0034] 现在将参考附图中说明的本发明例子的详细实施例。

[0035] 如图1中所示,根据本发明的实施例的液晶显示器包括:液晶显示面板10、时序控制器TCON、多个源极驱动集成电路(IC)SDIC#1到SDIC#8和多个栅极驱动IC GDIC#1到GDIC#4。

[0036] 液晶显示面板10包括上玻璃基板、下玻璃基板和在上下玻璃基板之间的液晶层。液晶显示面板10包括以矩阵形式布置在m条数据线DL和n条栅极线GL的每个交点处的 $m \times n$ 个液晶单元C1c。

[0037] 在液晶显示面板10的下玻璃基板上形成包括数据线DL、栅极线GL、薄膜晶体管(TFT)、存储电容器Cst等的像素阵列。每个液晶单元C1c由在通过TFT接收数据电压的像素电极1与接收公共电压Vcom的公共电极2之间的电场驱动。在每个TFT中,栅极电极与栅极线GL连接,源极电极与数据线DL连接,漏极电极与液晶单元C1c的像素电极1连接。当通过栅极线GL供给栅极脉冲时,TFT导通,因而通过数据线DL给液晶单元C1c的像素电极1供给接收的正模拟视频数据电压或负模拟视频数据电压。

[0038] 在液晶显示面板 10 的上玻璃基板上形成黑矩阵、滤色器、公共电极 2 等。

[0039] 以诸如扭曲向列 (TN) 模式和垂直取向 (VA) 模式的垂直电场驱动方式,在上玻璃基板上形成公共电极 2。以诸如共平面开关 (IPS) 模式和边缘场开关 (FFS) 模式的水平电场驱动方式,在下玻璃基板上形成公共电极 2 和像素电极 1。

[0040] 将偏振板分别粘附到液晶显示面板 10 的上下玻璃基板。在上下玻璃基板上分别形成用于设置预倾角的取向层。在上下玻璃基板之间形成衬垫料,以便保持液晶单元 C1c 的单元间隙恒定。

[0041] 根据本发明的实施例的液晶显示器可以以任何液晶模式以及 TN、VA、IPS 和 FFS 模式实施。此外,根据本发明的实施例的液晶显示器可以实现为任何类型的液晶显示器,包括背光液晶显示器、透反型液晶显示器和反射型液晶显示器。

[0042] 时序控制器 TCON 以点对点的方式与源极驱动 IC SDIC#1 到 SDIC#8 连接。时序控制器 TCON 通过多对数据总线的每一对给每个源极驱动 IC SDIC#1 到 SDIC#8 传输用于初始化源极驱动 IC SDIC#1 到 SDIC#8 的前导信号、时钟、RGB 数字视频数据等。

[0043] 时序控制器 TCON 通过接口,如低压差分信号 (LVDS) 接口和最小化传输差分信号 (TMDS) 接口,接收外部时序信号,如垂直和水平 sync 信号 Vsync 和 Hsync、外部数据使能信号 DE 以及点时钟 CLK,以便产生用于控制源极驱动 IC SDIC#1 到 SDIC#8 的操作时序和栅极驱动 IC GDIC#1 到 GDIC#4 的操作时序的时序控制信号。

[0044] 栅极时序控制信号包括栅极起始脉冲 GSP、栅极移位时钟 GSC、栅极输出使能信号 GOE 等。栅极起始脉冲 GSP 施加到第一栅极驱动 IC GDIC#1,由此表示扫描操作的扫描起始时间,从而第一栅极驱动 IC GDIC#1 产生第一栅极脉冲。栅极移位时钟 GSC 是用于移动栅极起始脉冲 GSP 的时钟。每个栅极驱动 IC GDIC#1 到 GDIC#4 的移位寄存器在栅极移位时钟 GSC 的上升沿处移动栅极起始脉冲 GSP。第二到第四栅极驱动 IC GDIC#2 到 GDIC#4 接收第一栅极驱动 IC GDIC#1 的进位信号作为栅极起始脉冲,以便开始操作。栅极输出使能信号 GOE 控制栅极驱动 IC GDIC#1 到 GDIC#4 的输出时序。栅极驱动 IC GDIC#1 到 GDIC#4 在栅极输出使能信号 GOE 的低逻辑电平状态中,即在从紧随当前脉冲的下降沿之后到恰好在下一脉冲的上升沿之间的时间周期期间,输出栅极脉冲。栅极输出使能信号 GOE 的 1 个循环大约为 1 个水平周期。

[0045] 数据时序控制信号包括极性控制信号 POL、源极输出使能信号 SOE 等。极性控制信号 POL 控制从源极驱动 IC SDIC#1 到 SDIC#8 输出的正 / 负模拟视频数据电压的极性。源极输出使能信号 SOE 控制来自源极驱动 IC SDIC#1 到 SDIC#8 的正 / 负模拟视频数据电压的输出时序。

[0046] 每个栅极驱动 IC GDIC#1 到 GDIC#4 响应于栅极时序控制信号顺序地给栅极线 GL 供给栅极脉冲。

[0047] 每个源极驱动 IC SDIC#1 到 SDIC#8 响应于通过数据总线对由时序控制器 TCON 传输的前导信号,锁定从嵌在每个源极驱动 IC SDIC#1 到 SDIC#8 内的时钟分离和数据采样单元输出的内部时钟脉冲的频率和相位。然后,每个源极驱动 IC SDIC#1 到 SDIC#8 从通过数据总线对供给的 RGB 数据包分离时钟,以便产生用于数据采样的串行时钟,并响应于该串行时钟采样串行输入的 RGB 数字视频数据。随后,每个源极驱动 IC SDIC#1 到 SDIC#8 将顺序采样的 RGB 数字视频数据解串行化,以便输出并行数据,然后将该并行数据转换为正 / 负

模拟视频数据电压,以便给数据线 DL 供给正 / 负模拟视频数据电压。

[0048] 图 2 说明了在时序控制器 TCON 与源极驱动 IC SDIC#1 到 SDIC#8 之间的线。

[0049] 如图 2 中所示,在时序控制器 TCON 与源极驱动 IC SDIC#1 到 SDIC#8 之间形成多个数据总线对 DATA&CLK、第一和第二控制线对 SCL/SDA1 和 SCL/SDA2、锁定检查线 LCS1 和 LCS2 等。在时序控制器 TCON 与源极驱动 IC SDIC#1 到 SDIC#8 之间形成用于传输极性控制信号 POL 和源极输出使能信号 SOE 的线(没有示出)。

[0050] 时序控制器 TCON 通过每个数据总线对 DATA&CLK 给每个源极驱动 ICSDIC#1 到 SDIC#8 传输包括前导信号、时钟和 RGB 数据的比特流。每个数据总线对 DATA&CLK 都将时序控制器 TCON 串联到每个源极驱动 ICSDIC#1 到 SDIC#8。就是说,时序控制器 TCON 以点对点的方式与源极驱动 IC SDIC#1 到 SDIC#8 连接。每个源极驱动 IC SDIC#1 到 SDIC#8 都恢复通过数据总线对 DATA&CLK 输入的时钟。因此,在相邻的源极驱动 IC SDIC#1 到 SDIC#8 之间不需要用于传输时钟进位信号(clock carry)和 RGB 视频数据的线。

[0051] 时序控制器 TCON 通过控制线对 SCL/SDA1 和 SCL/SDA2 给每个源极驱动 IC SDIC#1 到 SDIC#8 传输每个源极驱动 IC SDIC#1 到 SDIC#8 的芯片识别代码 CID 和用于控制每个源极驱动 IC SDIC#1 到 SDIC#8 的功能的控制数据。控制线对 SCL/SDA1 和 SCL/SDA2 在时序控制器 TCON 与源极驱动 IC SDIC#1 到 SDIC#8 之间公共连接。更具体地说,如图 8 中所示,如果将源极驱动 IC SDIC#1 到 SDIC#8 分为两组,且这两组分别与印刷电路板(PCB)PCB1 和 PCB2 连接,则左侧的第一控制线对 SCL/SDA1 将时序控制器 TCON 与第一到第四源极驱动 IC SDIC#1 到 SDIC#4 并联,右侧的第二控制线对 SCL/SDA2 将时序控制器 TCON 并联到第五到第八源极驱动 IC SDIC#5 到 SDIC#8。

[0052] 时序控制器 TCON 通过锁定检查线 LCS1 给第一源极驱动 IC SDIC#1 供给锁定信号 LOCK,该锁定信号 LOCK 确认是否稳定地锁定了从每个源极驱动 IC SDIC#1 到 SDIC#8 的时钟分离和数据采样单元输出的内部时钟脉冲的相位和频率。源极驱动 IC SDIC#1 到 SDIC#8 通过锁定检查线 LCS1 彼此级联连接。如果锁定了从第一源极驱动 IC SDIC#1 输出的内部时钟脉冲的频率和相位,则第一源极驱动 IC SDIC#1 给第二源极驱动 IC SDIC#2 传输高逻辑电平的锁定信号 LOCK。接着,在锁定了从第二源极驱动 IC SDIC#2 输出的内部时钟脉冲的频率和相位之后,第二源极驱动 IC SDIC#2 给第三源极驱动 IC SDIC#3 传输高逻辑电平的锁定信号 LOCK。顺序地进行上述锁定操作,最后在锁定了从最末源极驱动 IC SDIC#8 输出的内部时钟脉冲的频率和相位之后,最末源极驱动 IC SDIC#8 通过反馈锁定检查线 LCS2 给时序控制器 TCON 反馈输入高逻辑电平的锁定信号 LOCK。只有在时序控制器 TCON 接收到锁定信号 LOCK 的反馈信号之后,时序控制器 TCON 才给源极驱动 ICSDIC#1 到 SDIC#8 传输 RGB 数据包。

[0053] 图 3 是说明源极驱动 IC SDIC#1 到 SDIC#8 的构造的方块图。

[0054] 如图 3 中所示,每个源极驱动 IC SDIC#1 到 SDIC#8 都给 k 条数据线 D1 到 Dk(其中 k 是小于 m 的正整数)供给正 / 负模拟视频数据电压。每个源极驱动 IC SDIC#1 到 SDIC#8 都包括时钟分离和数据采样单元 21、数字 - 模拟转换器(DAC)22、输出电路 23 等。

[0055] 在 Phase 1 中,时钟分离和数据采样单元 21 将通过数据总线对 DATA&CLK 以具有低频率的脉冲行的形式输入的前导信号恢复为基准时钟,将该基准时钟的相位与从时钟分离和数据采样单元 21 输出的内部时钟脉冲的相位进行比较,并锁定基准时钟的相位和频

率以及内部时钟脉冲的相位和频率。随后,在 Phase 2 中,时钟分离和数据采样单元 21 从通过数据总线对 DATA&CLK 输入的 RGB 数据包恢复所述基准时钟,并响应于该基准时钟输出用于采样 RGB 数字视频数据的每个比特的内部串行时钟脉冲信号。为此,时钟分离和数据采样单元 21 包括能输出具有稳定相位和稳定频率的时钟的相位锁定电路。相位锁定电路的例子包括锁相环 (PLL) 和延迟锁定环 (DLL)。在该实施例中,后面将描述使用 PLL 作为相位锁定电路的例子。在该实施例中,时钟分离和数据采样单元 21 可包括 DLL 以及 PLL。

[0056] 图 7 到 9 说明了使用 PLL 实现时钟分离和数据采样单元 21 的例子。然而,可使用 DLL 实现时钟分离和数据采样单元 21。

[0057] 时钟分离和数据采样单元 21 根据内部串行时钟脉冲信号采样并锁定通过数据总线对 DATA&CLK 串行输入的每个 RGB 数据比特。然后,时钟分离和数据采样单元 21 同时输出锁定的数据,以便将串行数据转换为并行数据。

[0058] DAC 22 响应于极性控制信号 POL,将来自时钟分离和数据采样单元 21 的 RGB 数字视频数据转换为正伽马补偿电压 GH 或负伽马补偿电压 GL,然后将所述正伽马补偿电压 GH 或负伽马补偿电压 GL 转换为正模拟视频数据电压或负模拟视频数据电压。

[0059] 在源极输出使能信号 SOE 的高逻辑电平周期期间,输出电路 23 通过输出缓冲器给数据线 D1 到 Dk 供给充电共享电压或公共电压 Vcom。在源极输出使能信号 SOE 的低逻辑电平周期期间,输出电路 23 通过输出缓冲器给数据线 D1 到 Dk 供给正 / 负模拟视频数据电压。当接收正模拟视频数据电压的数据线和接收负模拟视频数据电压的数据线短路时,产生充电共享电压。该充电共享电压具有正模拟视频数据电压和负模拟视频数据电压之间的平均电压电平。

[0060] 图 4 是说明栅极驱动 IC GDIC#1 到 GDIC#4 的构造的方块图。

[0061] 如图 4 中所示,每个栅极驱动 IC GDIC#1 到 GDIC#4 都包括移位寄存器 40、电平转换器 42、连接在移位寄存器 40 与电平转换器 42 之间的多个与门 41 以及用于反转栅极输出使能信号 GOE 的反相器 43。

[0062] 移位寄存器 40 包括多个级联连接的 D 触发器,并响应于使用级联连接的 D 触发器的栅极移位时钟 GSC 顺序地移动栅极起始脉冲 GSP。每个与门 41 对移位寄存器 40 的输出信号和栅极输出使能信号 GOE 的反转信号进行与操作,以便获得输出。反相器 43 将栅极输出使能信号 GOE 反转,并将栅极输出使能信号 GOE 的反转信号供给到与门 41。于是,当栅极输出使能信号 GOE 处于低逻辑电平状态中时,每个栅极驱动 IC GDIC#1 到 GDIC#4 输出栅极脉冲。

[0063] 电平转换器 42 将与门 41 的输出电压的摆动宽度转换为适于驱动液晶显示面板 10 的像素阵列中的 TFT 的摆动宽度。电平转换器 42 的输出信号顺序地供给到栅极线 G1 到 Gk。

[0064] 移位寄存器 40 与像素阵列的 TFT 一起可直接形成在液晶显示面板 10 的玻璃基板上。在该情形中,电平转换器 42 可以不形成在液晶显示面板 10 的玻璃基板上,而是与时序控制器 TCON、伽马电压产生电路等一起形成在控制板或源极 PCB 上。

[0065] 图 5 和 6 是以阶段形式说明在时序控制器 TCON 与源极驱动 IC SDIC#1 到 SDIC#8 之间的信号传输过程的流程图。

[0066] 如图 5 和 6 中所示,如果给液晶显示器供电,在步骤 S1 和 S2 中,时序控制器 TCON

通过每个数据总线对 DATA&CLK 给每个源极驱动 IC SDIC#1 到 SDIC#8 供给 Phase 1 信号。Phase 1 信号包括前导信号和供给到第一源极驱动 IC SDIC#1 的锁定信号,该前导信号以低频率时钟的形式产生,并以点对点的方式供给到源极驱动 IC SDIC#1 到 SDIC#8,。

[0067] 在步骤 S3 到 S5 中,第一源极驱动 IC SDIC#1 的时钟分离和数据采样单元 21 将前导信号恢复为 PLL 基准时钟,且当锁定 PLL 基准时钟的相位和从 PLL 输出的内部时钟脉冲的相位时,给第二源极驱动 IC SDIC#2 传输高逻辑电平的锁定信号。随后,当顺序地稳定地锁定从第二到第八源极驱动 ICSDIC#2 到 SDIC#8 的时钟分离和数据采样单元 21 输出的内部时钟脉冲时,在步骤 S6 和 S7 中,第八源极驱动 IC SDIC#8 给时序控制器 TCON 反馈输入高逻辑电平的锁定信号。

[0068] 如果时序控制器 TCON 从第八源极驱动 IC SDIC#8 接收高逻辑电平的锁定信号,则时序控制器 TCON 就判定稳定锁定了从所有源极驱动 IC SDIC#1 到 SDIC#8 的每一个的时钟分离和数据采样单元 21 输出的内部时钟脉冲的相位和频率。因而,在步骤 S8 和 S9 中,时序控制器 TCON 通过数据总线对,以点对点的方式给源极驱动 IC SDIC#1 到 SDIC#8 供给 Phase 2 信号。Phase 2 信号包括由以规则分离的间隔插入的时钟比特组成的 RGB 数据比特流。

[0069] 图 7 是说明每个源极驱动 IC SDIC#1 到 SDIC#8 的时钟分离和数据采样单元 21 的方块图。

[0070] 如图 7 中所示,时钟分离和数据采样单元 21 包括片上终端 (ODT)61、模拟延迟复制电路 (analog delay replica) (ADR)62、时钟分离器 63、PLL 64、PLL 锁定检测器 65、可调模拟延迟器 66、解串器 67、数字滤波器 68、相位检测器 69、锁定检测器 70、I<sup>2</sup>C 控制器 71、电源接通复位电路 (POR)72 和与门 73。

[0071] ODT 61 包括嵌在 ODT 61 内部的终端电阻器,以便通过移除混合在通过数据总线对 DATA&CLK 接收的包括前导信号、RGB 数据和时钟的比特流中的噪声来提高信号完整性。此外,ODT 61 包括嵌在 ODT61 内部的接收缓冲器和均衡器,以便放大输入差分信号,并将放大的差分信号转换为数字数据。ADR 62 将从 ODT 61 接收的 RGB 数据和时钟延迟了可调模拟延迟器 66 的延迟值,以便使时钟路径的延迟值等于数据路径的延迟值。

[0072] 时钟分离器 63 从由 ODT 61 恢复的 RGB 数据包分离出时钟比特,以便将时钟比特恢复为 PLL 64 的基准时钟。由 ODT 61 恢复的 RGB 数据包包括时钟比特和 RGB 数字数据,时钟比特包括时钟比特、虚拟时钟比特、内部数据使能比特等。PLL 64 产生用于采样 RGB 数字视频数据的时钟。如果 RGB 数据包包括 10 比特 RGB 数据,且在 10 比特 RGB 数据之间分配 4 比特时钟,则 PLL 64 在每 1 个 RGB 数据包都产生 34 个内部时钟脉冲。PLL 锁定检测器 65 按照预定的数据速率检查从 PLL 64 输出的每个内部时钟脉冲的相位和频率,以便检测是否锁定了内部时钟脉冲。

[0073] 可调模拟延迟器 66 是用于补偿在从 ODT 61 接收的 RGB 数据与经由相位检测器 69 和数字滤波器 68 的反馈输入恢复时钟之间的微小相位差的电路,从而在时钟的中心采样数据。解串器 67 包括嵌在解串器 67 内部的多个触发器,以便根据从 PLL 64 串行输出的内部时钟脉冲采样串行输入的 RGB 数字视频数据比特,并将采样的数据转换为并行数据。

[0074] 数字滤波器 68 和相位检测器 69 接收采样的 RGB 数字视频数据并确定可调模拟延迟器 66 的延迟值。锁定检测器 70 比较由解串器 67 恢复的 RGB 并行数据与 PLL 锁定检测器 65 的输出 PLL\_LOCK,以便检查 RGB 并行数据的数据使能时钟的误差量。如果该误差量等

于或者大于预定值,则物理接口 (PHY) 电路通过解锁从 PLL 64 输出的内部时钟脉冲整个再操作一次。当从 PLL 64 输出的内部时钟脉冲未锁定时,锁定检测器 70 产生低逻辑电平的输出。另一方面,当从 PLL 64 输出的内部时钟脉冲锁定时,锁定检测器 70 产生高逻辑电平的输出。与门 73 对从时序控制器 TCON 接收的锁定信号“Lock In”或由前一级中的源极驱动 IC SDIC#1 到 SDIC#7 传输的锁定信号“Lock In”与锁定检测器 70 的输出进行与操作。然后,当锁定信号“Lock In”和锁定检测器 70 的输出处于高逻辑电平状态中时,与门 73 输出高逻辑电平的锁定信号“Lock Out”。高逻辑电平的锁定信号“Lock Out”传输到下一级中的源极驱动 IC SDIC#2 到 SDIC#8,最末源极驱动器 SDIC#8 给时序控制器 TCON 输入锁定信号“Lock Out”。

[0075] POR 72 根据之前设置的功率序列产生用于将时钟分离和数据采样单元 21 初始化的复位信号 RESETB,并产生大约 50MHz 的时钟,以便将该时钟供给到包括上述电路的数字电路。

[0076] I<sup>2</sup>C 控制器 71 使用通过控制线对 SCL/SDA 作为串行数据输入的芯片识别代码 CID 和控制比特来控制每个上述电路块的操作。如图 8 中所示,将每个都具有不同逻辑电平的芯片识别代码 CID 分别提供给源极驱动 IC SDIC#1 到 SDIC#8,从而能分别地控制源极驱动 IC SDIC#1 到 SDIC#8。根据从时序控制器 TCON 通过控制线对 SCL/SDA 的串行数据总线 SDA 输入的芯片单独控制数据,I<sup>2</sup>C 控制器 71 可进行 PLL 功率下降 (power down)、ODT 61 的缓冲器功率下降、ODT 61 的 EQ 开 / 关操作、PLL 64 的充电泵电流的控制、PLL 64 的 VCO 量程手动选择的控制、通过 I<sup>2</sup>C 通讯的 PLL 锁定信号推进、模拟延迟控制值的调整、锁定检测器 70 的去能、数字滤波器 68 的系数变化、数字滤波器 68 的系数的变化函数 (change function)、通过 I<sup>2</sup>C 的物理接口 (PHY)\_RESETB 信号推进、用当前源极驱动 IC SDIC#1 到 SDIC#8 的复位信号替换前一源极驱动 IC SDIC#1 到 SDIC#7 的锁定信号的操作、输入图像的垂直分辨率的设定、用于分析物理接口 (PHY)\_RESETB 信号的产生原因的关于数据使能时钟转变的历史的存储等。

[0077] 图 9 是说明 PLL 64 的方块图。

[0078] 如图 9 中所示,PLL 64 包括相位比较器 92、充电泵 93、环路滤波器 94、脉冲 - 电压转换器 95、电压控制振荡器 (VCO) 96 和数字控制器 97。

[0079] 相位比较器 92 比较从时钟分离器 63 接收的基准时钟 REF\_clk 的相位与从时钟分离器复制电路 (CSR) 91 接收的反馈边沿 (feedback edge) 时钟 FB\_clk 的相位。相位比较器 92 将与基准时钟 REF\_clk 与反馈边沿时钟 FB\_clk 之间的相位差相对应的脉冲宽度作为比较的结果。当基准时钟 REF\_clk 的相位早于反馈边沿时钟 FB\_clk 的相位时,相位比较器 92 输出正脉冲。另一方面,当基准时钟 REF\_clk 的相位晚于反馈边沿时钟 FB\_clk 的相位时,相位比较器 92 输出负脉冲。

[0080] 充电泵 93 根据相位比较器 92 的输出脉冲的宽度和极性控制电荷量,以便区别地给环路滤波器 94 供给电荷。环路滤波器 94 根据由充电泵 93 控制的电荷量积聚或释放电荷,并移除包括输入到脉冲 - 电压转换器 95 的时钟中的谐波成分的高频噪声。

[0081] 脉冲 - 电压转换器 95 将从环路滤波器 94 接收的脉冲转换为 VCO 96 的控制电压,并根据从环路滤波器 94 接收的脉冲的宽度和极性控制 VCO 96 的控制电压的电平。当 1 个 RGB 数据包的比特流包括 10 比特 RGB 数据和 4 个时钟比特时,VCO 96 在每 1 个 RGB 数据包

产生 34 个边沿时钟和 34 个中心时钟。此外, VCO 96 根据来自脉冲 - 电压转换器 95 的控制电压以及根据来自数字控制器 97 的控制数据, 控制时钟的相位延迟量。

[0082] 从 VCO 96 输出的第一边沿时钟 EG[0] 是反馈边沿时钟, 并输入给时钟分离器复制电路 91。反馈边沿时钟 EG[0] 具有与 VCO 96 的输出频率的 1/34 对应的频率。数字控制器 97 从时钟分离器 63 接收基准时钟 REF\_clk, 从时钟分离器复制电路 91 接收反馈边沿时钟 FB\_clk, 并比较基准时钟 REF\_clk 的相位与反馈边沿时钟 FB\_clk 的相位。此外, 数字控制器 97 将作为比较结果而获得的相位差与来自 POR 72 的 50MHz 时钟信号 clk\_osc 的相位进行比较。数字控制器 97 根据相位差的比较结果控制 VCO 96 的输出延迟量, 以便选择 VCO 96 的振荡区域。

[0083] 图 10 是说明在 Phase 1 中由时序控制器 TCON 产生的信号的波形图。

[0084] 如图 10 中所示, 在 Phase 1 中, 时序控制器 TCON 产生锁定信号和低频率的前导信号。在低频率的前导信号中, 具有高逻辑电平的多个比特相继排列, 然后具有低逻辑电平的多个比特相继排列。当 1 个 RGB 数据包的比特流包括 10 比特 RGB 数据和 4 个时钟比特时, 前导信号的频率对应于从时钟分离和数据采样单元 21 的 PLL 64 输出的内部时钟脉冲的频率的 1/34。时钟分离和数据采样单元 21 的时钟分离器 63 与具有高逻辑电平的前导信号的比特同步将基准时钟 REF\_clk 转换为高逻辑电平, 并与具有低逻辑电平的前导信号的比特同步将基准时钟 REF\_clk 转换为低逻辑电平。

[0085] 每个源极驱动 IC SDIC#1 到 SDIC#8 的时钟分离和数据采样单元 21 反复进行比较根据前导信号产生的基准时钟 REF\_clk 的相位与反馈边沿时钟 FB\_clk 的相位并锁定输出的操作。如果所述输出稳定地锁定, 则锁定信号传输到源极驱动 IC SDIC#1 到 SDIC#8。

[0086] 在液晶显示器的最初电源导通阶段中, 时序控制器 TCON 从最末源极驱动 IC SDIC#8 接收锁定信号, 以便确认时钟分离和数据采样单元 21 的输出的锁定。然后, 时序控制器 TCON 在垂直 sync 信号 Vsync 的消隐周期期间输出 Phase 2 信号。如果在液晶显示器上显示视频数据期间, 时钟分离和数据采样单元 21 的输出未被锁定, 则时序控制器 TCON 从最末源极驱动 IC SDIC#8 接收锁定信号, 以便确认时钟分离和数据采样单元 21 输出的锁定。然后, 时序控制器 TCON 在垂直 sync 信号 Vsync 和水平 sync 信号 Hsync 的第一个消隐周期期间输出 Phase 2 信号。

[0087] 图 11 到 13 是说明在 Phase 2 中由时序控制器产生的信号的波形图。

[0088] 如图 11 到 13 中所示, 在 Phase 2 中, 时序控制器 TCON 通过数据总线对 DATA&CLK 给每个源极驱动 IC SDIC#1 到 SDIC#8 传输多个 PLL 锁定数据包和多个 RGB 数据包。在水平 sync 信号 Hsync 的 1 个循环的消隐周期期间, 分配 PLL 锁定数据包, 并且在水平 sync 信号 Hsync 的 1 个循环的数据使能周期过程中, 分配要在液晶显示器的 1 条线上显示的 RGB 数据包。时钟分离和数据采样单元 21 将 PLL 锁定数据包的时钟恢复为基准时钟, 并比较基准时钟与输出边沿时钟, 以便在 RGB 数据包的输入之前锁定 RGB 数据包的输出。然后, 时钟分离和数据采样单元 21 从 RGB 数据包分离出基准时钟, 以便产生用于采样 RGB 数据的比特流的每个比特的高频率采样时钟。如果 1 个 RGB 数据包的比特流包括 10 比特 RGB 数据和 4 个时钟比特, 则低逻辑电平的虚拟时钟 DUM 的比特、高逻辑电平的时钟 CLK 的比特、比特 R1 到 R10、比特 G1 到 G5、低逻辑电平的虚拟使能时钟 DE DUM 的比特、高逻辑电平的内部数据使能时钟 DE 的比特、比特 G6 到 G10 和比特 B1 到 B10 按指定次序顺序地分配给 1 个 RGB

数据包。如果产生高逻辑电平的内部数据使能时钟 DE, 则时钟分离和数据采样单元 21 会认为在内部数据使能时钟 DE 之后输入 RGB 数据包的比特流, 因而依照采样时钟采样 RGB 数据比特。因为在 Phase 1 中的前导信号的产生周期中, 产生低逻辑电平的内部数据使能时钟 DE, 所以表明在内部数据使能时钟 DE 之后没有 RGB 数据的比特流。

[0089] 时钟分离和数据采样单元 21 的时钟分离器 63 产生上升沿与时钟 CLK 和内部数据使能时钟 DE 同步的基准时钟 REF\_clk。因为基准时钟 REF\_clk 在内部数据使能时钟 DE 中再次转变, 所以在 Phase 2 中基准时钟 REF\_clk 的频率比 Phase 1 中恢复的基准时钟 REF 的频率大两倍。如果时钟分离和数据采样单元 21 的基准时钟 REF\_clk 的频率增加, 则由于可以减少 PLL 64 的 VCO 内部的级数, 因此能进一步稳定 PLL 64 的输出。更具体地说, 如果 PLL64 的基准时钟 REF\_clk 在内部数据使能时钟 DE 中的 RGB 数据包的中部转变, 以便将 PLL 64 的基准时钟 REF\_clk 的频率增加两倍, 则 PLL 64 的 VCO 内部的级数减少到 1/2。如果内部数据使能时钟 DE 不使用基准时钟 REF\_clk 作为转变时钟, 则必须要 34 个 VCO 级。另一方面, 如果内部数据使能时钟 DE 使用基准时钟 REF\_clk 作为转变时钟, 则必须要 17 个 VCO 级。如果 PLL64 中的 VCO 级数增加, 则过程、电压、温度 PVT 中每个的变化效果由 VCO 级数内增加的宽度的乘积表示。由于这种外部变化, 可以释放 PLL 64 的锁定。因此, 本发明的实施例使用除时钟 CLK 外的内部数据使能时钟 DE 作为转变时钟, 因而增加了 PLL 的基准时钟 REF\_clk 的频率。因此, 能提高 PLL 的锁定可靠性。

[0090] 图 14 是说明时钟 CLK 和响应于由时钟分离和数据采样单元 21 恢复的时钟 CLK 而采样的 RGB 数据的输出的波形图。

[0091] 根据本发明的实施例的液晶显示器及其驱动方法并不限于图 11 到 13 中所说明的 RGB 数据包, 可以根据如图 15A 到 15D 中所说明的输入图像的比特率转换 RGB 数据包的长度。

[0092] 图 15A 中所示, 当 R 数据、G 数据和 B 数据中的每一个都是 10 比特数据时, 时序控制器 TCON 产生 1 个 RGB 数据作为比特流, 该比特流包括 DUM、CLK、R1 到 R10、G1 到 G5、DE DUM、DE、G6 到 G10 以及 B1 到 B10, 时间为 T 个小时。在 Phase 2 中, 每个源极驱动 IC SDIC#1 到 SDIC#8 的时钟分离和数据采样单元 21 从时序控制器 TCON 接收的 1 个 RGB 数据包产生 34 个边沿时钟和 34 个中心时钟并依照中心时钟采样 RGB 数据比特。然后, 时钟分离和数据采样单元 21 将 RGB 数据解串行化, 以便输出并行 RGB 数据。

[0093] 如图 15B 中所示, 当 R 数据、G 数据和 B 数据中的每一个都是 8 比特数据时, 时序控制器 TCON 产生 1 个 RGB 数据包作为比特流, 该比特流包括 DUM、CLK、R1 到 R8、G1 到 G4、DE DUM、DE、G5 到 G8 以及 B1 到 B8, 时间为  $T \times (28/34)$  小时。在 Phase 2 中, 每个源极驱动 IC SDIC#1 到 SDIC#8 的时钟分离和数据采样单元 21 从时序控制器 TCON 接收的 1 个 RGB 数据包产生 28 个边沿时钟和 28 个中心时钟并依照中心时钟采样 RGB 数据比特。然后, 时钟分离和数据采样单元 21 将 RGB 数据解串行化, 以便输出并行 RGB 数据。

[0094] 如图 15C 中所示, 当 R 数据、G 数据和 B 数据中的每一个都是 6 比特数据时, 时序控制器 TCON 产生 1 个 RGB 数据包作为比特流, 该比特流包括 DUM、CLK、R1 到 R6、G1 到 G3、DE DUM、DE、G4 到 G6 以及 B1 到 B6, 时间为  $T \times (22/34)$  小时。在 Phase 2 中, 每个源极驱动 IC SDIC#1 到 SDIC#8 的时钟分离和数据采样单元 21 从时序控制器 TCON 接收的 1 个 RGB 数据包产生 22 个边沿时钟和 22 个中心时钟并依照中心时钟采样 RGB 数据比特。然后, 时钟分

离和数据采样单元 21 将 RGB 数据解串行化,以便输出并行 RGB 数据。

[0095] 如图 15D 中所示,当 R 数据、G 数据和 B 数据中的每一个都是 12 比特数据时,时序控制器 TCON 产生 1 个 RGB 数据包作为比特流,该比特流包括 DUM、CLK、R1 到 R12、G1 到 G6、DE DUM、DE、G7 到 G12 以及 B1 到 B12,时间为  $T \times (40/34)$  小时。在 Phase 2 中,每个源极驱动 IC SDIC#1 到 SDIC#8 的时钟分离和数据采样单元 21 从时序控制器 TCON 接收的 1 个 RGB 数据包产生 40 个边沿时钟和 40 个中心时钟并依照中心时钟采样 RGB 数据比特。然后,时钟分离和数据采样单元 21 将 RGB 数据解串行化,以便输出并行 RGB 数据。

[0096] 如图 15A 到 15D 中所示,在 Phase 2 中时序控制器 TCON 决定输入数据的比特率,并可以自动转换 1 个 RGB 数据包的长度。

[0097] 如上所述,在根据本发明的实施例的液晶显示器及其驱动方法中,因为在每个源极驱动 IC 内部嵌有用于数据采样的时钟产生电路,所以可减小在时序控制器与源极驱动 IC 之间所需的数据传输线的数量。此外,在根据本发明的实施例的液晶显示器及其驱动方法中,在时序控制器与源极驱动 IC 之间连接控制线,且时序控制器通过该控制线给源极驱动 IC 传输芯片识别代码和控制数据。因此,能单独控制源极驱动 IC,因而能单独调试。

[0098] 本说明书中针对“一个实施例”、“实施例”、“示例性实施例”等的任何参考都是指结合实施例描述的特定特征、结构或特性包含在本发明的至少一个实施例中。在说明书各个地方出现这种术语不必全都是指同一个实施例。此外,当结合任意实施例描述特定特征、结构或特性时,认为是在本领域技术人员的范围内可结合其他实施例实现这种特征、结构或特性。

[0099] 尽管参照多个说明性的实施例描述本发明,但应当理解,本领域技术人员能设计出多个其他修改例和实施例,这将落在本发明的原理的范围内。更具体地说,在说明书、附图和所附权利要求的范围内,在组成部件和 / 或主题组合构造的配置中可进行各种变化和修改。除了组成部件和 / 或配置中的变化和修改之外,可选择的使用对于本领域技术人员来说也将是显而易见的。

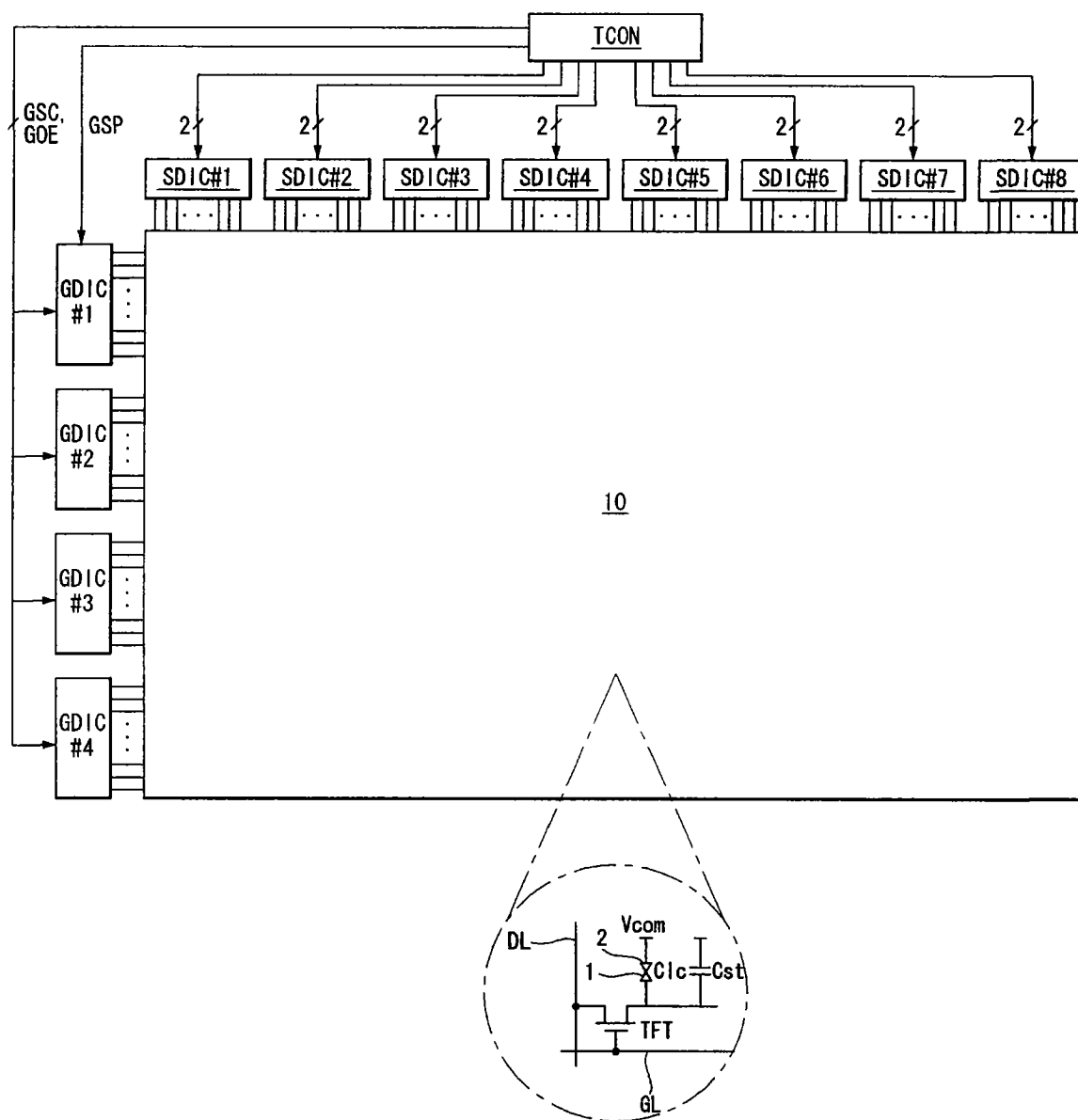


图 1

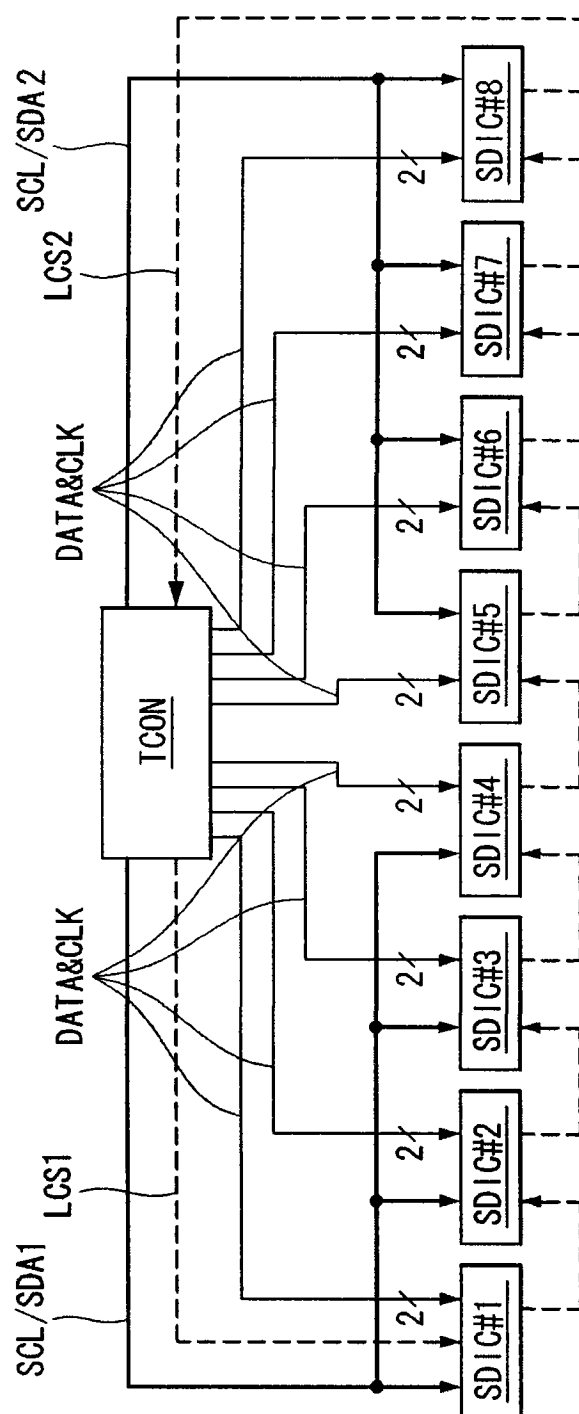


图 2

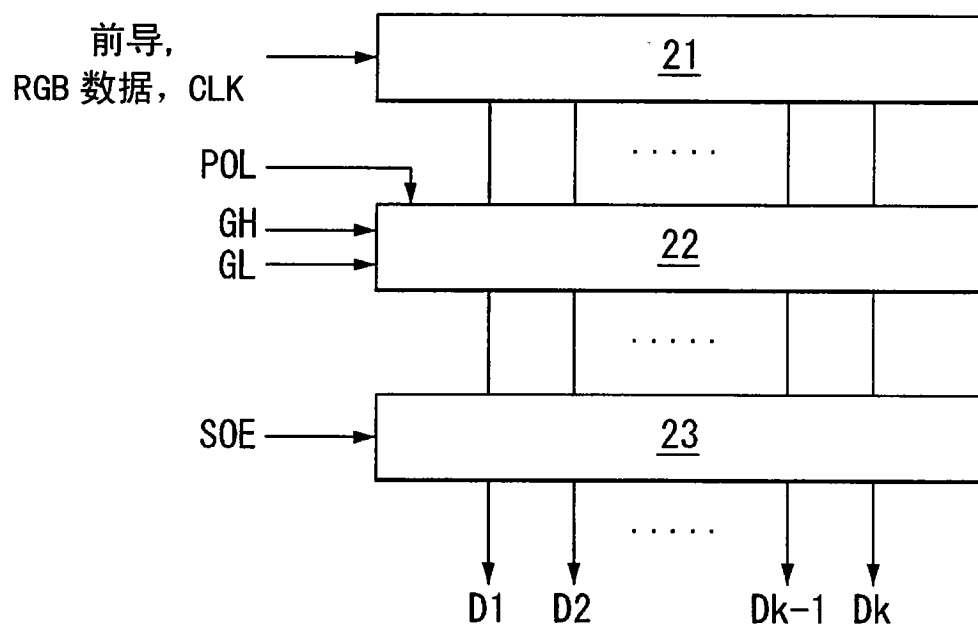
SDIC

图 3

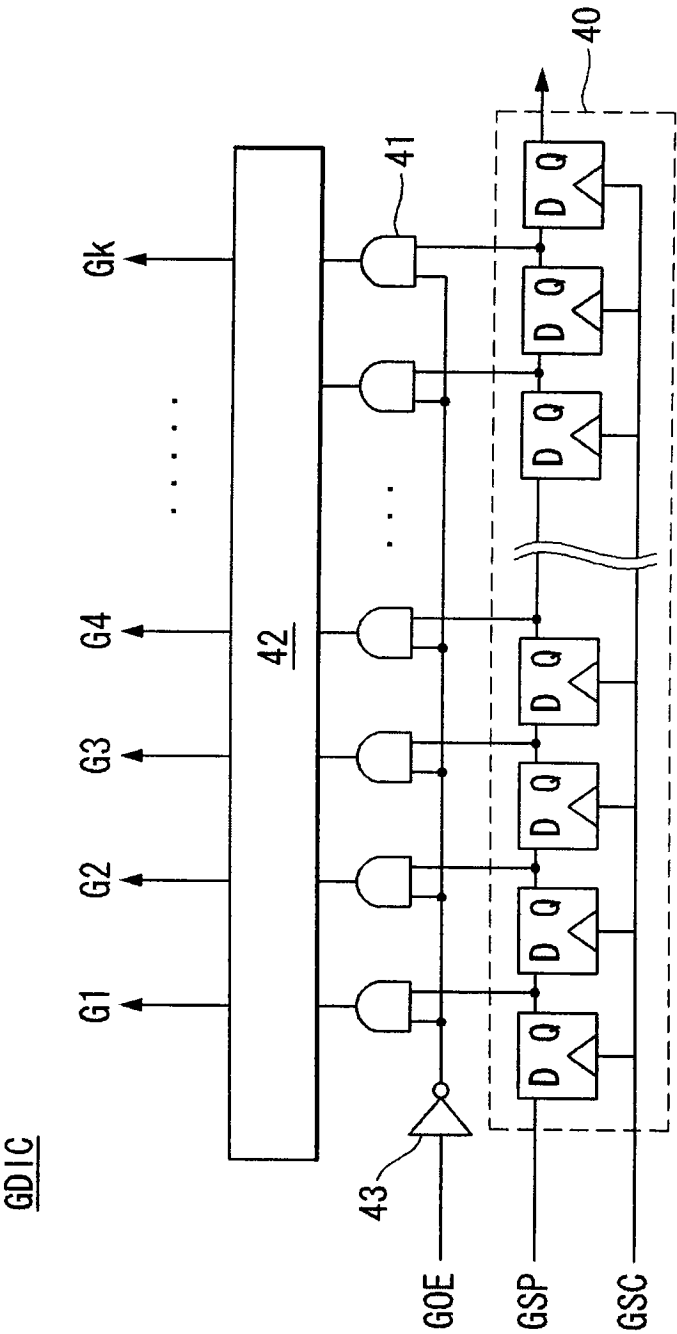


图 4

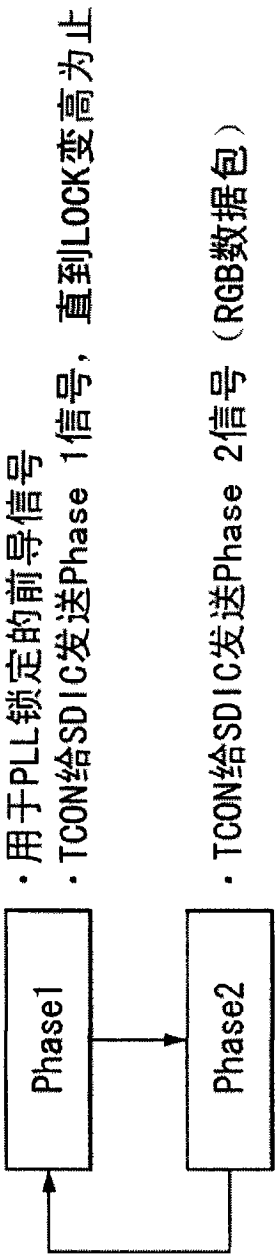


图 5

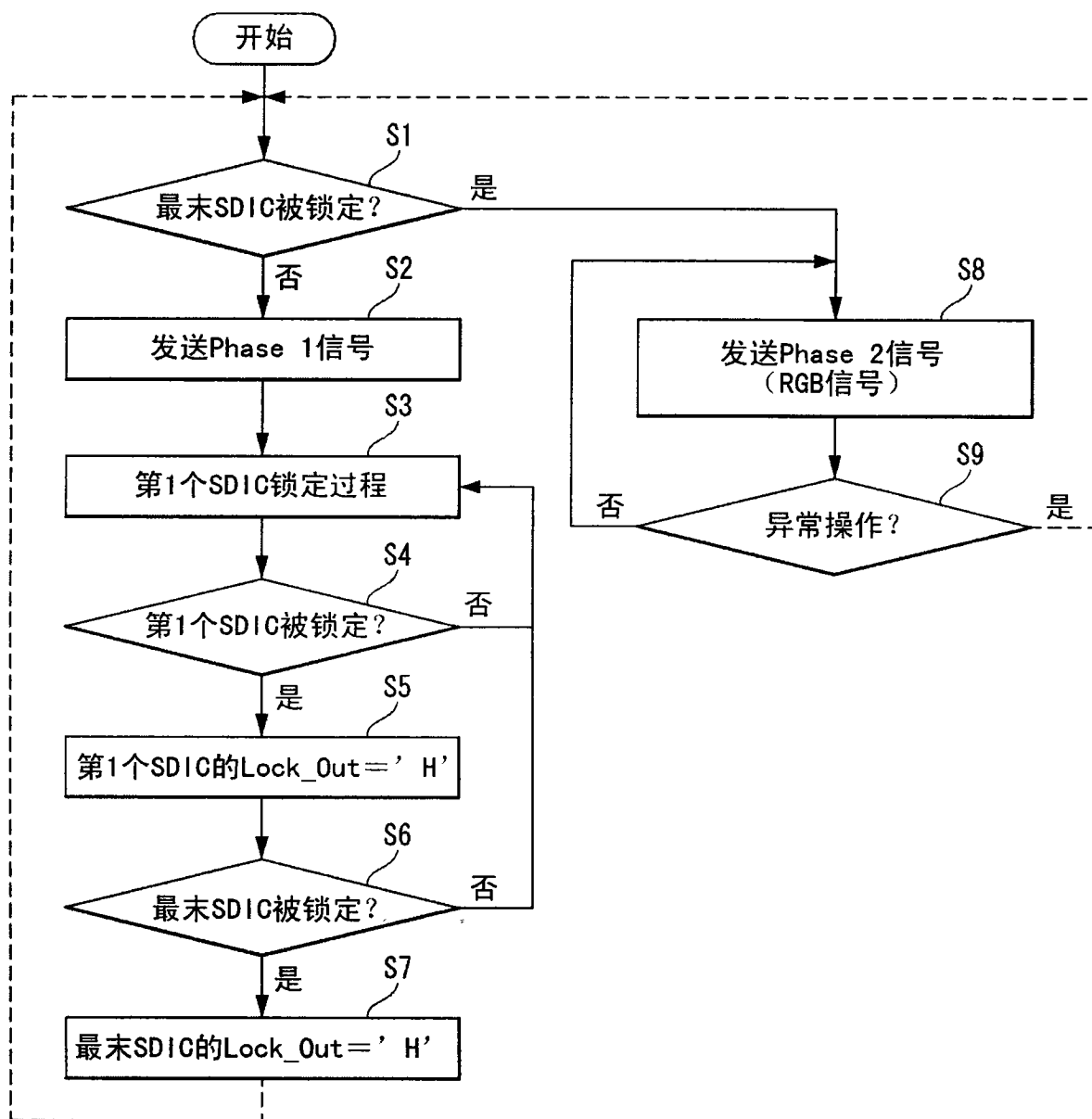


图 6

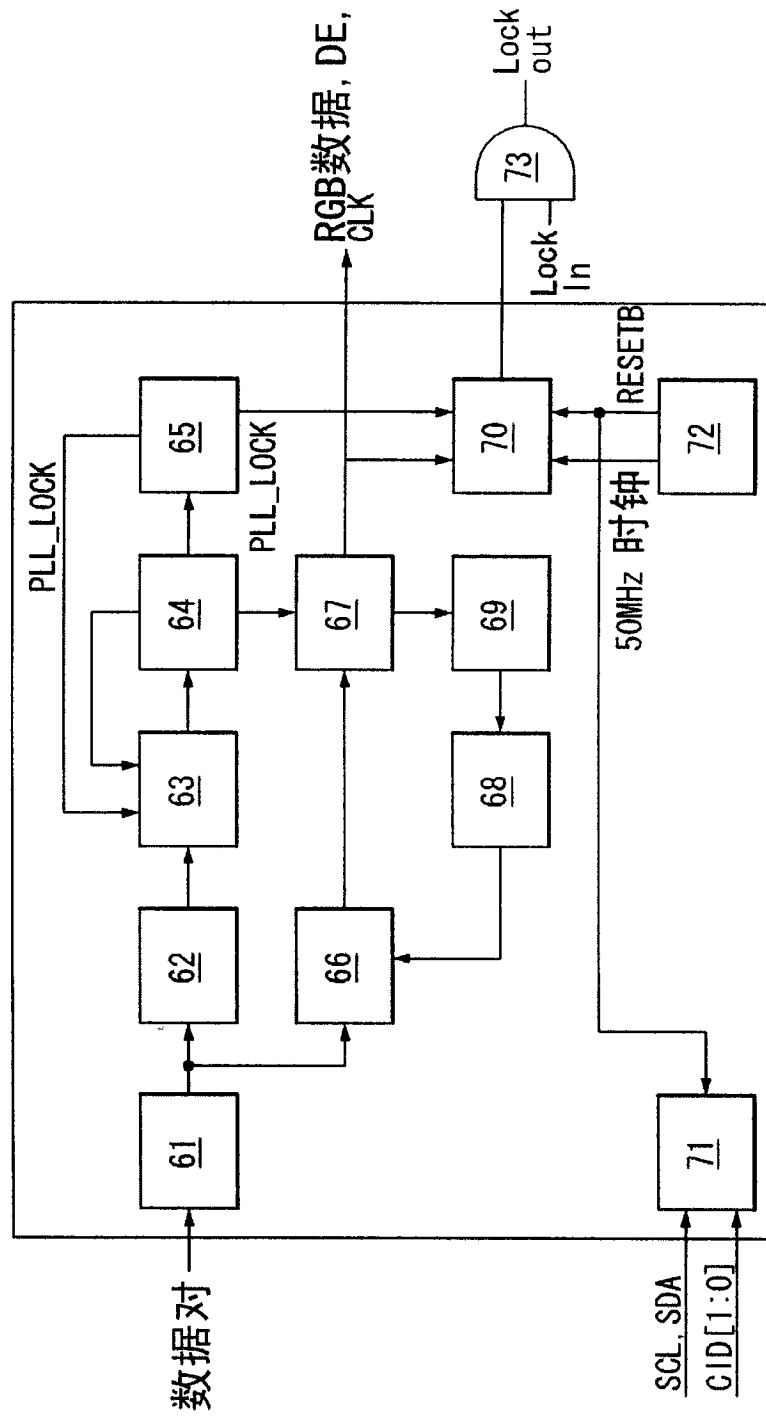


图 7

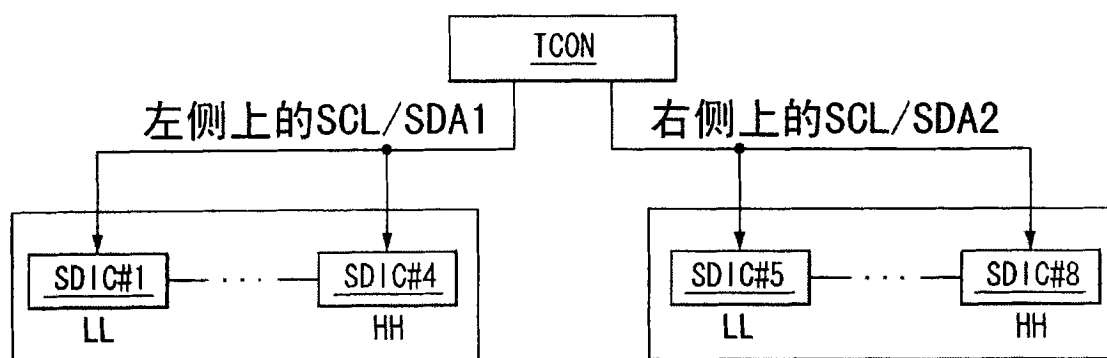


图 8

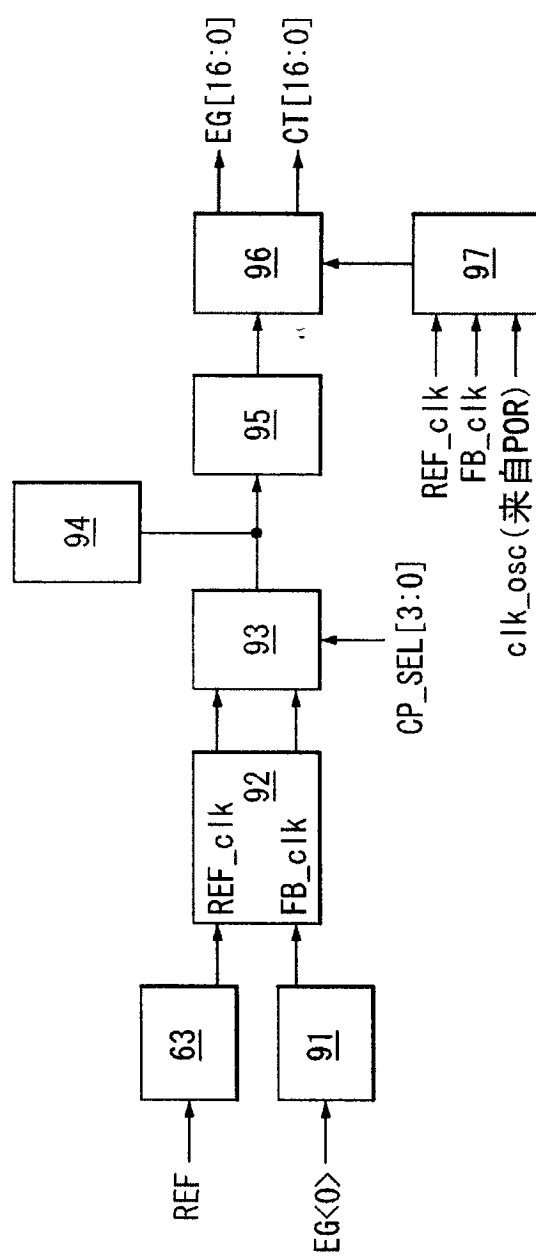


图 9



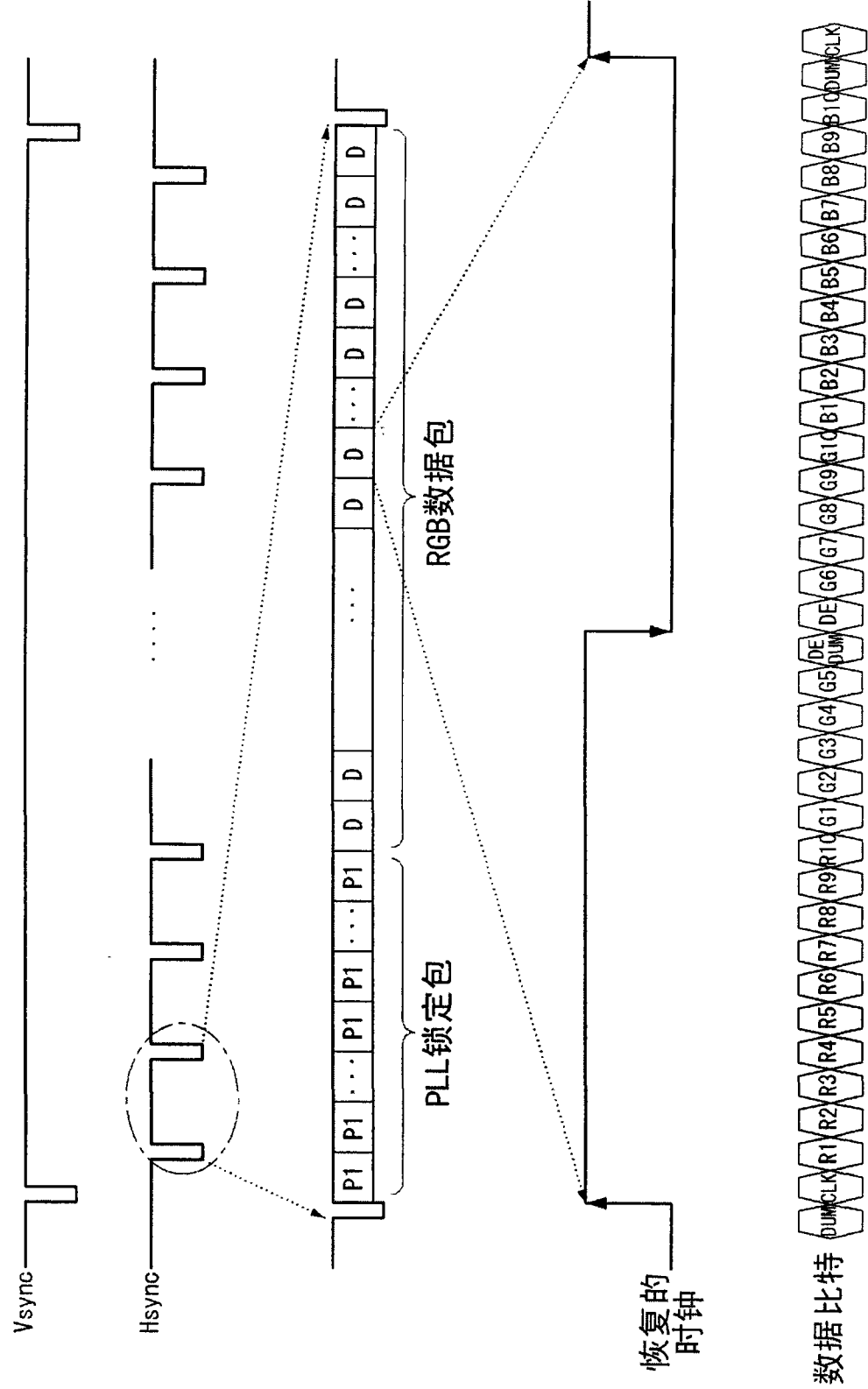


图 11

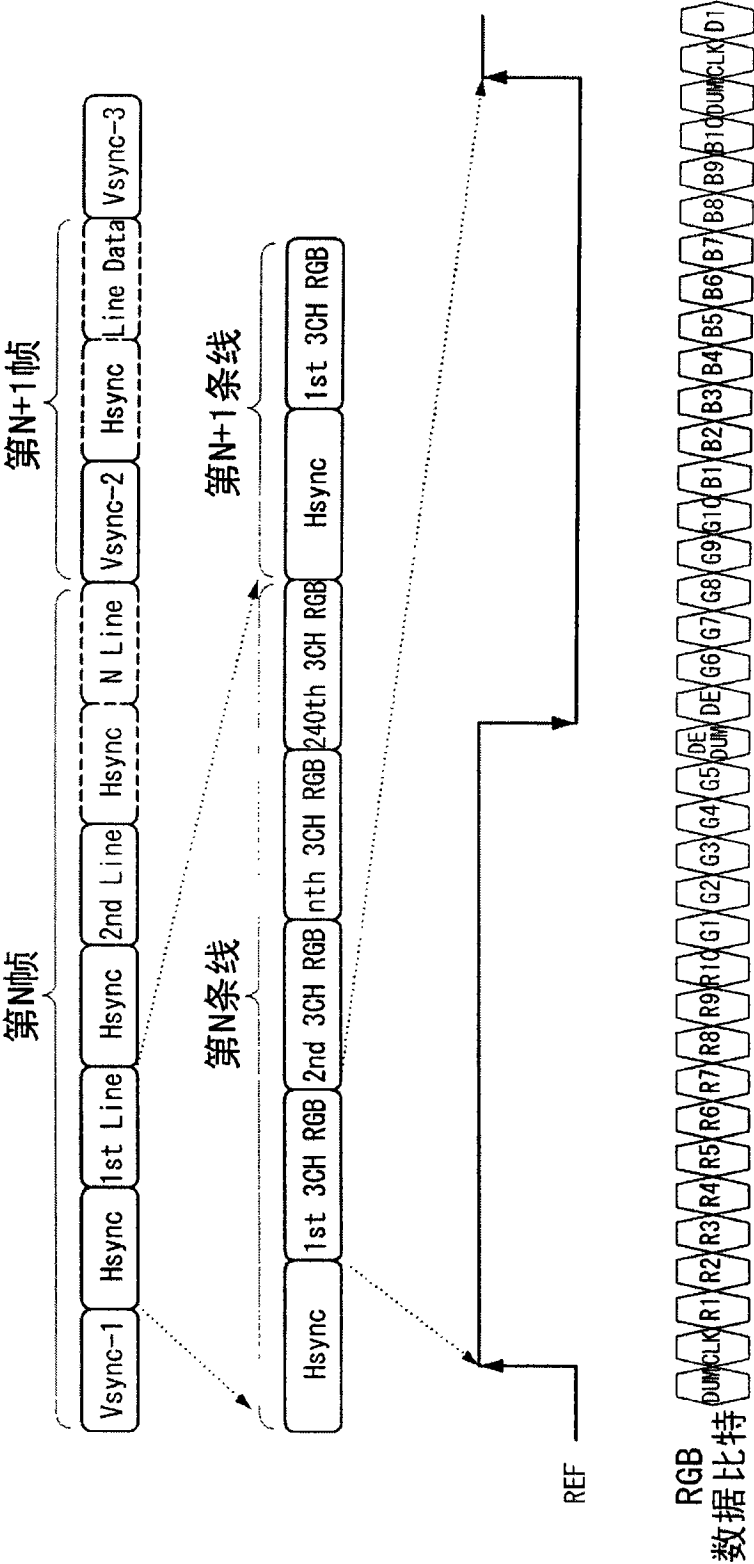


图 12

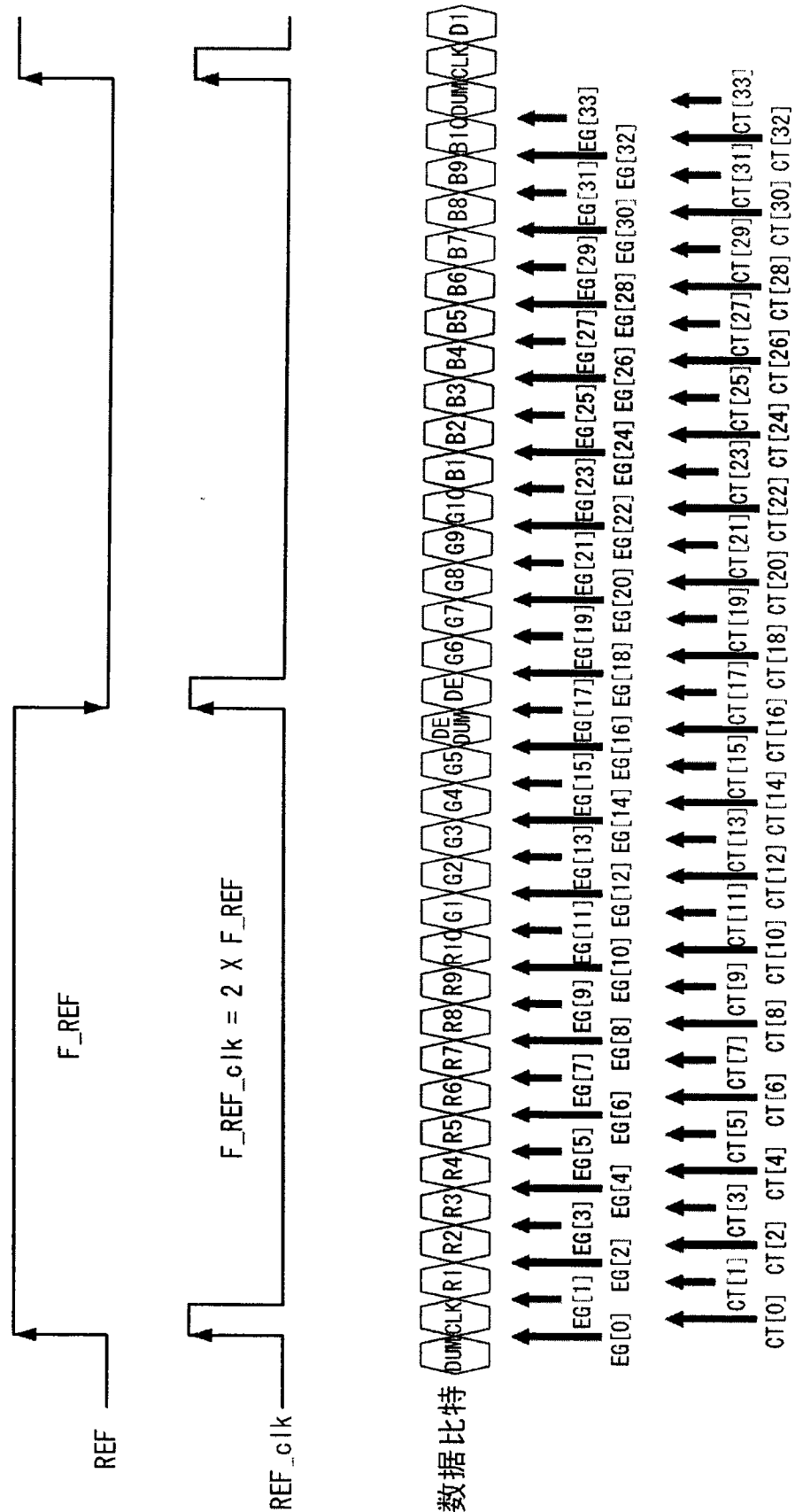


图 13

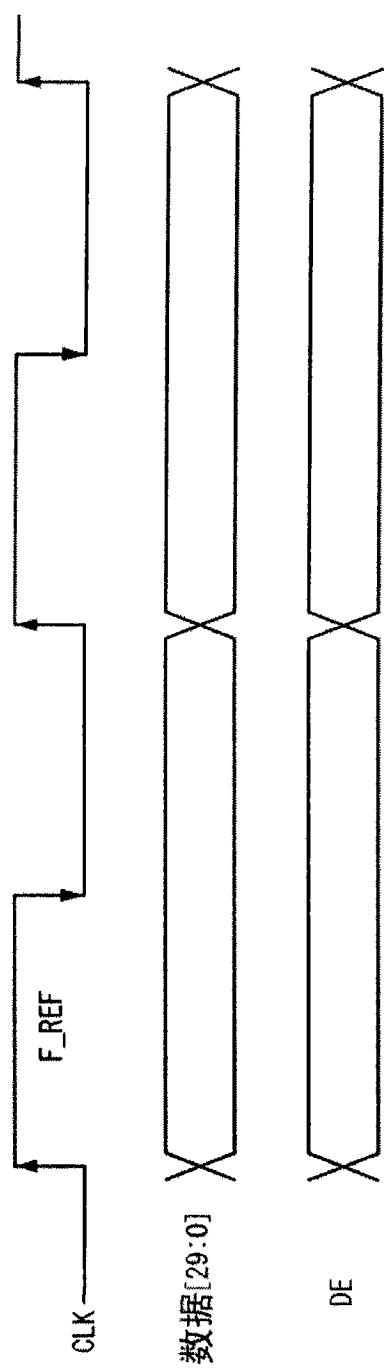


图 14

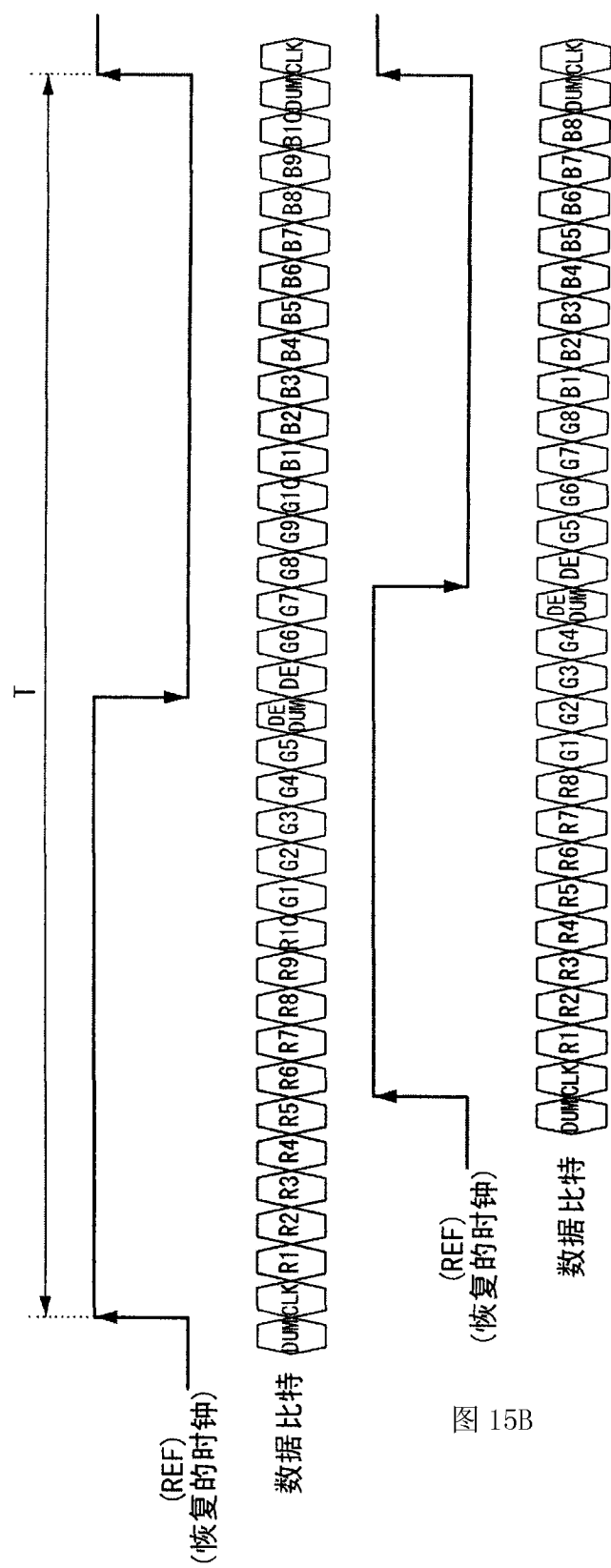


图 15B

图 15A

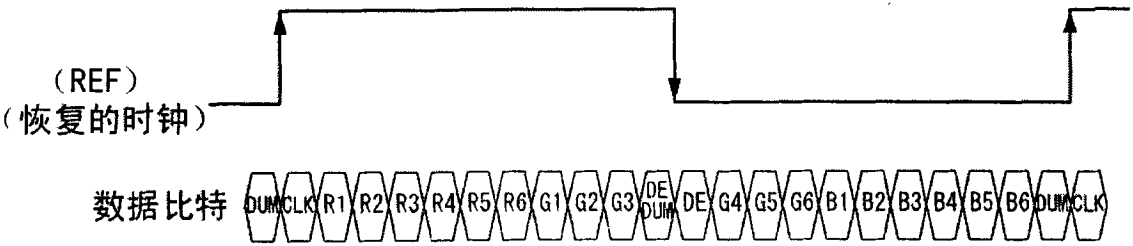


图 15C

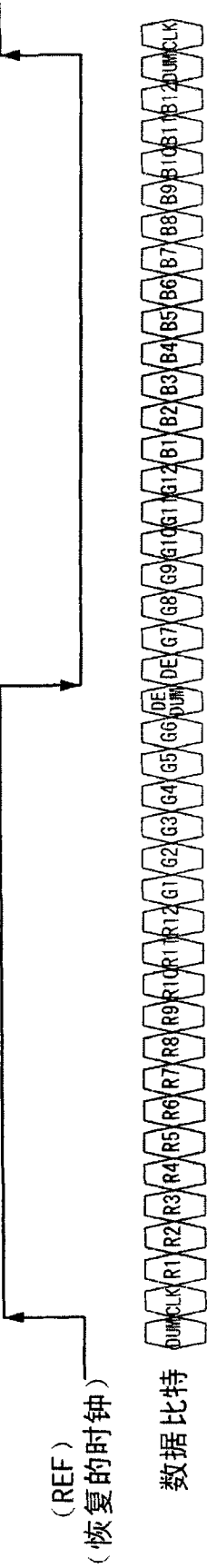


图 15D

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	<a href="#">CN101751886B</a>	公开(公告)日	2012-11-07
申请号	CN200910151641.6	申请日	2009-07-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	洪镇铁 姜弼盛 郑良锡 崔震虎 李玟镐 杨成玄		
发明人	洪镇铁 姜弼盛 郑良锡 崔震虎 李玟镐 杨成玄		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G3/3648 G09G2370/08		
代理人(译)	徐金国 钟强		
审查员(译)	罗朋		
优先权	1020080127458 2008-12-15 KR		
其他公开文献	CN101751886A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

# 摘要(译)

公开了一种液晶显示器及其驱动方法。所述液晶显示器包括：时序控制器；N个源极驱动集成电路(IC)，其中N是等于或者大于2的整数；N个数据总线对，每个数据总线对都以点对点的方式将所述时序控制器与所述N个源极驱动IC的每一个连接；锁定检查线，将所述N个源极驱动IC中的第一源极驱动IC与所述时序控制器连接，并将所述N个源极驱动IC彼此级联连接；以及反馈锁定检查线，将所述N个源极驱动IC中的最末源极驱动IC与所述时序控制器连接。

