(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101083068 B
(45)授权公告日 2011.06.15

(21)申请号 200710128249.0
(22)申请日 2007.02.25
(30)优先权数据
16270/06 2006.02.20 KR
(73)专利权人 三星电子株式会社
地址 韩国京畿道
(72)发明人 崔晋荣 全珍
(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 邵亚丽
(51)Int.Cl.
G09G 3/36(2006.01)
(56)对比文件
CN 1473319 A,2004.02.04,
CN 1637836 A,2005.07.13,
JP 2004199025 A,2004.07.15,
US 6556646 B1,2003.04.29,
审查员 刘畅

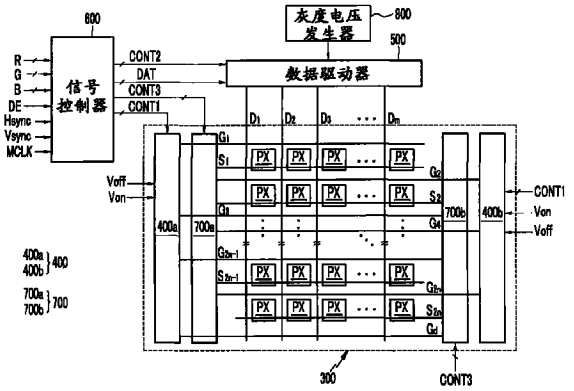
权利要求书 2 页 说明书 19 页 附图 11 页

(54)发明名称

显示装置

(57)摘要

一种显示装置，包括：多条栅极线、多条数据线、多条存储电极线和多个像素。每个像素包括连接于一条栅极线和一条数据线的开关元件、连接于所述开关元件和公共电压的液晶电容器和连接于所述开关元件和一条存储电极线的存储电容器。所述显示装置的信号发生电路根据栅极信号以下述方式产生存储信号：即紧接在完成将数据电压充入液晶电容器和存储电容器之后施加于每个像素的存储信号具有变化的电压电平。这使得像素电极能够在单帧内达到目标电压，从而减小了显示装置的能耗，并改善了其响应时间、可靠性和耐用性。



CN 101083068 B

1. 一种被配置成以多个帧显示图像的显示装置，所述显示装置包括：

多条栅极线，适于传输多个栅极信号；

多条数据线，适于传输多个数据电压；

多条存储电极线，适于根据所述栅极信号传输多个存储信号；

多个像素，以具有多个行的矩阵布置，其中每个像素包含：连接于所述多条栅极线之一和所述多条数据线之一的开关元件、连接于所述开关元件和公共电压的液晶电容器、以及连接于所述开关元件和所述多条存储电极线之一的存储电容器；以及

多个信号发生电路，连接于所述多条存储电极线，其中所述多个信号发生电路的每一个适于紧接在相关行的像素的液晶电容器和存储电容器已经通过数据电压充电之后、响应于第一栅极信号的栅极导通电压和第一控制信号而向所述多条存储电极线中的相关的一条施加具有第一或第二电压的存储信号；适于响应于第二栅极信号的栅极导通电压以及第二和第三控制信号而在预定时间段内保持存储信号的电压；以及适于在第二栅极信号输出栅极截止电压之后、在每个预定时间段交替地响应于第二控制信号和第三控制信号之一而保持存储信号的电压。

2. 根据权利要求 1 的显示装置，其中施加于相邻存储电极线的存储信号具有彼此不同的电压电平。

3. 根据权利要求 1 的显示装置，其中施加于相同存储电极线的存储信号具有在每个显示帧反转的电压电平。

4. 根据权利要求 1 的显示装置，其中所述公共电压为固定电压。

5. 根据权利要求 1 的显示装置，其中所述预定时间段为大约一个水平周期。

6. 根据权利要求 1 的显示装置，其中所述第一控制信号的波形与所述第三控制信号的波形相同。

7. 根据权利要求 6 的显示装置，其中所述第二控制信号的波形与所述第三控制信号的波形相反。

8. 根据权利要求 6 的显示装置，其中所述第一、所述第二和所述第三控制信号中的每一个具有第一电压电平和高于所述第一电压电平的第二电压电平，并在约一个水平周期的时间段期间在所述第一和所述第二电压电平之间交替。

9. 根据权利要求 8 的显示装置，其中第一栅极信号的栅极导通电压和第二栅极信号的栅极导通电压之间的施加时间相差约一个水平周期。

10. 根据权利要求 8 的显示装置，其中所述多个信号发生电路的每一个包含：第一晶体管，第一晶体管具有连接于所述多条栅极线之一的控制端、连接于第一控制信号的输入端和连接于所述多条存储电极线之一的输出端。

11. 根据权利要求 10 的显示装置，其中所述多个信号发生电路的每一个还包含：具有连接于该栅极线的控制端和连接于第二控制信号的输入端的第二晶体管；和具有连接于该栅极线的控制端和连接于第三控制信号的输入端的第三晶体管。

12. 根据权利要求 11 的显示装置，其中所述多个信号发生电路的每一个还包含：具有连接于另一条栅极线的控制端和连接于第二控制信号的输入端的第四晶体管，和具有连接于另一条栅极线的控制端和连接于第三控制信号的输入端的第五晶体管。

13. 根据权利要求 12 的显示装置，其中所述多个信号发生电路的每一个还包含：

具有连接于第二晶体管的输出端的第一端和连接于第三控制信号的第二端的第一电容器；

具有连接于第三晶体管的输出端的第一端和连接于第二控制信号的第二端的第二电容器；

具有连接于第一电容器的第一端的控制端、连接于该存储电极线的输入端、和连接于第一驱动电压的输出端的第六晶体管；以及

具有连接于第二电容器的第一端的控制端、连接于第二驱动电压的输入端、和连接于该存储电极线的输出端的第七晶体管。

14. 根据权利要求 13 的显示装置，其中所述多个信号发生电路的每一个还包含：

具有连接于第四晶体管的输出端的第一端和连接于第三控制信号的第二端的第三电容器；

具有连接于第五晶体管的输出端的第一端和连接于第二控制信号的第二端的第四电容器；

具有连接于第三电容器的第一端的控制端、连接于第二驱动电压的输入端、和连接于该存储电极线的输出端的第八晶体管；和

具有连接于第四电容器的第一端的控制端、连接于该存储电极线的输入端、和连接于第一驱动电压的输出端的第九晶体管。

15. 根据权利要求 14 的显示装置，其中所述第一驱动电压低于所述第二驱动电压。

16. 根据权利要求 15 的显示装置，其中所述第一驱动电压约为 0V。

17. 根据权利要求 13 的显示装置，其中所述第二驱动电压约为 5V。

18. 根据权利要求 15 的显示装置，其中所述第二电压电平高于所述第二驱动电压。

19. 根据权利要求 18 的显示装置，其中所述第二电压电平为约 15V。

20. 根据权利要求 14 的显示装置，还包含：

第五电容器，连接在第六晶体管的控制端和第一驱动电压之间；

第六电容器，连接在第七晶体管的控制端和第二驱动电压之间；

第七电容器，连接在第八晶体管的控制端和第二驱动电压之间；以及

第八电容器，连接在第九晶体管的控制端和第一驱动电压之间。

显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2006 年 2 月 20 日提交的申请号为 10-2006-0016270 的韩国专利申请的优先权，其整个公开在此以引用方式被包含。

技术领域

[0003] 本发明涉及显示装置，诸如液晶显示器 (LCD)。

背景技术

[0004] 通常，LCD 包括具有像素电极和公共电极的两个显示板以及夹设在它们之间的具有介电各向异性的液晶材料的层。所述像素电极被布置成矩阵并连接于开关器件（诸如薄膜晶体管 (TFT)），所述开关器件一行一行地顺序将数据电压施加于像素电极。所述公共电极设置在所述显示板的整个表面上并具有施加于其的公共电压。所述像素电极、所述公共电极和夹设在它们之间的液晶层构成了液晶电容器。所述液晶电容器和与其连接的开关元件一起限定出单个像素单元。

[0005] LCD 通过向设置在两板之间的液晶层施加电场和通过控制作用于液晶层的电场强度调节光穿过液晶层的透射率来成像。然而，如果在相对较长的时间段内向液晶层施加一个方向的电场，则会出现图像恶化。为了防止这一问题，数据电压相对于公共电压的极性以一帧像素、或一行像素或单个像素为单位反转。

[0006] 然而，由于液晶分子的响应速度相对较低，因此在液晶电容器内所充的电压（以下称为像素电压）达到目标电压（即在像素内产生期望亮度的电压）需要经过一段时间。这个时间取决于目标电压和液晶电容器先前充入的电压之间的差值。因此，在目标电压与先前充入电压之间的差值大的情况下，如果最初仅仅施加目标电压，则像素电压在像素开关元件导通期间可能达不到完全的目标电压。

[0007] 为了解决这个问题，已经提出 DCC（动态电容器补偿）方案。DCC 方案利用充电速度与液晶电容器上电压成比例的事实。施加于像素的数据电压（实际上是数据电压和公共电压的差值，但是为了便于描述，这里将公共电压假设为 0V）被设计为高于目标电压，以便缩短像素电压达到目标电压所用的时间。

[0008] 然而，DCC 方案需要执行 DCC 计算的帧存储器和驱动电路。这些元件的需求产生了电路复杂性和伴随的增大生产成本方面的问题。

[0009] 对于中型或小型 LCD（诸如移动电话），应用“行反转”技术，在这项技术中数据电压相对于公共电压的极性以像素为单位反转，从而减小能耗。然而，因为中型或小型 LCD 的分辨率逐渐地增大，所以能耗问题也增大。特别是，当执行 DCC 计算时，由于需要额外地计算电路，因此 LCD 的能耗显著地增大。

[0010] 此外，在行反转技术中，用于图像显示的数据电压的范围与“点反转”技术相比相对较小，在“点反转”技术中，数据电压相对于公共电压的极性以像素为单位反转。因此，在“VA”（垂面排列）型 LCD 中，如果驱动液晶的门限电压高，则门限电压的值减小用于表现图

像显示的灰度的数据电压的范围。因此，不能获得期望的亮度。

发明内容

[0011] 根据这里描述的示范性实施例，本发明提供一种显示装置的驱动装置，其减小显示装置的能耗并改善其响应速度、可靠性和耐用性。

[0012] 在一个示范性实施例中，一种被配置成以多个帧显示图像的显示装置包括：适于传输多个栅极信号的多条栅极线；适于传输多个数据电压的多条数据线；适于传输多个存储信号的多条存储电极线；以具有多行的矩阵布置的多个像素，其中每个像素包含连接于所述多条栅极线之一和所述多条数据线之一的开关元件、连接于开关元件和公共电压的液晶电容器以及连接于开关元件和所述多条存储电极线之一的存储电容器；以及连接于所述多条存储电极线的多个信号发生电路，其中所述多个信号发生电路中的每一个适于紧接在相关行的像素的液晶电容器和存储电容器已经通过数据电压充电之后、响应于第一栅极信号的栅极导通电压(gate-on voltage)和第一控制信号向所述多条存储电极线中的相关的一条施加具有第一或第二电压的存储信号；适于响应于第二栅极信号的栅极导通电压以及第二和第三控制信号在预定时间段内保持存储信号的电压；适于在第二栅极信号输出栅极截止电压(gate-offvoltage)之后、交替地响应于第二控制信号和第三控制信号之一在每个预定时间段保持存储信号的电压。

[0013] 施加于相邻存储电极线的存储信号可具有彼此不同的电压电平。施加于相同存储电极线的存储信号可具有在每个显示帧反转的电压电平。公共电压可为固定电压。预定时间段可为大约一个水平周期(1H)。

[0014] 在上述示范性实施例中，第一控制信号的波形可与第三控制信号的波形相同。此外，第二控制信号的波形可与第三控制信号的波形相反。第一、第二和第三控制信号中的每一个可具有第一电压电平和高于第一电压电平的第二电压电平，并在约 1H 的时间段期间在第一和第二电压电平之间交替。

[0015] 第一栅极信号的栅极导通电压和第二栅极信号的栅极导通电压之间的施加时间相差约 1H。

[0016] 信号发生电路中的每一个可包括第一晶体管，该第一晶体管具有连接于所述多条栅极线之一的控制端、连接于第一控制信号的输入端和连接于所述多条存储电极线之一的输出端。

[0017] 信号发生电路中的每一个可进一步包括具有连接于该栅极线的控制端和连接于第二控制信号的输入端的第二晶体管，和具有连接于该栅极线的控制端和连接于第三控制信号的输入端的第三晶体管。

[0018] 信号发生电路中的每一个可进一步包括具有连接于另一条栅极线的控制端和连接于第二控制信号的输入端的第四晶体管，和具有连接于另一条栅极线的控制端和连接于第三控制信号的输入端的第五晶体管。

[0019] 信号发生电路中的每一个可进一步包括：具有连接于第二晶体管的输出端的第一端和连接于第三控制信号的第二端的第一电容器；具有连接于第三晶体管的输出端的第一端和连接于第二控制信号的第二端的第二电容器；具有连接于第一电容器的第一端的控制端、连接于该存储电极线的输入端和连接于第一驱动电压的输出端的第六晶体管；具有连

接于第二电容器的第一端的控制端、连接于第二驱动电压的输入端和连接于该存储电极线的输出端的第七晶体管。

[0020] 信号发生电路中的每一个可进一步包括：具有连接于第四晶体管的输出端的第一端和连接于第三控制信号的第二端的第三电容器；具有连接于第五晶体管的输出端的第一端和连接于第二控制信号的第二端的第四电容器；具有连接于第三电容器的第一端的控制端、连接于第二驱动电压的输入端和连接于该存储电极线的输出端的第八晶体管；具有连接于第四电容器的第一端的控制端、连接于该存储电极线的输入端和连接于第一驱动电压的输出端的第九晶体管。

[0021] 第一驱动电压可低于第二驱动电压。第一驱动电压可约为 0V，第二驱动电压可约为 5V。

[0022] 第二电压电平可高于第二驱动电压，第二电压电平可约为 15V。

[0023] 该显示装置可进一步包括：连接在第六晶体管的控制端和第一驱动电压之间的第五电容器；连接在第七晶体管的控制端和第二驱动电压之间的第六电容器；连接在第八晶体管的控制端和第二驱动电压之间的第七电容器；连接在第九晶体管的控制端和第一驱动电压之间的第八电容器。

[0024] 通过考虑下面详细描述的本发明的一些示范性实施例，特别是结合附图进行这种考虑，可以获得对于本发明的新颖的双侧显示器和制作这些显示器的方法的上述和一些其他特征和优点的更好的理解。其中相同的参考数字用于标识在一幅或多幅附图中说明的相同的元件。

附图说明

[0025] 图 1 是根据本发明的液晶显示器 (LCD) 的示范性实施例的原理框图；

[0026] 图 2 是图 1 的示范性 LCD 的单个像素的等效电路图的局部透视图；

[0027] 图 3 是根据本发明的信号发生电路的示范性实施例的电路图；

[0028] 图 4 是说明图 3 的信号发生电路的信号的定时的图；

[0029] 图 5 是说明在图 3 的示范性信号产生电路运行期间，液晶层响应速度和像素电极电压的变化的图表；

[0030] 图 6 是说明常规 LCD 中液晶层的响应速度和像素电极电压的变化的图表；

[0031] 图 7 是根据本发明的 LCD 的另一示范性实施例的原理框图；

[0032] 图 8 是根据本发明的信号发生电路的另一示范性实施例的电路图；

[0033] 图 9 是说明图 8 的信号电路发生电路的信号的定时的图；

[0034] 图 10 是说明根据本发明的信号发生电路的另一示范性实施例的电路图；

[0035] 图 11 是根据本发明的 LCD 的薄膜晶体管 (TFT) 阵列板的示范性实施例的局部顶视平面图，其表示其中的单个像素区域；

[0036] 图 12A 和 12B 是图 11 的示范性 TFT 阵列板的局部横截面图，分别沿图 11 中截面线 XIIA-XIIA 和 XIIB-XIIB 截开；

[0037] 图 13 是根据本发明的 LCD 的 TFT 阵列板的另一示范性实施例的局部顶视平面图，其示出其中的单个像素区域；以及

[0038] 图 14A 和 14B 是图 13 的 TFT 阵列板的局部横截面图，分别沿图 13 中截面线

XIVA-XIVA 和 XIVA-XIVA 截开。

具体实施方式

[0039] 下面参考图 1 和 2 详细描述根据本发明的 LCD 的示范性实施例，其中图 1 是示范性 LCD 的原理框图，图 2 是示范性 LCD 的单个像素的等效电路图的局部透视图。

[0040] 如图 1 中所示，示范性 LCD 包括液晶板组件 300、栅极驱动器 400、数据驱动器 500、连接于数据驱动器 500 的灰度电压发生器 800、存储信号发生器 700 和控制这些元件的信号控制器 600。

[0041] 液晶板组件 300 的等效电路包括多条信号线 G_1-G_{2n}、G_d、D_1-D_m 和 S_1-S_{2n}，以及连接于信号线 G_1-G_{2n}、G_d、D_1-D_m 和 S_1-S_{2n} 并基本以矩形矩阵形式布置的多个像素 PX。在图 2 的示意性透视结构图中，液晶板组件 300 包括彼此相对的下板 100 和上板 200，以及夹设在两板 100 和 200 之间的液晶材料 3 的层。信号线包括多条栅极线 G_1-G_{2n} 和 G_d、多条数据线 D_1-D_m 以及多条存储电极线 S_1-S_{2n}。

[0042] 栅极线 G_1-G_{2n} 和 G_d 包括多条标准栅极线 G_1-G_{2n} 和附加栅极线 G_d，每条栅极线传输栅极信号（这里也称为“扫描信号”）。存储电极线 S_1-S_{2n} 交替地连接于标准栅极线 G_1-G_{2n} 并传输存储信号。每条数据线标准栅极线 D_1-D_m 传输各自的数据电压。

[0043] 栅极线 G_1-G_{2n} 和 G_d 以及存储电极线 S_1-S_{2n} 通常在行方向上延伸，也就是图中的水平方向，并且彼此基本平行，而数据线 D_1-D_m 基本在列方向上延伸，也就是在图中的垂直方向，并且彼此基本平行。

[0044] 参考图 2，每个像素 PX，例如连接于第 i 标准栅极线 G_i（其中 i ＝ 1，2，...2n）和第 j 数据线 D_j（其中 j ＝ 1，2，...m）的像素 PX 包括连接于信号线 G_i 和 D_j 的开关元件 Q、以及连接于开关元件 Q 的液晶电容器 Clc 和存储电容器 Cst。

[0045] 开关元件 Q 是三端元件，诸如薄膜晶体管 TFT，布置在下板 100 上。开关元件 Q 具有连接于标准栅极线 G_i 的控制端、连接于数据线 D_j 的输入端和连接于液晶电容器 Clc 和存储电容器 Cst 的输出端。

[0046] 液晶电容器 Clc 将下板 100 的像素电极 191 和上板 200 的公共电极 270 用作它的两端，夹设在两个电极 191 和 270 之间的液晶层 3 用作它的电介质材料。像素电极 191 连接于开关元件 Q，公共电极 270 设置在上板 200 的整个表面上并施加有公共电压 Vcom。公共电压是具有特定幅值的 DC 电压。

[0047] 在可替换实施例中，不像图 2 中所描述的，公共电极 270 可以设置在下板 100 上，并且在这种情况下，两个电极 191 和 270 中的至少一个可以形成为线形或条形。

[0048] 存储电容器 Cst 起到辅助液晶电容器 Clc 的作用并通过像素电极 191 和存储电极线 Si 交迭而构造，在像素电极 191 和存储电极线 Si 之间设置有介电绝缘体。

[0049] 为了实现彩色显示，每个像素唯一地显示一组三原色中的一个（“空间划分”），或者可选择地，每个像素在选定的时间段内交替地显示一组三原色中的一个（“时间划分”）。通过三原色的空间或时间组合能够获得期望的彩色。三原色的示例是红 (R)、绿 (G) 和蓝 (B) 的三原色组。图 2 说明了空间分割的示例。如图中所示，每个像素 PX 包括表现三原色之一的滤色器 230，滤色器设置在上板 200 的对应于像素电极 191 的区域内。在可替换实施例中，不像图 2 中所描述的，滤色器 230 可以设置在下板 100 的像素电极 191 之上或之下。

[0050] 至少一个使光偏振的偏光器（未示出）连接在液晶板组件 300 的外表面上。

[0051] 参考图 1，灰度电压发生器 800 产生完全组栅电压或与像素 PX 的光透射率相关的有限组灰度电压（这里称为“参考灰度电压”）。一些（参考）灰度电压具有相对于公共电压 Vcom 的正极性，而其他（参考）灰度电压具有相对于公共电压 Vcom 的负极性。

[0052] 栅极驱动器 400 包括分别布置在液晶板组件 300 的相对侧面（例如液晶板组件的右侧面和左侧面）上的第一栅极驱动电路 400a 和第二栅极驱动电路 400b。第一栅极驱动电路 400a 连接于奇数标准栅极线 G_1、G_3、...、G_{2n-1} 和附加栅极线 G_d 的端部，而第二栅极驱动电路 400b 连接于偶数标准栅极线 G_2、G_4、...、G_{2n} 的端部。然而，在可替换实施例中，第二栅极驱动电路 400b 可以连接于奇数标准栅极线 G_1、G_3、...、G_{2n-1} 和附加栅极线 G_d 的端部，而第一栅极驱动电路 400a 可以连接于偶数标准栅极线 G_2、G_4、...、G_{2n} 的端部。

[0053] 第一栅极驱动电路 400a 和第二栅极驱动电路 400b 组合用于产生栅极信号并将它们施加于栅极线 G_1-G_{2n} 和 G_d 的栅极导通电压 Von 和栅极截止电压 Voff。

[0054] 栅极驱动器 400 与信号线 G_1-G_{2n}、G_d、D_1-D_m 和 S_1-S_{2n} 以及开关元件 Q 一起集成在液晶板组件 300 内。然而，栅极驱动器 400 可以包括至少一个集成电路（IC）芯片，该芯片直接安装在 LC 板组件 300 上，或者可替换地，安装在附接于板组件 300 的载带型封装（TCP）的柔性印刷电路（FPC）膜上。在另一可替换实施例中，栅极驱动器 400 可以安装在单独的印刷电路板（未示出）上。

[0055] 存储信号发生器 700 包括第一存储信号发生电路 700a 和第二存储信号发生电路 700b，例如布置在液晶板组件 300 的相对侧面上并分别邻近于第一栅极驱动电路 400a 和第二栅极驱动电路 400b。

[0056] 第一存储信号发生电路 700a 连接于奇数存储电极线 S_1、S_3、...、S_{2n-1} 和偶数标准栅极线 G_2、G_4、...、G_{2n}，并施加具有高电平电压和低电平电压的存储信号。

[0057] 除第一标准栅极线 G_1 和附加栅极线 G_d 之外，第二存储信号发生电路 700b 连接于偶数存储电极线 S_2、S_4、...、S_{2n} 和奇数标准栅极线 G_3、...、G_{2n-1}，并向存储电极线 S_2、S_4、...、S_{2n} 施加存储信号。

[0058] 代替向存储信号发生器 700 提供来自连接于栅极驱动器 400 的附加栅极线 G_d 的信号，可向存储信号发生器 700 提供来自单独单元的信号，单独单元诸如信号控制器 600 或单独的信号发生器（未示出）。在后面的实施例中，附加栅极线 Gd 不必形成在液晶板组件 300 上。

[0059] 存储信号发生器 700 与信号线 G_1-G_{2n}、G_d、D_1-D_m 和 S_1-S_{2n} 以及开关元件 Q 一起集成在液晶板组件 300 内。然而，存储信号发生器 700 可以包括至少一个集成电路（IC）芯片，该芯片安装在 LC 板组件 300 上，或者安装在连接于板组件 300 的载带型封装（TCP）的柔性印刷电路（FPC）膜上。可替换地，存储信号发生器 700 可以安装在单独的印刷电路板（未示出）上。

[0060] 数据驱动器 500 连接于板组件 300 的数据线 D_1-D_m 并向数据线 D_1-D_m 施加数据电压，其中所述数据电压是从灰度电压发生器 800 所施加的灰度电压中选择的。然而，当灰度电压发生器 800 仅仅产生几个参考灰度电压，也就是不是产生所有灰度电压时，数据驱动器 500 可以划分参考灰度电压，以从所产生的灰度电压中产生数据电压。信号控制器 600 控制栅极驱动器 400、数据驱动器 500 和存储信号发生器 700。每个驱动装置 500、600 和 800

可以包括至少一个集成电路（IC）芯片，该芯片安装在LC板组件300上或安装在连接于板组件300的载带型封装（TCP）的柔性印刷电路（FPC）膜上。可替换地，至少一个驱动装置400、500、600和800可以与信号线G_1-G_{2n}、G_d、S_1-S_{2n}和D_1-D_m以及开关元件Q一起集成在液晶板组件300内。可替换地，所有驱动装置400、500、600和800可以集成在单个IC芯片内，但是至少一个驱动装置400、500、600和800或至少一个驱动装置400、500、600和800中的至少一个电路元件可以设置在单个IC芯片的外部。

[0061] 以下详细描述液晶显示器的运行。信号控制器600接收输入图像信号R、G和B和来自外部图形控制器（未示出）的控制输入图像信号显示的输入控制信号。输入图像信号R、G和B包含像素PX的亮度信息，该亮度具有选定数量的灰度，例如1024（＝210）、256（＝28）或64（＝26）个灰度。输入图像信号的示例是垂直同步信号Vsync、水平同步信号Hsync、主时钟信号MCLK和数据启动信号DE。

[0062] 根据液晶板组件300的运行状态并基于输入控制信号和输入图像信号R、G和B，信号控制器600处理图像信号R、G和B以产生栅极控制信号CONT1、数据控制信号CONT2和存储控制信号CONT3，并随后将栅极控制信号CONT1传输至栅极控制器400，将数据控制信号CONT2和经处理的图像信号DAT传输至数据驱动器500，将存储控制信号CONT3传输至存储信号发生器700。栅极控制信号CONT1包括指示扫描开始的扫描开始信号STV1和STV2以及至少一个控制栅极导通电压Von的输出时间段的时钟信号。

[0063] 栅极控制信号CONT1还可以包括限定栅极导通电压Von的持续时间的输出启动信号OE。

[0064] 数据控制信号CONT2包括指示一行像素PX的数据传输的水平同步开始信号STH、控制向数据线D1至Dm施加数据电压的负载信号LOAD以及数据时钟信号HCLK。

[0065] 数据控制信号CONT2可以进一步包括反转数据电压相对于公共电压Vcom的极性的反转信号RVS。

[0066] 响应于来自信号控制器600的数据控制信号CONT2，数据驱动器500接收一行像素PX的一组数字图像信号DAT，将数字图像信号DAT转换为选自灰度电压的模拟数据电压，并向数据线D_1至D_m施加模拟数据电压。

[0067] 响应于来自信号控制器600的栅控制信号CONT1，栅驱动器400向标准栅极线G_1-G_{2n}中相应一条（例如第i标准栅极线G_i）施加栅极导通电压Von，并使连接于标准栅极线G_i（除与开关元件Q不连接的附加栅极线G_d以外）的开关元件Q导通。施加于数据线D_1-D_m的数据电压随后通过激活的开关晶体管Q施加于第i行的像素PX，从而给像素PX内的液晶电容器Clc和存储电容器Cst充电。

[0068] 施加于像素PX的数据电压和公共电压Vcom之间的差表现为像素PX的液晶电容器Clc电压，这一电压称为像素电压。液晶电容器Clc内的液晶分子具有取决于像素电压幅值的方向性，分子方向性决定了与各自像素PX有关的穿过液晶层3的光的偏振。偏光器将光偏振转换为光透射，从而像素PX具有由数据电压的灰度表示的亮度。

[0069] 在一个水平周期（也称为“1H”并等于水平同步信号Hsync和数据启动信号DE的一个周期）之后，数据驱动器500向第（i+1）行的像素PX施加数据电压，随后栅极驱动器400将施加于第i标准栅极线G_i的栅极信号变为栅极截止电压Voff并将施加于下一标准栅极线G_{i+1}的栅极信号变为栅极导通电压Von。从而使第i行的开关元件Q截止，从而像素

电极 191 处于浮置状态。

[0070] 基于存储控制信号 CONT3 和施加于第 (i+1) 栅极线 G_{i+1} 的栅极信号的电压变化，存储信号发生器 700 改变施加于第 i 存储电极线 S_i 的存储信号的电压电平。从而连接于存储电容器 Cst 一端的像素电极 191 的电压根据连接于存储电容器 Cst 另一端的存储电极线 S_i 的电压变化而变化。

[0071] 通过对所有像素行重复这一程序，液晶显示器显示一帧的图像。

[0072] 当在一帧结束后开始下一帧时，控制施加于数据驱动器 500 的反转信号 RVS，从而数据电压的极性反转（称为“帧反转”）。此外，施加于一行的像素 PX 的数据电压的极性基本上相同，施加于两个相邻行的像素 PX 的数据电压的极性反转（也就是行反转）。

[0073] 由于示范性 LCD 既执行帧反转也执行反转，因此施加于一行的像素 PX 的所有数据电压的极性为正或负，并且以一帧为单位改变。就这点而言，当像素电极 191 由正极性的数据电压充电时，施加于存储电极线 S_1-S_{2n} 的存储信号从低电平电压变为高电平电压。反之，当像素电极 191 由负极性的数据电压充电时，存储信号从高电平电压变为低电平电压。因此，当像素电极 191 由正极性数据电压充电时，像素电极 191 的电压增大得更多，像素电极 191 由负极性数据电压充电时，像素电极 191 的电压下降得更多。这样，像素电极 191 的电压范围变得比作为数据电压基础的灰度电压的范围宽，从而增大利用低基础电压的亮度范围。

[0074] 第一存储信号发生电路 700a 和第二存储信号发生电路 700b 可以包括分别连接于存储电极线 S_1-S_{2n} 的多个信号发生电路 710。下面参考图 3 和 4 描述根据本发明的信号发生电路 710 的示范性实施例。其中，图 3 是示范性信号发生电路的电路图，图 4 是说明该示范性信号发生电路的信号的定时的图。

[0075] 参考图 3，信号发生电路 710 包括输入端 IP 和输出端 OP。在第 i 信号发生电路中，输入端 IP 连接于施加有第 (i+1) 栅极信号 g_{i+1}（以下为“输入信号”）的第 (i+1) 栅极线 G_{i+1}，输出端 OP 连接于第 i 存储电极线 S_i 以输出第 i 存储信号 V_{si}。类似地，在第 i+1 信号发生电路中，输入端 IP 连接于施加有作为输入信号的第 (i+2) 栅极信号 g_{i+2} 的第 (i+2) 栅极线 G_{i+2}，输出端 OP 连接于第 (i+1) 存储电极线 S_{i+1} 以输出第 (i+1) 存储信号 Vs_{i+1}。

[0076] 向信号发生电路 710 施加来自信号控制器 600 的存储控制信号 CONT3 的第一至第三时钟信号 CK1、CK1B 和 CK2，并进一步施加来自信号控制器 600 或另一外部装置的高电压 AVDD 和低电压 AVSS。

[0077] 如图 4 中所描述的，第一至第三时钟信号 CK1、CK1B 和 CK2 的周期可以大约为 2H，它们的占空比可以大约为 50％。第一时钟信号 CK1 和第二时钟信号 CK1B 具有大约 180° 的相位差并彼此反相，第二时钟信号 CK1B 和第三时钟信号 CK2 具有基本相同的相位差。此外，第一至第三时钟信号 CK1、CK1B 和 CK2 以一帧为单位反转。

[0078] 第一时钟信号 CK1 和第二时钟信号 CK1B 可以具有约 15V 的高电平电压 Vh1 和约 0V 的低电平电压 V11。第三时钟信号 CK2 可以具有约 5V 的高电平电压 Vh2 和约 0V 的低电平电压 V12。高电压 AVDD 可以为大约 5V，也就是等于第三时钟信号 CK2 的高电平电压 Vh2，低电压 AVSS 可以为大约 0V，也就是等于第三时钟信号 CK2 的低电平电压 V12。

[0079] 信号发生电路 710 包括五个晶体管 Tr1-Tr5 和两个电容器 C1 和 C2，每个晶体管具有控制端、输入端和输出端。

[0080] 晶体管 Tr1 的控制端连接于输入端 IP，晶体管 Tr1 的输入端连接于第三时钟信号 CK2，晶体管 Tr1 的输出端连接于输出端 OP。

[0081] 晶体管 Tr2 和 Tr3 的控制端连接于输入端 IP，晶体管 Tr2 和 Tr3 的输入端分别连接于第一时钟信号 CK1 和第二时钟信号 CK1B。

[0082] 晶体管 Tr4 和 Tr5 的控制端分别连接于晶体管 Tr2 和 Tr3 的输出端，晶体管 Tr4 和 Tr5 的输入端分别连接于低电压 AVSS 和高电压 AVDD。

[0083] 电容器 C1 连接在晶体管 Tr4 的控制端与低电压 AVSS 之间，电容器 C2 连接在晶体管 Tr5 的控制端与高电压 AVDD 之间。

[0084] 晶体管 Tr1-Tr5 可以是非晶硅晶体管或多晶硅薄膜晶体管。

[0085] 信号发生电路的如下运行。如图 4 中所描述的，施加于两条相邻栅极线的栅极导通电压 Von 彼此交迭一段时间，栅极导通电压交迭的时间可以大约为 1H。因此，所有像素 PX 用施加于紧接着的前一行的像素的数据电压充电大约 1H 的时间，随后用新的数据电压充电剩余的 1H 的时间以正常显示图像。

[0086] 第 i 信号发生电路如下运行。当输入信号，即施加于第 (i+1) 栅极线 G_{i+1} 的栅极信号 g_{i+1} 变为栅极导通电压 Von，第一至第三晶体管 Tr1-Tr3 导通。导通的第一晶体管 Tr1 向输出端 OP 传输第三时钟信号 CK2，因此存储信号 Vsi 的电压电平由第三时钟信号 CK2 的低电平电压 V12 变为低电平电压 V-。同时，导通的第二晶体管 Tr2 向晶体管 Tr4 的控制端传输第一时钟信号 CK1，导通的第三晶体管 Tr3 向晶体管 Tr5 的控制端传输第二时钟信号 CK1B。

[0087] 由于第一时钟信号 CK1 和第二时钟信号 CK1B 彼此反相，晶体管 Tr4 和 Tr5 彼此相反地运行。即，当晶体管 Tr4 导通时，晶体管 Tr5 截止。相反地，当晶体管 Tr4 截止时，晶体管 Tr5 导通。当晶体管 Tr4 导通和晶体管 Tr5 截止时，低电压 AVSS 传输至输出端 OP，当晶体管 Tr4 截止和晶体管 Tr5 导通时，高电压 AVDD 传输至输出端 OP。

[0088] 栅极信号 g_{i+1} 的栅极导通电压 Von 的时间例如为大约 2H，约 1H 的第一半表示为第一时段 T1，剩余时间的第二半，约 1H 表示为后面时段 T2。

[0089] 由于在第一时段 T1 期间，第一时钟信号 CK1 保持在高电压 Vh1，第二时钟信号 CK1B 和第三时钟信号 CK2 分别保持在低电压 V11 和 V12，由晶体管 Tr1 将第三时钟信号 CK2 的低电压 V12 所传输至的输出端 OP 被施加有低电压 AVSS。因此，存储信号 Vs_i 保持在低电平电压 V-，该低电平电压具有等于低电压 V12 和低电压 AVSS 的幅值。同时，在第一时段 T1 期间，第一时钟信号 CK1 的高电平电压 Vh1 与低电压 AVSS 之间的电压充入电容器 C1，第二时钟信号 CK1B 的低电平电压 V11 与高电压 AVDD 之间的电压充入电容器 C2。

[0090] 由于在后面时段 T2 期间，第一时钟信号 CK1 保持在低电平电压 V11，因此第二时钟信号 CK1B 和第三时钟信号 CK2 保持在高电平电压 Vh1 和 Vh2，晶体管 Tr5 导通，晶体管 Tr4 截止，也就是与它们各自在第一时段 T1 期间的状态相反。

[0091] 因此，输出端 OP 施加有通过导通的晶体管 Tr1 传输的第三时钟信号 CK2 的高电平电压 Vh2，从而存储信号 Vs_i 的状态从低电平电压 V- 变为幅值等于高电平电压 Vh2 的高电平电压 V+。此外，输出端 OP 施加有通过导通的晶体管 Tr5 提供的幅值等于高电平电压 V+ 的高电压 VADD。

[0092] 同时，由于充入电容器 C1 的电压基本上与第一时钟信号 CK1 的低电平电压 V11 和

低电压 VASS 之差相同，因此当第一时钟信号 CK1 的低电平电压 V11 和低电压 VASS 彼此相同时，电容器 C1 放电。由于充入电容器 C2 的电压基本上与第二时钟信号 CK1B 的高电平电压 Vh1 和高电压 VADD 之差相同，因此当高电平电压 Vh1 和高电压 AVDD 彼此不同时，充入电容器 C2 的电压不为 0V。如上所述，当第二时钟信号 CK1B 的高电平电压 Vh1 约为 15V、高电压 AVDD 约为 5V 时，约 10V 的电压充入电容器 C2。

[0093] 当栅极信号 g_{i+1} 的级经过后面时段 T2 从栅极导通电压 Von 变为栅极截止电压 Voff 时，晶体管 Tr1-Tr3 截止。因此，晶体管 Tr1 的输出端处于隔离状态，从而隔断晶体管 Tr1 和输出端 OP 之间的电连接。晶体管 Tr2 和 Tr3 的输出端也处于隔离状态，从而晶体管 Tr4 和 Tr5 的控制端也处于隔离状态。

[0094] 由于充入电容器 C1 的电压尚不存在，因此晶体管 Tr4 保持在截止状态。然而，第二时钟信号 CK1B 的高电平 Vh1 和高电压 AVDD 之间的电压已经充入电容器 C2。因此，当充入的电压大于晶体管 Tr5 的门限电压时，晶体管 Tr5 保持在截止状态。因此，输出的高电压 AVDD 传输至输出端 OP，从而作为存储信号 Vs_i。因此，存储信号 Vs_i 保持在高电平电压 V+。

[0095] 第 (i+1) 信号发生电路如下运行。当具有栅极导通电压 Von 的第 (i+2) 栅极信号 g_{i+2} 施加于第 (i+1) 信号发生电路（未示出）时，激活第 (i+1) 信号发生电路。

[0096] 如图 4 中所描述的，当第 (i+2) 栅极信号 g_{i+2} 变为栅极导通电压 Von 时，第一至第三时钟信号 CK1、CK1B 和 CK2 的状态相对于第 (i+1) 栅极信号 g_{i+1} 具有栅极导通电压 Von 的情况反转。

[0097] 换句话说，第 (i+2) 栅极信号 g_{i+2} 的第一栅极导通电压时段 T1 的运行与第 (i+1) 栅极信号 g_{i+1} 的第二栅极导通电压时段 T2 相同，从而晶体管 Tr1、Tr3 和 Tr5 导通。因此，第三时钟信号 CK2 的高电平电压 Vh2 和高电压 AVDD 施加于输出端 OP，从而存储信号 Vs_{i+1} 变为高电平电压 V+。

[0098] 然而，第 (i+2) 栅极信号 g_{i+2} 的第二栅极导通电压时段 T2 的运行与第 (i+1) 栅极信号 g_{i+1} 的第一栅极导通电压时段 T1 相同，从而晶体管 Tr1、Tr2 和 Tr4 都导通。因此，第三时钟信号 CK2 的低电平电压 Vl2 和低电压 AVSS 施加于输出端 OP，从而存储信号 Vs_{i+1} 从高电平电压 V+ 变为低电压 V-。

[0099] 如上所述，在输入信号保持在栅极导通电压 Von 时，晶体管 Tr1 适于施加作为存储信号的第三时钟信号 CK2，在输出端 OP 与晶体管 Tr1 的输出端由于输入信号的栅极截止电压 Voff 而隔离时，其他晶体管 Tr2-Tr5 适于利用电容器 C1 和 C2 将存储信号的状态保持到下一帧。换句话说，晶体管 Tr1 用于首先向相应的存储电极线施加存储信号，其他晶体管 Tr2-Tr5 用于均匀地保持输出的存储信号。因此，优选地，晶体管 Tr1 的尺寸大于晶体管 Tr2-Tr5 的尺寸。

[0100] 可以理解，像素电极电压 Vp 相应于存储信号 Vs 的电压变化而增大或减小。下面描述由于存储信号 Vs 的电压变化引起的像素电极电压 Vp 的改变。

[0101] 以下，每个电容器和它们各自的电容由相同的附图标记指示。首先，像素电极电压 Vp 通过下面的等式 1 得到。在等式 1 中，Clc 和 Cst 分别表示液晶电容器和存储电容器以及它们的电容，V+ 表示存储信号 Vs 的高电平电压，V- 表示存储信号 Vs 的低电平电压。

[0102] 如等式 1 中所描述的，像素电极电压 Vp 通过数据电压 V_D 加或减一变化量 Δ 限定，该变化量 Δ 通过液晶电容器和存储电容器的电容 Clc 和 Cst 以及存储信号 Vs 的电压变化。

[0103] [等式 1]

[0104] $$Vp = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_{lc}}(V_+ - V_-)$$

[0105] 像素设计为使得数据电压 V_D 在约 0V 至约 5V 的范围内，Cst 和 Clc 彼此相等。这样，在上面的等式 1 中，当 V_+-V_- = 5V 时，Vp = VD±2.5。

[0106] 因此，当存储信号 Vs 的电压改变时，像素电极电压 Vp 根据数据电压 V_D 的极性，从通过相关数据线施加的数据电压 V_D 增大或减小 ±2.5V。即，当极性为正时，像素电极电压 Vp 增大约 +2.5V，当极性为负时，像素电极电压 Vp 减小约 -2.5V。由于像素电极电压 Vp 的改变，像素电压的范围也变宽。例如，当公共电压 Vcom 固定在约 2.5V 时，由于施加于像素电压的数据电压 V_D 在从约 0V 至约 5V 的范围内，像素电压设置在从约 -2.5V 至约 +2.5V 的范围内。然而，当存储信号 Vs 从高电平电压 V+ 变为低电平电压 V- 时，像素电压的范围变宽至从 -5V 至 +5V 的范围。

[0107] 以这样的方式，像素电压的范围变宽差不多为下述值：即由在存储信号中的改变 V_+-V_- 造成的像素电极电压 Vp 的变化量 Δ 的值。因此，表示灰度的电压的范围变宽，从而提高亮度。

[0108] 此外，由于公共电压固定在恒定电压，与交替施加高电压和低电压的实施例相比，减小了能耗。换句话说，当施加于公共电极的公共电压为约 0V 或 5V 时，施加于形成在数据线和公共电极之间的寄生电容的电压具有约 ±5V 的最大值。然而，当公共电压固定在约 2.5V 时，施加于形成在数据线和公共电极之间的寄生电容的电压减少至约 ±2.5V 的最大值。由于减小了形成在数据线和公共电极之间的寄生电容中的能耗，也相应地减小了液晶显示器中的全部能耗。

[0109] 然而，由于液晶层的响应速度相对较低，液晶分子不能快速地响应像素电压。因此，液晶电容器 Clc 的静电电容取决于液晶电容器 Clc 的像素电压，并随着液晶分子是否达到再排列 (re-aligned) 和稳定状态而变化。因此，像素电极电压 Vp 随着液晶分子是否达到稳定状态而变化。

[0110] 下面描述像素电极电压 Vp 根据液晶分子是否达到稳定状态的变化。在最大像素电压、即最大灰度（通常黑类型中的白灰度）像素电压施加于液晶电容器 Clc 并且在液晶分子达到稳定状态之后的液晶电容器 Clc 的静电电容假定为在最小像素电压、即最小灰度（通常白类型中的黑灰度）像素电压施加于液晶电容器 Clc 并且在液晶分子达到稳定状态之后的液晶电容器 Clc 的静电电容的三倍。此外，假定 V+-V- = 5V，Clc = Cst。

[0111] 在最大灰度像素电压施加于液晶电容器 Clc 并且当液晶分子达到稳定状态时，像素电极电压 Vp 通过等式 1 表示。由于 V+-V- =约 5V，Clc = Cst，像素电极电压 Vp 为 Vp = V_D±2.5。

[0112] 然而，在最大灰度像素电压施加于液晶电容器 Clc 之后，液晶分子没有达到稳定状态的情况，像素电极电压 Vp 通过等式 2 表示。

[0113] [等式 2]

[0114] $$Vp = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_{lc}}(V_+ - V_-)$$

[0115] $$= V_D \pm \frac{C_{st}}{C_{st} + \frac{1}{3}C_{st}}(V_+ - V_-) = V_D \pm \frac{3}{4}(V_+ - V_-)$$

[0116] 由于 V_+-V_- = 5V，Vp = V_D±3.75

[0117] 这里，在最大灰度像素电压施加于液晶电容器 Clc 之后，液晶分子没有达到稳定状态，像素电极电压 Vp 维持在最小灰度像素电压施加于液晶电容器 Clc 并且当液晶分子达到稳定状态时的像素电极电压。换句话说，像素电极电压 Vp 维持在最后一帧的状态。因此，由于存储信号的改变 V_+-V_- 造成的像素电极电压 Vp 的变化量 Δ 从约 ±2.5V 增大至约 ±3.75V。

[0118] 在从最小灰度的象素电极电压变为另一灰度的象素电极电压的情况，由于存储信号的改变 V_+-V_- 造成的像素电极电压 Vp 的变化量 Δ 进一步增大，直到液晶分子达到稳定状态。当 V_+-V_- =约 5V 时，变化量 Δ 增大至约 ±3.75V 的最大值。

[0119] 因此，在传统显示器中，如图 6 中所描述的，尽管相应于目标像素电极电压 VT 的像素电极电压 Vp 在所有帧内施加于像素电极，但是由于在完成充电操作之后相邻数据电压的影响减小了充入像素电极的像素电极电压，从而像素电极电压在一帧内没有达到目标像素电极电压 VT。因此，像素电极电压 Vp 仅仅在已经显示了几帧之后才达到目标像素电极电压 VT。然而，根据本发明的示范性实施例，如图 5 中所描述的，由于施加于像素电极的像素电极电压 Vp 高于目标像素电极电压 VT，因此像素电极在一帧内达到目标像素电极电压 VT。因此，与传统显示器相比，液晶的响应速度 RC 得到本质的提高。

[0120] 因此，通过将存储信号 Vs 的电压变化加到数据电压 V_D 上或从数据电压 V_D 中减去存储信号 Vs 的电压变化，当像素已经充有正极性的数据电压时，像素电极电压 Vp 增大该电压变化，相反地，当像素已经充有负极性的数据电压时，像素电压 Vp 减小该电压变化。从而，通过增加或减小象素电极电压 Vp，使得像素电压的变化比灰度电压的范围宽，从而也相应地增大所表现的亮度的范围。

[0121] 而且，由于公共电压固定在选定值，因此与交替的高和低值的公共电压相比，能耗减小了。

[0122] 下面参考图 7 至 10 描述根据本发明的 LCD 的第二示范性实施例，其中图 7 是该示范性 LCD 的原理框图，图 8 是在该 LCD 中使用的信号发生电路的另一示范性实施例的电路图，图 9 是说明图 8 的信号电路发生电路的信号的定时的图，图 10 是根据本发明的信号发生电路的另一示范性实施例的电路图。

[0123] 如图 7 中所描述，第二示范性 LCD 与图 1 的 LCD 具有基本上相同的结构，除连接于所有标准栅极线 G_1 至 G_{2n} 的栅极驱动器 401 和连接于所有存储电极线 S_1 至 S_{2n} 的存储信号发生器 701 以外。因此，为了简短起见，省略对由相同参考数字指示的相同元件的进一步详细描述。

[0124] 如在上面结合图 1 所述，栅极驱动器 400 可连接选定数量的连接于存储电极线驱动器 701 的附加栅极线（未示出）。栅极驱动器 401 和存储信号发生器 701 以及像素 PX 的开关元件 Q 以相同工艺形成和集成在液晶板组件 301 内。可替换地，栅极驱动器 401 和存储信号发生器 701 可以以 IC 芯片的形式直接安装在液晶板组件 301 上，栅极驱动器 401 和存储信号发生器 701 可安装在柔性印刷电路膜（未示出）上并以载带封装 (TCP) 的形式连

接在液晶板组件 301，或者栅极驱动器 401 和信号发生器 700 可安装在单独的印刷电路板 (PCB)（未示出）上。

[0125] 栅极驱动器 401 从第一标准栅极线 G_1 开始顺序地向标准栅极线 G_1 至 G_{2n} 施加栅极导通电压 Von，以控制连接于栅极线 G_1 至 G_{2n} 的像素行的充电操作和存储信号发生器 701 的操作。此外，栅极驱动器 400 可向最后一条栅极线 G2n 之后的预定数量的虚拟线施加栅极导通电压 Von。

[0126] 存储信号发生器 701 包括连接于存储电极线 S_1 至 S_{2n} 的多个信号发生电路。除输入信号之外，信号发生电路具有相同的结构并进行相同的操作。如图 8 中所描述的，信号发生电路（例如连接于第 i 存储电极线 S_i 的第 i 信号发生电路 STi 并且与图 3 中所示的信号发生电路相似）包括五个晶体管 Tr1 至 Tr5 和两个电容器 C1 和 C2。然而，第 i 信号发生电路 STi 进一步包括四个附加晶体管 Tr6 至 Tr9 和两个附加电容器 C3 和 C4。

[0127] 以类似于图 3 中所示的信号发生电路的方式，第一晶体管 Tr1-Tr3 包括分别连接于第一至第三时钟信号 CK1、CK1B 和 CK2 的输入端、连接于输入端 IP 的控制端以及分别连接于输出端 OP 和晶体管 Tr4 和 Tr5 的控制端的输出端。晶体管 Tr4 和 Tr5 包括分别连接于低电压 AVSS 和高电压 AVDD 的输入端和连接于输出端 OP 的输出端。

[0128] 此外，晶体管 Tr6 和 Tr7 包括分别连接于晶体管 Tr8 和 Tr9 的输入端的控制端、分别连接于高电压 AVDD 和低电压 AVDD 的输入端以及连接于输出端 OP 的输出端。晶体管 Tr8 和 Tr9 具有连接于下一信号发生电路（即第 (i+1) 信号发生电路）的输入端的控制端、分别连接于晶体管 Tr6 和 Tr7 的控制端的输入端以及分别连接于第一和第二时钟信号 CK1 和 CK1B 输出端。

[0129] 电容器 C1 连接在晶体管 Tr4 的控制端与第二时钟信号 CK1B 之间，电容器 C2 连接在晶体管 Tr5 的控制端与第一时钟信号 CK1 之间。

[0130] 电容器 C3 连接在晶体管 Tr7 的控制端与第一时钟信号 CK1 之间，电容器 C4 连接在晶体管 Tr6 的控制端与第二时钟信号 CK1B 之间。

[0131] 晶体管 Tr1 至 Tr9 可以是非晶硅晶体管或者多晶硅薄膜晶体管，并可形成在液晶板组件内。在这样的结构中，连接于第 i 存储电极线 S_i 的信号发生电路 STi 施加有栅极信号 g_{i+1} 和 g_{i+2}，栅极信号施加于第 (i+1) 和第 (i+2) 栅极线 G_{i+1} 和 G_{i+2}。

[0132] 因此，如上所述，为了向选定数量的信号发生电路（例如第 (n-1) 信号发生电路和第 n 信号发生电路）施加栅极信号，需要选定数量的附加栅极线（未示出）。这些附加栅极线基本平行于栅极线 G_1 至 G_{2n} 地形成在液晶板组件 301 上并连接于栅极驱动器 401，顺序地施加有由栅极导通电压 Von 和栅极截止电压 Voff 的组合构成的、与栅极信号 g_{2n} 相邻的栅极信号。

[0133] 可替代地，第 (n-1) 信号发生电路和第 n 信号发生电路可施加有来自其他装置（诸如代替栅极驱动器 401 的信号控制器 600）的外部控制信号。

[0134] 下面参考图 9 的信号定时图描述信号发生电路的运行。首先，应该注意，如在上面的第一实施例中，在第二示范性显示器中，进行一行反转和一帧反转，第一至第三时钟信号 CK1、CK1B 和 CK2 与图 4 中所示的时钟信号 CK1、CK1B 和 CK2 相同。如图 9 中所描述的，顺序地施加于标准信号线 G_1 至 G_{2n} 的栅极导通电压 Von 不与相邻的栅极导通电压 Von 交迭。

[0135] 第 i 信号发生电路 STi 如下运行。当栅极导通电压 Von 施加于栅极信号 g_{i+1} 时，

晶体管 Tr1 至 Tr3 导通。

[0136] 因此，如图 4 中所描述的，在晶体管 Tr1 导通期间，第三时钟信号 CK2 的高电平电压 Vh2 通过输出端 OP 输出至存储电压线 S_i，作为存储信号 Vs_i，从而存储信号 Vs_i 从低电平电压 V- 变为高电平电压 V+。在向栅极信号 g_{i+1} 施加栅极导通电压 Von 期间，第一时钟信号 CK1 维持在低电平电压 Vl1，第二时钟信号 CK1B 维持在高电平电压 Vh1。因此，低电平电压 Vl1 和高电平电压 Vh1 分别通过导通的晶体管 Tr2 和 Tr3 施加至晶体管 Tr4 和 Tr5 的控制端，从而晶体管 Tr5 导通，晶体管 Tr4 截止。

[0137] 因此，在向栅极信号 g_{i+1} 施加栅极导通电压 Von 期间，例如在约 1H 的时段期间，第三时钟信号 CK2 的高电平电压 Vh2 和高电压 AVDD 施加于输出端 OP，从而存储信号 S_i 施加有高电平电压 V+。

[0138] 在约 1H 的时段之后，栅极截止电压 Voff 施加于第 (i+1) 栅极信号 g_{i+1}，栅极导通电压施加于第 (i+2) 栅极信号 g_{i+2}，从而晶体管 Tr1 至 Tr3 截止，晶体管 Tr8 和 Tr9 导通。

[0139] 此时，第一时钟信号 CK1 变为高电平电压 Vh1，第二时钟信号 CK1B 变为低电平电压 Vl1。

[0140] 因此，通过晶体管 Tr8 和 Tr9 施加第一和第二时钟信号 CK1 和 CK1B，晶体管 Tr6 导通，晶体管 Tr7 截止。

[0141] 由于连接于电容器 C2 的第一时钟信号 CK1 从低电平电压 Vl1 变为高电平电压 Vh1，连接于电容器 C2 的晶体管 Tr5 的控制端变为高于在晶体管 Tr3 导通时施加的高电平电压 Vh1 的电压。由于连接于电容器 C1 的第二时钟信号 CK1B 从高电平电压 Vh1 变为低电平电压 Vl1，所以连接于电容器 C1 的晶体管 Tr4 的控制端变为低于在第二晶体管 Tr2 导通时施加的低电平电压 Vl1 的电压。

[0142] 因此，在第 (i+2) 栅极信号 g_{i+2} 施加栅极导通电压 Von 期间，晶体管 Tr5 和 Tr6 导通，从而通过输出端 OP 输出高电压 AVDD，作为存储信号 Vs_i。

[0143] 在约 1H 的时段之后，第 (i+2) 栅极信号 g_{i+2} 截止，从而晶体管 Tr8 和 Tr9 导通。第一时钟信号 CK1 从高电平电压 Vh1 变为低电平电压 Vl1，第二时钟信号 CK1B 从低电平电压 Vl1 变为高电平电压 Vh1。

[0144] 因此，连接于电容器 C3 的晶体管 Tr7 的控制端变为低于在晶体管 Tr9 导通时施加的低电平电压 Vl1 的电压。连接于电容器 C4 的晶体管 Tr6 的控制端变为高于在晶体管 Tr8 导通时施加的高电平电压 Vh1 的电压。

[0145] 因此，由于充入电容器 C4 的电压，晶体管 Tr6 导通，从而高电压 AVDD 作为存储信号 Vs_i 通过晶体管 Tr6 输出至输出端 OP，从而存储信号 Vs_i 具有高电平电压 V+。

[0146] 在约 1H 的时段之后，第一控制信号 CK1 从低电平电压 Vl1 变为高电平电压 Vh1，第二控制信号 CK1B 从高电平电压 Vh1 变为低电平电压 Vl1。因此，由于连接于第一时钟信号 CK1 的电容器 C2 的运行，晶体管 Tr5 导通，从而高电压 AVDD 作为存储信号 Vs_i 通过导通的晶体管 Tr5 输出至输出端 OP。因此，存储信号 Vs_i 具有高电平电压 V+。

[0147] 因此，当第 (i+1) 栅极信号 g_{i+1} 施加有栅极截止电压 Voff 时，在约 1H 的时段期间，当第一时钟信号 CK1 维持在高电平电压 Vh1 时，由于充入连接于晶体管 Tr5 的控制端的电容器 C2 的电压，晶体管 Tr5 导通，从而高电压 AVDD 通过晶体管 Tr5 施加至输出端 OP。在约 1H 的时段期间，当第二时钟信号 CK1B 维持在高电平电压 Vh1 时，由于充入连接于晶体管

Tr6 的控制端的电容器 C4 的电压，晶体管 Tr6 导通，从而高电压 AVDD 通过晶体管 Tr6 施加至输出端 OP。

[0148] 以前述的方式，在约 1H 的时段内，晶体管 Tr5 和 Tr6 根据电容器 C2 和 C4 的充电操作交替地导通。因此，直到施加下一帧的栅极导通电压 Von 为止，高电压 AVDD 输出至输出端 OP，因此输出高电平电压 V+ 的存储信号 Vs_i。

[0149] 因此，由于施加栅极导通电压 Von，在连接于第 i 栅极线 G_i 的像素行的充电操作之后，即在栅极导通电压 Von 施加于第 (i+1) 栅极线 G_{i+1} 之后，存储信号 Vs_i 从低电平电压 V- 变为高电平电压 V+，从而像素电极电压增加由上面的等式 1 或 2 限定的变化量。

[0150] 因此，以类似于上面的第一 LCD 实施例的方式，由于施加于像素电极的像素电极电压高于目标像素电极电压，所以像素电极能够在一帧内达到目标像素电极电压。因此，与现有技术相比，液晶的响应速度得到本质的提高。

[0151] 此外，在向施加于晶体管 Tr1 至 Tr3 的栅极信号施加栅极导通电压 Von 之后，晶体管 Tr5 和 Tr6 在约 1H 的时段内交替地导通，从而维持存储信号 Vsi 的电压状态，直到下一帧为止。因此，晶体管 Tr5 和 Tr6 运行的可靠性得到提高，从而以稳定的方式施加存储信号 Vs_i。

[0152] 换句话说，在通过仅仅使用晶体管 Tr5 和 Tr6 之一维持存储信号的电压状态直到下一帧为止的情况中，导通电压需要施加于晶体管 Tr5 和 Tr6 的控制端直到下一帧为止。在这种情况中，由于晶体管长时间导通运行，晶体管的运行特性退化，从而门限电压的电平的变化和晶体管运行稳定性的其他恶化可能出现。然而，由于晶体管 Tr5 和 Tr6 在约 1H 的时段内交替地导通，加在晶体管 Tr5 和 Tr6 的控制端上的压力减小了，从而增加晶体管的运行稳定性和耐久性。

[0153] 如图 9 中所描述的，类似于第 i 信号发生电路的运行，当第 (i+1) 信号发生电路 STi+1 施加有第 (i+2) 栅极信号 g_{i+2} 时，晶体管 Tr1 至 Tr3 导通。因此，在通过晶体管 Tr1 施加栅极导通电压 Von 期间，具有低电平电压 Vl2 的第三时钟信号 CK2 作为存储信号 Vsi 通过输出端 OP 输出，因此输出高电平电压 V+ 的存储信号 Vs_{i+1}。

[0154] 在约 1H 的时段期间，当第 (i+2) 栅极信号 g_{i+2} 施加有栅极导通电压 Von 时，第一时钟信号 CK1 维持在高电平电压 Vh1，第二时钟信号 CK1B 维持在低电平电压 Vl1。因此，晶体管 Tr5 截止，晶体管 Tr4 导通。因此，通过导通的晶体管 Tr1-Tr4 施加的低电平电压 Vl1 和低电压 AVSS 施加于输出端 OP，因此输出低电平电压 V- 的存储信号 Vs_{i+1}。

[0155] 在约 1H 的时段之后，第 (i+3) 栅极信号 g_{i+3} 施加有栅极导通电压 Von。因此，第一时钟信号 CK1 维持在低电平电压 Vl1，第二时钟信号 CK1B 维持在高电平电压 Vh1。因此，晶体管 Tr7 导通，晶体管 Tr4 由于充入电容器 C1 的电压也导通。因此，在第 (i+3) 栅极信号 g_{i+3} 施加有栅极导通电压 Von 的时间期间，晶体管 Tr4 和 Tr7 导通，从而低电压 AVSS 输出至输出端，因此输出低电平电压 V- 的存储信号 Vs_{i+1}。

[0156] 在约 1H 之后，第一时钟信号 CK1 维持在高电平电压 Vh1，第二时钟信号 CK1B 维持在低电平电压 Vl1。因此，晶体管 Tr7 由于充入电容器 C3 的电压而导通，从而低电压 AVSS 作为存储信号 Vs_{i+1} 输出。因此，存储信号 Vs_{i+1} 具有低电压电平 V-。

[0157] 以这样的方式，晶体管 Tr4 或 Tr7 由于电容器 C1 或 C3 的充电操作而导通，低电压 AVSS 在约 1H 的时段内输出作为存储信号 Vs_{i+1} 输出，直到施加下一帧的选通电压 Von 为止。

换句话说，当第一时钟信号 CK1 维持在高电平电压 Vh1，低电压 AVSS 由于电容器 C3 和晶体管 Tr7 的操作而作为存储信号 Vsi+1 输出。当第二时钟信号 CK1B 维持在高电平电压 Vh1 时，低电压 AVSS 由于电容器 C1 和晶体管 Tr4 的操作而作为存储信号 Vs_{i+1} 输出。

[0158] 因此，由于施加栅极导通电压 Von，在连接于第 (i+1) 栅极线 G_i 的像素行的充电操作之后，即在栅极导通电压 Von 施加于第 (i+2) 栅极线 G_{i+2} 之后，存储信号 Vs_{i+1} 从高电平电压 V+ 变为低电平电压 V-，从而像素电极电压减小由上面的等式 1 或 2 限定的变化量。因此，以类似于上面的第一 LCD 实施例的方式，由于施加于像素电极的像素电极电压高于目标像素电极电压，所以像素电极能够在一帧内达到目标像素电极电压。因此，与现有技术相比，液晶的响应速度得到本质的提高。

[0159] 就像上面的晶体管 Tr5 和 Tr6，在向施加于晶体管 Tr1 至 Tr3 的栅极信号施加栅极导通电压 Von 之后，晶体管 Tr4 和 Tr7 在约 1H 的时段内交替地导通，从而维持存储信号 Vs_{i+1} 的电压状态，直到下一帧为止。因此，晶体管 Tr4 和 Tr7 运行的可靠性得到提高，存储信号 Vs_i 以稳定的方式施加。

[0160] 以前述的方式，由于各个信号发生电路的运行，从第一存储电极线 S_1 至最后一条存储电极线 S_{2n} 施加存储信号 Vs_1、Vs_2、...、Vs_{2n}。

[0161] 如上所述，晶体管 Tr1 用于首先向相应的存储电极线施加存储信号电压，其他的晶体管 Tr2 至 Tr9 用于维持施加于存储电极线的存储信号，直到下一帧为止。因此，优选地，晶体管 Tr2 至 Tr9 小于晶体管 Tr1。

[0162] 而且，应该理解，尽管第二示范性 LCD 的实施例表示和描述为仅仅包括一个栅极驱动器 401 和一个存储信号发生器 701，但是本发明不局限于此。例如，上面的信号发生单元能够应用于图 1 的 LCD。

[0163] 下面参考图 10 描述根据本发明的信号发生器电路的第三示范性实施例。

[0164] 如图 10 中所描述的，第三示范性信号发生电路 701a 具有与图 8 的信号发生电路 701 基本相同的结构，除电容器 C11 至 C14 以外。因此，为了简短起见，省略对由相同参考数字指示的相同元件的进一步详细描述。

[0165] 电容器 C11 形成在晶体管 Tr4 和低电压 AVSS 之间。电容器 C12 连接在晶体管 Tr5 和高电压 AVDD 之间。电容器 C13 连接在晶体管 Tr7 和低电压 AVSS 之间。电容器 C14 连接在晶体管 Tr6 和高电压 AVDD 之间。

[0166] 电容器 C11 至 C14 的作用是稳定施加于连接于它们的晶体管 Tr5、Tr4、Tr7 和 Tr6 的控制端的电压。换句话说，当导通电压施加于晶体管 Tr5、Tr4、Tr7 和 Tr6 的控制端时，电容器 C11 至 C14 充电，从而阻断施加于晶体管 Tr5、Tr4、Tr7 和 Tr6 的控制端的导通电压。然而，由于充入电容器 C11 至 C14 的电压，晶体管 Tr5、Tr4、Tr7 和 Tr6 的控制端的信号维持在恒定电平。

[0167] 下面参考附图详细描述在示范性 LCD 中使用的根据本发明的薄膜晶体管阵列板的示范性实施例的结构。

[0168] 参考图 11 至 12B 描述薄膜晶体管 (TFT) 阵列板的第一示范性实施例，其中图 11 是示范性阵列板的局部顶视平面图，表示其中的单个像素区域，图 12A 和 12B 是该示范性阵列板的局部横截面图，分别沿图 11 中截面线 XIIA-XIIA 和 XIIB-XIIB 截开。

[0169] 多条栅极线 121 和多条存储电极线 131 设置在由透明玻璃或塑料制成的绝缘基板

110 上。栅极线 121 基本在图中的水平方向上延伸，并起到传输栅极信号的作用。栅极线 121 包括多个向下突出的栅极 124 和多个具有用于连接至其他层或外部驱动电路的宽区域的端部 129。

[0170] 产生栅极信号的栅极驱动电路（未示出）可安装在连接在基板 110 上的柔性印刷电路膜（未示出）上，或者可替换地，栅极驱动电路可直接安装在基板 110 上，或者可集成在基板 110 内。在栅极驱动电路集成在基板 110 内的实施例中，栅极线 121 可直接连接于栅驱动电路。

[0171] 每条存储电极线 131 基本在水平方向上延伸，并包括多个具有向下扩大的宽度的扩大部分 137。每条存储电极线 131 可进一步包括具有用于连接至其他层或外部驱动电路的宽区域的端部。然而，存储电极线 131 的形状和布置可以不同的其他方式更改。

[0172] 存储电极线 131 交替的各条以帧为单位被施加有约 5V 的高电平电压 V+ 和约 0V 的低电平电压 V- 的选定电压。

[0173] 产生存储信号的信号发生电路（未示出）可安装在柔性印刷电路膜（未示出）上，该柔性印刷电路膜安装在基板 110 上，或者可选择地，信号发生电路可直接安装在基板 110 上，或者可以集成在基板 110 内。在信号发生电路集成在基板 110 内的实施例中，存储电极线 131 延伸以便直接连接于信号发生电路。

[0174] 栅极线 121 和存储电极线 131 可包括金属，诸如铝 (Al)、银 (Ag)、铜 (Cu)、钼 (Mo)、铬 (Cr)、钽 (Ta) 或钛 (Ti)。可替换地，栅极线 121 和存储电极线 131 可具有包括具有不同物理特性的两层导电层（没有层）的多层结构。为了减小信号延迟或电压降，两层导电层之一例如可包括金属，诸如铝 (Al)、银 (Ag)、铜 (Cu)、钼 (Mo)、铬 (Cr)、钽 (Ta) 或钛 (Ti)。另一导电层可包括与其他材料（特别是与 ITO（铟锡氧化物）和 IZO（铟锌氧化物））具有良好物理、化学和电接触特性的材料，诸如含钼金属、铬、钛和钽。组合的优选示例可包括下部铬层和上部铝合金层的组合、下部钼合金层和上部铝层的组合。然而，栅极线 121 和存储电极线 131 可由不同的其他金属和导电金属制成。

[0175] 优选地，栅极线 121 和存储电极线 131 的侧表面相对于它们设置于其上的基板 110 倾斜，倾斜角从约 30° 至约 80° 。

[0176] 由氮化硅 SiNx、氧化硅 SiOx 等制成的栅绝缘层 140 形成在栅极线 121 和存储电极线 131 上。

[0177] 多个由氢化非晶硅 (a-Si) 或多晶硅构成的半导体条纹 151 形成在栅极绝缘膜 140 上的选定位置处。半导体条纹 151 基本在垂直方向上延伸，并包括多个向栅电极 124 延伸的突起 154。此外，半导体条纹 151 的宽度在靠近栅极线 121 和存储电极线 131 的区域扩大，以覆盖其宽区域。

[0178] 多个线形欧姆接点 161 和岛形欧姆接点 165 形成在半导体条纹 151 上。欧姆接点 161 和 165 可包括硅化物或高度掺杂有诸如磷 (P) 的 n 型杂质的 n+ 氢化非晶硅。线形欧姆接点 161 包括多个突起 163。突起 163 和岛形欧姆接点 165 的相关联对设置在相关联的半导体条纹 151 的突出 154 上。

[0179] 优选地，半导体条纹 151 以及欧姆接点 161 和 165 的侧表面也相对于基板 100 的表面倾斜，倾斜角从约 30° 至约 80° 。

[0180] 多条数据线 171 和多个漏电极 175 形成在欧姆接点 161 和 165 以及栅极绝缘膜

140 上。

[0181] 数据线 171 传输相应数据信号并基本在图中的垂直方向上延伸以与栅极线 121 和存储电极线 131 交叉。数据线 171 包括多个向栅电极 124 突出的源极 173 和多个具有用于连接至其他层或外部驱动电路的宽区域的端部 179。产生数据信号的数据驱动电路（未示出）可安装在柔性印刷电路膜（未示出）上，该柔性印刷电路膜安装在基板 110 上，或者可选择地可直接安装在基板 110 上，或者可集成在基板 110 内。在数据驱动电路集成在基板 110 内的实施例中，数据线 171 可延伸以直接连接于数据驱动电路。

[0182] 漏电极 175 与数据线 171 分离并面对源电极 173，而栅电极 124 夹设在它们之间。每个漏电极 175 包括宽端和条形端。宽端与存储电极线 131 的扩大部分交迭，条形端由曲形源电极 173 部分地围绕。

[0183] 一个栅电极 124、一个源电极 173 和一个漏电极 175 以及一个半导体条纹的一个突起 154 构成一个薄膜晶体管 (TFT)。该薄膜晶体管的沟道形成在源电极 173 和漏电极 175 之间的突起 154 内。

[0184] 优选地，数据线 171 和漏电极 175 由钼 (Mo)，诸如铬 (Cr)、钽 (Ta) 或钛 (Ti) 等难熔金属，或它们相应的合金制成。数据线 171 和漏电极 175 可具有多层结构，包括难熔金属层（未示出）和低电阻率导电层（未示出）。多层结构的示例包括下部铬（或铬合金）层和上部铝合金层的双层结构，具有下部钼合金层、中间铝合金层和上部钼合金层的三层结构。然而，数据线 171 和漏电极 175 可由代替上面列出的不同的其他金属和导电材料制成。

[0185] 优选地，数据线 171 和漏电极 175 的侧表面也相对于基板 110 的表面倾斜，倾斜角从约 30° 至约 80° 。

[0186] 欧姆接点 161 和 165 仅仅夹设在下面半导体条纹 151 与上面数据线 171 和漏电极 175 之间，并起到减小其间的各接触电阻的作用。尽管半导体条纹 151 的宽度在大部分区域内小于数据线 171 的宽度，但是在栅极线 121 和存储电极线 121 彼此相交的部分处的宽度扩大，如上所述。半导体条纹 151 具有未被数据线 171 和漏电极 175 覆盖的暴露部分，诸如设置在源电极 173 和漏电极 175 之间的部分。

[0187] 钝化层 180 形成在数据线 171、漏电极 175 和半导体条纹 151 的暴露部分上。钝化层 180 可由有机或无机绝缘材料制成，并可具有平面化的上表面。绝缘材料的示例包括氮化硅和氧化硅。有机绝缘材料可具有感光性，其介电常数优选地为约 4.0 或更小。可替换地，为了提供有机层的优良绝缘特性和对半导体条纹 151 的暴露部分的坚固防护，钝化层 180 可结合下部无机层和上部有机层的双层结构。

[0188] 分别暴露数据线 171 的端部 179 和漏电极 175 的多个接触孔 182 和 185 形成在钝化层 180 上。暴露栅极线 121 的端部 129 的多个接触孔 181 形成在钝化层 180 和栅极绝缘层 140 上。

[0189] 多个像素电极 191 以及多个接触辅助部分 81 和 82 形成在钝化层 180 上。像素电极 191 可由诸如 ITO 和 IZO 的透明导电金属或诸如铝、银和铬或它们的合金的反射金属制成。

[0190] 像素电极 191 通过接触孔 185 物理连接和电连接于漏电极 175，并接收由漏电极 175 施加的数据电压。施加有数据电压的像素电极 191 与设置在另一显示板（未示出）内并施加有公共电压的公共电极（未示出）一起产生电场。该电场确定设置在两电极之间的

液晶层（未示出）的液晶分子的排列(alignment)。穿过液晶层的光的极性根据液晶分子的排列而变化。像素电极 191 和公共电极构成在薄膜晶体管截止之后维持所施加的电压的电容器（这里称为液晶电容器）。

[0191] 通过使像素电极 191 和电连接于像素电极 191 的漏电极 175 与存储电极线 131 交迭而形成的电容器称为存储电容器，它增大液晶电容器的电压存储容量。由于存储电极线 131 的扩大部分 137，增加了交迭的面积，从而增大了存储电容器的静电容量。

[0192] 接触辅助部分 81 和 82 分别通过接触孔 181 和 182 连接于栅极线 121 的端部 129 和数据线 171 的端部 179。因此，接触辅助部分 81 和 82 起到增强栅极线 121 的端部 129 和数据线 171 的端部 179 与外部装置的粘附性并保护端部 129 和 179 的作用。

[0193] 下面参考图 13 至 14B 描述根据本发明的薄膜晶体管阵列板的另一示范性实施例，其中图 13 是示范性阵列板的局部顶视平面图，图 14A 和 14B 是该示范性阵列板的局部横截面图，分别沿图 13 中截面线 XIVA-XIVA 和 XIVA-XIVA 截开。

[0194] 如图 13 中可以看出，该示范性 TFT 阵列板的结构基本上与图 11 至 12B 所示的阵列板相同。多条具有栅电极 124 和端部 129 的栅极线 121 以及多条具有多个扩大部分 137 的存储电极线 131 设置在基板 110 上。栅极绝缘层 140、多个具有突起 154 的半导体条纹 151、多个具有突起 163 的线形欧姆接点 161、以及多个岛形欧姆接点 165 以前述顺序地依次设置在基板上。源电极 173、多条具有端部 179 的数据线 171 以及多个漏电极 175 设置在欧姆接点 161 和 165 上。钝化层 180 设置在它们之上。多个接触孔 181、182 和 185 形成在钝化层 180 和栅绝缘层 140 内。多个像素电极 191 以及多个接触辅助部分 81 和 82 设置在它们之上。

[0195] 不像图 11 至 12B 中所示的示范性 TFT 阵列板，在该示范性阵列板中，半导体条纹 151 与数据线 171、漏电极 175 以及下面欧姆接点 161 和 165 具有相同的平面形状，除设置薄膜晶体管所在的突起 154 之外。换句话说，半导体条纹 151 具有设置在数据线 171、漏电极 175 以及下面欧姆接点 161 和 165 之下的非暴露部分，以及在源电极 173 和漏电极 175 之间没有被覆盖的暴露部分。

[0196] 根据这里公开的示范性实施例，在公共电压固定于选定电压之后，电平在选定的时间段内变化的存储信号施加于存储电极线。随后具有不同电压的存储信号施加于相邻的存储电极线。因此，像素电极电压的范围变宽，因此像素电压的范围也变宽。由于表现灰度的电压的范围变宽，因此显示的图像质量相应得到提高。

[0197] 与施加恒定存储信号的情况相比，在施加具有相同范围的数据电压的情况中，能够产生相对宽范围的像素电压。因此，减小显示器的能耗。此外，公共电压固定在恒定值，从而进一步减小显示器的能耗。

[0198] 此外，由于完成液晶的充电操作之前的象素电极电压的范围比完成充电操作之后的像素电极电压的范围宽，所以高于或低于目标电压的电压在驱动液晶的初始时间施加，从而提高液晶材料的响应速度。

[0199] 而且，信号发生电路的两个输出晶体管在约 1H 的时间段期间交替地运行，通过存储电极线施加的存储信号维持到下一帧。因此，用于维持存储信号的晶体管的可靠性得到提高，这些晶体管的耐用性也得到提高。因此，可以提供稳定的存储信号。

[0200] 尽管已经结合实际的示范性实施例描述和说明了本发明，本领域的普通技术人员

应该理解本发明不局限于所公开的实施例，而是相反地意欲覆盖在所附权利要求的精神和范围之内的不同变型和等同结构。

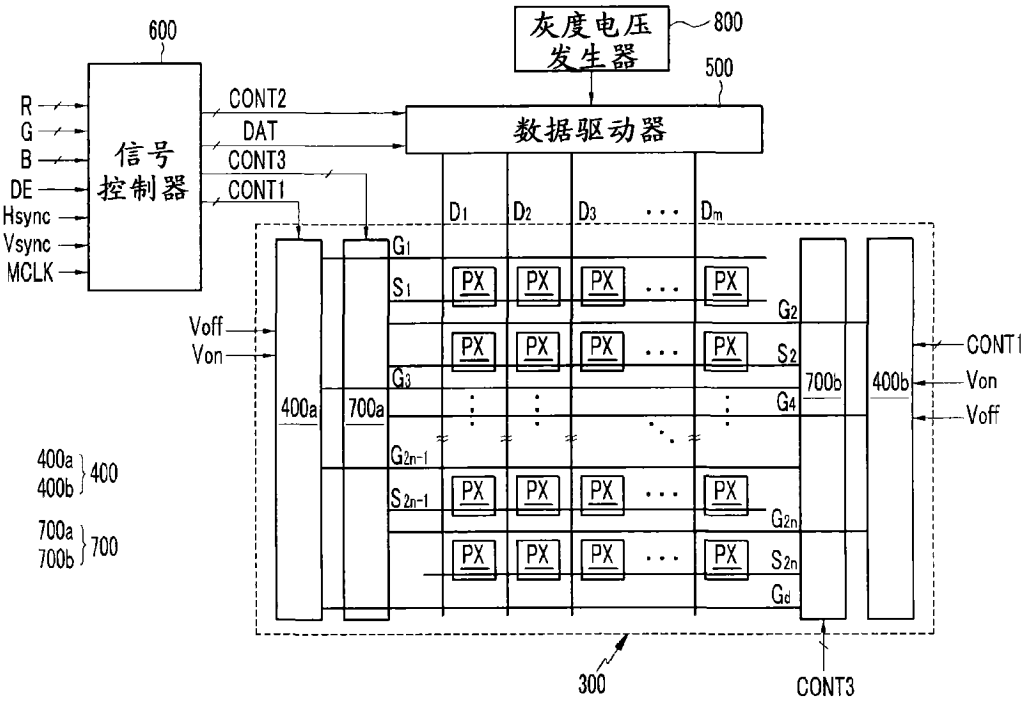

600
灰度电压发生器
800
500
R
G
B
DE
Hsync
Vsync
MCLK
信号控制器
CONT2
DAT
CONT3
CONT1
数据驱动器
D1
D2
D3
Dm
G1
S1
G2
S2
G3
G4
G2n-1
S2n-1
G2n
S2n
Gd
PX
Voff
Von
400a
700a
700b
400b
CONT1
Von
Voff
400a
400b
400
700a
700b
700
300
CONT3

图 1

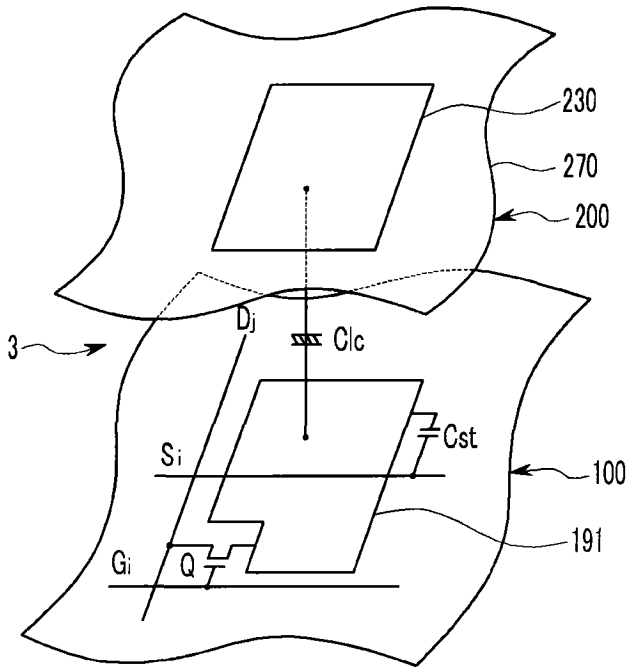

230
270
200
3
Dj
Clc
Cst
Si
100
191
Gi
Q

图 2

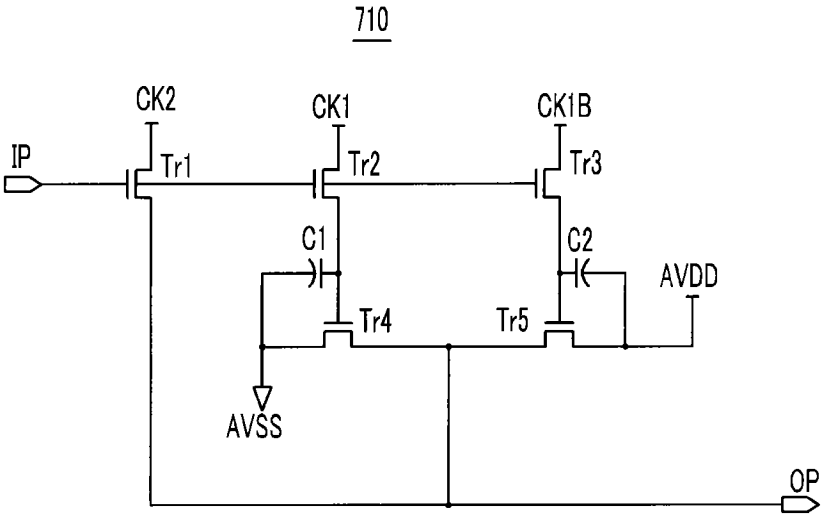

710
CK2
CK1
CK1B
IP
Tr1
Tr2
Tr3
C1
C2
AVDD
Tr4
Tr5
AVSS
OP

图 3

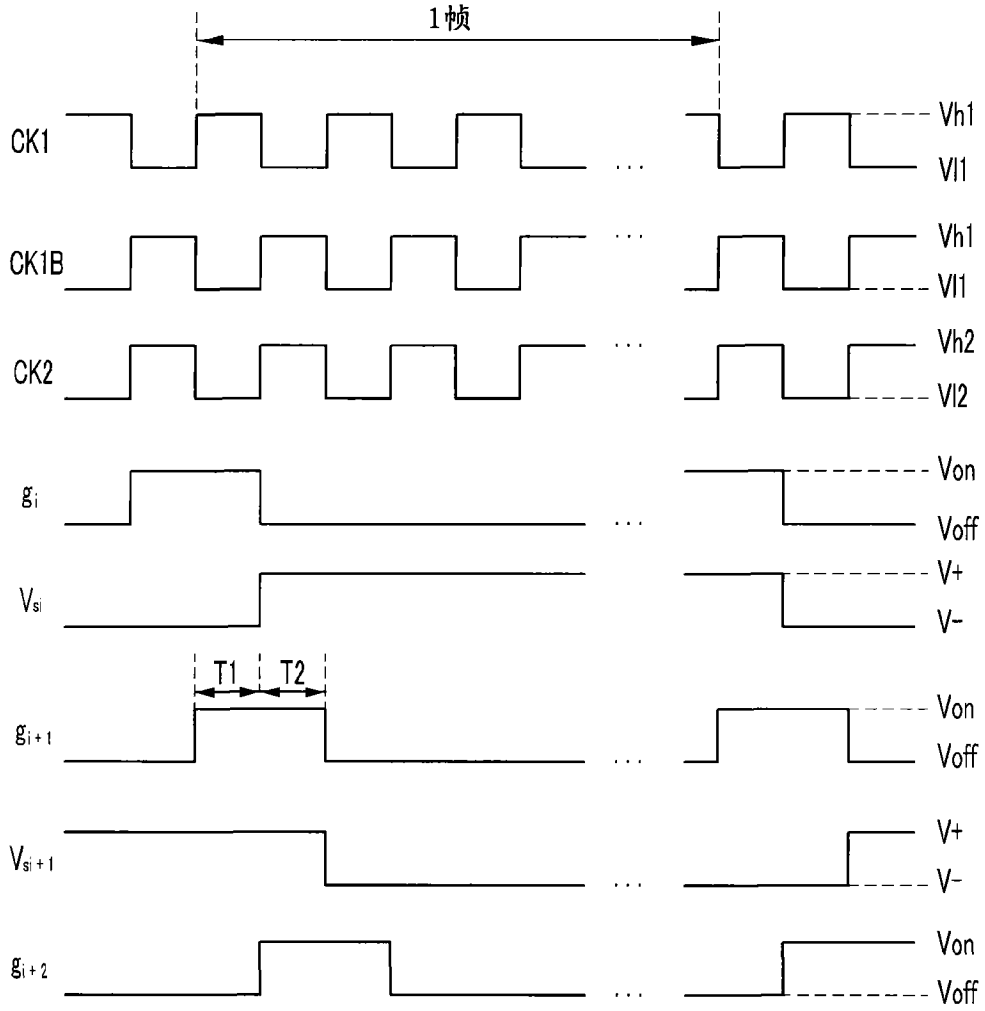

1帧
CK1
Vh1
Vl1
CK1B
Vh1
Vl1
CK2
Vh2
Vl2
gi
Von
Voff
Vsi
V+
V-
T1
T2
gi+1
Von
Voff
Vsi+1
V+
V-
gi+2
Von
Voff

图 4

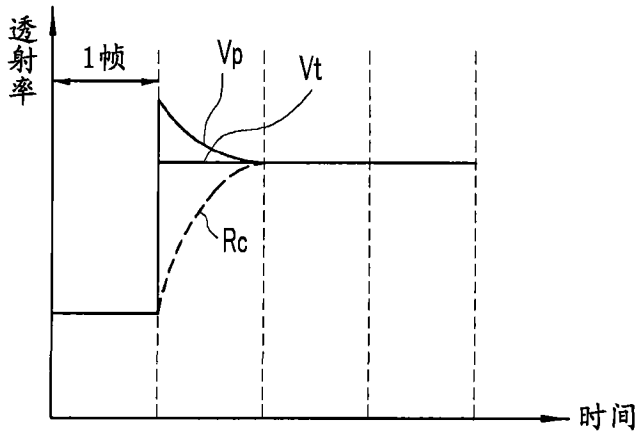


图 5

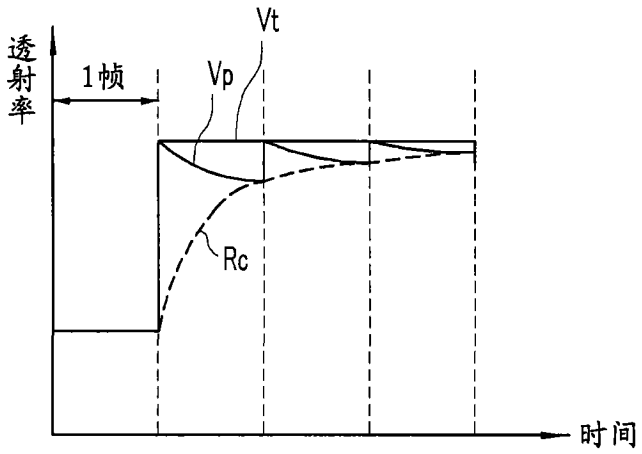


图 6

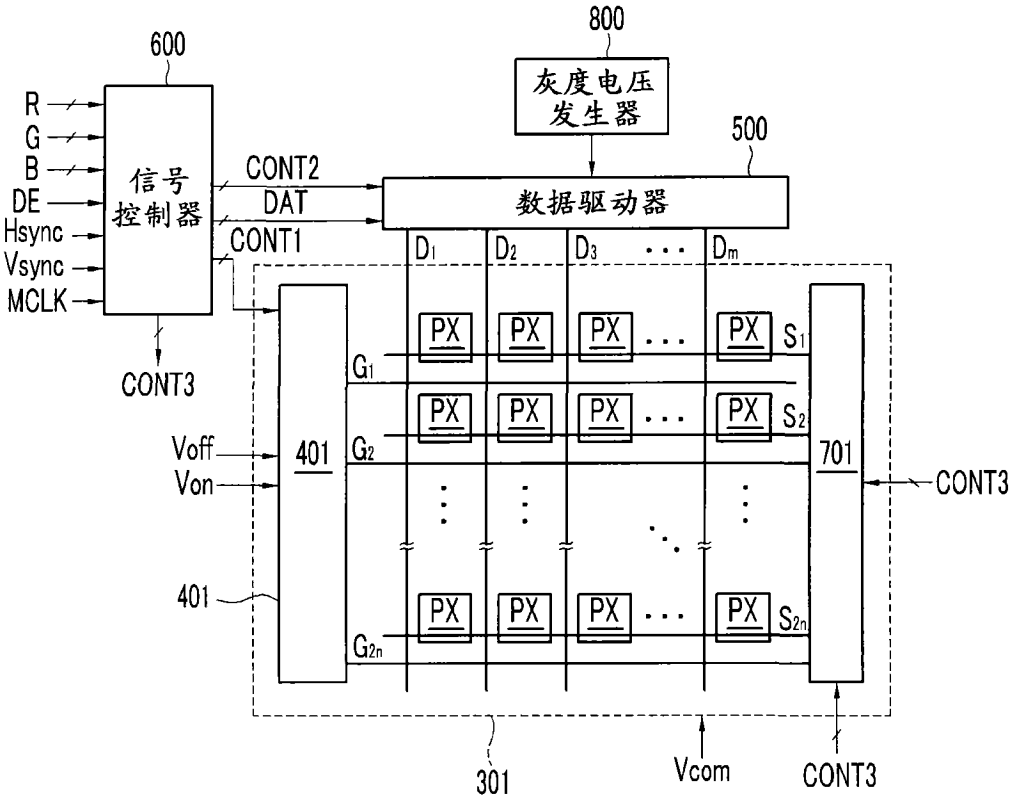

600
800
灰度电压
发生器
500
R
G
B
DE
Hsync
Vsync
MCLK
信号
控制器
CONT2
DAT
CONT1
数据驱动器
D1
D2
D3
Dm
PX
S1
S2
S2n
G1
G2
G2n
401
701
Voff
Von
CONT3
301
Vcom

图 7

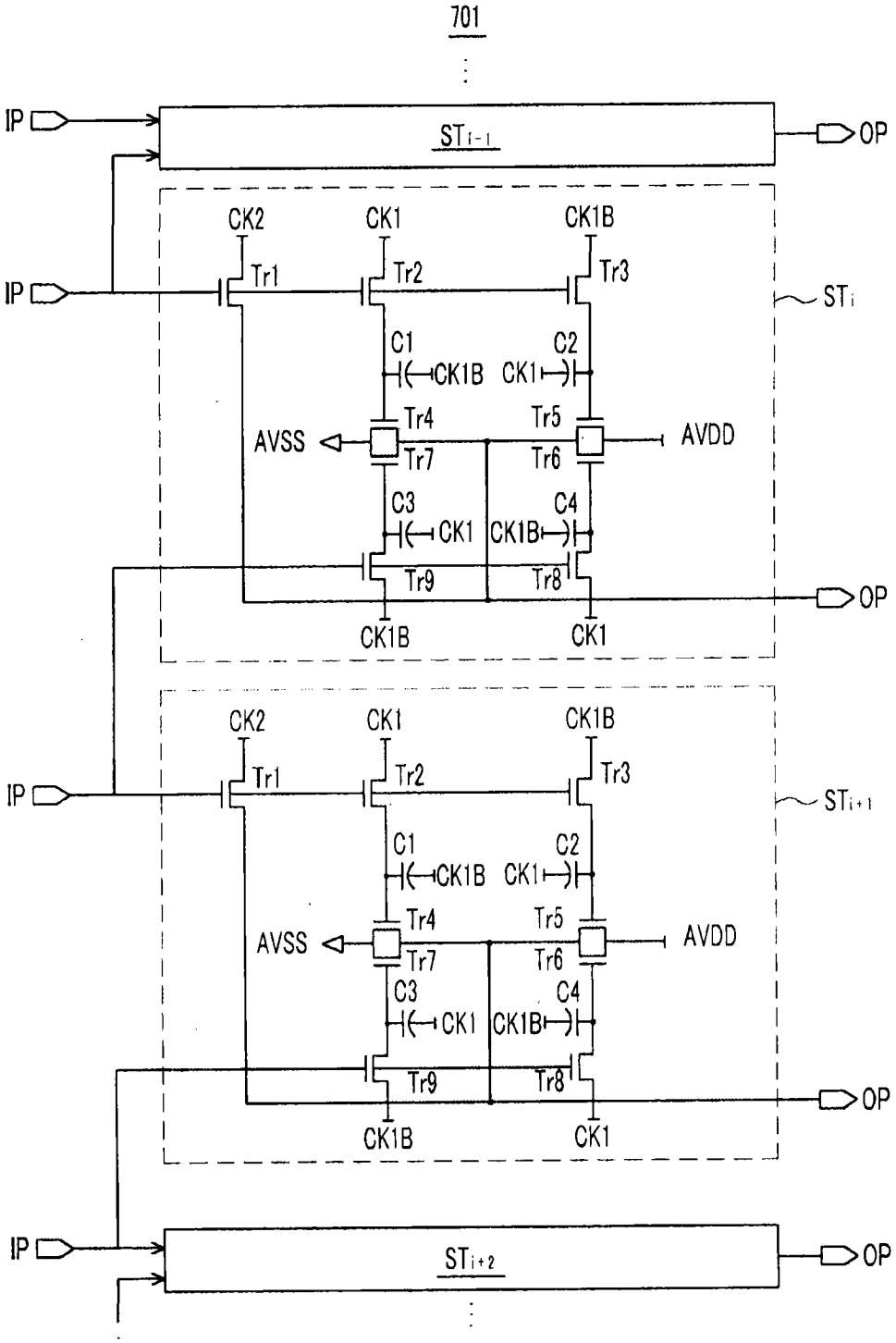

701
IP
STi-1
OP
CK2
CK1
CK1B
Tr1
Tr2
Tr3
STi
C1
C2
CK1B
CK1
Tr4
Tr5
AVSS
AVDD
Tr7
Tr6
C3
C4
CK1
CK1B
Tr9
Tr8
CK1B
CK1
STi+1
STi+2

图 8

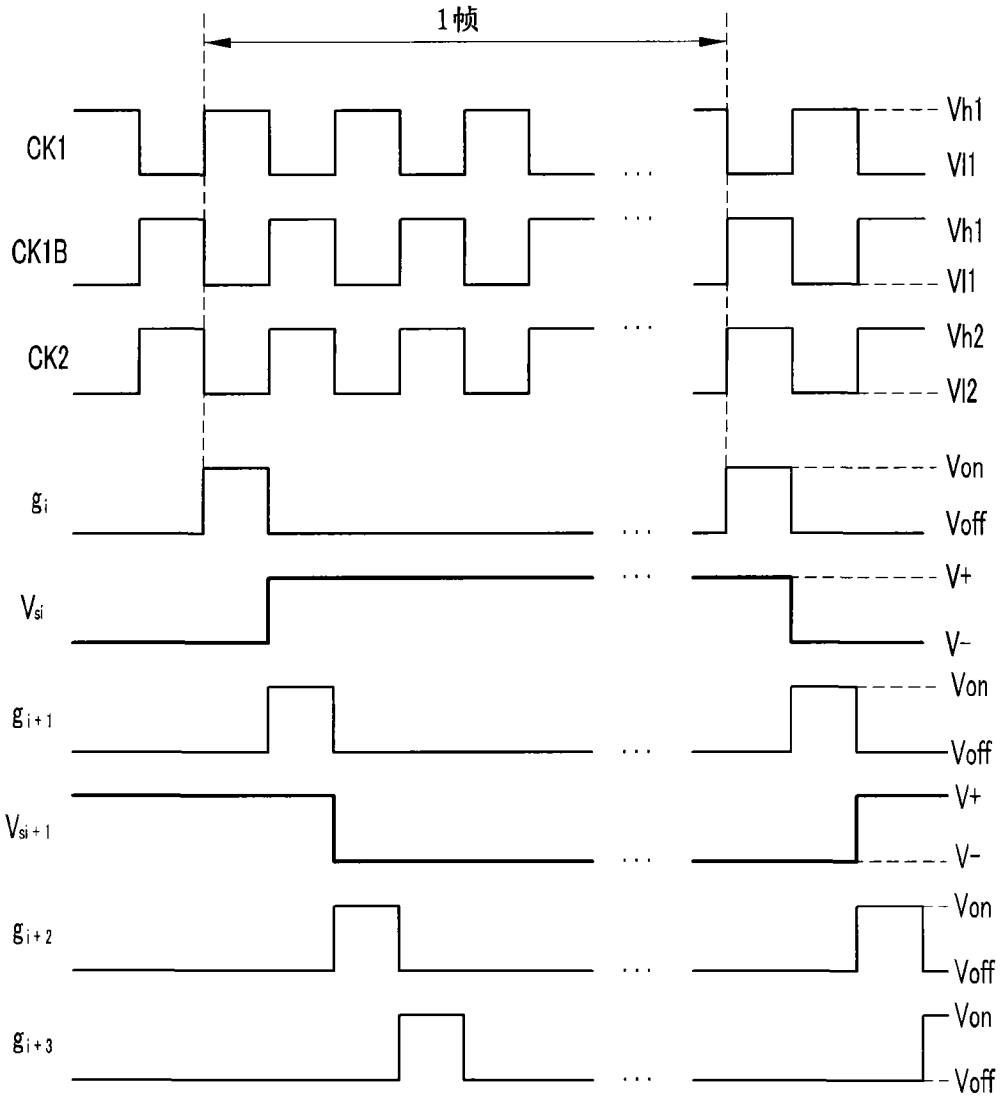

1帧
CK1
CK1B
CK2
g_i
V_{si}
g_{i+1}
V_{si+1}
g_{i+2}
g_{i+3}
Vh1
Vl1
Vh1
Vl1
Vh2
Vl2
Von
Voff
V+
V-
Von
Voff
V+
V-
Von
Voff
Von
Voff

图 9

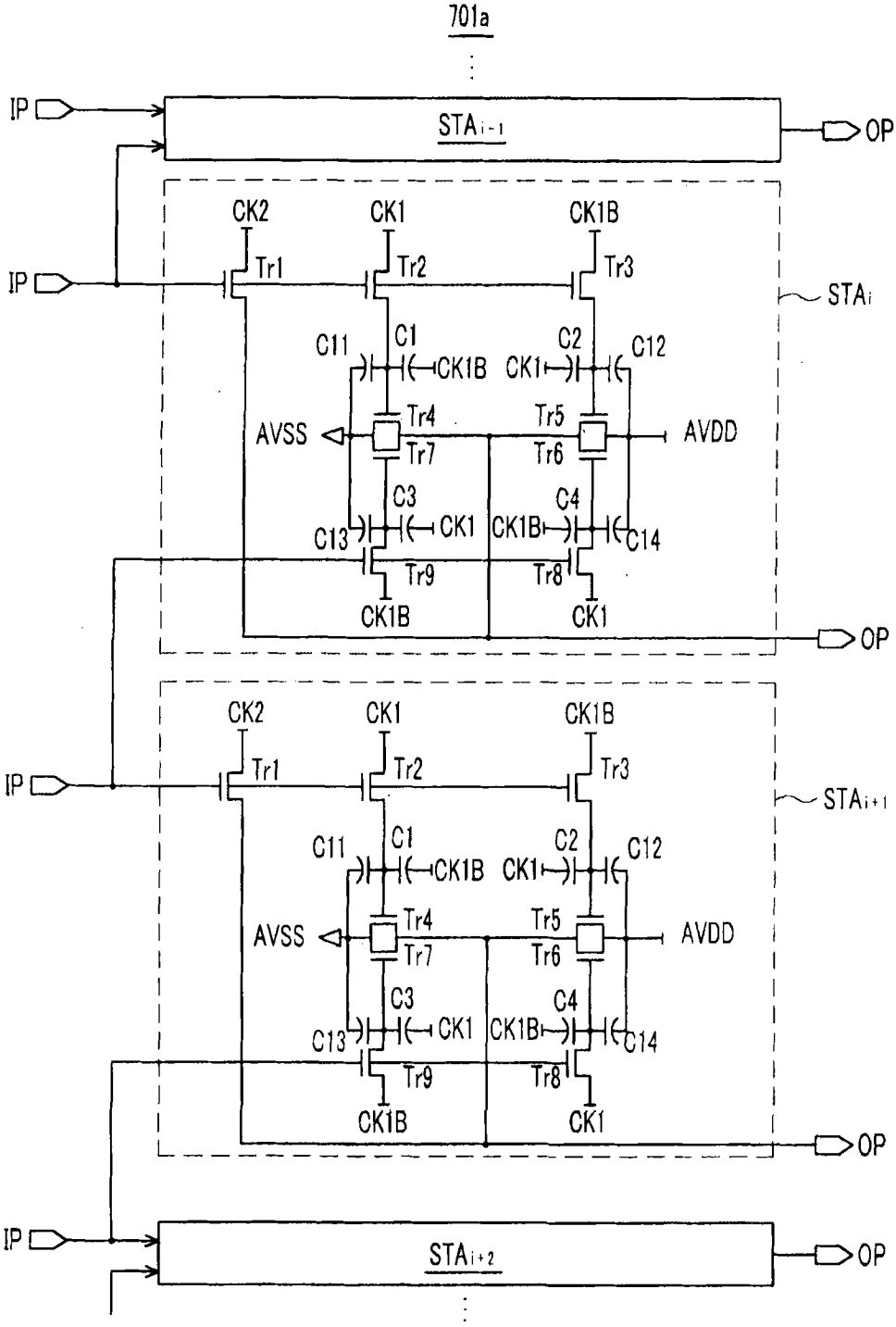

701a
IP
STAi-1
OP
CK2
CK1
CK1B
Tr1
Tr2
Tr3
STAi
C11
C1
C2
C12
AVSS
Tr4
Tr5
AVDD
Tr7
Tr6
C3
C4
C13
C14
Tr9
Tr8
STAi+1
STAi+2

图 10

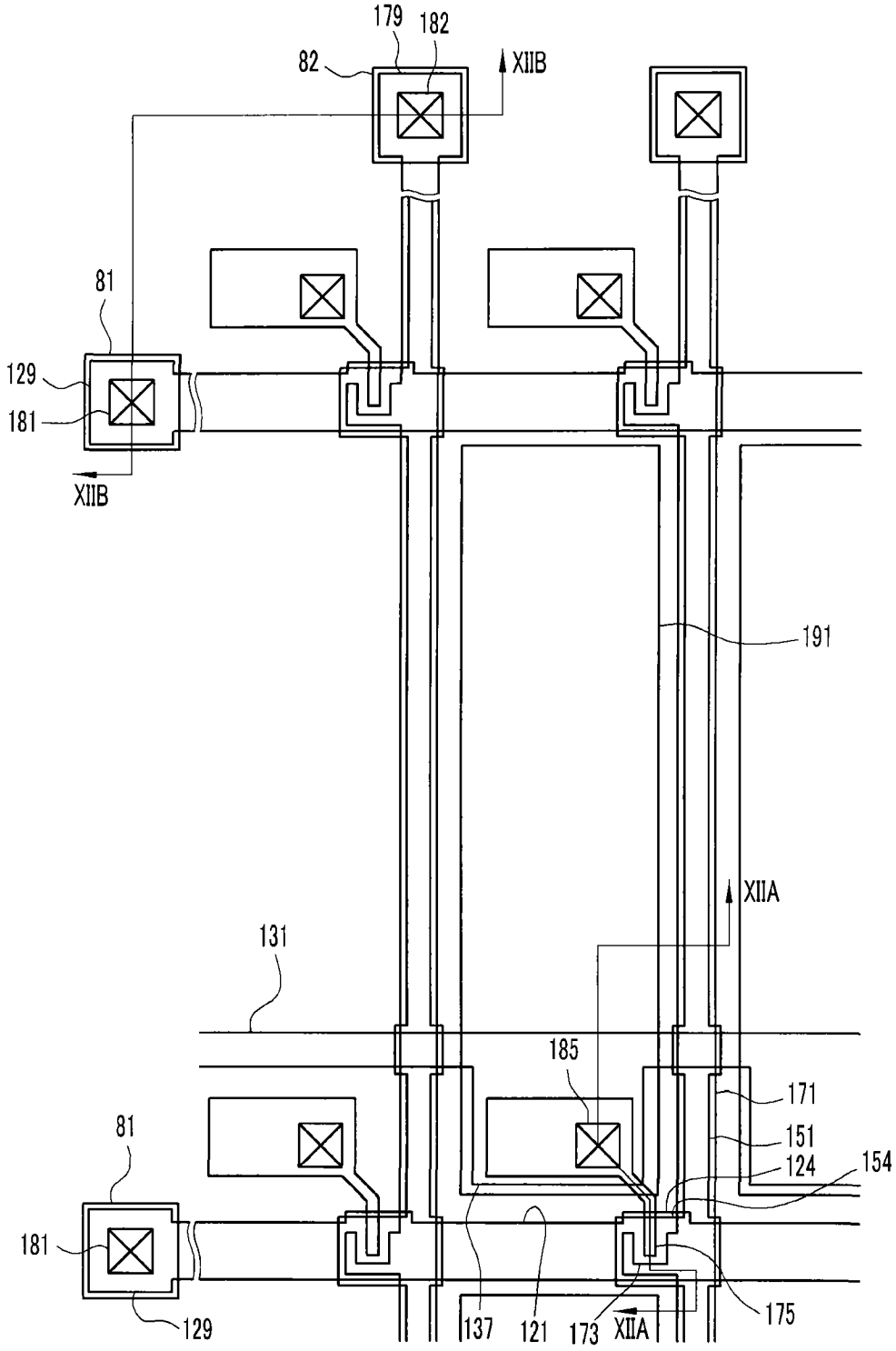

179
182
82
XIIB
81
129
181
XIIB
191
XIIA
131
185
171
151
124
154
81
181
129
137
121
173
XIIA
175

图 11

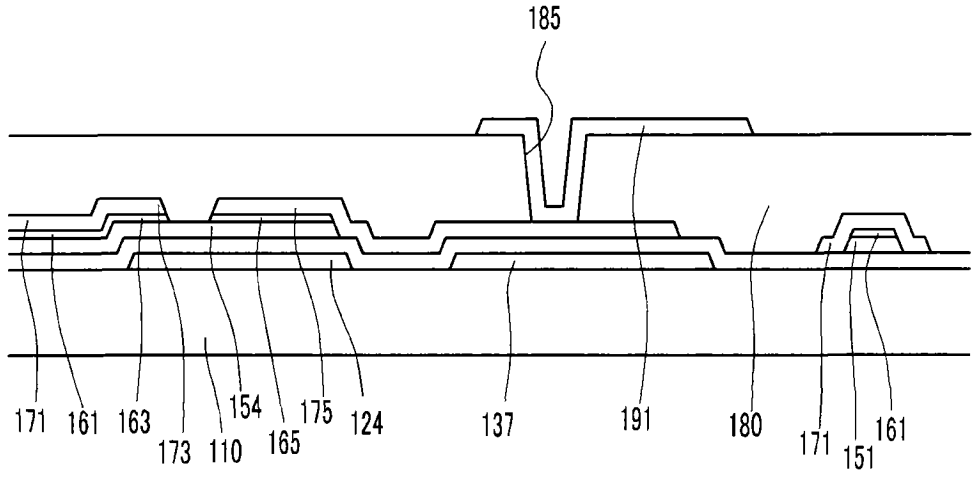

185
171
161
163
173
110
154
165
175
124
137
191
180
171
151
161

图 12A

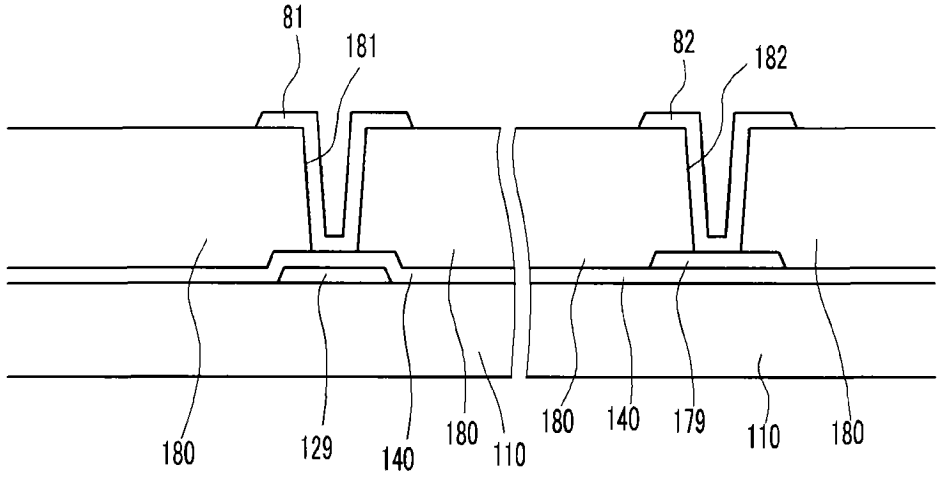

81
181
82
182
180
129
140
180
110
180
140
179
110
180

图 12B

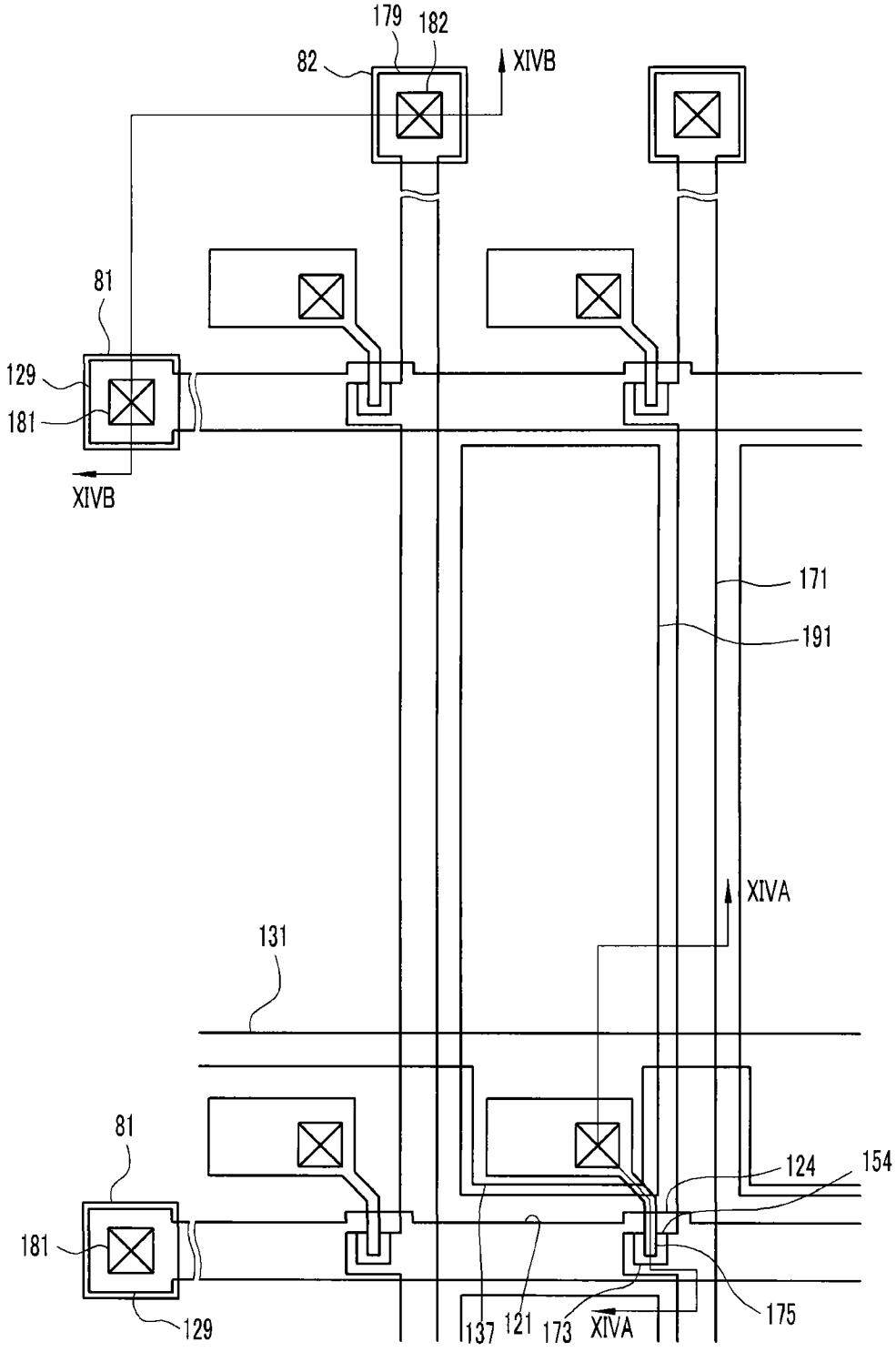

179
182
82
XIVB
81
129
181
XIVB
171
191
XIVA
131
81
124
154
181
129
137
121
173
XIVA
175

图 13

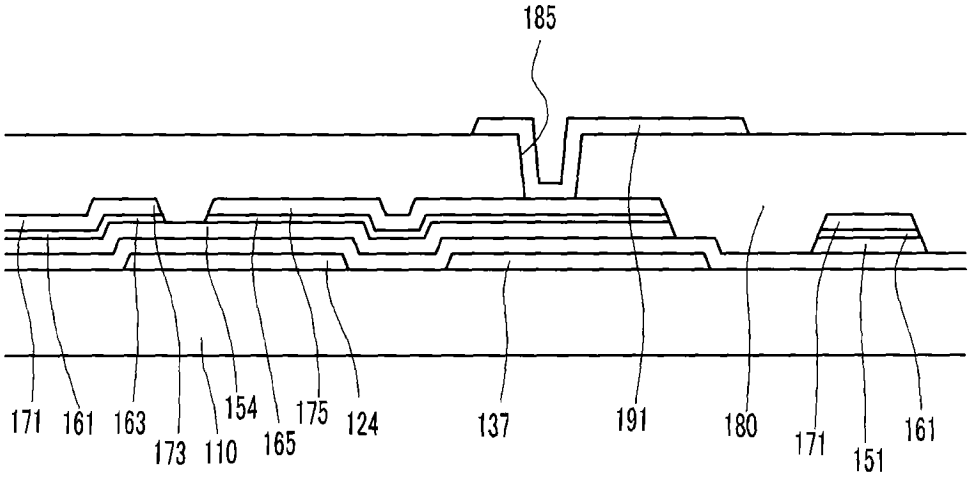

185
171
161
163
173
110
154
165
175
124
137
191
180
171
151
161

图 14A

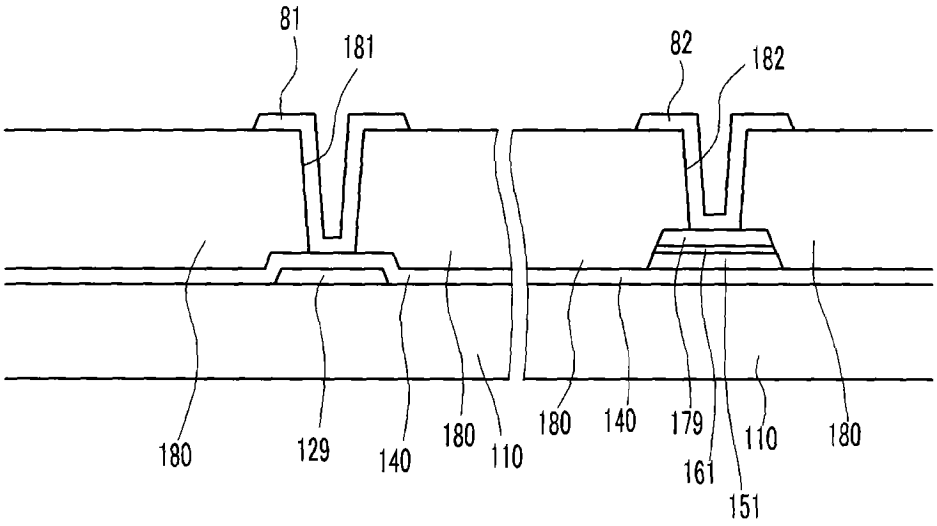
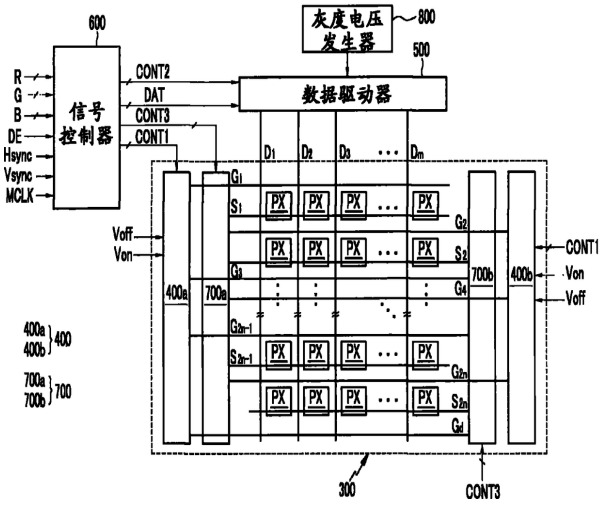

81
181
82
182
180
129
140
180
110
180
140
179
161
151
110
180

图 14B

专利名称(译)	显示装置		
公开(公告)号	CN101083068B	公开(公告)日	2011-06-15
申请号	CN200710128249.0	申请日	2007-02-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	崔晋荣 全珍		
发明人	崔晋荣 全珍		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3655 G09G3/3614 G09G2300/0876 G09G2330/021 G09G2310/0281 G09G2320/0252 G09G2310/08 E02D5/808 E02D2250/0023 E02D2600/30		
代理人(译)	邵亚丽		
审查员(译)	刘畅		
优先权	1020060016270 2006-02-20 KR		
其他公开文献	CN101083068A		
外部链接	Espacenet SIPO		

摘要(译)

一种显示装置，包括：多条栅极线、多条数据线、多条存储电极线和多个像素。每个像素包括连接于一条栅极线和一条数据线的开关元件、连接于所述开关元件和公共电压的液晶电容器和连接于所述开关元件和一条存储电极线的存储电容器。所述显示装置的信号发生电路根据栅极信号以下述方式产生存储信号：即紧接在完成将数据电压充入液晶电容器和存储电容器之后施加于每个像素的存储信号具有变化的电压电平。这使得像素电极能够在单帧内达到目标电压，从而减小了显示装置的能耗，并改善了其响应时间、可靠性和耐用性。