

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610093699.6

[51] Int. Cl.

G09G 3/00 (2006.01)

G02F 1/13 (2006.01)

G01R 31/00 (2006.01)

G01M 11/00 (2006.01)

[45] 授权公告日 2009 年 8 月 19 日

[11] 授权公告号 CN 100530287C

[22] 申请日 2006.6.13

[21] 申请号 200610093699.6

[30] 优先权

[32] 2005.6.13 [33] JP [31] 2005-172222

[73] 专利权人 索尼株式会社

地址 日本东京都

[72] 发明人 清水目和年 宫泽一幸 古贺慎一

[56] 参考文献

US2002070750A 2002.6.13

CN1479911A 2004.3.3

JP2004226551A 2004.8.12

审查员 李 军

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 张雪梅 王忠忠

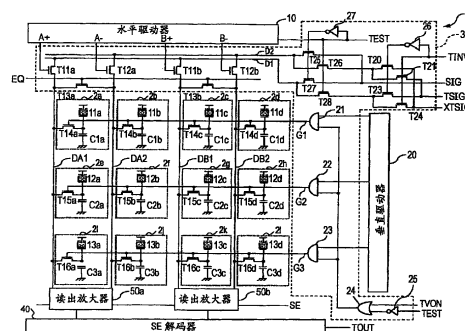
权利要求书 2 页 说明书 18 页 附图 4 页

[54] 发明名称

液晶显示装置、缺陷像素检查方法和检查程序及存储介质

[57] 摘要

一种缺陷像素检查方法，包含步骤：对多个像素部分中第一像素部分的电容性元件以及第二像素部分的电容性元件施加不同的电压；导通设于第一像素部分内像素晶体管的输入电极与第二像素部分内像素晶体管的输入电极之间的开关，并将第一像素晶体管的输入电极与第二像素晶体管的输入电极短路；读取第一像素部分的电容性元件的电压以及第二像素部分的电容性元件的电压；以及基于第一像素部分的电容性元件的电压与第二像素部分的电容性元件的电压之间的比较结果而检测像素部分的缺陷。



1. 一种用于液晶显示装置的缺陷像素检查方法, 该液晶显示装置包含多个像素部分, 每个像素部分包含像素晶体管、连接到像素晶体管的输出电极的电容性元件、以及基于保持于电容性元件中的电压而执行灰度显示的液晶部分; 该缺陷像素检查方法包含步骤:

对该多个像素部分中第一像素部分的电容性元件以及第二像素部分的电容性元件施加不同的电压;

导通设于第一像素部分中的像素晶体管的输入电极与第二像素部分中的像素晶体管的输入电极之间的开关, 并将第一像素晶体管的输入电极与第二像素晶体管的输入电极短路;

读取第一像素部分的电容性元件的电压以及第二像素部分的电容性元件的电压; 以及

基于第一像素部分的电容性元件的电压与第二像素部分的电容性元件的电压之间的比较结果检测像素部分的缺陷。

2. 一种用于液晶显示装置的缺陷像素检查方法, 该液晶显示装置包含多个像素部分, 每个像素部分包含像素晶体管、连接到该像素晶体管的输出电极的电容性元件、以及基于电容性元件内所保持的电压而执行灰度显示的液晶部分, 该缺陷像素检查方法包含步骤:

导通连接到该多个像素部分中第一像素部分的输入电极的第一晶体管以便对该输入电极施加第一电压, 并导通第一像素部分的像素晶体管以便对第一像素部分的电容性元件施加第一电压;

导通连接到该多个像素部分中第二像素部分的输入电极的第二晶体管以便对该输入电极施加第二电压, 并导通第二像素部分的像素晶体管以便对第二像素部分的电容性元件施加第二电压;

截止该第一晶体管 and 该第二晶体管并截止第一像素部分的像素晶体管和第二像素部分的像素晶体管;

导通设于第一像素部分中的像素晶体管的输入电极和第二像素部分中的像素晶体管的输入电极之间的开关并保持预定时间段, 由此使这些像素晶体管的输入电极短路;

经过该预定时间段之后, 导通第一像素部分的像素晶体管和第二像素部分的像素晶体管, 并读取第一像素部分的电容性元件的电压和第二像素部分的电容性元件的电压; 以及

比较第一像素部分的电容性元件的读取电压和第二像素部分的电容性元件的读取电压。

3. 根据权利要求1和2之一的缺陷像素检查方法，其中使用读出放大器比较第一像素部分的电容性元件的电压和第二像素部分的电容性元件的电压。

4. 一种液晶显示装置，包含：

多个像素部分，其中每个像素部分包含

像素晶体管，

连接到该像素晶体管的输出电极的电容性元件，以及

基于该电容性元件中所保持的电压而执行灰度显示的液晶部分；

连接到该多个像素部分中第一像素部分的输入电极的第一数据信号线；

连接到该多个像素部分中第二像素部分的输入电极的第二数据信号线；

能够向第一数据信号线提供第一测试信号的第一晶体管；

能够向第二数据信号线提供第二测试信号的第二晶体管；

连接于第一像素部分的像素晶体管的控制电极与第二像素部分的像素晶体管的控制电极之间的栅信号线；

设成连接于第一数据信号线和第二数据信号线之间的开关；以及

用于比较第一数据信号线的电压和第二数据信号线的电压的比较电路，

其中该开关使第一数据信号线和第二数据信号线电学短路，并使得能够进行这样的控制，其中将第一数据信号线的电压和第二数据信号线的电压用作中间电压。

5. 根据权利要求4的液晶显示装置，其中该比较电路为读出放大器，该读出放大器可将第一像素部分的电容性元件的电压和第二像素部分的电容性元件的电压进行比较，并可放大和输出差值。

6. 根据权利要求4和5之一的液晶显示装置，进一步包含用于在第一测试信号和第二测试信号之间切换的电压反转输入电路。

液晶显示装置、缺陷像素检查方法和检查程序及存储介质

技术领域

本发明涉及液晶显示装置、用于液晶显示装置的缺陷像素检查方法、缺陷像素检查程序、以及存储介质，更为特别地本发明涉及像素缺陷的检查。

背景技术

相关专利申请的交叉引用

本发明包含的主题涉及于 2005 年 6 月 13 日在日本专利局提交的日本专利申请 JP 2005-172222，该专利申请在此被引用作为参考。

近年来，显示装置迅速变薄，例如液晶装置（LCD）已经变得非常流行。由于这种液晶显示装置具有低剖面、重量轻、和低功耗的特点，其在诸如特别是移动电话、个人数字助理（PDA）、笔记本个人计算机、以及便携 TV 的所谓移动终端中的应用已经得到增加。此外，液晶显示装置已经开始用于背投影仪、正投影仪等。

在这种液晶显示装置中，有源矩阵液晶显示装置已经占主导。有源矩阵液晶显示装置按特定方式构造，其中提供其上设置有透明像素电极和薄膜晶体管（TFT）的衬底以及具有形成于整个显示部分上的一个透明电极的对置衬底，而且这些衬底置成相互对立并将液晶密封在其间。通过控制具有开关功能的 TFT，对各个像素电极施加和像素分级相对应的电压（下文中称之为“分级电压”），并在各个像素电极和对置衬底的电极之间产生电势差，由此改变液晶的透射率并允许显示图像。

在其上排列了 TFT 的衬底上，排列了用于向各个像素电极施加分级电压的多个数据信号线以及用于施加控制信号以开关 TFT 的多个栅信号线。通过数据信号线对各个像素电极施加分级电压，并在图像显示的一个帧周期内，对连接到该数据信号线的所有像素电极施加分级电压，由此允许在液晶显示部分上显示图像。由提供于各个 TFT 的输出电极中的电容性元件（电容器）保持以这种方式施加于各个像素的分级电压，直到施加下一个分级电压为止。

这种液晶显示装置通常为透射类型，但诸如硅上液晶（LCOS）的反

射类型液晶显示装置最近已经开始被引入到市场中。对于这种 LCOS，由于硅晶片可用作衬底，可以使用性能高于透射类型晶体管（其电路是由玻璃衬底上的多晶硅制成的）的晶体管。

发明内容

这种液晶显示装置是由大量的像素部分形成的。为了检查这些像素部分，采样了这样的方法：实际上驱动液晶显示面板，通过图像处理装置分析在该显示面板上显示的图像以执行缺陷像素检查，或者通过视觉检查来检测缺陷像素。然而，在这种方法中，实际上驱动了液晶显示装置，并在显示图像之后进行检查。因此，这种测量耗费时间，而且无法在注入液晶之前执行这种检查。

作为缺陷像素检查方法，也已经采用了使用 LSI 测试仪测量漏电流的方法。这种方法可测量到 μA 量级的漏电流。然而，在 LCOS 液晶显示装置中，上述电容性元件的电容为几十 fF（毫微微法拉）。例如，对于 10V 信号在 50fF 保持 10ms 的规格，需要测量小于或等于 50pA 的漏电流，因此无法通过这种方法进行检查。

因此，在日本未审查专利申请公开号 2004-226551 中，已经提出了能够高精度地检查其缺陷像素并缩短检查时间的液晶显示装置，以及用于这种液晶显示装置的检查方法。

在该液晶显示装置中，在对一对像素部分中的每一个施加不同电压之后，对所有数据信号线施加相同电压作为参考电压，从而预充电该数据线，之后通过读取存储于一对像素部分中的电压并比较它们，检测缺陷像素。

在日本未审查专利申请公开号 2004-226551 中公开的液晶显示装置中，当参考电压预充电数据信号线时，需要从输入端子输入参考电压。因此，需要在输入端子产生和写过程电压相对应的参考电压。此外，需要用于产生参考电压的电路和处理。

因此，需要提供能够容易地预充电数据信号线而不产生用于预充电数据信号线的参考电压（下文中还称为“中间电压”）的液晶显示装置，以及用于该液晶显示装置的检查方法。

根据本发明的实施例，提供了用于液晶显示装置的缺陷像素检查方法，该液晶显示装置包含多个像素部分，每个像素部分包含像素晶体管、

连接到像素晶体管输出电极的电容性元件、以及基于保持于该电容性元件中的电压而执行灰度显示 (gradation display) 的液晶部分; 该缺陷像素检查方法包含步骤: 对多个像素部分中第一像素部分的电容性元件以及第二像素部分的电容性元件施加不同的电压; 导通设于第一像素部分内像素晶体管的输入电极与第二像素部分内像素晶体管的输入电极之间的开关, 并将第一像素晶体管的输入电极与第二像素晶体管的输入电极短路; 读取第一像素部分的电容性元件的电压以及第二像素部分的电容性元件的电压; 并基于第一像素部分的电容性元件的电压与第二像素部分的电容性元件的电压之间的比较结果而检测像素部分的缺陷。

根据本发明的另一个实施例, 提供了用于液晶显示装置的缺陷像素检查方法, 该液晶显示装置包含多个像素部分, 每个像素部分包含像素晶体管、连接到该像素晶体管的输出电极的电容性元件、以及基于电容性元件内所保持的电压而执行灰度显示的液晶显示部分, 该缺陷像素检查方法包含步骤: 导通连接到该多个像素部分中第一像素部分的输入电极的第一晶体管从而对该输入电极施加第一电压, 并导通第一像素部分的像素晶体管从而对第一像素部分的电容性元件施加第一电压; 导通连接到该多个像素部分中第二像素部分的输入电极的第二晶体管从而对该输入电极施加第二电压, 并导通第二像素部分的像素晶体管从而对第二像素部分的电容性元件施加第二电压; 截止第一晶体管和第二晶体管并截止第一像素部分的像素晶体管和第二像素部分的像素晶体管; 导通设于第一像素部分的像素晶体管的输入电极和第二像素部分的像素晶体管的输入电极之间的开关并保持预定时间段, 由此使这些像素晶体管的输入电极短路; 经过该预定时间段之后, 导通第一像素部分的像素晶体管和第二像素部分的像素晶体管, 并读取第一像素部分的电容性元件的电压和第二像素部分的电容性元件的电压; 以及, 比较第一像素部分的电容性元件的读取电压和第二像素部分的电容性元件的读取电压。

根据本发明的实施例, 可由读出放大器执行对第一像素部分的电容性元件的电压和第二像素部分的电容性元件的电压的比较。

根据本发明的另一个实施例, 提供了一种液晶显示装置, 该液晶显示装置包含: 多个像素部分, 每个像素部分包含像素晶体管、连接到该像素晶体管的输出电极的电容性元件、以及基于该电容性元件中所保持的电压而执行灰度显示的液晶部分; 连接到该多个像素部分中第一像素

部分的输入电极的第一数据信号线；连接到该多个像素部分中第二像素部分的输入电极的第二数据信号线；能够向第一数据信号线提供第一测试信号的第一晶体管；能够向第二数据信号线提供第二测试信号的第二晶体管；连接于第一像素部分的像素晶体管的控制电极与第二像素部分的像素晶体管的控制电极之间的栅信号线；设成连接于第一数据信号线和第二数据信号线之间的开关；以及用于比较第一数据信号线的电压和第二数据信号线的电压的比较电路，其中该开关使第一数据信号线和第二数据信号线电学短路，并可实现将第一数据信号线的电压和第二数据信号线的电压变为中间电压的控制。

根据本发明实施例，该比较电路可以是读出放大器，该读出放大器可将第一像素部分的电容性元件的电压和第二像素部分的电容性元件的电压比较，并可放大和输出其差值。

该液晶显示装置可进一步包含用于在第一测试信号和第二测试信号之间切换的电压反转输入电路。

根据本发明另一个实施例，提供了用于检查液晶显示装置的像素部分缺陷的缺陷像素检查程序，该液晶显示装置包含多个像素部分，每个像素部分包含像素晶体管、连接到该像素晶体管的输出电极的电容性元件、以及基于该电容性元件中所保持的电压而执行灰度显示的液晶部分，该缺陷像素检查程序允许计算机执行：对该多个像素部分中第一像素部分的电容性元件和第二像素部分的电容性元件施加不同的电压的功能；导通设于第一像素部分内像素晶体管的输入电极和第二像素部分内像素晶体管的输入电极之间的开关，并使第一像素晶体管的输入电极和第二像素晶体管的输入电极短路的功能；读取第一像素部分的电容性元件的电压和第二像素部分的电容性元件的电压的功能；以及基于第一像素部分的电容性元件的电压与第二像素部分的电容性元件的电压之间的比较结果而检测像素部分的缺陷的功能。

根据本发明另一个实施例，提供了一种记录介质，其中该记录介质上以计算机可读取的格式记录了该缺陷像素检查程序。

根据本发明实施例，通过导通提供于第一像素部分内像素晶体管的输入电极和第二像素部分内像素晶体管的输入电极之间的诸如晶体管的开关，第一像素晶体管的输入电极和第二像素晶体管的输入电极被短路。因此，使用该开关可以容易地将数据信号线预充电到中间电压，而

不产生作为用于预充电数据信号线的参考电压的中间电压。

根据本发明实施例，由读出放大器执行第一像素部分的电容性元件的电压和第二像素部分的电容性元件的电压的比较。因此，可以精确地检测泄漏量，并改善像素部分的缺陷的检测精确度。

根据本发明实施例，在第一像素部分内像素晶体管的输入电极和第二像素部分内像素晶体管的输入电极之间提供诸如晶体管的开关，该第一数据信号线和第二数据信号线被电学短路，且可实现将第一数据信号线的电压和第二数据信号线的电压变为中间电压的控制。因此，使用该开关可以容易地将数据信号线预充电到中间电压，而不产生作为用于预充电数据信号线的参考电压的中间电压。

根据本发明实施例，提供了用于在第一测试信号和第二测试信号之间切换的电压反转输入电路。因此，可以容易地执行这些信号的反转。

附图说明

图 1 示出了根据本发明实施例的像素部分的构造；

图 2 示出了根据本发明实施例的液晶显示装置的构造；

图 3 示出了根据本发明实施例的液晶显示装置与 LSI 测试器之间的连接；以及

图 4 为根据本发明实施例的液晶显示装置的检查控制的时序图。

具体实施方式

现在将在下文中描述本发明的各个实施例。图 1 示出了根据本发明实施例的液晶显示装置的像素部分的构造。图 2 示出了本发明实施例的液晶显示装置的构造。

首先，将参考图 1 描述在液晶显示装置 1 中以矩阵形式提供的多个像素部分的构造和工作。

如图 1 所示，像素部分 A 配置成具有像素晶体管 T1、电容性元件 C1、和液晶部分 2。像素晶体管 T1 的输入电极连接到数据信号线，输出电极连接到电容性元件 C1 的一端并连接到液晶部分 2 的像素电极。电容性元件 C1 的另一端接地。

像素晶体管 T1 的控制电极连接到栅信号线，基于该栅信号线的信号控制像素晶体管 T1 的导通/截止状态。也就是说，当对该栅信号线施加

高电压时, 像素晶体管 T1 导通, 且数据信号线的电压被施加到电容性元件 C1 和液晶部分 2。

当电压施加到液晶部分 2 时, 基于所施加的电压控制液晶的反射, 使得可以实现灰度显示控制。此外, 由于提供了电容性元件 C1, 即使在像素晶体管 T1 截止之后, 所施加的电压仍保持在电容性元件 C1 中, 使得连续地维持液晶的反射量。

如前所述, 像素部分 A 配置成具有像素晶体管 T1、连接到像素晶体管 T1 的电容性元件 C1、以及基于电容性元件 C1 中所保持的电压而执行灰度显示的液晶部分 2。

接着, 将参考图 2 描述液晶显示装置 1 的配置和工作, 其中在该液晶显示装置中以二维矩阵的形式排列了多个这种像素部分。在本实施例中, 为了便于理解, 像素部分排列成 4×3 矩阵。

根据本实施例的液晶显示装置 1 包含多个像素部分 2a 至 2i、水平驱动器 10、垂直驱动器 20、用于检查目的的逻辑电路 30、解码器 40、以及读出放大器 50a 和 50b。

像素部分 2a、2e 和 2i 内的像素晶体管 T14a、T15a 和 T16a 的输入电极连接到数据信号线 DA1。像素部分 2b、2f 和 2j 内的像素晶体管 T14b、T15b 和 T16b 的输入电极连接到数据信号线 DA2。像素部分 2c、2g 和 2k 内的像素晶体管 T14c、T15c 和 T16c 的输入电极连接到数据信号线 DB1。像素部分 2d、2h 和 2l 内的像素晶体管 T14d、T15d 和 T16d 的输入电极连接到数据信号线 DB2。

像素部分 2a 至 2d 内的像素晶体管 T14a 至 T14d 的控制电极连接到栅信号线 G1。像素部分 2e 至 2h 内的像素晶体管 T15a 至 T15d 的控制电极连接到栅信号线 G2。像素部分 2i 至 2l 内的像素晶体管 T16a 至 T16d 的控制电极连接到栅信号线 G3。数据信号线 DA1 和 DB1 对应于第一数据信号线, 数据信号线 DA2 和 DB2 对应于第二数据信号线。为各个水平线提供栅信号线。分别在像素晶体管 T14a 至 T14d、T15a 至 T15d、T16a 至 T16d 的输出电极中提供液晶部分 11a 至 11d、12a 至 12d、和 13a 至 13d。

[水平驱动器 10 的描述]

水平驱动器 10 包含移位寄存器电路和测试逻辑电路, 并根据来自

TEST 信号的输入而执行在移位寄存器电路和测试逻辑电路之间的切换。也就是说, 当 TEST 信号处于低电压时, 移位寄存器工作, 而当 TEST 信号处于高电压时, 测试逻辑电路工作。

[垂直驱动器 20 的描述]

垂直驱动器 20 为用于对栅信号线 G1 至 G3 中的每一个施加低电压或高电压栅信号的电路。当垂直驱动器 20 向栅信号线之一输出高电压栅信号时, 垂直驱动器 20 向其它栅信号线输出低电压栅信号。

[检查逻辑电路 30 的描述]

检查逻辑电路 30 为在检查像素部分 2a 至 21 的测试模式和由像素部分 2a 至 21 显示图像的正常工作模式之间切换的电路, 该电路还用于在检查像素部分 2a 至 21 的测试模式期间执行各种切换操作。

检查逻辑电路 30 包含晶体管 T11a、T11b、T12a、T12b、T20、T21、T23 至 T28, 以及用于切换待提供到数据信号线 DA1、DA2、DB1 和 DB2 的信号的反相电路 26 和 27 (下文中称为“信号切换电路”); 具有分别在数据信号线 DA1 和 DA2 之间及在数据信号线 DB1 和 DB2 进行电连接的切换功能的晶体管 T13a 和 T13b (下文中称为“均衡器部分”); 以及 OR 电路 24、反相电路 25、以及用于控制从垂直驱动器 20 到栅信号线 G1 至 G3 的输出的 AND 电路 21 至 23 (下文中称为“栅信号线控制部分”)。

[信号切换电路的描述]

信号切换电路是指这样的电路: 选择第一测试信号 TSIG、第二测试信号 XTSIG、或图像显示信号 SIG 中的哪一个将用于输入到数据信号线 DA1、DA2、DB1 和 DB2 中的每一个的信号输入。下面将描述该电路的配置。

第一测试信号 TSIG 被输入到晶体管 T21 和 T23 的输入电极, 第二测试信号 XTSIG 被输入到晶体管 T20 和 T24 的输入电极。反转信号 TINV 被输入到晶体管 T21 和 T24 的控制电极, 使得反转信号 TINV 反转的信号经由反相电路 26 被输入到晶体管 T20 和 T23 的控制电极。

晶体管 T20 和 T21 的输出电极连接到晶体管 T26 的输入电极, 晶体管 T23 和 T24 的输出电极连接到晶体管 T28 的输入电极。晶体管 T27 的输出电极以及晶体管 T28 的输出电极连接到数据信号线 D1, 晶体管 T25 的输出电极以及晶体管 T26 的输出电极连接到数据信号线 D2。晶体管 T25

和 T27 的输入电极连接到图像显示信号 SIG。测试信号 TEST 被输入到晶体管 T26 和 T28 的控制电极，测试信号 TEST 的反转信号经由反相电路 27 被输出到晶体管 T25 和 T27 的控制电极。

晶体管 T11a、T12a、T11b 和 T12b 的控制电极（栅极）分别连接到水平驱动器 10 的输出 A+、A-、B+和 B-，其输出电极（源极）分别连接到数据信号线 DA1、DA2、DB1 和 DB2。晶体管 T11a 和 T12a 的输入电极（漏极）分别连接到数据信号线 D1 和 D2，并分别连接到晶体管 T28 和 T26 的输出电极。晶体管 T11b 和 T12b 的输入电极（漏极）也是这样连接的。

由于按上述方式配置信号切换部分，例如，当第一测试信号 TSIG 将被施加到数据信号线 D1 且第二测试信号 XTSIG 将被施加到数据信号线 D2 时，反转信号 TINV 变为低电压电平，测试信号 TEST 变为高电压电平。相反，当第二测试信号 XTSIG 将被施加到数据信号线 D1 且第一测试信号 TSIG 将被施加到数据信号线 D2 时，反转信号 TINV 变为高电压电平，测试信号 TEST 变为高电压电平。通过从水平驱动器 10 向晶体管 T11a、T12a、T11b 和 T12b 的每个控制电极输入高电压，数据信号线 D1 和 D2 的信号可分别提供到数据信号线 DA1、DA2、DB1 和 DB2。

晶体管 T20、T21、T23 和 T24 以及反相电路 26 组成了用于在第一测试信号 TSIG 和第二测试信号 XTSIG 之间切换的电压反转输入电路。

[均衡器部分的描述]

均衡器部分是由用作开关的晶体管 T13a 和 T13b 形成的。晶体管 T13a 连接到数据信号线 DA1 和数据信号线 DA2 之间。通过低阻抗将这些数据信号线之间短路，数据信号线 DA1 和 DA2 的电压变为介于短路前这些电压之间的中间电压。例如，在向数据信号线 DA1 施加 4V 并向数据信号线 DA2 施加 5V 时晶体管 T13a 导通预定时间段时，数据信号线 DA1 和 DA2 的电压变为 4.5V，该电压为介于这些电压之间的中间电压。类似地，晶体管 T13b 连接到数据信号线 DB1 和数据信号线 DB2 之间。通过低阻抗将这些数据信号线之间短路，数据信号线 DB1 和 DB2 的电压变为介于短路前这些电压之间的中间电压。

当晶体管 T11a 和 T12a 截止（即，为高阻抗状态）且当像素晶体管 T14a、T14b、T15a、T15b、T16a 和 T16b 截止时，晶体管 T13a 导通。

类似地,当晶体管 T11b 和 T12b 截止(即,为高阻抗状态)且当像素晶体管 T14c、T14d、T15c、T15d、T16c 和 T16d 截止时,晶体管 T13b 导通。

[栅信号控制部分的描述]

栅信号控制部分控制来自垂直驱动器 20 的信号在测试模式期间是否应该被提供到栅信号线 G1 至 G3。测试信号 TEST 经由反相电路 25 输入到 OR 电路 24 的输入之一,垂直信号控制信号 TVON 输入到 OR 电路 24 的另一输入。OR 电路 24 的输出输入到 AND 电路 21 至 23 每个的输入之一,来自垂直驱动器 20 的栅信号输入到 AND 电路 21 至 23 每个的另一个输入。AND 电路 21 至 23 的输出分别连接到栅信号线 G1、G2 和 G3。

由于按前述方式配置栅信号控制部分,当测试信号 TEST 为高且垂直信号控制信号 TVON 为低时,来自垂直驱动器 20 的信号不提供到栅信号线 G1、G2 和 G3。只有当垂直信号控制信号 TVON 为高时,来自垂直驱动器 20 的信号才被提供到栅信号线 G1、G2 和 G3。

[解码器 40 的描述]

解码器 40 是用于从读出放大器 50a 和 50b 输出差分放大信号输出作为 TOUT 信号的电路。按这个方式输出的 TOUT 信号由 LSI 测试器 70(将在下文中描述)读取,并对像素部分 2a 至 21 执行缺陷检查。

[读出放大器 50a 和 50b 的描述]

数据信号线 DA1 和 DA2 分别连接到读出放大器 50a 的反转输入和非反转输入。读出放大器 50a 将这些数据信号线 DA1 和 DA2 相互比较以检测它们之间的电压差,放大该电压差,随后将其输出到解码器 40。类似地,读出放大器 50b 的反转输入和非反转输入分别连接到数据信号线 DB1 和 DB2。读出放大器 50b 将这些数据信号线 DB1 和 DB2 相互比较以检测它们之间的电压差,放大该电压差,随后将其输出到解码器 40。读出放大器 50a 和 50b 对应于比较电路。

使能信号 SE 输入到读出放大器 50a 和 50b。当使能信号 SE 变为高时,读出放大器 50a 和 50b 工作,使得输出信号被放大到最大幅度。

[液晶显示装置的测试操作]

将特别描述检测按照前述方式配置的液晶显示装置 1 的像素部分 2a 至 21 的缺陷的方法。图 3 示出了液晶显示装置 1 和 LSI 测试器 70 之间

的连接。在本实施例中，从 LSI 测试器 70 向液晶显示装置 1 输入各种的控制信号，并基于从液晶显示装置 1 输出的输出信号 TOUT，检测像素部分 2a 至 2i 的缺陷。图 4 为在液晶显示装置 1 的测试模式期间的时序图。LSI 测试器 70 对应于用于检查像素部分的缺陷的计算机。

LSI 测试器 70 具有存储部分 72，其中存储了 CPU 71 和程序。CPU 71 通过读取和执行存储于存储部分 72 等中的程序（包含根据本发明实施例的缺陷像素检查程序）执行下面将描述的功能。该缺陷像素检查程序可记录在诸如 CD-ROM 的存储介质上，可通过 LSI 测试器 70 的存储介质驱动（未示出）将该存储介质上的程序读取到该存储部分 72 中。

LSI 测试器 70 进行的测试大致由四个过程组成：（a）向像素部分的电容性元件写入电压的操作、（b）使一对数据信号线 DA1 和 DA2 或 DB1 和 DB2 的电压变为中间电压的操作、（c）读取像素部分的电容性元件的电压的操作、以及（d）比较读取电压以及检测缺陷像素的操作。在根据本实施例的液晶显示装置 1 中，可以检测像素部分 2a 至 2i 的缺陷。然而，在这里只描述检测一对像素部分 2a 和 2b 的缺陷的操作；由于其它像素部分的缺陷检测和像素部分 2a 及 2b 的相同，因此可以忽略对其的描述。像素部分 2a 对应于第一像素部分，像素部分 2b 对应于第二像素部分。

[向像素部分的电容性元件写入电压的操作]

最初，LSI 测试器 70 使 TEST 信号为高电压电平，并提供第一测试信号 TSIG 和第二测试信号 XTSIG。此外，LSI 测试器 70 向反转信号 TINV 提供低电压，并向垂直信号控制信号 TVON 提供低电压。因此，第一测试信号 TSIG 和第二测试信号 XTSIG 分别被提供给数据信号线 D1 和 D2（见图 4 中的计时 Ta1）。在本实施例中，第一测试信号 TSIG 的电压电平设为 4V，第二测试信号 XTSIG 的电压电平设为 5V，但电压电平不限于这些示例。测试信号为直流电压的模拟信号。

接着，LSI 测试器 70 控制水平驱动器 10 以便向晶体管 T11a 和 T12a 输出高电压，使得晶体管 T11a 和 T12a 同时导通。此外，LSI 测试器 70 通过使该信号为高电压电平并通过控制垂直驱动器 20 而将 AND 电路 21 的输入设为高电压电平，使栅信号线 G1 为高电压电平。如前所述，当栅信号线 G1 为高电压电平时，像素晶体管 T14a 至 T14d 导通（见图 4 中的

计时 Ta2)。因此,第一测试信号 TSIG 的电压从数据信号线 DA1 被施加到像素部分 2a 的电容性元件 C1a,且该电压得到保持。类似地,第二测试信号 XTSIG 的电压从数据信号线 DA2 施加到像素部分 2a 的电容性元件 C1b,且该电压得到保持。按照前述方式,第一测试信号 TSIG 的电压被写入像素部分 2a,第二测试信号 XTSIG 的电压被写入像素部分 2b。

当完成对像素部分 2a 和 2b 的写入时,LSI 测试器 70 控制水平驱动器 10 以便向晶体管 T11a 和 T12a 的控制电极输出低电平信号,使得晶体管 T11a 和 T12a 截止。此外,通过使垂直信号控制信号 TVON 为低电压电平或者通过控制垂直驱动器 20 而使 AND 电路 21 的输入为低电压电平,LSI 测试器 70 使栅信号线 G1 为低电压电平。因此,像素部分 2a 和 2b 截止,且由于所述像素部分的像素晶体管 T14a 和 T14b 的输入电极与第一测试信号 TSIG 和第二测试信号 XTSIG 断开,所述像素部分变为高阻抗状态。

这里,由于在数据信号线 DA1 和数据信号线 DA2 中存在电容性元件,第一测试信号的电压电平和第二测试信号的电压电平分别得到保持。也就是说,在数据信号线 DA1 中保持 4V,在数据信号线 DA2 中保持 5V。在本实施例中,假设数据信号线 DA1 的电容性元件和数据信号线 DA2 的电容性元件相同。

[使数据信号线 DA1 和 DA2 变为中间电压的操作]

接着,在完成了对像素部分 2a 和 2b 的写入后,LSI 测试器 70 等待预定的时间段。之后,LSI 测试器 70 通过使平均信号 EQ 为高电压电平而导通晶体管 T13a 和 T13b。当按照这个方式导通晶体管 T13a 时,数据信号线 DA1 和数据信号线 DA2 短路,电流从数据信号线 DA2 流到数据信号线 DA1。因此,数据信号线 DA1 和 DA2 的电压变为平均电压,在本实施例中该平均电压为 4.5V(见图 4 中的计时 Ta3)。LSI 测试器 70 保持平均信号 EQ 的高电平状态预定的时间段,之后使平均信号 EQ 返回到低电压电平。

[读取像素部分的电容性元件的电压的操作]

接着,LSI 测试器 70 使垂直信号控制信号 TVON 为高电压电平并通过 AND 电路 21 使栅信号线 G1 为来自垂直驱动器 20 的高电压电平,使得像素晶体管 T14a 和 T14b 导通(见图 4 中的计时 Ta4)。当按照这个方

式导通像素晶体管 T14a 时,由电容性元件 C1a 保持的电压通过数据信号线 DA1 被输入到读出放大器 50a 的反转输入端。此外,由于像素晶体管 T14b 导通,电容性元件 C1b 保持的电压通过数据信号线 DA2 被输入到读出放大器 50a 的非反转输入端。

如前所述,当将读取电容性元件 C1a 和 C1b 保持的电压时,在数据信号线 DA1 和 DA2 的电容性元件中保持 4.5V,且所述电容性元件的电容成分小于数据信号线的电容成分。因此,当像素部分 2a 和 2b 没有缺陷时,略高于前述中间电压的电压被输入到读出放大器 50a 的反转输入端,且略低于前述中间电压的电压被输入到读出放大器 50a 的非反转输入端。这种电压改变对应于数据信号线 DA1 和 DA2 的电容成分与电容性元件 C1a 和 C1b 的电容成分之比。例如,当数据信号线 DA1 的电容成分为电容性元件 C1a 的电容成分的 49 倍时,4.51V 的电压输入到读出放大器 50a 的反转输入端,4.49V 的电压输入到其非反转输入端。

[比较读取电压和检测缺陷像素的操作]

接着,读出放大器 50a 将电容性元件 C1a 保持的电压与电容性元件 C1b 保持的电压进行比较,将电压差放大到最大幅度,并将其输出到解码器 40 (见图 4 中的计时 Ta5)。图 4 的时序图中 DA1 和 DA2 的信号表示被读出放大器放大之后的电压。

按照这种方式从读出放大器 50a 输出的差值信号作为被解码器 40 编码的输出信号 TOUT 被输入到 LSI 测试器 70。LSI 测试器 70 基于在写入到像素部分 2a 和 2b 的过程中电势的相对水平是否反转,检测像素部分 2a 和 2b 的缺陷。这里,由于对像素部分 2a 施加 4V 并对像素部分 2b 施加 5V,当从像素部分 2a 的电容性元件 C1a 读取的电压小于从像素部分 2b 的电容性元件 C1b 读取的电压时,这些像素并不被确定为是有缺陷的;但是当从像素部分 2a 的电容性元件 C1a 读取的电压较高时,这些像素被确定是有缺陷的。即使在这种情况下,当电压差非常小时,由于可以确定泄漏量小,这些像素不被确定为有缺陷的也是可能的。通过按前述方式将读出放大器 50a 用作比较电路,可以检测泄漏量,并可能更加精确地区分良品和劣品。

之后,输入电压被反转,并重复上述测试操作 (a) 至 (d)。更为特别地,为了将第二测试信号施加到数据信号线 DA1 上并将第一测试信

号施加到数据信号线 DA2 上, LSI 测试器 70 使反转信号 TINV 为高电压电平 (见图 4 的计时 Ta6), 并重复前述的测试操作 (a) 至 (d)。如前所述, 由于反转了输入电压, 可以成对地检测像素部分 2a 和 2b 二者的缺陷。此外, 由于可通过仅切换反转信号 TINV 来反转第一测试信号和第二测试信号, 这导致测试时间缩短。

通过对每对像素部分 (相同水平线的两个像素部分) 重复上述测试操作, 可以检测像素部分 2a 至 2l 的缺陷像素。

如前所述, 通过测试操作 (a) 至 (d) 可以容易地检测像素部分 2a 和 2b 的缺陷。此外, 可以不产生参考信号而对数据信号线求平均, 因此对数据信号线求平均变得相当容易。

在本实施例中, 针对一对像素部分连续地执行过程 (a) 至 (d)。可供选择地, 可如下缩短检查时间。

(a') LSI 测试器 70 控制水平驱动器 10 以导通晶体管 T11a 和 T12a, 使反转信号 TINV 为低电压电平, 并使测试信号为高电压电平, 从而使得第一测试信号 TSIG 和第二测试信号 XTSIG 分别被提供到数据信号线 DA1 和 DA2。

此外, LSI 测试器 70 使 TVON 信号为高电压电平并控制垂直驱动器 20, 以导通栅信号线 G1 并保持预定的时间段。这导致像素晶体管 T14a 和 T14b 导通并保持预定时间段, 且测试信号被写入像素部分 2a 和 2b。

当完成该写入时, LSI 测试器 70 控制器水平驱动器 10, 以便截止晶体管 T11a 和 T12a 并导通晶体管 T11b 和 T12b。因此, 第一测试信号 TSIG 和第二测试信号 XTSIG 分别被提供到数据信号线 DB1 和 DB2。另外, LSI 测试器 70 使 TVON 信号为高电压电平并控制垂直驱动器 20, 以便导通栅信号线 G1 并保持预定时间段。因此, 晶体管 T14c 和 T14d 导通, 且测试信号被写入像素部分 2c 和 2d。

接着, LSI 测试器 70 控制水平驱动器 10, 以便截止晶体管 T11b 和 T12b 并导通晶体管 T11a 和 T12a。因此, 第一测试信号 TSIG 和第二测试信号 XTSIG 被分别提供到数据信号线 DA1 和 DA2。另外, LSI 测试器 70 使 TVON 信号为高电压电平并控制垂直驱动器 20, 以便导通栅信号线 G2 并保持预定时间段。因此, 晶体管 T15a 和 T15b 导通并保持预定的时间段, 且测试信号被写入像素部分 2e 和 2f。

类似地,之后,假设像素部分 2g 和 2h、像素部分 2i 和 2j、以及像素部分 2k 和 2l 成对,按照上述过程执行测试信号的写入。

(b')接着,LSI 测试器 70 导通晶体管 T11a、T12a、T11b 和 T12b,使得第一测试信号 TSIG 被施加到数据信号线 DA1 和 DB1 且第二测试信号 XTSIG 被施加到数据信号线 DA2 和 DB2,并保持预定时间段。之后,LSI 测试器 70 截止晶体管 T11a、T12a、T11b 和 T12b 并使平均信号 EQ 为高电压电平,从而使得晶体管 T13a 和 T13b 导通并保持预定时间段。当按照这个方式导通晶体管 T13a 时,数据信号线 DA1 和数据信号线 DA2 短路,且电流从数据信号线 DA2 流到数据信号线 DA1。当晶体管 T13b 导通时,数据信号线 DB1 和数据信号线 DB2 短路,且电流从数据信号线 DB2 流到数据信号线 DB1。

(c')接着,LSI 测试器 70 使 TVON 信号为高电压电平,控制垂直驱动 20 以便只导通栅信号线 G1,并控制水平驱动器 10 以导通一个水平线上的所有像素 T14a、T14b、T14c 和 T14d。当按照这个方式导通像素晶体管 T14a 时,电容性元件 C1a 所保持的电压通过数据信号线 DA1 输入到读出放大器 50a 的反转输入端。当像素晶体管 T14b 导通时,电容性元件 C1b 所保持的电压通过数据信号线 DA2 被输入到读出放大器 50a 的非反转输入端。当像素晶体管 T14c 导通时,电容性元件 C1c 所保持的电压通过数据信号线 DB1 被输入到读出放大器 50b 的反转输入端。当像素晶体管 T14d 导通时,电容性元件 C1d 所保持的电压通过数据信号线 DB2 被输入到读出放大器 50b 的非反转输入端。

(d')接着,LSI 测试器 70 将使能信号 SE 设为高电压电平。因此,读出放大器 50a 和 50b 将电容性元件 C1a 和 C1c 保持的电压分别与电容性元件 C1b 和 C1d 保持的电压比较,将电压差放大到最大幅度,并将其输出到解码器 40。

之后,对由栅信号线 G2 和 G3 控制的其余两个水平线中的每一个执行操作(b')至(d'),可以对所有像素部分 2a 至 2l 执行缺陷检查,且和上述过程(a)至(d)相比可以缩短检查时间。

由于第一测试信号和第二测试信号可以以模拟方式变化,可以检测到与像素部分的电压有关的线性特性的泄漏以及与像素部分的电压有关的非线性特性的泄漏。

由于可以写入任何期望测试信号图形 (signal pattern)，还可以检测到相邻像素之间的泄漏。此外，由于写入图形还可以是视觉可见的，还可以应用于视觉检查。

通过控制从写入像素部分到读取像素部分的时间，即保持时间，可以改善像素部分的泄漏缺陷的检测精确度。

由于可以写入任何期望的测试信号电压，还可以检测泄漏与电势的依赖关系。此外，通过改变温度执行上述测试，可以进行线性特性泄漏和结泄漏之间差别的预测性确定。

由于可以检测缺陷像素部分的位置，可以创建缺陷像素部分的地图。

该测试可以在注入液晶之前或之后进行，并可通过缩短测试信号写入时间和测试信号读取时间而用作响应速度测试。

在相关技术领域的液晶显示装置中，由于将具有简单数字输出的比较器用作比较电路，无法检测泄漏量。如果可以检测泄漏量，则可以更精确地执行像素部分的缺陷检测。在本实施例中，由于使用了读出放大器，可以检测在相关技术领域中无法检测到的泄漏量。因此，可以更加精确地进行像素部分的缺陷检测。

在本实施例中，使用 LSI 测试器 70 执行像素部分的缺陷测试。或者，可在液晶显示装置 1 中提供用于测试的控制部分，该控制部分可接受各种类型控制信号的输入，且该控制部分可基于输出信号 TOUT 检测该像素部分的缺陷。

根据本发明各实施例，实现了用于下述液晶显示装置的缺陷像素检查方法、具有下述元件的液晶显示装置、用于执行下述功能的缺陷像素检查程序、以及记录介质。

用于液晶显示装置 (例如液晶显示装置 1) 的缺陷像素检查方法，该液晶显示装置包含多个像素部分 (例如像素部分 2a 至 2l)，每个像素部分包含像素晶体管 (例如像素晶体管 T14a 至 T14d、T15a 至 T15d、以及 T16a 至 T16d)、连接到像素晶体管输出电极的电容性元件 (例如电容性元件 C1a 至 C1d、C2a 至 C2d、以及 C3a 至 C3d)、以及基于保持于电容性元件中的电压执行灰度显示的液晶部分 (例如液晶部分 11a 至 11d、12a 至 12d、以及 13a 至 13d)，该缺陷像素检查方法包含步骤：对多个

像素部分中第一像素部分（例如像素部分 2a）的电容性元件（例如电容性元件 C1a）以及第二像素部分（例如像素部分 2b）的电容性元件（例如电容性元件 C1b）施加不同的电压；导通设于第一像素部分中的像素晶体管（例如 T14a）的输入电极与第二像素部分中的像素晶体管（例如 T14b）的输入电极之间的开关（例如 T13a），并将该第一像素晶体管的输入电极与该第二像素晶体管的输入电极短路；读取第一像素部分的电容性元件的电压以及第二像素部分的电容性元件的电压；并基于第一像素部分的电容性元件的电压与第二像素部分的电容性元件的电压之间的比较结果检测像素部分的缺陷。

用于包含多个像素部分（例如像素部分 2a 至 2l）的液晶显示装置（例如液晶显示装置 1）的缺陷像素检查方法，其中每个像素部分包含像素晶体管（例如像素晶体管 T14a 至 T14d、T15a 至 T15d、以及 T16a 至 T16d）、连接到像素晶体管输出电极的电容性元件（例如电容性元件 C1a 至 C1d）、以及基于电容性元件内所保持的电压而执行灰度显示的液晶部分（例如液晶部分 11a 至 11d、12a 至 12d、以及 13a 至 13d），该缺陷像素检查方法包含步骤：导通连接到该多个像素部分中第一像素部分（例如像素部分 2a）的输入电极的第一晶体管（例如晶体管 T11a）以便对该输入电极施加第一电压，并导通该第一像素部分的像素晶体管（例如 T14a）以便对该第一像素部分的电容性元件（例如电容性元件 C1a）施加第一电压；导通连接到该多个像素部分中第二像素部分（例如像素部分 2b）的输入电极的第二晶体管以便对该输入电极施加第二电压，并导通该第二像素部分的像素晶体管（例如 T14b）以便对第二像素部分的电容性元件（例如电容性元件 C1b）施加第二电压；截止第一晶体管和第二晶体管并截止第一像素部分的像素晶体管和第二像素部分的像素晶体管；导通设于第一像素部分的像素晶体管的输入电极和第二像素部分中像素晶体管的输入电极之间的开关（例如 T13a）并保持预定时间段，由此使这些像素晶体管的输入电极短路；经过该预定时间段之后，导通第一像素部分的像素晶体管和第二像素部分的像素晶体管，并读取第一像素部分的电容性元件的电压和第二像素部分的电容性元件的电压；并比较第一像素部分的电容性元件的读取电压和第二像素部分的电容性元件的读取电压。

在该缺陷像素检查方法中，可由读出放大器（例如，读出放大器 50a）

执行对第一像素部分的电容性元件的电压和第二像素部分的电容性元件的电压的比较。

该液晶显示装置包含多个像素部分(例如像素部分 2a 至 21), 其中每个像素部分包含: 像素晶体管(例如像素晶体管 T14a 至 T14d、T15a 至 T15d、以及 T16a 至 T16d); 连接到该像素晶体管的输出电极的电容性元件(例如电容性元件 C1a 至 C1d、C2a 至 C2d、以及 C3a 至 C3d); 以及基于该电容性元件中所保持的电压而执行灰度显示的液晶部分(例如液晶部分 11a 至 11d、12a 至 12d、以及 13a 至 13d); 连接到该多个像素部分中第一像素部分(例如像素部分 2a)的输入电极的第一数据信号线(例如数据信号线 DA1); 连接到该多个像素部分中第二像素部分(例如像素部分 2b)的输入电极的第二数据信号线(例如数据信号线 DA2); 能够向第一数据信号线提供第一测试信号(例如第一测试信号 TSIG)的第一晶体管(例如晶体管 T11a); 能够向第二数据信号线提供第二测试信号(例如第二测试信号 XTSIG)的第二晶体管(例如晶体管 T11b); 连接于第一像素部分的像素晶体管(例如 T14a)的控制电极与第二像素部分的像素晶体管(例如 T14b)的控制电极之间的栅信号线(例如栅信号线 G1); 设成连接于第一数据信号线和第二数据信号线之间的开关(例如晶体管 T13a); 以及用于比较第一数据信号线的电压和第二数据信号线的电压的比较电路(例如读出放大器 50a), 其中该开关使第一数据信号线和第二数据信号线电学短路, 并使得能够进行将第一数据信号线的电压和第二数据信号线的电压用作中间电压的控制。

在该液晶显示装置中, 该比较电路是读出放大器, 该读出放大器可将第一像素部分的电容性元件的电压和第二像素部分的电容性元件的电压进行比较, 并能够放大和输出差值。

该液晶显示装置可进一步包含用于在第一测试信号和第二测试信号之间切换的电压反转输入电路(例如晶体管 T20、T21、T23 或 T24, 或者反相电路 26)。

记录介质包括在其上以计算机可读取的格式记录的用于检查包含多个像素部分(例如像素部分 2a 至 21)的液晶显示装置(例如液晶显示装置 1)的像素部分的缺陷的缺陷像素检查程序, 每个像素部分包含像素晶体管(例如像素晶体管 T14a 至 T14d、T15a 至 T15d、以及 T16a 至 T16d)、连接到该像素晶体管的输出电极的电容性元件(例如电容性元件 C1a 至

C1d、C2a 至 C2d、以及 C3a 至 C3d)、以及基于该电容性元件中所保持的电压而执行灰度显示的液晶部分(例如液晶部分 11a 至 11d、12a 至 12d、以及 13a 至 13d),该缺陷像素检查程序使得计算机(例如 LSI 测试器 70)能够执行以下功能:对该多个像素部分中第一像素部分(例如像素部分 2a)的电容性元件(例如电容性元件 C1a)和第二像素部分(例如像素部分 2b)的电容性元件(例如电容性元件 C1b)施加不同电压的功能;导通设于第一像素部分中的像素晶体管(例如 T14a)的输入电极和第二像素部分中的像素晶体管(例如 T14b)的输入电极之间的开关(例如 T13a),并使第一像素晶体管的输入电极和第二像素晶体管的输入电极短路的功能;读取第一像素部分的电容性元件的电压和第二像素部分的电容性元件的电压的功能;以及基于第一像素部分的电容性元件的电压与第二像素部分的电容性元件的电压之间比较的结果而检测像素部分的缺陷的功能。

本领域技术人员应该了解到,只要落在本发明所附权利要求或其等效描述的范围之内,可根据设计要求和其它因素进行各种调整、组合、子组合、或者变更。

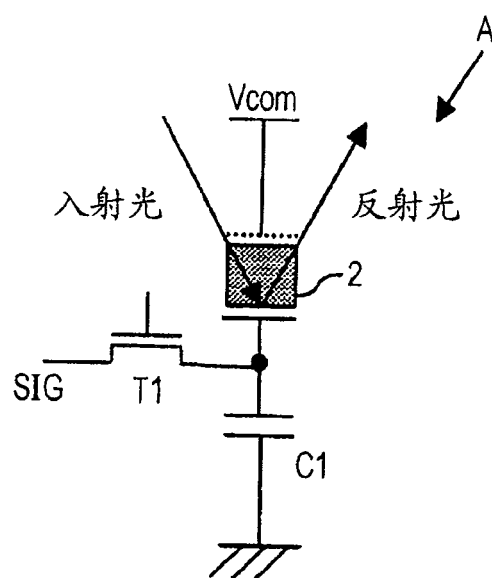


图 1

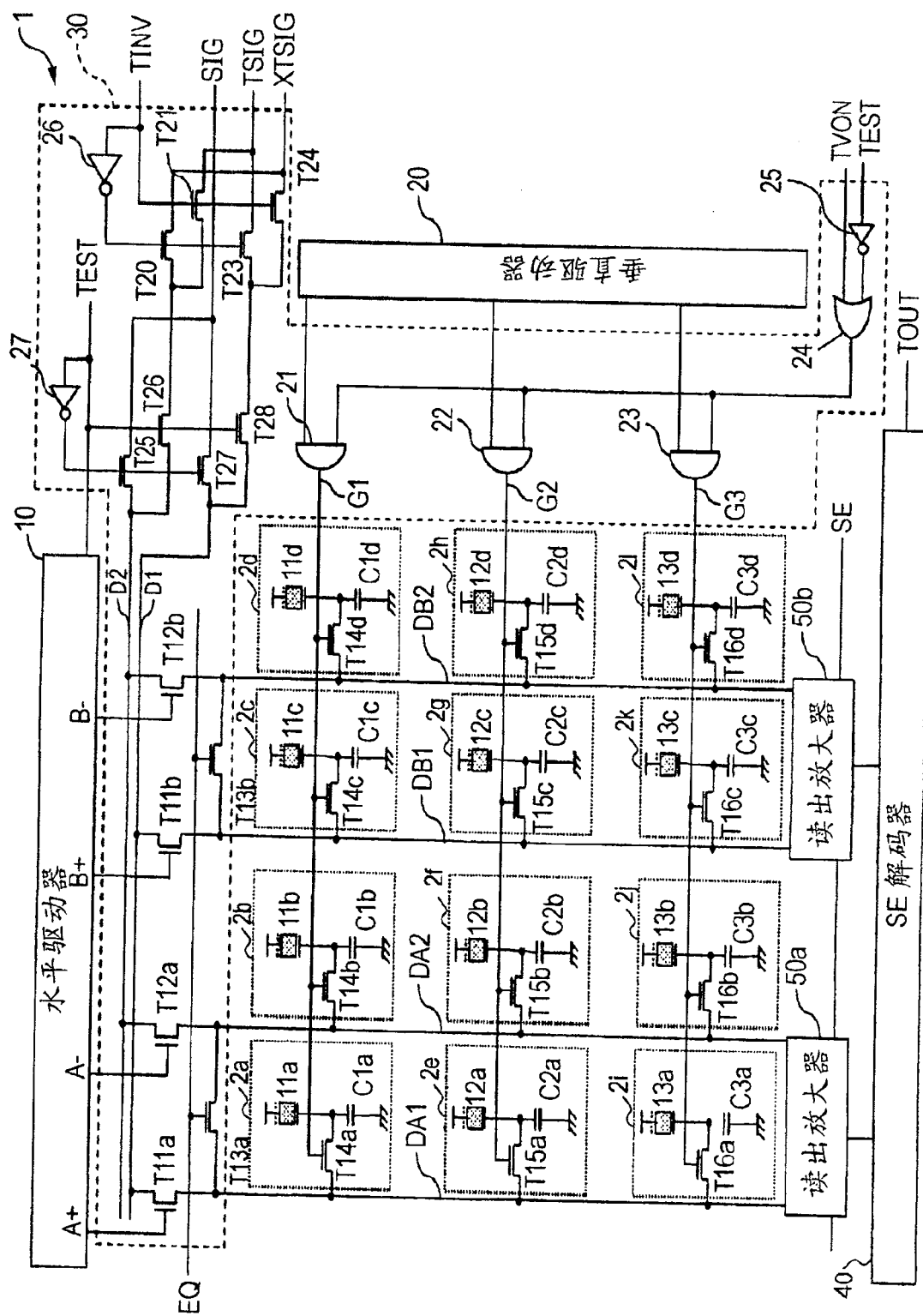


图 2

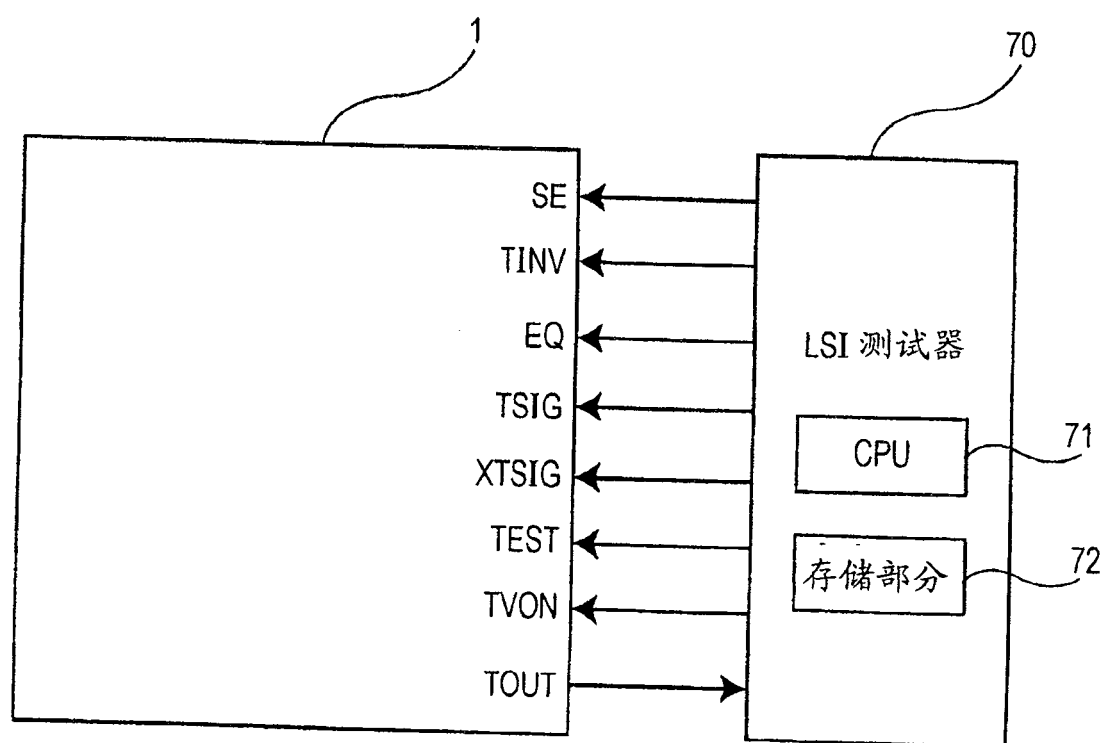


图 3

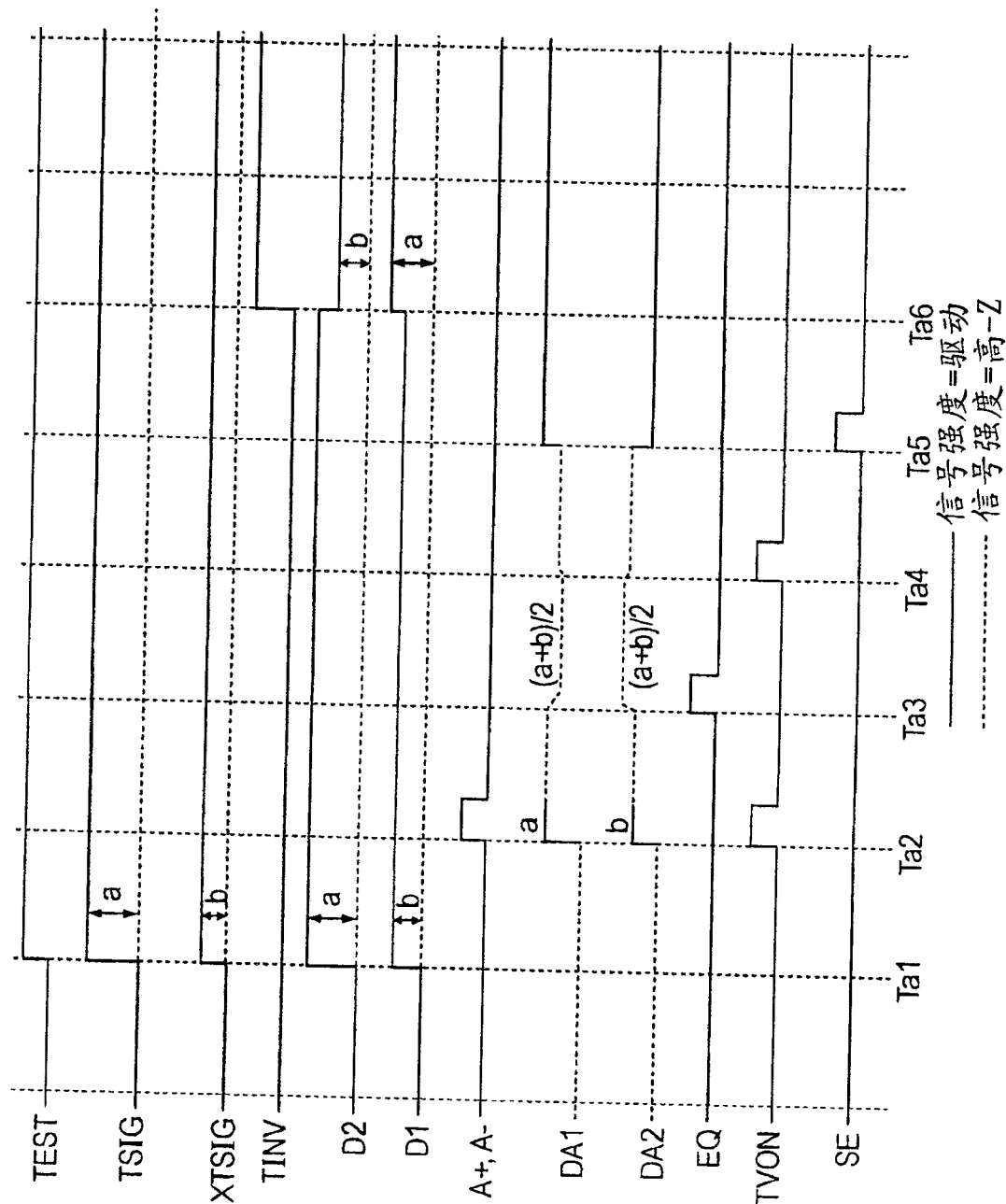


图 4

专利名称(译)	液晶显示装置、缺陷像素检查方法和检查程序及存储介质		
公开(公告)号	CN100530287C	公开(公告)日	2009-08-19
申请号	CN200610093699.6	申请日	2006-06-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼株式会社		
当前申请(专利权)人(译)	索尼株式会社		
[标]发明人	清水目和年 宫泽一幸 古贺慎一		
发明人	清水目和年 宫泽一幸 古贺慎一		
IPC分类号	G09G3/00 G02F1/13 G01R31/00 G01M11/00		
CPC分类号	G09G2300/0842 G09G3/006 G09G2310/0275 G09G2310/0248		
代理人(译)	张雪梅 王忠忠		
审查员(译)	李军		
优先权	2005172222 2005-06-13 JP		
其他公开文献	CN1881389A		
外部链接	Espacenet SIPO		

摘要(译)

一种缺陷像素检查方法，包含步骤：对多个像素部分中第一像素部分的电容性元件以及第二像素部分的电容性元件施加不同的电压；导通设于第一像素部分内像素晶体管的输入电极与第二像素部分内像素晶体管的输入电极之间的开关，并将第一像素晶体管的输入电极与第二像素晶体管的输入电极短路；读取第一像素部分的电容性元件的电压以及第二像素部分的电容性元件的电压；以及基于第一像素部分的电容性元件的电压与第二像素部分的电容性元件的电压之间的比较结果而检测像素部分的缺陷。

