



(12) 发明专利

(10) 授权公告号 CN 1717619 B

(45) 授权公告日 2011.03.30

(21) 申请号 200380104299.5

代理人 程伟

(22) 申请日 2003.11.24

(51) Int. Cl.

(30) 优先权数据

G02F 1/139 (2006.01)

02/14806 2002.11.26 FR

(56) 对比文件

(85) PCT申请进入国家阶段日

CN 1145121 A, 1997.03.12, 说明书全文.

2005.05.26

FR 2808891 A1, 2001.11.16, 说明书第 4 页

第 1 行至第 15 页第 6 行、附图 1-16.

(86) PCT申请的申请数据

CN 1190748 A, 1998.08.19, 说明书全文.

PCT/FR2003/003460 2003.11.24

WO 02/08825 A1, 2002.01.31, 说明书摘要.

(87) PCT申请的公布数据

CN 1196127 A, 1998.10.14, 说明书第 6 页第

W02004/051357 FR 2004.06.17

5 行至第 28 页倒数第 1 行、附图 1-60.

(73) 专利权人 内莫普蒂克公司

审查员 王慧忠

地址 法国马尼-莱斯-阿麦克斯

(72) 发明人 P·马蒂诺-拉加德 A·布瓦西耶

J·安特勒 F·勒布朗

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

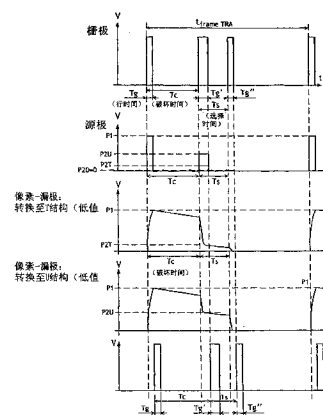
权利要求书 2 页 说明书 21 页 附图 15 页

(54) 发明名称

双稳态向列液晶显示器件以及控制该器件的方法

(57) 摘要

本发明涉及一种显示器件,其包括具有锁定破坏的双稳态向列液晶点阵显示屏,其特征在于包括:能够在关闭状态和开启状态之间转换的元件(40),这些元件分别设置在与每个像素相关的驱动电极(47)和显示状态控制连线(45;46)之间;和能够经过状态控制连线(45;46)将输入信号施加到各个前述元件(40)的输入端的装置,输入信号包括至少由控制的时间间隔分开的两个阶段,即,第一阶段,在第一阶段期间,输入信号具有足够让相关像素的液晶锁定破坏的幅度,和第二阶段,在第二阶段期间,控制输入信号的幅度,以便选择液晶的两个双稳态之一,改变两个阶段之间的时间间隔,以便在施加第二输入信号阶段之前破坏所述相关像素的液晶锁定。



1. 一种显示器件,包括具有锁定破坏的双稳态向列液晶点阵的显示屏,其特征在于,包括:

能够在关闭状态和开启状态之间转换的元件(40),这些元件由晶体管制成,具有连接到与每个像素相关的驱动电极(47)的漏极(43),连接到状态控制连线(45)的源极(42)和连接到寻址连线(46)的栅极(41);和

能够经过状态控制连线(45)将输入信号施加到各个前述元件(40)的源极(42)和经过寻址连线(46)将输入信号施加到各个前述元件(40)的栅极(41)的装置,输入信号包括至少由控制的时间间隔分开的两个阶段,即,锁定破坏阶段,在锁定破坏阶段期间,输入信号具有足够让相关像素的液晶锁定破坏的幅度,和选择阶段,在选择阶段期间,控制输入信号的幅度,以便选择液晶的两个双稳态之一,改变两个阶段之间的时间间隔,以便在施加输入信号的选择阶段之前破坏所述相关像素的液晶锁定。

2. 如权利要求1所述的显示器件,其特征在于所述元件(40)由通过所述寻址连线(46)施加到所述栅极(41)的该输入信号在关闭状态和开启状态之间被驱动的开关形成,其中该显示器件还包括能够限定寻址信号的装置,所述寻址信号包括至少两个有源阶段,所述有源阶段将所述开关控制在开启状态,所述有源阶段被控制的时间间隔分开,并且所述能够限定寻址信号的装置也能够与选择地开启开关的所述寻址信号的有源阶段同步,经过状态控制连线(45)将所述输入信号施加到每个被驱动的开关的输入端。

3. 如权利要求1所述的显示器件,其特征在于它使用两种结构,一种是均匀或轻微扭曲的结构,其中液晶分子至少大约彼此平行,不同于第一种结构的另一种是其分子扭曲大约 $+180^\circ$ 或 $-180^\circ$ 。

4. 如权利要求1所述的显示器件,其特征在于与点阵显示屏的公共行的像素相关的驱动开关(40)连接到公共寻址行。

5. 如权利要求1所述的显示器件,其特征在于与点阵显示屏的公共列的像素相关的驱动开关(40)连接到公共显示状态控制列。

6. 如权利要求1所述的显示器件,其特征在于它包括在一块基板上的弱顶点锁定取向层。

7. 如权利要求1所述的显示器件,其特征在于它包括以 $n$ 组 $m$ 个元素形式组合在一起的 $n \times m$ 像素, $n \times m$ 控制开关(40),形成用于开关寻址行的 $n$ 导通轨道(46)阵列和形成用于控制像素列的 $m$ 导通轨道(45)阵列。

8. 如权利要求1所述的显示器件,其特征在于用于施加输入信号的该装置为每个像素控制产生由控制时间间隔分离的两个阶段构成的信号序列。

9. 如权利要求8所述的显示器件,其特征在于它包括在每个像素端的放电电阻。

10. 如权利要求1所述的显示器件,其特征在于用于施加输入信号的装置为每个像素控制产生由控制时间间隔分离的三个阶段构成的信号序列。

11. 如权利要求10所述的显示器件,其特征在于由控制时间间隔分离的三个阶段包括:锁定破坏信号的锁定破坏阶段;选择控制电压的选择阶段;和复位信号至零的阶段。

12. 如权利要求10所述的显示器件,其特征在于输入信号用于在每个像素上产生方波类型的控制信号,以便获得扭曲结构。

13. 如权利要求1所述的显示器件,其特征在于用于施加输入信号的装置为每个像素

控制产生由控制时间间隔分离的 x 阶段构成的信号序列。

14. 如权利要求 13 所述的显示器件,其特征在于由控制时间间隔分离的 x 阶段包括:在锁定破坏阶段锁定破坏信号;在随后的中间阶段选择控制电压;和在最后阶段复位信号至零。

15. 如权利要求 14 所述的显示器件,其特征在于中间阶段用于在选择均匀结构的情况下控制像素控制信号下降边缘的变化。

16. 如权利要求 1 所述的显示器件,其特征在于所述元件(40)由在关闭状态具有下降的内部电阻的晶体管形成。

17. 如权利要求 1 所述的显示器件,其特征在于所述元件(100)包括二极管。

18. 如权利要求 1 所述的显示器件,其特征在于所述元件(100)包括两个背对背的二极管。

19. 如权利要求 18 所述的显示器件,其特征在于该二极管(100)按逆向模式操作取向。

20. 如权利要求 18 所述的显示器件,其特征在于该二极管(100)具有高于锁定破坏电压的齐纳电压。

21. 如权利要求 1 所述的显示器件,其特征在于锁定破坏信号仅施加给必须改变状态的像素。

22. 如权利要求 21 所述的显示器件,其特征在于对于不必改变状态的像素,输入信号保持为零。

23. 如权利要求 1 所述的显示器件,其特征在于施加给像素行的各个行的输入信号是相互隔行扫描的。

24. 如权利要求 1 所述的显示器件,其特征在于在向给定行施加寻址信号之间,插入针对其它几行施加的寻址信号。

25. 如权利要求 23 所述的显示器件,其特征在于在对于相同像素行的锁定破坏阶段和选择阶段之间对不同的像素行连续地施加锁定破坏阶段。

26. 如权利要求 1 所述的显示器件,其特征在于产生信号的装置用于从一帧到下一帧逆转输入信号的符号,以使施加到像素的信号均衡。

27. 如权利要求 1 所述的显示器件,其特征在于用于产生输入信号的装置控制输入信号的幅度,用于获得灰度级。

28. 一种用于电控制具有锁定破坏的双稳态向列液晶点阵显示屏的方法,其特征在于包括:

提供能够在关闭状态和开启状态之间转换的元件,这些元件分别设置在与每个像素相关的驱动电极和显示状态控制线之间;

其中它包括用于电控制的步骤,包括:

经过状态控制连线将信号施加到每个前述元件的输入端,信号包括至少两个由控制时间间隔分离的阶段,即,锁定破坏阶段,在锁定破坏阶段期间,信号具有足够让相关像素的液晶锁定破坏的幅度,和选择阶段,在选择阶段期间,控制该信号的幅度,以便选择液晶的两个双稳态之一,改变两个阶段之间的时间间隔,以便在施加选择输入信号阶段之前破坏所述相关像素的液晶锁定。

## 双稳态向列液晶显示器件以及控制该器件的方法

### 技术领域

[0001] 本发明涉及液晶显示器件领域,具体而言涉及转换双稳态向列显示的器件和方法。

[0002] 本发明的总体目的是改进在文献 [1] 中公开的双稳态显示器件。这些器件通常称为“BiNem”器件。出于本专利申请的目的,使用这个术语。这些器件的结构将在下面详细描述。

### 背景技术

[0003] 根据所使用液晶的物理特性,向列器件、胆甾型 (cholesteric) 器件、碟状器件、铁电器件和其它器件之间形成差别。在形成本发明主题的向列显示器中,使用非手性 (achiral) 向列或手性 (chiralized) 向列 (例如通过添加非手性掺杂剂的手性)。由此实现均匀或轻微扭曲的自然结构,其螺旋节距大于几微米。靠近连接基板表面的液晶的取向和固定由应用于所述基板的排列层或排列处理所决定。在场不存在时,以这种方式利用均匀或轻微扭曲的向列结构。

[0004] 迄今为止提出和生产的大多数器件为单稳态。当场不存在时,在器件中仅产生单一结构。该结构相应于晶胞 (cell) 总能量的最小绝对值。在场中,该结构连续变形,并且其光学性能根据施加的电压而变化。当撤除场时,向列又返回到单一单稳态结构。本领域普通技术人员在这些系统中识别出向列显示中最普遍采用的工作模式:扭曲向列 (TN)、超扭曲向列 (STN)、电控制的双折射 (ECB) 向列、垂直排列向列 (VAN) 和平面内转换 (IPS) 向列等。

[0005] 另一种向列显示器是双稳态、多稳态或亚稳态向列。在这情况下,在晶胞中可以产生至少两种独立的结构,在场不存在时它们是稳态或亚稳态。通过施加合适的电信号实现两种状态之间的转换。由于双稳态特性,一旦图像写入之后,在无场的情况下它被存储下来。双稳态显示的这种记忆特性对于许多应用是非常有意义的。首先,它使实现很低的图像刷新速率 (仅仅当期望改变它的时候) 成为可能,而这将十分有助于降低便携式设备的功耗。其次,记忆特性使它有可能具有非常高的复用度,使得图像质量不依赖于行数。

[0006] 称为 BiNem 的双稳态显示屏的描述 (图 1)

[0007] 在文献 [1] 中公开了一种新型双稳态显示。

[0008] 该显示在图 1 中详细地示出。

[0009] 该显示由在两块板或基板 20 和 30 之间的的手性向列液晶层或胆甾型液晶层 10 组成,两层中至少一层是透明的。分别位于基板 20,30 上的两个电极 22,32 用于将电驱动信号施加给位于它们之中的手性向列液晶 10。在电极 22,32 上的锁定 (anchoring) 层 24,34 将液晶 10 的分子按期望的方向取向。在主板 20 上分子锁定 24 较强并稍微倾斜,而在副板 30 分子锁定弱并平坦。在这些表面 22,32 上的分子 10 的锁定 24,34 是单稳态的。

[0010] 光学系统完善该器件。

[0011] 更准确地说,图 1 分别在左边和右边示意性地示出两种状态,在没有场的情况下

各种稳态可以被液晶分子占据,在相同的图 1 中心示出的是破坏状态,其高电场中是稳态的,而没有场的情况下是非稳态的。在驱动显示过程中,这种状态暂时被液晶分子占据。

[0012] 图 1 的左边和右边分别示出液晶的两种双稳态结构:U(均匀或轻微扭曲)和T(扭曲),其在不施加场时是稳态的。在主板 20 上锁定的方向和在副板 30 上锁定的方向之间的角度很小或为零。两种结构的扭曲绝对值相差大约  $180^\circ$ 。选择向列的自然间距  $P_0$  接近晶胞厚度的 4 倍 ( $P_0 \approx 4 \cdot d$ ),以使 U 结构和 T 结构的能量基本相同。由于没有场,则不存在其它较低能量的状态:U 和 T 显示真正的双稳态。

[0013] BiNem 结构的一个优点是两种结构 (U 和 T) 是平面的,从而使它不用补偿膜就有可能获得良好的视角。例如,在文献 [3] 描述了反射结构中 BiNem 的光学性能特征。

[0014] BiNem 的结构之间转换的方法

[0015] 从一种结构到另一种结构的转换需要破坏在表面 32/34 上的锁定,处理低顶点锁定能量。

[0016] 物理原理

[0017] 两种双稳态结构 U 和 T 在拓扑学上是不相容的,它不可能通过连续体积变形将一种状态转换成另一种状态。从一种 U 结构转换成 T 结构的转换,或反之,需要破坏表面的锁定,这可以通过强外场感应或旋转位移行的位移来实现。第二种现象明显慢于第一种现象,可以忽略,并且在下面不详细解释。

[0018] 液晶的任何排列层可以用锁定能量  $A_z$  的顶点来表征。该能量总是有限的。从而也可以说明存在有限场阈值  $E_c$  (锁定破坏阈值),无论原先的无场结构如何,它给予表面类回归线结构 (H)。

[0019] 为了破坏锁定,至少需要施加等于场阈值  $E_c$  的场。该场施加时间必须足够长,以便让靠近表面的液晶重新取向而形成类回归线结构,如图 1 的中心所示。这个最小时间取决于施加场的幅度,而且也取决于液晶的物理特性和排列层。

[0020] 在静态的情况下(施加几微秒或多于几微秒的场),  $1/\sqrt{K_{33}\epsilon_0\Delta\epsilon}$ , 其中  $A_z$  为最大表面锁定能量,  $K_{33}$  为液晶的弹性弯曲系数,  $\Delta\epsilon$  为液晶的相对介电各向异性,  $\epsilon_0$  为自由空间介电常数。

[0021]  $V_c$  定义为锁定破坏电压,  $V_c = E_c \cdot d$ , 其中  $d$  为液晶晶胞的厚度。在 BiNem 的情况下中,一般  $V_c$  的值为 16V。

[0022] 当分子垂直于该表面附近的板,并且该表面施加在这些分子上的恢复转矩为零时,认为锁定被破坏。实际上,所有的要求是分子的取向与表面的垂直角之间的差足够小(例如,小于  $0.5^\circ$ ),并且作用于表面的分子转矩非常小(这种状态在图 1 的中心示出)。当结合这些条件时,若电场关闭,破坏的表面 34 附近的向列分子处于非稳态平衡,它们可以恢复初始取向,或沿相反方向旋转,并导致从初始结构扭曲  $180^\circ$  的新结构。

[0023] 最终结构的控制取决于施加电信号的波形,特别是该场回到零的过程中。

[0024] 脉冲电压逐步降低使电流最小化。靠近主板 20 的分子慢慢下降至其平衡状态。其与样品中心分子的弹性耦合也使它们沿相同方向倾斜。这种运动扩散至副板 30,借助于表面转矩,分子依次沿相同方向迅速转动。均匀状态 U 逐步在晶胞中心构成,如图 1 的左边所示。

[0025] 当场急剧下降时,液晶的取向发生变化,首先,靠近强表面(主板 20)的表面释放

时间为  $\gamma_1 L^2/K$ , 其中  $L = K_{33}/A_z$  是强层的外推长度,  $\gamma_1$  是液晶的转动粘性系数。该时间一般为大约 10 微秒级。

[0026] 在如此短时间转换强表面 24 引起靠近该表面的强电流, 在经过小于 1 微秒的特性时间后, 该电流扩散至体积中并扩散至弱表面 (副板 30)。在弱表面 (副板 30) 上产生的剪力形成作用于该表面分子的流体动力转矩。该转矩与由主板 20 倾斜产生的弹性转矩方向相反。当剪力足够强时, 作用于弱表面 34 上的流体动力转矩最大, 导致扭曲结构 T, 如图 1 右边所示。当剪力弱时, 作用于弱表面 34 上的弹性力矩最大, 导致均匀结构 U, 如图 1 左边所示。

[0027] 晶胞内分子的旋转方向分别用两个箭头表示, 如图 1 中的 RU (用于转换成 U 结构) 和 RT (用于转换成 T 结构)。

[0028] 然后, 体积内分子重新取向, 其特性体积释放时间  $\tau_{vol}$  等于  $\gamma_1 d^2/K$ , 其中  $d$  是晶胞厚度。该时间比强表面的释放时间长得多, 一般为 1 毫秒级。

[0029] 实际实施

[0030] 通常, BiNem 型液晶像素的转换发生在两个阶段 (锁定破坏第一阶段和选择第二阶段):

[0031] 第一阶段: 锁定破坏阶段, 用 C 表示

[0032] 阶段 C 以施加适于破坏副板 30 上锁定的电信号构成。通常, 越短的阶段 C, 必须施加越高峰值幅度的信号。

[0033] 对于已经进行的锁定破坏提供的给定幅度和给定持续时间, 该信号的详细波形 (倾斜、中间水平等) 对进行下一个阶段的进行没有显著影响。

[0034] 第二阶段: 选择阶段, 用 S 表示

[0035] 在阶段 S 期间施加的电压必须选择两种双稳态结构 (U 或 T) 的一种。由于上述的影响, 其是施加到每个像素端的电脉冲的下降波形, 确定从一种结构到另一种结构的转换。

[0036] 为了转换至结构 T:

[0037] 阶段 C: 锁定破坏

[0038] 在锁定破坏阶段 C 期间, 需要施加脉冲, 该脉冲传送大于破坏副板 30 上锁定场的场, 并且需要等待运送像素中分子所需的时间, 如图 1 的中心所示。破坏场取决于液晶材料 10 的弹性性能和电性能, 并取决于其与设置在晶胞副板 30 上的锁定层 34 的相互作用。它从几伏每微米变到大约 10 伏每微米。传送 (lift) 分子的时间与旋转粘性  $\gamma$  成正比, 并与使用的材料 10 的介电各向异性和所施加场的平方成反比。实际上, 对于 20 伏每微米的场, 该时间可以降至几微秒。

[0039] 阶段 S: 结构的选择

[0040] 然后, 该场必须迅速降低, 在几微秒或至多几十微秒形成驱动电压的急剧下降。这种急剧的电压下降 (下降幅度至少等于值  $\Delta V$ ) 能够引起液晶足够强的流体动力效果。为了形成 T 结构, 该下降  $\Delta V$  必须使施加的电压从大于锁定破坏电压  $V_c$  值到低于该电压的值。

[0041] 用于转换至 T 结构的信号的一个实例是幅度  $P1 > V_c$  和  $P1 \geq \Delta V$  的方波信号。其持续时间必须足够长, 以破坏锁定。通过  $P1 \geq \Delta V$  而从  $P1$  至 0 的降落允许选择 T (比较图 2)。

[0042] 用于转换至 T 结构的信号的另一实例是包括持续时间  $\tau_1$  和幅度  $P1$  的锁定破坏第

一序列 (其中  $P1 > V_c$ ), 接下来是持续时间  $\tau_2$  和幅度  $P2$  的选择第二序列 (使得  $P2 \geq \Delta V$ , 即,  $P1 - P2 \geq \Delta V$ ) 的二级信号。在长脉冲 (大于 1ms) 的情况下, 所施加场的降落时间必须小于其持续时间的 1/10 或小于 30 微秒。

[0043] 为了获得 U 结构:

[0044] 阶段 C: 锁定破坏

[0045] 在锁定破坏阶段 C 期间, 需要施加大于副板 30 锁定破坏场的场, 在写入上述状态 T 的情况下, 有充分的时间来运送分子。

[0046] 阶段 S: 结构选择

[0047] 在施加电压时需要进行“缓慢下降”。文献 [1] 说明了两种实施这种“缓慢下降”的方法: 信号或者是持续时间  $\tau_1$  和幅度  $P1$  的脉冲, 紧跟着是持续时间  $\tau_2$  的斜坡, 其下降时间大于脉冲持续时间的三倍 (图 3), 或者是以阶梯方式下降。

[0048] 用于转换至 U 结构的信号的一个实例是包括持续时间  $\tau_1$  和幅度  $P1$  ( $P1 > V_c$ ) 的破坏第一序列, 紧接着持续时间  $\tau_2$  和幅度  $P2$  的选择第二序列 (使得  $P2 < \Delta V$  和  $P1 - P2 < \Delta V$ ) 的二级信号。二级阶梯下降更容易通过数字电子器件实现。但是, 当然可以设想以大于二的级数下降。

[0049] 从而使通过施加简单的二级信号给像素端, 以获得 U 结构或 T 结构成为可能。第一级 ( $P1, \tau_1$ ) 相应于锁定破坏阶段, 第二级 ( $P2, \tau_2$ ) 允许用值  $P2$  选择结构。图 4 中显示了这种信号。P2T 值相应于转换至 T 的值  $P2$  (对于给定的  $P1$ ),  $P2U$  值相应于转换至 U 结构的值  $P2$  (对于给定的  $P1$ )。

[0050] 典型的值: 对于  $\tau_1 = \tau_2 = 1\text{ms}$ ,  $P1 = 20\text{V}$ ,  $P2U = 7-9\text{V}$ 。

[0051] BiNem 通过复用的常规寻址

[0052] 常规复用和限制的原理

[0053] 在中等分辨率点阵显示屏的情况下, 本领域技术人员已知单独连接每个像素与独立的驱动电极不是问题, 当一旦显示屏变得复杂, 从拓扑学观点来看无法实现每个像素的连接。当使用的电光效应是非线性时, 有可能采用复用技术减少连接, 其是标准的液晶技术示例。通过点阵系统将像素组在一起形成  $n$  组, 每组  $m$  个像素。例如, 在点阵显示屏中具有  $n$  行和  $m$  列, 或对于数字显示屏为  $n$  数和  $m$  部分数。在应用最广泛的序列寻址模式中, 一次选择一行, 然后选择下一行, 依此类推直到最后一行。在行选择时间期间, 列信号同时直接施加到该行的所有像素。这种方法要求图像寻址的总时间等于行寻址时间乘以行数  $n$ 。用这种方法, 寻址  $m \times n$  像素的显示屏需要  $m+n$  个连接, 其中  $m$  是所涉及点阵的列数。复用点阵显示屏如图 5 所示。

[0054] 通过像素获得的电信号是施加到具有像素相交的行信号和列信号之差。

[0055] 如图 5 所示, 这种显示屏原理称为“无源显示屏”。行电极为该行所有像素的公共电极, 列电极是该列所有像素的公共电极。

[0056] 导电电极必须是透明的。所有制造商所用的材料是 ITO (混合铟 锡氧化物)。

[0057] 复用无源显示屏的缺点在于, 像素不仅在其所在行激活期间对列信号敏感, 在整个图像寻址时间都对列信号敏感。也就是说, 在图像写入时间内, 显示屏的像素持续接收其整列的列信号。在用于选择其行的时间之外施加给像素的信号视为寄生信号, 其影响液晶像素的电光响应。具体而言, 对于 TN 或 STN 无源材料或在标准操作条件下它们的一种变

化,像素中的液晶状态几乎完全取决于在图像寻址时施加给它的电压值 RAM(均方根)。因此,液晶分子的最终状态(即,在像素的最终光学传输中)取决于图像寻址时施加的电压值 RMS。此外,图像刷新率受到人眼对闪烁敏感度的影响,一般为 50Hz。对 RMS 值的敏感度和设定率是限制显示屏行数的因素,用 Alt 和 Plesko 标准(文献 [2])表示。从而无源显示屏的复用适于中等分辨率的 LCD。

[0058] 应用于 BiNem 的复用

[0059] 为了被复用,像素信号必须根据其符号对所有像素分解成行信号和列信号,这样能够获得 U 结构或 T 结构。图 6 示出用于产生合适像素信号的行信号和列信号的实例。

[0060] 行信号(图 6a)有两级:第一级提供用于时间  $\tau_1$  的电压 A1,第二级提供用于时间  $\tau_2$  的电压 A2。幅度 C 的列信号(转换值至 U 结构的图 6b 和转换至 T 结构的图 6c)仅施加给时间  $\tau_2$ ,其是正还是负取决于图像是“擦除”(即,获得 U 结构)还是“写入”(即,获得 T 结构)。时间  $\tau_3$  分离两行脉冲。图 6d 和 6e 分别示出了施加给擦除像素端的信号(转换至 U 结构)和写入像素端的信号(转换至 T 结构)。

[0061] 这些信号满足的条件是:

[0062]  $A1 = P1 ; A2-C = P2U ; A2+C = P2T$

[0063] 在上述数字的实例中,一种方案是:

[0064]  $A1 = 20V, A2 = 10.5V ; C = 2.5V ;$  因此  $P2U = 8V$  和  $P2T = 13V ;$

[0065]  $\tau_1 = \tau_2 = 1ms。$

[0066] 这些信号非常简单,并且让其所有参数容易调整到显示屏的特性。

[0067] 基于像素信号下降边缘的波形的转换原理是 BiNem 特有的。

[0068] 考虑到当液晶材料承受 DC 电压时由于电解导致某些液晶材料下降的问题,将零或接近零均值的信号施加给像素经常是有用的

[0069] BiNem 复用的限制

[0070] 速率限制

[0071] 在同时复用寻址一行时,写入 n 行图像的时间等于寻址一行时间的 n 倍。

[0072] 在上述实例中,一行的时间是 2ms,即,在 160 行的情况下图像时间是 320ms,在 480 行的情况下图像时间是 960ms。

[0073] 这些图像写入时间很短并且与移动图像的显示不可兼容。

[0074] 但是,这种技术局限于乘以系数 2 或 3 来提高速度,这样要达到大约 50Hz 速率的中等分辨率显示(一般为 300 行)是不够的。

[0075] 这个限制对 BiNem 和标准液晶是共同的。

[0076] 对寄生信号的敏感度

[0077] 在复用模式中,像素 (N, M) 接受像素寻址行信号和相对其的列信号。但是,它也接受幅度  $\pm C$  的列信号,该信号用于形成部分的列 M 的其它像素,周期  $T = \tau_1 + \tau_2 + \tau_3$  (图 7)。这些信号是寄生信号,在图像写入时影响像素电压。这是因为向列液晶对接受的均方根电压敏感。从而在图像写入时显示器的光学表面性能受到干扰。

[0078] 相对第二级行信号的持续时间减少列信号的持续时间,使减少寄生信号成为可能,从而减少在写入时图像的光学干扰。但是,这种减少受几个因素限制:当操作温度较低时,需要增加列信号的幅度,以使 U 结构和 T 结构之间的转换连续。此外,使晶胞的所有像

素转换,它需要选择高于单个像素所需的幅度 C,因为必须考虑该技术引入了转换电压的空间干扰。

[0079] 标准液晶也对所施加电压的 RMS 值敏感,但是,该值不仅在图像写入时影响像素的状态,而且是永久地影响像素的状态,因为它们必须不断地寻址以便显示期望的光学状态。

[0080] 寻址轨道的电特性和几何特性的敏感度

[0081] 根据上述内容, BiNem 的一个具体的特性是转换至 T 结构意味着必须对像素施加急剧的电压下降。具有足够电压下降的双级信号沿整个 ITO 行传播,直到行的最后像素。因为行的电特性 ( $R_s$ ), 脉冲波形在其传播时发生变化。这对其到达最后像素以便总是与转换至 T 结构兼容是非常重要的。我们现在来检测典型的实例在沿该行传播时施加给行的信号下降斜坡的变化。

[0082] 为了简化主题,我们假定 20V 幅度的方波信号用于转换至 T 结构。对于这个电压,可以确定如果在小于大约  $30 \mu s$  的时间  $T_t$  内电压下降(它的值从 90% -10%) 受到影响,转化 T 就会受到影响。

[0083] 让我们考虑 M 列和 N 行、长度 L 和宽度 1(参见图 8) 的显示。像素的长度为  $L/M = P$ 。像素宽度为  $1/N = a$ 。在行和列之间的分隔区被忽略,并且像素的有源区为  $p \times a$ 。

[0084] 在图 9 中给出出行等效电路图。每个像素相当于包括串联电阻  $R_{px}$  和并联电容  $C_{px}$  的三极,其定义如下:

[0085]  $R_{px} = p/a \cdot R_s$ , 其中  $R_s$  是 ITO 的表面电阻。液晶的电阻系数可以忽略。

[0086]  $C_{px} = C_{lc} = \epsilon_0 \epsilon_r ap/e$ ,

[0087] 其中 e 是液晶晶胞的厚度

[0088]  $\epsilon_0$  是自由空间的介电常数

[0089]  $\epsilon_r$  是液晶的相对介电常数

[0090] 因此,与每个像素有关的时间常数  $R_{px} \cdot C_{px}$  是:

[0091]  $R_{px} \cdot C_{px} = R_s (\epsilon_0 \epsilon_r / e) p^2$ 。

[0092] 用扩散方程给出沿着线的传播。分析计算该线的阻抗。在长度 L 的行末端的特性时间  $T_d$  为  $T_d = R_s (\epsilon_0 \epsilon_r / e) L^2$ 。

[0093] 对于在行开始施加的步骤,在行端部的上升和下降(90% -10%) 时间是  $0.9 T_d$ 。

[0094] 图 10a 示出了施加给像素 M(在行端部的像素) 的电信号的下降的计算波形,对于行长度为 30、69、90、120 和 150mm 具有下列的典型数值:

[0095]  $\epsilon_0 = 8.854 \times 10^{-12} \text{F/m}$ ;  $\epsilon_r = 15$ ;  $e = 1.5 \mu m$ ;

[0096]  $a = p = 200 \mu m$ ;  $R_s = 30 \Omega$ ;  $R_{\text{contact}} = 1K \Omega$ 。

[0097] 在图 10a 中,可以看出超出 120mm 的长度,下降(90% -10%) 在大于  $30 \mu s$  的  $T_t$  时间进行。因此,不再可能转换至 T 结构。

[0098] 一种方案是降低 ITO 的表面电阻  $R_s$ 。图 10b 采用与图 1a 相同的参数,只是  $R_s$  (ITO) =  $15 \Omega$ 。通过比较两组曲线,与在  $R_s = 15 \Omega$  的情况下 120mm 长度相比较,可以看出对于大约 150mm 长度到达  $30 \mu s$  阈值。除以系数 2 减小  $R_s$  使它有可能仅除以 2 的平方根增加行的长度。

[0099] 但是,减小  $R_s$  意味着增加 ITO 的厚度,从而增加 ITO 的成本。 $15 \Omega$  是合理值,而

5  $\Omega$  是极限值。

[0100] 因此,关系式  $0.9R_s(\epsilon_0\epsilon_r/e)L^2 < 30\mu s$  限制可寻址显示屏的行长度。这个限制是对转换 BiNem 模式特定的,其对施加的电信号波形敏感。标准液晶(例如, TN 和 STN)对施加的电信号均方根敏感,其受到这种衰减的影响较小。

#### [0101] 标准液晶的有源寻址

##### [0102] 有源寻址的原理

[0103] 图 11 图示了有源寻址液晶像素的原理,例如,使用普通的 MOS 型 TFT(薄膜晶体管)。每个像素经过 TFT 开关 40 寻址, TFT 开关 40 在寻址阶段(行时间)时连接它的列 45,在持续阶段时(帧时间或寻址整个图像时间)将它与外部环境隔离,从而使它有可能在整个帧时间在其终端保持不变的电压。开关通过连续扫描显示屏的行 46(在复用寻址的情况下)被激活,或相应于行时间施加关闭电压(开启晶体管)和在寻址其它行时施加开启电压(关闭晶体管)。从而行 46 连接到 MOS 晶体管的栅极 41, MOS 晶体管控制晶体管的关闭或开启,列 45 连接源极 42 和漏极 43 连接到液晶像素的驱动电极 47。在像素的另一面,背电极 48 是所有像素的公共电极。

[0104] 图 12a 和 12b 分别给出了晶体管开启和关闭时用于像素的等效电路图。

[0105] 液晶的每个有效像素可以连接包括与电阻  $R_{LC}$  并联的电容  $C_{LC}$  的晶胞 (cell)。

[0106] 在开启状态,如图 12a 所示,电流流过晶体管的电阻  $R_{on}$ ,并给上述晶胞 ( $R_{LC}, C_{LC}$ ) 充电。

[0107] 在关闭状态,如图 12b 所示,泄漏电流可以通过并联电阻  $R_{LC}$  给电容  $C_{LC}$  放电。

[0108] 为了最小化在持续阶段期间的泄漏和寄生像素间耦合,在不使 TFT 技术复杂化的情况下,通常增加存储电容  $C_s$  与液晶的电容  $C_{LC}$  并联。

[0109] TFT 寻址液晶显示屏的重要电参数是:

[0110] 晶体管的  $R_{on}$  和  $R_{off}$ ;

[0111]  $C_{PX} = C_{LC} + C_s$ : 像素的总电容;和

[0112]  $R_{LC}$ : LC 的电阻

[0113] 此外,形成行 46 和列 45 的轨道将电信号输送到具有非零电阻率的像素。交叉的轨道 45 和 46 在交叉点形成寄生电容器。沿轨道分布的电阻和电容导致信号失真和相移(同上 ITO)。下列术语定义为:

[0114]  $R_{ct}$ : 传输数据给像素的列轨道总电阻;

[0115]  $C_{ct}$ : 传输数据给像素的列轨道总电容。

[0116] 在复用无源 LCD 的情况下,液晶排列层(在图 11 中未示出)沉积在电极 47、48 上。

##### [0117] 有源寻址的优点

##### [0118] 速率

[0119] 一般, 75Hz 相应于 13ms 的帧时间,并且  $13\mu s$  每行需要寻址 1000 行。当晶体管开启时,给液晶电容器充电的行时间必须是  $1\mu s$  至几十  $\mu s$  级。这是利用晶体管  $R_{on}$  上的低值。如果满足这个条件,就有可能用这种方法获得高分辨率的高寻址速率。

##### [0120] 分辨率

[0121] 当晶体管关闭时,在像素端保持电压,其在整个帧时间与寄生列信号分离。提出复

用限制 (Alt 和 Pleshko 标准) 并且许多像素可以被寻址。为了保持给定的灰度级, 该限制是将像素端的电压保持在给定值, 并且变化不大于两个灰度级之间的电压差。为了达到这个目的, 像素的泄漏电阻必须小于某一值, 其影响晶体管的  $R_{off}$  限制和液晶的电阻  $R_{LC}$  限制。

[0122] 用于以 75Hz、256 灰度级的 TFT 寻址 1000 行的几个数字如下:

[0123] 帧时间: 13ms

[0124] 行 (栅极开启) 时间  $T_g$ :  $13 \mu s$

[0125] 给像素端施加的电压: 该电压必须在  $T_g = 13 \mu s$  变化大约 3V。

[0126] 保持初始灰度级: 在帧时间内 (13ms), 必须保持在像素端的电压变化小于 10mV。这个限制影响晶体管的高  $R_{off}$  和液晶的高电阻。

[0127] 所谓的“标准”TFT 利用薄非晶硅 (a-Si) 层并连接到 TN (扭曲向列) 模式。对于高附加值的大显示屏, TFT 与处理更好视角的 IPS (平面内开关) 或 MVA (调制垂直对准) 模式更相关。

[0128] 有源寻址的限制: 标准 LC 显示屏的开关

[0129] 对于移动应用的 TFT 显示屏的主要限制是值得考虑的功耗。例如, 对角线 15 英寸的 TFT 点阵显示器通常消耗近 20W, 大约一半的消耗用于背光。这种情况既阻止标准 TFT 显示屏的非双稳态特性 (即, 利用 TN 效应), 也阻止 TFT 技术的低发光效率。这种低效率的主要原因之一是存在很差的开口孔径比。在这种条件下, 背光实际上需要标准光背景。当它没有连接电源网络时, 这种 TFT 显示屏器件的自供应时间很短。这种趋势随着 TFT-IPS 技术提高而增强。事实上, 这种技术的视角可与 BiNem 的视角相比, 但是, 短间距的电极阵列的存在进一步降低开口孔径比, 以便施加横向场给像素。为了让图像有相等的亮度, 发光系统的功率和器件的消耗必须大于常规 TFT 的功率和消耗。此外, IPS 器件要求明显高于常规 TFT 显示屏的工作电压。从而, 在此的能量聚积下降太多。此外, 由于选择 IPS 技术造成的成本预算对于大量应用带来了实际困难。不仅 TFT 显示屏的功耗高, 而且其非双稳态特性意味着即使在有利的情形, 也不可能降低功耗。

## 发明内容

[0130] 本发明的目的是提出用于改进现有技术的新颖器件。

[0131] 这个目的在本发明的范围内通过显示器件来实现, 该显示器件包括具有锁定破坏的双稳态向列液晶点阵显示屏, 其特征在于其包括:

[0132] 能够在关闭状态和开启状态之间转换的元件, 这些元件分别设置在与每个像素相关的驱动电极和显示状态控制连线之间; 和

[0133] 能够经过状态控制连线施加到各个前述元件输入端的器件, 输入信号包括至少由控制的时间间隔分开的两个阶段, 即, 第一阶段, 在第一阶段期间, 输入信号具有足够让相关像素的液晶锁定破坏的幅度, 和第二阶段, 在第二阶段期间, 控制输入信号的幅度, 以便选择液晶两个双稳态之一, 改变两个阶段之间的时间间隔, 以便在施加第二输入信号阶段之前破坏所述相关像素的液晶锁定。

[0134] 而且, 更精确地说, 在本发明的范围内, 前述元件优选由寻址信号在关闭状态和开启状态之间驱动的开关形成, 并分别设置在与每个像素相关的驱动电极和显示状态控制连

线之间,其中器件还包括能够限定寻址信号的器件,所述寻址信号包括至少两个控制开关在开启状态的有源阶段,所述阶段被控制的时间间隔分开,并且能够与选择开启后者的寻址信号的有源阶段同步,经过状态控制连线施加到每个驱动开关的输入端,输入信号包括至少两个阶段,即,第一阶段,在第一阶段期间,输入信号具有足够让相关像素的液晶锁定破坏的幅度,第二阶段,在第二阶段期间,控制输入信号的幅度,以便选择液晶的两个双稳态之一,改变两个阶段之间的时间间隔,以便在施加第二输入信号阶段之前破坏所述相关像素的液晶锁定。

[0135] 我们称这种结构为“有源 BiNem”。

[0136] 出于本发明的目的,“点阵显示屏”的表述不应被视为对行和列中像素的正常排列的限制。它包括 n 组 m 个相关元素形式的任何像素排列,例如,n 个数字每个由 m 个元素形成。

[0137] 本发明还涉及用于电控制具有锁定破坏的双稳态向列液晶点阵显示屏的方法,其特征在于:

[0138] 提供能够在关闭状态和开启状态之间转换的元件,这些元件分别设置在与每个像素相关的驱动电极和显示状态控制线之间;

[0139] 其中它包括电控制的构成步骤,其中:

[0140] 经过状态控制连线将输入信号施加到每个前述元件的输入端,输入信号包括至少两个由控制时间间隔分离的阶段,即,第一阶段,在第一阶段期间,输入信号具有足够让相关像素的液晶锁定破坏的幅度,和第二阶段,在第二阶段期间,控制输入信号的幅度,以便选择液晶的两个双稳态之一,改变两个阶段之间的时间间隔,以便在施加第二输入信号阶段之前破坏所述相关像素的液晶锁定。

[0141] 根据本发明的另一有利特征,根据本发明的显示屏利用两种结构,一种是均匀或轻微扭曲的结构,其中分子至少彼此大致平行,另一种与第一种不同,大约扭曲  $+180^\circ$  或  $-180^\circ$ 。

[0142] 尽管使用有源驱动,经过各个控制的开关提供了在 BiNem 型显示屏范围内的许多优点,就是说利用具有锁定破坏的双稳态向列液晶,本领域技术人员不会在现有技术的文献中发现任何支持来达到这种结果。

[0143] 与此相反,用于有源寻址的控制信号所需的波形和持续时间迄今与 BiNem 型操作双稳态显示屏不兼容。

[0144] 而且,有源寻址液晶显示屏的功耗似乎对 BiNem 显示屏领域的技术人员来说完全不可接受。

[0145] 最后是有源寻址显示屏的成本,尤其是因为存在与每个像素相关的开关,迄今为止不能使本领域技术人员接受这种结果。

[0146] 在本发明的范围内提出,在由控制时间间隔分离的两个阶段内分离寻址信号和控制信号,从而构成值得考虑的创新,使它有可能在现有技术的基础上实现真正的提高,这些将在下面详细解释。

## 附图说明

[0147] 结合附图,阅读下列作为非限定性实例的详细描述,本发明的其它特征、目的和优

点将显而易见,其中:

[0148] 图 1 示出根据现有技术的 BiNem 显示屏的示意图,如上所述;

[0149] 图 2 示出这种 BiNem 显示屏的用于转换至 T 结构的方波像素信号的实例,如上所述;

[0150] 图 3 示出这种 BiNem 显示屏的用于转换至 U 结构的具有下降边缘的像素信号的实例,如上所述;

[0151] 图 4 示出了二级像素信号的实例,其允许根据施加给 BiNem 显示屏的像素端脉冲的第二水平值 P2 选择结构,如上所述;

[0152] 图 5 示出了复用点阵显示屏的示意图,如上所述;

[0153] 图 6 示出了复用模式的 BiNem 显示屏的像素行信号和列信号的实例,如上所述;

[0154] 图 7 示出了复用模式的 BiNem 显示屏的像素端的电信号,如上所述;

[0155] 图 8 给出了复用显示的另一表示法,如上所述;

[0156] 图 9 示出了复用模式的 BiNem 显示屏的复用液晶显示的行等效电路图,如上所述;

[0157] 图 10 示出了在沿行传播时,施加到复用模式的 BiNem 显示屏的像素的电压下降边缘的波形变化,在图 10a 和 10b 中 ITO 表面电阻分别为  $30\ \Omega$  和  $15\ \Omega$ ;

[0158] 图 11 示出了根据现有技术有源寻址的一般原理,如上所述;

[0159] 图 12 分别示出了用晶体管寻址的液晶像素的等效电路图,图 12a 为开启状态和图 12b 为关闭状态,如上所述;

[0160] 图 13 示出了根据本发明的用于按要求转换至 U 结构或 T 结构的“有源 BiNem”显示屏的寻址,根据第一实施的选项包括施加控制信号的三个连续步骤或阶段:更具体地说,图 13a 示出了施加到晶体管栅极的寻址信号;图 13b 示出了施加到晶体管源极的状态控制信号的变化,以便分别获得 U 结构和 T 结构;图 13c 和 13d 分别示出了在转换至 U 结构的情况下和转换至 T 结构的情况下,在晶体管漏极和在像素上可得到的合成信号;图 13e 示意性示出了第二寻址信号相对于图 13a 的寻址信号的偏离,并打算用于第二行的显示;

[0161] 图 14 示出了根据包括施加控制信号的两个连续步骤或阶段的第二实施选项,用晶体管例如 TFT 寻址的 BiNem 液晶像素的等效电路图;

[0162] 图 15 示出了根据本发明的“有源 BiNem”显示屏的寻址,用于按要求转换至 U 结构或 T 结构,根据施加控制信号的两个连续步骤或阶段:更具体地说,图 15a 示出了施加到晶体管栅极的寻址信号;图 15b 示出了施加到晶体管源极的状态控制信号;图 15c 和 15d 分别示出了在转换至 T 结构的情况下和转换至 U 结构的情况下,在晶体管漏极和在像素上可得到的合成信号;图 15e 示意性示出了第二寻址信号相对于图 15a 的寻址信号的偏离,并打算用于第二行的显示;

[0163] 图 16 示出了根据本发明用于转换至 T 结构的像素端的电压;

[0164] 图 17 示出了在根据本发明的第一选项的情况下,施加到晶体管栅极的寻址电压;

[0165] 图 18 示出了在根据本发明的第二选项的情况下,施加到晶体管栅极的寻址电压;

[0166] 图 19 示出了根据第一选项的有源 BiNem 寻址的实例,包括施加三个连续控制电压,用于转换至 T 结构的模拟像素信号,图 19b 示出图 19a 信号上升边缘和下降边缘的局部放大图;

[0167] 图 20 示出了与图 19 相似的用于转换至 U 结构的模拟像素信号；

[0168] 图 21 示出了根据本发明第二选项的有源 BiNem 寻址,包括两个连续控制电压,用于转换至 T 结构的模拟像素信号,这里图 21b 又示出了图 21a 的信号上升边缘和下降边缘的局部放大图；

[0169] 图 22 示出了与图 21 类似的用于转换至 U 结构的模拟像素信号；

[0170] 图 23 示出了根据本发明的一实施例,包括以用于每个像素的二极管形式的开关器件；

[0171] 图 24 示出了根据本发明的另一实施例,包括以用于每个像素的两个背对背二极管形式的开关器件；

[0172] 图 25 示出了在图 23 的实施例中使用的二极管的响应曲线；

[0173] 图 26 示出了在图 24 的实施例中使用的背对背安装的二极管的响应曲线。

### 具体实施方式

[0174] 根据本发明的显示屏的整体结构与图 11 所示的常规 TFT 显示屏的结构相同。

[0175] 与常规 TFT 显示屏的本质不同如下：

[0176] 标准取向层之一由对 BiNem 特定的弱顶点锁定取向层 34 代替；

[0177] 晶胞由小于标准技术情况的厚度而形成；和

[0178] 晶胞被 BiNem 特供液晶充满,以获得两种结构 U 和 T,如图 1 所示,并且以 BiNem 模式操作晶胞。

[0179] 因此,一般在本发明的示例中,对于在两个彼此面对并分别设置在两块板或基板 20 之一上的电极 22,32 之间限定的每个像素,一个电极连接到单个晶体管 40 的漏极,形成开关,后面的源极 42 连接到状态控制轨道或连接,例如列 45,以便接收状态控制信号,晶体管的栅极 41 连接到驱动或寻址轨道或连接,例如行 46,以便接收驱动信号或寻址信号,背电极连接到所有像素共用的公共电势,例如接地。

[0180] 对于以  $n$  组  $m$  个元素形式组合在一起的  $n \times m$  像素显示屏,例如, $n$  行  $m$  列,由此提供  $n \times m$  控制的开关 40,形成用于后面寻址行的导电轨的  $n$  阵列,和形成控制晶体管的列导电轨的  $m$  阵列。

[0181] 当没有信号施加到晶体管 40 的栅极 41 时,它关闭,也就是说不导电。

[0182] 另一方面,当合适的信号施加到该晶体管 40 的栅极 41 时,它开启。然后,施加到后者的源极 42 的电压出现在晶体管的漏极 43 上,从而出现在后者的相关电极 47 上。

[0183] 当晶体管切换到关闭状态,也就是说当施加到其栅极的寻址信号切断时,通过在两个电极之间设置由液晶形成的像素构成能够在其终端保持该电压的电容器。

[0184] 在施加新的寻址信号和新的控制信号之前,该电压的连续变化取决于在像素两个电极之间限定的阻抗。

[0185] 在下文中,分别与每个像素相关的上述开关晶体管被称为 TFT(薄膜晶体管)。

[0186] 但是,本发明不应被视为限制于任何一种生产控制开关的技术。它包括能够实现这种功能的任何技术。例如,可以设想基于一个或多个二极管的系统。

[0187] TFT40 使它有可能使显示屏的所有像素绝缘,除了与寻址行 46 有关那些之外,每个像素经过它们的列轨道 45 连接到列驱动器。

[0188] 常规的 TFT 标准寻址要求每帧的所有像素被寻址和控制,而 BiNem 的双稳态仅仅让其状态在每帧之间改变的像素被选择性地控制。因为双稳态,从而有可能有利地实现单个寻址。我们称这个模式为“选择寻址”。

[0189] 更准确地说,在本发明的范围内,在每个行寻址时,必须改变状态的像素必须在它们相关的晶体管源极接收开关信号,以便紧接着在选择之后提供锁定破坏,其它的像素可以保持接地,也就是说经过它们设置在导通状态的晶体管接收零电压(这是因为零电压不能破坏锁定,从而不能改变像素的状态)。从而可以大大地降低功耗,在缓慢变化的图像的情形下几乎为零。在这种情形下显示屏的对比度和亮度被优化,经过中间转换状态的像素转换不出现在每帧,只是出现在该像素必须改变状态时。从而完全消除图像的闪烁。

[0190] 根据本发明的有源 BiNem 寻址以至少以受控制的时间间隔分离的两个阶段的形式发生多次。从而本发明与标准 TFT 寻址根本不同,因为标准液晶根据施加的场值简单地取向,标准 TFT 的寻址发生一次。

[0191] 根据本发明寻址和控制信号的基本功能是产生校正信号,例如,在像素端具有两个水平,首先,在第一阶段中,经过晶体管的源极施加控制电压 P1(对于行寻址时间  $T_g$ ),以便实现破坏,然后,在第二阶段中,在被称为破坏时间的  $T_c$  之后,又经过晶体管的源极施加控制电压 P2U 或 P2T(对于不同于  $T_g$  的行寻址时间  $T_g'$ ),使它有可能获得 U 结构或 T 结构。在随后的第三阶段中,还需要施加接近零或等于零的第三电压。

[0192] 我们首先描述用于在 U 和 T 之间转换的两个寻址选项(分别用三个阶段或两个阶段),然后,我们详述具有灰度级的 BiNem 结构的寻址原理。

[0193] 该选项在图 13 的定时图中示出。

[0194] 在 U 和 T 之间的转换

[0195] 选项 1:3 阶段寻址

[0196] 该选项显示在图 13 的时序图中。

[0197] 在图 13 中,用 TRA 表示帧时间,也就是说在图 13a 中示出的寻址信号和在图 13b 中示出的状态控制信号通过重复周期 TRA(当像素改变状态时,非选择寻址情形或选择寻址情形)或多个 TRA(当每帧像素不改变状态时,选择寻址的情形)内重复。

[0198] 如图 13a 所示,寻址电压连续三次施加在晶体管 40 的栅极 41 上,以便将其转换到这些状态:

[0199] 在第一阶段,寻址信号具有持续时间  $T_g$ ;

[0200] 在第二阶段,其上升边缘相对第一阶段延迟  $T_c$  的寻址信号具有持续时间  $T_g'$ ;和

[0201] 在第三阶段,其上升边缘相对第二阶段延迟  $T_s$  的寻址信号具有持续时间  $T_g''$ 。

[0202] 时间  $T_g$ 、 $T_g'$  和  $T_g''$  可以相同,也可以不同。

[0203] 时间  $T_c$  限定为在施加持续时间  $T_g'$  的寻址信号之前,足以保证在基板 30 上的弱锁定 34 被破坏。

[0204] 如图 13b 所示,三个控制电压经过相关的晶体管 40 连续施加给像素,与前述持续时间  $T_g$ 、 $T_g'$  和  $T_g''$  同步(这三个电压的上升边缘也用时间  $T_c$  和  $T_s$  分开):

[0205] 第一阶段(持续时间  $T_g$ ):控制电压 P1 施加给晶体管的源极,以便实现破坏;

[0206] 第二阶段(持续时间  $T_g'$ ,在时间  $T_c$  之后):根据所获得的结构,控制电压 P2T 或 P2U 被施加给晶体管的源极。

[0207] 为了转换到 T 结构,图 4 中所示的两个区域(高和低)可以用于 P2T。

[0208] 如果选择的 P2T 的低值,可以选择零或非常低,在这种情形没有与复用相关的限制,该复用要求用单个列信号 C 的符号在 T 和 U 之间做出选择。因为电压跳到更大(与 P-P2T 相比的 P1),很容易转换到 T 结构。该信号是图 2 所示的方波。

[0209] 为了转换到 U 结构,图 4 的电压 P2U 是合适的;

[0210] 第三阶段(持续时间  $Tg''$ ,在时间  $Ts$  之后):用零或非常低电压 P0T 或 P0U 复位到零。

[0211] 如上所述,在第二阶段  $Tg$  中,对于 T 结构,图 4 中所示的两个区域(高和低)可以用于 P2T。在低 P2T 的情形,在第二寻址  $Tg'$  期间开始转换至 T。在高 P2T 情形,在第三寻址  $Tg''$  期间,在 P2T 和 P0T 之间电压下降的时刻开始转换至 T。

[0212] 对于 U 结构,在施加 P2U 让液晶分子到达复位状态之后,在新寻址顺序之前,复位到零。因此,在称为选择时间的时间  $Ts$  之后,零或接近零的电压 P0U 施加到像素端,持续时间  $Tg''$ (行的新开口)。P0U 不必等于 P0T。

[0213] 在图 13c 中示出了在晶体管漏极获得的合成控制信号,和从而在像素上获得的合成控制信号,用于在阶段  $Tg'$  中的低 P2T 电压。在  $Tg$  时,像素的电容器充电到电压 P1。在  $Tg$  之后,该电容器可能通过并联漏电阻放电。在  $Tg'$  中,像素端电压被复位到 P2T。在  $Tg'$  后,电容器可能放电。最后,在  $Tg''$  中,像素端的电压被复位到零。该信号导致 T 结构。

[0214] 同样,在图 13d 中示出了,在晶体管漏极获得的合成控制信号,和从而在像素上获得的合成控制信号,用于在阶段  $Tg'$  中的低 P2U 电压。在  $Tg$  时,像素电容器充电到电压 P1。在  $Tg$  后,该电容器可能通过并联漏电阻放电。在  $Tg'$  中,像素端电压被复位到 P2U。在  $Tg'$  后,电容器可能放电。最后,在  $Tg''$  中,像素端的电压复位到零。该信号导致 U 结构。

[0215] 通常,根据本发明的上述原理可以扩展到各种控制信号每个持续时间  $Tg^x$  的  $x$  次连续施加,持续时间  $Tg^x$  由在各种  $Ts^x$  后面的时间间隔  $Tc$  分开。增加控制信号施加阶段数量的优点是更接近用于转换到 U 结构的优化信号,这将连续地减小斜坡。用四个转换的寻址使它有可能接近三个水平值的斜坡。缺点是整行的时间随转换的数量增加而增加。因此对于相同的状态控制,每行被寻址帧周期 TRA(当像素改变状态时,非选择寻址情形和选择寻址情形)或多个 TRA(当每帧像素不改变状态时,选择寻址的情形)的  $x$  倍。

[0216] 在针对一行的寻址阶段  $Tg^x$  之间,可以寻址其它行。

[0217] 因此,图 13e 图示了偏离上述寻址信号并能够控制邻近上述行的第二行的寻址信号实例。

[0218] 选项 2:两阶段寻址

[0219] 该选项在图 15 的时序图中示出。

[0220] 这里,在图 15 中帧时间用 TRA 表示,也就是说在图 15a 中图示的寻址信号和在图 15b 中图示的状态控制信号用附加周期 TRA(当像素改变状态时,非选择寻址情形和选择寻址情形)或多个 TRA(当每帧像素不改变状态时,选择寻址的情形)重复。

[0221] 如图 15a 所示,寻址电压连续两次施加到晶体管 40 的栅极 41 上,以将后者转换至如下状态:

[0222] 在第一阶段,寻址信号具有持续时间  $Tg$ ;

[0223] 在第二阶段,其上升边缘相对第一阶段延迟  $Tc$  的寻址信号具有持续时间  $Tg'$ 。

[0224] 时间  $T_g$  和  $T_g'$  可以相同或也可以不同。

[0225] 时间  $T_c$  定义为充分保证在施加选择信号  $T_g'$  之前,在副板 30 上的弱锁定 34 被破坏。

[0226] 如图 15b 所示,两个控制电压经过相关晶体管 40 的漏极 43、与前述寻址电压  $T_g$  和  $T_g'$  (用称为破坏时间的时间  $T_c$  分开) 同步连续施加到像素。

[0227] 第一阶段(持续时间  $T_g$ ):控制电压  $P1$  施加到晶体管的源极,以实现破坏;和

[0228] 第二阶段(持续时间  $T_g'$ , 在时间  $T_c$  之后):控制电压  $P2T$  或  $P2U$  根据所获得的结构施加到晶体管的源极。

[0229] 在第二转换  $T_g'$  开始时,让像素端的电压为  $P1f$  (比较图 16)。

[0230] 对于 T 结构,对于在  $P1f$  和  $P2T$  之间跳跃的电压,  $P2T$  必须足够低(理想的是  $P2T \approx 0$ ),以允许转换至 T 结构。同样,对于在  $P1f$  和  $P2T$  之间跳跃的电压,电压  $P1f$  必须足够高,用于允许转换至 T 结构。

[0231] 在零  $P2T$  的情况下,因为电压跳跃较大(与  $P1f-P2T$  比较的  $P1f$ ),所以转换至 T 结构较方便(施加到像素的信号是图 2 所示的方波)。零  $P2T$  的第二个优点是在下一个转换过程中液晶分子静止。

[0232] 这里不能使用高的  $P2T$  值(比较图 4),因为电压  $P2T$  没有复位到零,其保持在整个帧时间  $TRA$  被施加。

[0233] 为了转换至 U 结构,电压  $P2U$  可以接近电压  $P1f$ ,以获得连续斜坡的下降。从而通过在像素端存在的泄漏电阻获得的放电电流,获得图 3 所述的下降斜坡信号波形。该信号波形非常适于转换至 U 结构。

[0234] 为了获得最佳放电时间,也就是说,足够转换至 U 结构但小于帧时间  $TRA$  的时间,它还需要将放电电阻  $R_f$  加到像素端,如图 14 所示。

[0235] 转换至 T 结构:

[0236] 图 15c 显示了对于在持续之间  $T_g'$  阶段期间的低  $P2T$  电压,在像素上获得的合成控制信号。在  $T_g$  期间,像素电容被充至电压  $P1i$ 。在  $T_g$  之后,像素电容器可能通过并联泄漏电阻放电。从而在持续时间  $T_g'$  的第二寻址转换之前,电压等于  $P1f$ ,其中  $P1f < P1i$ 。在  $T_g'$  期间,在像素端的电压复位到  $P2T$ 。  $P1f$  必须是使得  $P1f-P2T$  允许转换至 T 结构。在  $T_g'$  之后电容器放电,以便在帧  $TRA$  的端前获得零电压。这个信号导致 T 结构。

[0237] 转换至 U 结构:

[0238] 同样,图 15 图示了对于在阶段  $T_g'$  期间的电压  $P2U$ ,在晶体管漏极和在像素上获得的合成控制信号。在  $T_g$  期间,像素的电容器充至电压  $P1i$ 。在  $T_g$  之后,该电容器通过并联泄漏电阻放电。因而在持续时间  $T_g'$  的寻址转换之前,电压等于  $P1f$ ,其中  $P1f < P1i$ 。在  $T_g'$  期间,在像素电容器终端的电压复位至  $P2U$ 。在  $T_g'$  之后,电容器放电,以便在帧  $TRA$  结束之前获得零电压。该信号导致 U 结构。

[0239] 因为放电电阻  $R_f$  的存在,  $P1f-P1i$  的值在选项 2 的情形大于选项 1 的情形。

[0240] 对于相同的状态控制,每行通过帧周期  $TRA$  被寻址两次 ( $T_g$  和  $T_g'$ )。在这些用时间  $T_c$  分开的寻址阶段之间,可以寻址其它行。

[0241] 这里,图 15e 示出了偏离上述寻址信号并能控制邻近上述行的第二行的寻址信号实例。

[0242] 用于获得转换有源 BiNem 的条件

[0243] 图 16 详细示出了在像素端的变化,用于转换至 T 结构,其是最关键的转换(因为它要求在小于大约  $30 \mu s$  的阈值的时间  $T_t$  内急剧下降)。

[0244] 在这种变化中可以区分四个连续阶段。

[0245] 1. 持续时间  $T_g$  的 EC 阶段:在像素端形成锁定破坏电压。

[0246] 在时间  $T_g$  结束(即,在晶体管的导通周期结束)时必须达到的电压  $P1i$  必须大于锁定破坏电压  $V_c$ ,在室温下一一般为  $15V-18V$  :

[0247]  $P1i > V_c \approx 15V$  至  $18V$

[0248]  $T_g$  大约为  $20 \mu s$ 。

[0249] 到达的电压没有精确的值,它只需要超过  $V_c$ ,以便能破坏锁定。此外,转换至 U 结构或转换至 T 结构的 P1 锁定破坏电压可以不同。相反,在具有 TN 标准的 TFT 或其它液晶的情况下,在时间  $T_g$  内必须获得非常精确的值,以便获得可靠的灰度级。对于 EC 阶段,根据本发明的对 TFT 和有源 BiNem 液晶组合的限制小于在 TFT 耦合到标准液晶情形的限制。

[0250] 包括充至 P1 的电参数是:晶体管的电阻  $R_{on}$ ,像素电容  $C_{px} = C_{LC} + C_s$ ,沿列轨道传播的时间及其电阻,这些参数取决于  $R_{ct}$  和  $C_{ct}$ 。

[0251] 2. 持续时间  $T_c-T_g$  的 C 阶段:锁定破坏

[0252] 在  $T_g$  之后的时间  $T_c-T_g$ ,晶体管关闭,电压 P1 必须保持在  $V_c$  以上,以便破坏锁定。在时间  $T_c$  结束时使像素端的电压  $P1f$  为:

[0253]  $P1f > V_c \approx 15V$  至  $18V$

[0254] 一般,在时间  $T_c-T_g$  期间,几伏的下降可以接受。电压 P1 不需要保持在精确的水平,不像在标准 TFT 形成灰度级的情形。在 C 阶段的情况下,根据本发明的对 TFT 和有源 BiNem 液晶组合的限制小于在 TFT 耦合到标准液晶情形的限制。

[0255] 一般,时间  $T_c-T_g$  不须大于或等于  $\tau_1$ (比较图 4),在该时间期间必须保持电压大于  $V_c$ ,以便破坏锁定,一般  $\tau_1 \approx 1 \mu s$ 。由于  $T_g = 20 \mu s$  和  $T_c-T_g = \tau_1$ ,所以在破坏一行阶段期间可以寻址其它 50 行。

[0256] 在保持 P1 期间涉及的电参数是:像素电容  $C_{px} = C_{LC} + C_s$ ,后者的电阻  $R_{LC}$ ,如果如选项 2 所述加上泄漏电阻,还可能有  $R_p$ 。

[0257] 3. 持续时间  $T_g'$  的 ES 阶段:结构选择信号的建立

[0258] 如在无源复用的情况下,它是转换至最复杂的 T 结构,因为迅速下降,所以在时间  $T_t$  内需要从  $P1f > V_c$  至  $P2T$ 。一般  $T_t$  是大约  $30 \mu s$ ,即,栅极开启时间的数量级。为了优化速率,设定  $T_g' \leq T_t \approx 30 \mu s$  是有利的。电压在  $T_g$  级的时间内从  $P1f$  降至  $P2T$  的条件是完全等于 EC 阶段的电压:对 TFT 的限制类似。在 ES 阶段期间涉及的电参数与 EC 阶段情形的相同。

[0259] 4. 经过第三转换复位至零(在选项 1 的情况下)产生降至零的选择信号,或通过像素端的电压泄漏(在选项 2 的情况下)产生降至零的选择信号。

[0260] 在有源 BiNem 中灰度级的产生

[0261] 通过在像素内形成尺寸和密度被控制的 T 结构和 U 结构的微畴(microdomains)(比较文献 [4]),在根据本发明的有源 BiNem 模式中可能产生灰度级。通过精确地控制第二水平的电压 P2 实现控制(在寻址的 S 阶段)。

[0262] 参照用于实现这种方法的文献 [4] 是值得的。

[0263] 因此,下面不再详细描述该方法。

[0264] 但是,这里将回顾通过能够在锁定破坏之后形成混合结构的控制装置来控制的灰度级,在混合结构中双稳态结构在一个且相同的像素内以可控制的比例共存,这些结构被 180° 旋转位移线按体积方式分开或被在一个表面上的 180° 重新取向壁分开,和用于通过体积线传输到表面壁内和这些壁固定在表面上而长期稳定混合结构的装置。

[0265] 获得零均值

[0266] 有源 BiNem 可以转换正极和负极的信号。

[0267] 此外,如 在无源 复用期间,当它们承受 DC 电压时,会出现由于电解导致某些液晶材料下降的问题。用于解决这个问题的一种方案可以由施加零均值信号给液晶组成。具有零均值的信号可以通过逆转从一帧到另一帧施加到列的电压信号来获得。

[0268] 根据本发明的典型实施例

[0269] 利用商业软件来进行根据本发明的有源 BiNem 显示屏的寻址的两个完全模拟(前述的选项 1 和选项 2),以验证根据两个选项的关键步骤。对这两个模拟共同的参数是:

[0270] 像素的尺寸:

[0271] 方形像素:  $W_{LC} = L_{LC} = 210 \mu m$ ;

[0272] 晶胞的厚度:

[0273]  $d = 1.5 \mu m$

[0274] 显示屏的特性:

[0275] 速率: 50Hz, 即帧时间为 20ms;

[0276] 480 行和 640 列 (VGA 分辨率)

[0277] 可获得行时间:  $40 \mu s$

[0278] 液晶的特性:

[0279]  $C_{LC} = \epsilon_0 \epsilon_{LC} W_{LC} L_{LC} / d$ ;

[0280]  $\epsilon_0$ : 自由空间的介电常数;

[0281]  $\epsilon_{LC}$ : 液晶的相对介电常数。

[0282] 考虑到液晶的介电各向异性,我们考虑在平面 - 类回归线转换(在 EC 阶段电容器的充电)情形的  $\epsilon_{LC}$  为 5,和在类回归线 - 平面转换(在 ES 阶段电容器的放电)情形的  $\epsilon_{LC}$  为 25。

[0283] 液晶的电阻系数:  $10^{10} \Omega \cdot cm$ 。这种液晶电阻系数是中等质量(用于标准 TFT 处理的 LC 具有大约高两个数量级的电阻系数,即,  $10^{12} \Omega \cdot cm$ )。

[0284] TFT 的特性(相应于目前现有技术的 a-Si 标准 TFT 模式):

[0285] 在我们的模式中, TFT 由下列参数表征:

[0286]  $CM =$  每单位面积的绝缘容量:  $30nF/cm^2$ ;

[0287]  $\mu_0 =$  迁移率:  $0.4cm^2/V \cdot s$ ;

[0288]  $W =$  TFT 的宽度:  $20 \mu m$ ;

[0289]  $L =$  TFT 的长度:  $4 \mu m$ ;和

[0290]  $C_s =$  存储容量 =  $2C_{LC}$ (定义为  $\epsilon_{LC} = 5$ , 参见液晶的特性)。

[0291] 这些参数允许模拟开启模式 ( $R_{on}$ )。

[0292] 行电压（施加给栅极）

[0293] 行电压是 30V,同时  $T_g = T_g' = T_g'' = 20 \mu s$  和  $T_c = T_s = 1ms$ 。

[0294] 图 17 示出了相应于选项 1 的行寻址电压,包括各个持续时间  $T_g$ 、 $T_g'$  和  $T_g''$  的三个脉冲。

[0295] 图 18 示出了相应于选项 2 的行寻址电压,包括各个持续时间  $T_g$  和  $T_g'$  的两个脉冲。

[0296] 金属信号传输轨道的特性:

[0297]  $R_{ct}$  (轨道):  $0.1 \Omega$ ; 宽度 =  $t_t$ :  $5 \mu m$

[0298] 在像素端的电压由最后一行来计算,以便考虑在沿列的信号传播期间所有寄生耦合的影响。

[0299] 根据本发明选项 1 的典型实施例

[0300] 用这种选择,需要三个转换  $T_g$ 、 $T_g'$  和  $T_g''$ ,即,全部行寻址时间为  $3 \times 20 \mu s = 60 \mu s$ 。在 50Hz,它有可能寻址 333 行,栅极开启时间为  $20 \mu s$ 。为了增加行数,它有可能降低  $T_{gs}$ ,也就是说增加 TFT 和液晶的性能,以便在较短时间  $T_g$  充电至 P1 (EC 阶段) 和在较短时间  $T_g'$  从 P1 放电 (ES 阶段)。

[0301] 列电压:

[0302] 与来自行的第一寻址脉冲同步,施加破坏电压  $V_{col} = 25V$  持续时间  $T_g = 20 \mu s$ ,像素充电目的是在  $20 \mu s$  选择 20V 的破坏电压 P1i ;和

[0303] 然后,在  $1ms$  的时间  $T_c$  之后,与来自行的第二寻址脉冲同步,下面施加:

[0304] 在转换至 T 结构的情形:零选择电压用于  $20 \mu s$  的时间  $T_g'$ ,目的是从电压 P1f 到电压 P2T,其在小于  $T_t$  (大约  $30 \mu s$ ) 的时间必须小于 5V (在 P2U 的情形,在 7V-9V 之间,如上述复用 BiNem 所述),在这种情形等于  $20 \mu s$ ;

[0305] 在转换至 U 结构的情形:例如 8V 的选择电压, $20 \mu s$  的时间  $T_g'$ ,目的是从电压 P1f 到电压 P2T,一般在大约  $20 \mu s$  内为 8V ;和

[0306] 在时间  $T_s$  之后,与来自行的第三寻址脉冲同步,独立于结构,施加零复位电压持续  $T_g'' 20 \mu s$ 。

[0307] 模拟的结果:

[0308] 图 19 示出了在像素端的计算信号,用于转换至 T 结构。产生的信号是方波,如图 2 所示。这表示正确地进行像素的充电——在  $20 \mu s$  内达到稍稍高于 20V 的电压。在该相同电压 (在该“标准”TFT 情形非常小的泄漏) 和非常接近 0V 的值之间的放电也在  $20 \mu s$  内进行。从而该信号完全与转换至 T 结构的情形兼容。

[0309] 图 20 示出了在转换至 U 结构情形的像素端的计算信号。

[0310] 通过三个寻址步骤,产生用于复用的相同类型的两水平信号并允许转换至 U 结构。

[0311] 在  $2ms$  之后,用于转换至 T 结构和 U 结构的控制信号是 0V。从而在下一帧期间的转换机构没被扰乱。

[0312] 具有较高泄漏的 TFT 也可以用于该选项,提供:

[0313] 在整个 C 阶段 (一般为  $1ms$ ) P1 保持在  $V_c$  以上 ;和

[0314] 没有其 RMS 值大于阈值电压或弗雷德里克 (Fredericks) 电压 (大约 0.5V) 的寄

生信号被传送给像素。

[0315] 本发明根据选项 2 的典型实施例

[0316] 这种选项,需要两次转换  $T_g$  和  $T_g'$ ,即,整行寻址时间为  $2 \times 20 \mu s = 40 \mu s$ 。有可能在  $T_g = T_g' = 20 \mu s$  内寻址 480 行。

[0317] 通过非限制性实例,选择  $150 M\Omega$  的放电电阻  $R_f$  并相应于液晶最大容量的 10ms 放电时间。

[0318] 列电压:

[0319] 与来自行的第一寻址脉冲同步,施加破坏电压  $V_{col} = 25V$  持续时间  $T_g = 20 \mu s$ ,像素充电目的是在时间  $T_g$  内选择 23V 的破坏电压  $P1i$ ;和

[0320] 然后,在 1ms 的时间  $T_c$  之后,与来自行的第二寻址脉冲同步,下面施加:

[0321] 在转换至 T 结构的情形:施加持续时间  $T_g'$  被选择等于  $T_g$  的零选择电压,目的是从电压  $P1f$  放电到电压  $P2T$ ,其在小于  $T_t$  (大约  $30 \mu s$ ) 的时间必须小于 5V,在这种情形等于  $20 \mu s$ ;

[0322] 在转换至 U 结构的情形:施加例如 18V 的选择电压,持续  $T_g' = 20 \mu s$  的时间,其相应于电压  $P2U$ ,从而使经过放电电阻的下降时间小于 20ms 的帧时间。

[0323] 此外,该值使得产生连续下降的信号。

[0324] 没有脉冲为零的复位,从而在像素端的泄漏必须使得在帧时间 RAM 的持续时间内复位至零。因为非零的起始电压会干扰弹性连接和流体力学连接,所以对下一帧来说复位至零是必要的,从而进行转换。

[0325] 模拟的结果:

[0326] 图 21 示出了在转换至 T 结构情形时在像素端的计算信号。

[0327] 产生的信号是方波,如图 2 所示。这表示正确地进行像素的充电。在  $20 \mu s$  内电压达到 23V。放电电阻在 1ms 内产生 3V 的电压下降。从而电压  $P1f$  为 20V (固定的限制,使得  $P1 > V_c \approx 16V$ )。在 20V 和非常接近 0V 的值之间的放电也在  $20 \mu s$  内进行。从而该信号完全与转换至 T 结构的兼容。

[0328] 图 22 示出了在转换至 U 结构情形时在像素端的计算信号。

[0329] 产生的信号是连续斜坡,如图 3 所示。这表示正确地进行像素的充电。在  $20 \mu s$  内电压达到 23V。放电电阻在 1ms 内产生 3V 的电压下降。从而电压  $P1f$  为 20V (固定的限制,使得  $P1 > V_c \approx 16V$ ) (同上面转换至 T 结构)。从而放电电阻使得像素端的电压连续下降。在 10ms 内进行 3V 的下降,并且在 20ms 达到 0.45V (接近 Feedericks 电压) 的电压——为帧时间选择的值。

[0330] 分别在 2ms 和 20ms 之后,用于转换至 T 结构和 U 结构的控制信号非常接近 0V。从而在下一帧期间转换机构没有干扰。

[0331] 发明的优点

[0332] 在固定模式中操作:BiNem 的双稳态和光学质量

[0333] 如果显示屏不被寻址而显示固定图像,图像的性能是 BiNem 的性能。双稳态不用供应能量使得该显示图像被保持住,不像标准液晶需要以至少 50Hz 的频率不断地刷新,而导致增加显示屏的功耗。U 结构和 T 结构的平面特性 (没有倾斜于基板平面的分子) 使它有可能以大视角实现图像的良好光学质量 (对比度,亮度),而不用附加如在具有 TN 或 MVA

作用的情形时的双折射补偿膜。

[0334] 选择寻址的作用：在移动图像中部分地保持了固定图像的光学质量

[0335] 如果仅仅选择性地寻址在两帧之间改变状态的像素，则不重新寻址的部分图像是稳定的。它具有与固定图像质量相同的质量，并且给观看者良好的整体视觉印象。像素转换仅在需要转换至 T 结构或 U 结构时间（即，大约 5ms）的期间受干扰。从而显示屏的对比度和亮度被优化。在每帧不出现经过中间转换状态的像素转换，只是当该像素改变状态时出现像素转换。

[0336] 选择寻址的作用：功耗降低

[0337] 在每次改变图像时，尽管所有的寻址行的 TFT 同时接收栅极开启信号，但仅有改变状态的像素经过相关 TFT 的漏极接收控制信号。在其它像素的情形，也就是说，那些不期望改变状态的像素，相关 TFT 的源极和漏极保持在零电势。从而功耗明显降低，在缓慢改变图像的情形甚至为零。

[0338] TFT 的作用：像素的绝缘

[0339] 连接到每个像素的晶体管起开关作用，其在装载数据时短时间关闭（从大约  $10\ \mu\text{s}$  到几十  $\mu\text{s}$ ），并且在其余的帧时间开启。从而每个液晶像素与其它像素绝缘和沿列轨道传播的列数据绝缘。当寻址图像时不出现闪烁效应，关于像素寻址的数量没有任何限制。

[0340] TFT 的作用：提高寻址速率

[0341] 用于有源 BiNem 的行寻址时间取决于采用的选项，大约为栅极开启时间  $T_g$  的 2 或 3 倍，一般为几十  $\mu\text{s}$ ，相比之下，复用寻址所需的时间一般为大约 1-2ms。因此，用根据本发明的有源 BiNem 与无源复用相比达到大约提高 50 倍的可达速率。如在用 TFT 寻址的标准液晶的情形，以根据本发明的有源 BiNem 模式可能以视频速率寻址 1000 行。

[0342] TFT 的作用：更好地沿行传播信号

[0343] 在 TFT 显示屏中，通过在宽度为  $l_p$  的像素之间的非常细的金属轨道传输信号。沿这些行的传播根据扩散方程进行，如在 ITO 轨道的情形，但是，这些轨道的表面电阻是  $\approx 0.1\ \Omega$ ，即，低 100 倍。从而对相同的显示屏，传播时间降低 100 倍。其仅仅出现在显示屏的列长 10 倍的情况下。

[0344] 金属列轨道一次仅充电一个像素，而且，其比像素更窄。这些影响彼此部分地补偿。由于的轨道电阻，所以金属的电导率使充电时间可以忽略。对于尺寸为  $L = 85\text{mm}$  的方形显示屏，边为  $L/n$  的方形的像素，对于边为  $210\ \mu\text{m}$  的 400 个方形像素，宽度为  $l_p$  的金属轨道的传播时间  $T_d$  与充电时间  $T_c$  的比率是：

$$[0345] \quad T_d/T_c = (R_{S(\text{ITO})}/R_{S(\text{metal})}) (n^2 l_p/L)$$

$$[0346] \quad \approx (15/0.1) \times (400 \times 400 \times 5\ \mu\text{m}/85\text{mm}) = 1400$$

[0347] 因此，可以看出，在沿列传播期间轨道的  $R_s$  对于列信号下降边缘的变形没有限制。

[0348] 在开启状态时 TFT 的电阻取决于在足够短时间内电压充电和放电（EC 阶段和 ES 阶段）的容量。

[0349] 技术特征：TFT 的技术要求

[0350] 上述的模拟显示了标准 TFT 的使用与根据发明选项 1 兼容（在用时间  $T_g$ 、 $T_g'$  和  $T_g''$  间隔开的三个连续阶段期间，寻址和控制信号的应用），用于 U 结构和 T 结构之间的二

进制转换。

[0351] BiNem的转换取决于施加的信号波形,特别是取决于下降边缘的波形。从而晶体管电阻  $R_{on}$  的值必须让充电和放电时间少于  $30 \mu s$ 。这可以容易地用标准迁移率(比较模拟)实现。为了增加根据本发明有源 BiNem 显示屏的分辨率和速率,可能使用晶体管,其让像素电压更迅速地充电和放电,以便减少栅极开启时间  $T_g$ 、 $T_g'$  和  $T_g''$ 。例如,这可以用大于模拟所选的迁移率  $\mu_0$  的 TFT 来实现,或用更短的的晶体管(更短的沟道长度)来实现,因为  $R_{off}$  不是关键的。

[0352] 至于晶体管的电阻  $R_{off}$ ,这包括从被  $R_{off}C_{tx}$  滤光片衰减的其它像素将列信号传输到给定像素。应该指出,对  $R_{off}$  的限制,在这种情形比用于传统显示器的 TFT 情形小得多,因为对于寄生信号所要求的是在 Fredericks 电压 ( $0.5V$ ) 以下,因此对转换时间之外的像素没有作用。在破坏时间  $T_c$  期间,不存在限制,因为所有都被要求稍稍地增加  $P1$ ,以便对它们来说不存在该寄生信号造成像素电压降至  $V_c$  以下的风险。从而可能使用对于两个选项的(应用以时间  $T_g$ 、 $T_g'$  和  $T_g''$  间隔开的三个连续阶段的寻址和控制信号或应用以时间  $T_g$  和  $T_g'$  间隔开的两个连续阶段的寻址和控制信号)容许较低  $R_{off}$  的“低等”的晶体管,也就是说具有较大的泄漏。在这种情况下,提出对 TFT 参数的某些限制。

[0353] 出于相同的原因,液晶电阻系数的容差大于与标准液晶效果相关的 TFT 情形的容差。在根据本发明的有源 BiNem 的情形允许较低的液晶电阻系数。

[0354] 为了优化的操作,使用寻址选项 2(两次转换寻址)建议在液晶端增加放电电阻  $R_f$ 。

[0355] 通常,输入标准 TFT 的存储电容器  $C_s$  用于显示屏,干涉信号将引起在液晶端的电压变化。因为对保持电压的限制比在根据本发明的有源 BiNem 情形的小得多,所以在优化设计用于 BiNem 应用的 TFT 时,可能减少该存储电容器  $C_s$ ,甚至去除该存储电容器  $C_s$ 。

[0356] 通过晶体管实现的转换功能也可以用基于一个或两个二极管的系统来实现,如图 23 和 24 所示。行 46 和列 45 各在晶胞的一面(技术简化)。列 45 可以在第一板上用传统的 ITO 轨道形成。第二板包括 ITO 焊盘 47,设置在列 45 的对面,以限定像素。而且,对于每个像素,第二板带有分别在行 46 和相关焊盘 47 之间设置的双二极管 100。每个二极管 100 的方向取决于施加到行和列之间信号的极性。二极管设置成“以逆向模式”操作,就是说当它们接收大于其齐纳(Zener)电压  $V_z$  的逆向电压时,允许信号电流流过。选择该齐纳电压  $V_z$  的绝对值大于  $P1$  的绝对值。

[0357] 对于施加到列 45 的正电压和施加到行 46 的负电压,二极管 100 使其阳极在行 46 这侧,使其阴极在焊盘 47 这侧,从而在列 45 这侧。

[0358] 关于图 23:

[0359] 控制限定在行 1(46)和列 45 的交点的像素,电压  $V_z$  施加给行 1,正电压  $P1$  施加给列 45。因为在二极管 100 终端的绝对值  $V_z$  的电压下降,相应的像素在其终端发现电压  $P1$ 。

[0360] 在行 2(46)和相同列 45 交点限定的像素不受控制。这是因行 2 在  $0V$ ,相关的二极管 100 发现电压  $P1$  低于其齐纳电压  $V_z$  并保持关闭。

[0361] 在图 25 中示出了二极管 100 的特性。

[0362] 根据两个背对背二极管 100 和 102 的系统,如图 24 所示(参见图 26 中的特性),允许用双极型开关信号进行同样的操作。

[0363] 参考文献：

[0364] 文献 [1] :专利 FR 2 740 894 ;

[0365] 文献 [2] :PM Alt 和 P. Pleshko, IEEE Trans Electron Devices ED-21,146-55, 1974 ;

[0366] 文献 [3] :C. Joubert, SID Proceedings, 2002, 第 30-33 页 ;

[0367] 文献 [4] :专利 FR 2 824 400。

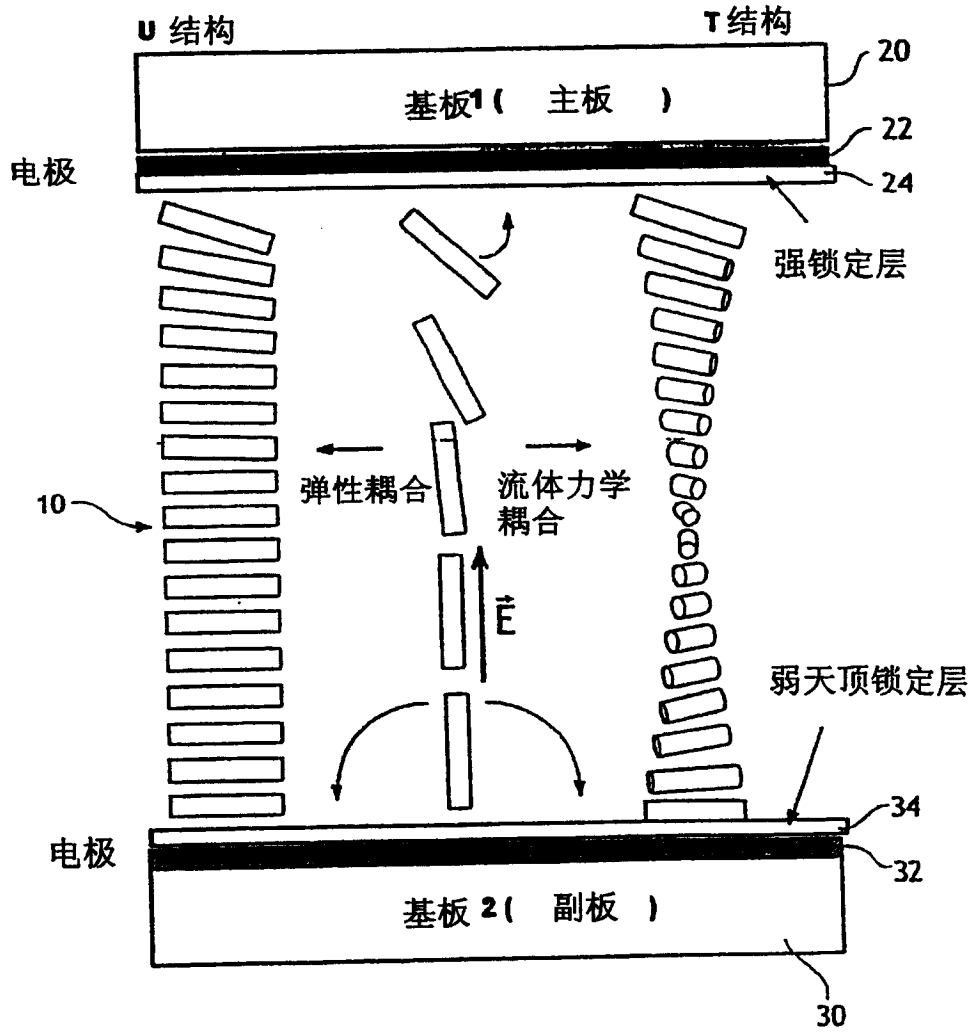


图 1

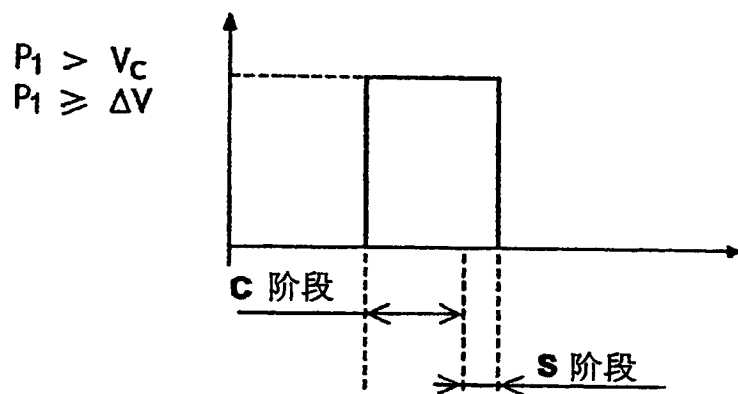


图 2

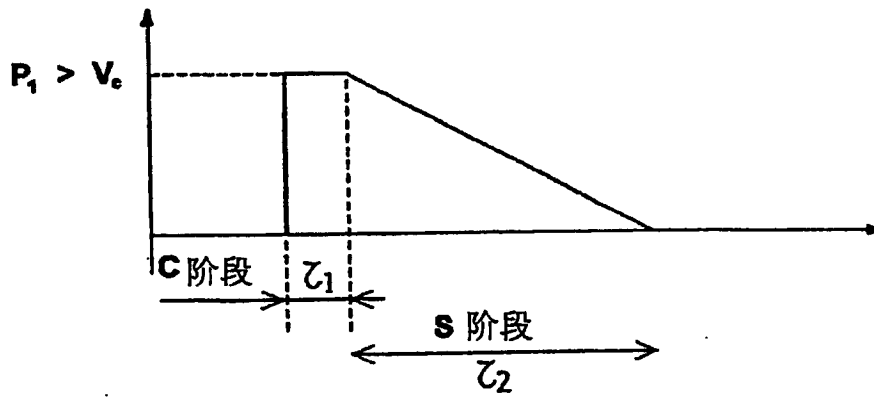


图 3

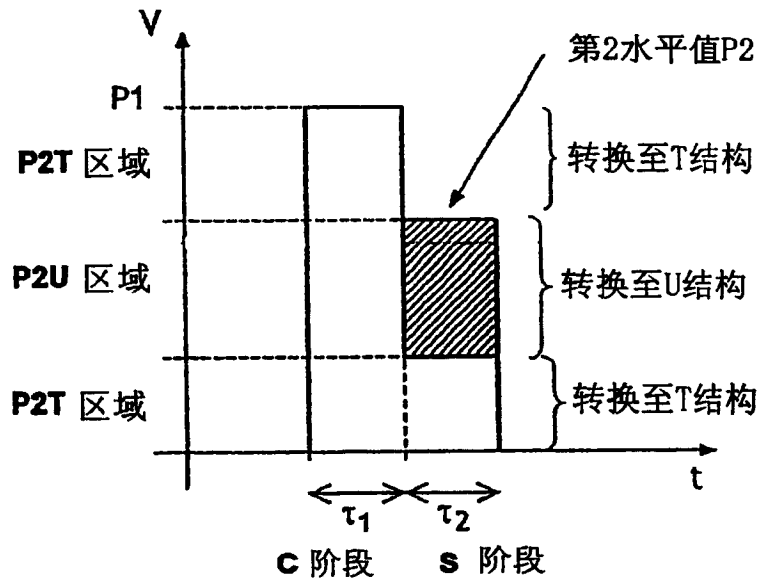


图 4

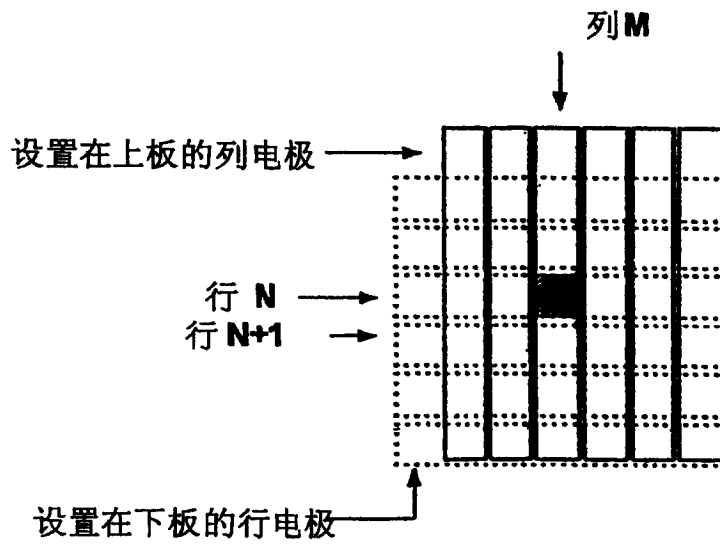
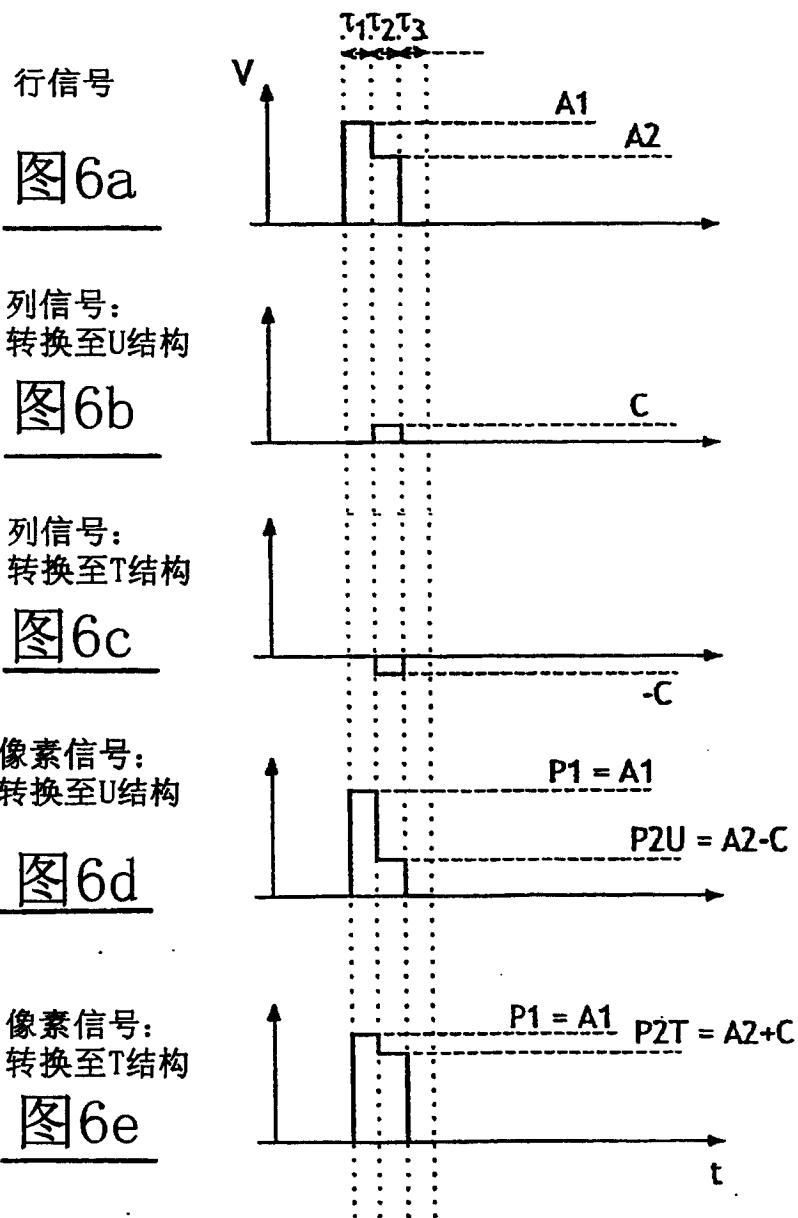


图 5



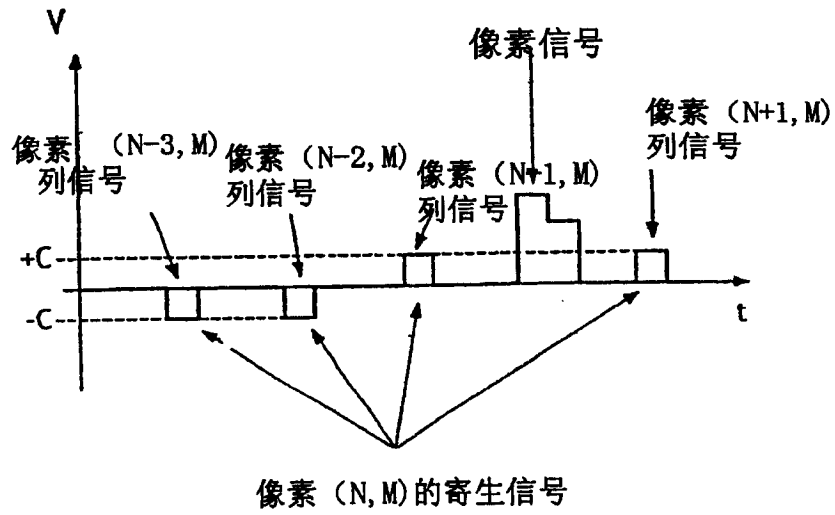


图 7

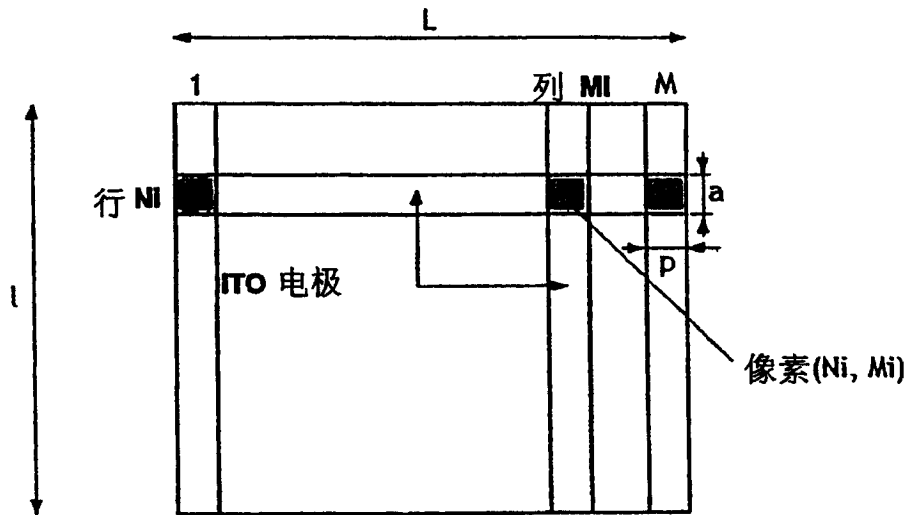


图 8

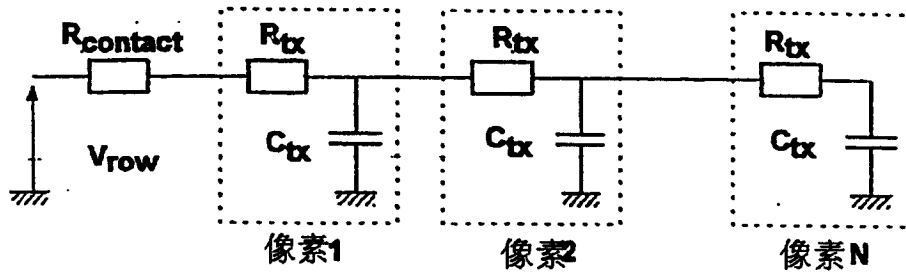


图 9

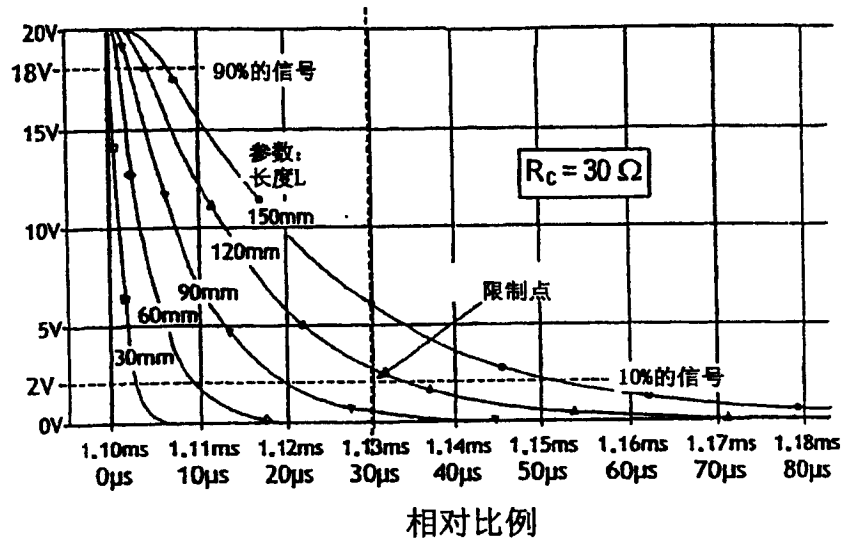


图 10a

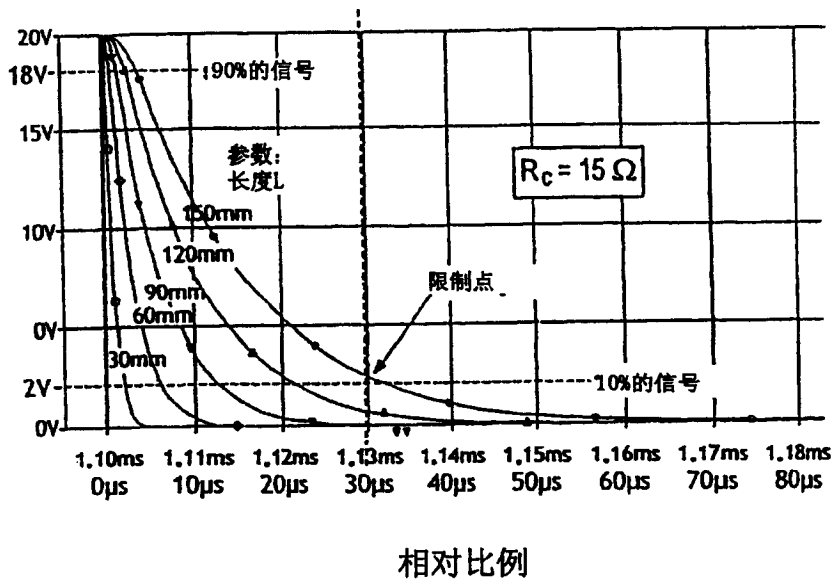


图 10b

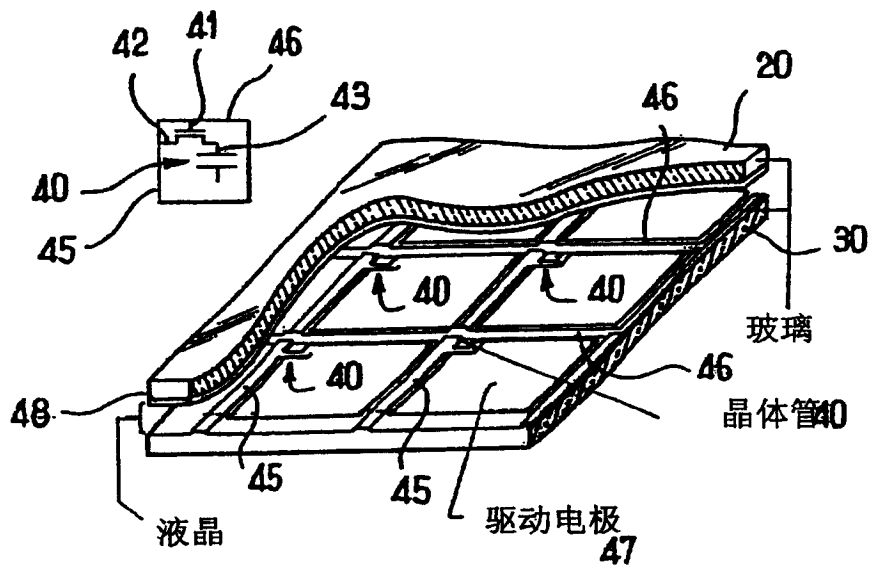


图 11

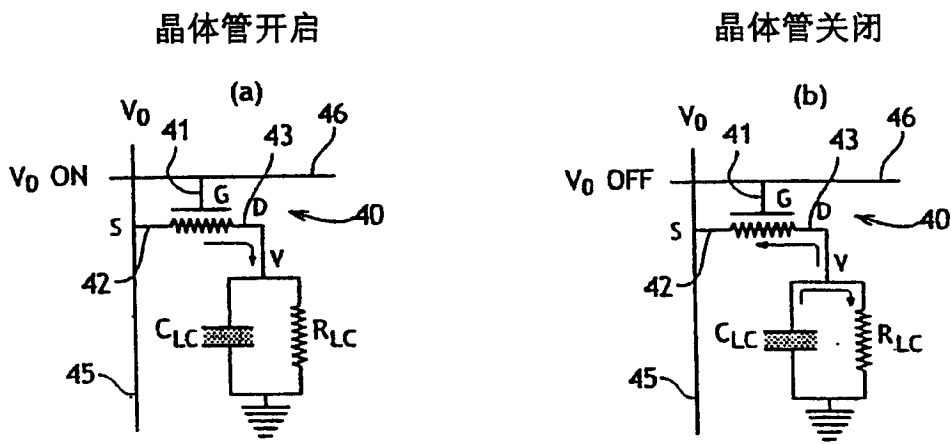
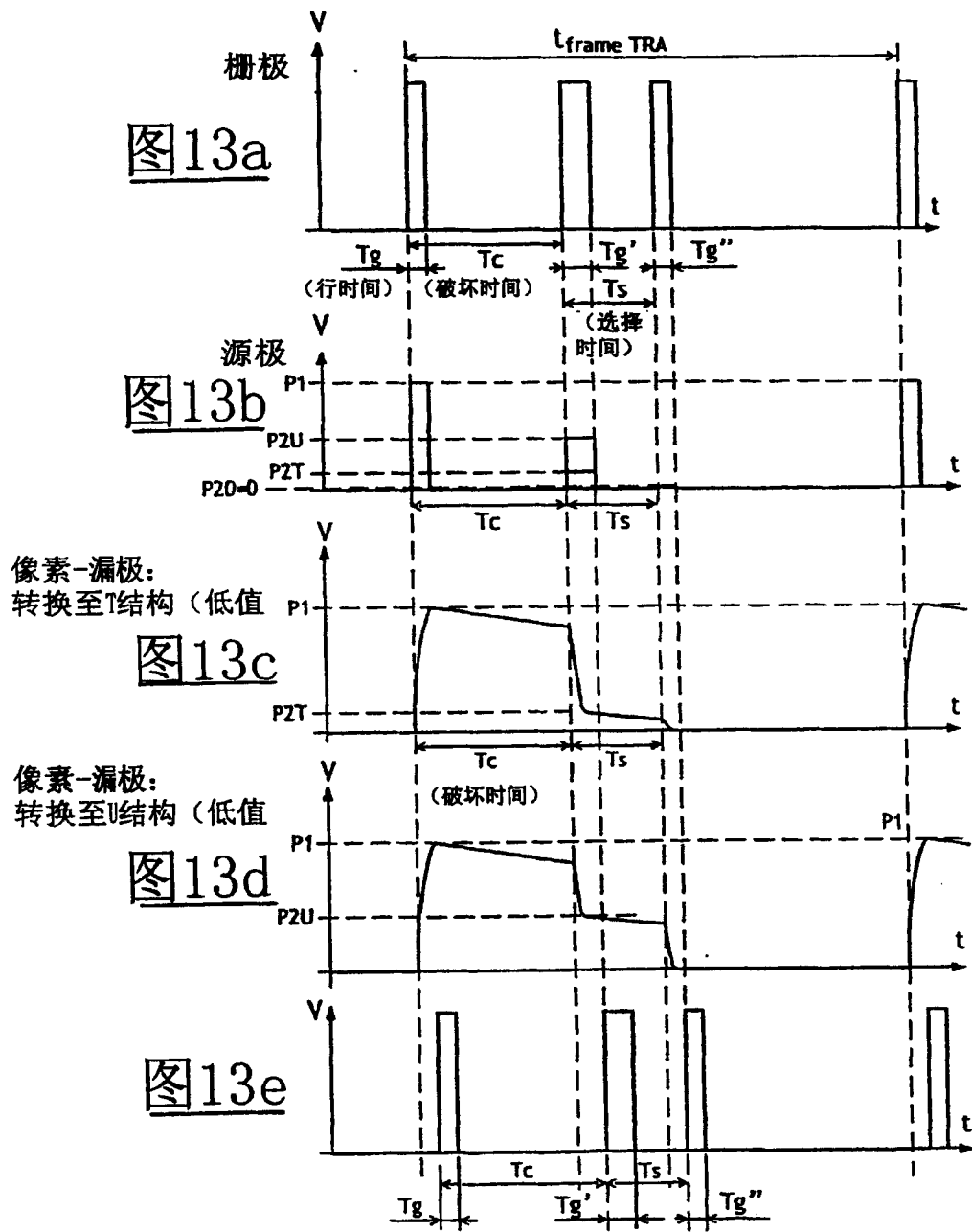


图 12a

图 12b



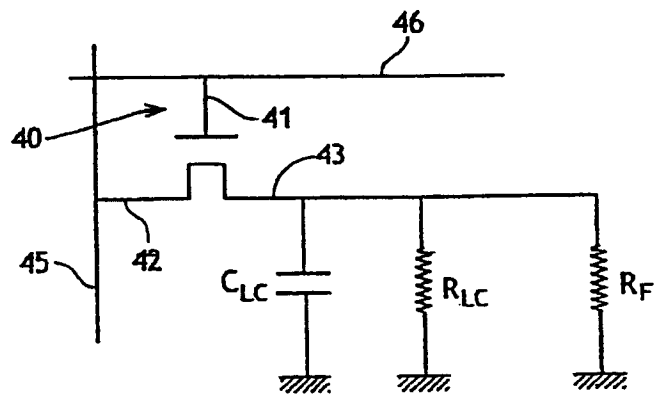
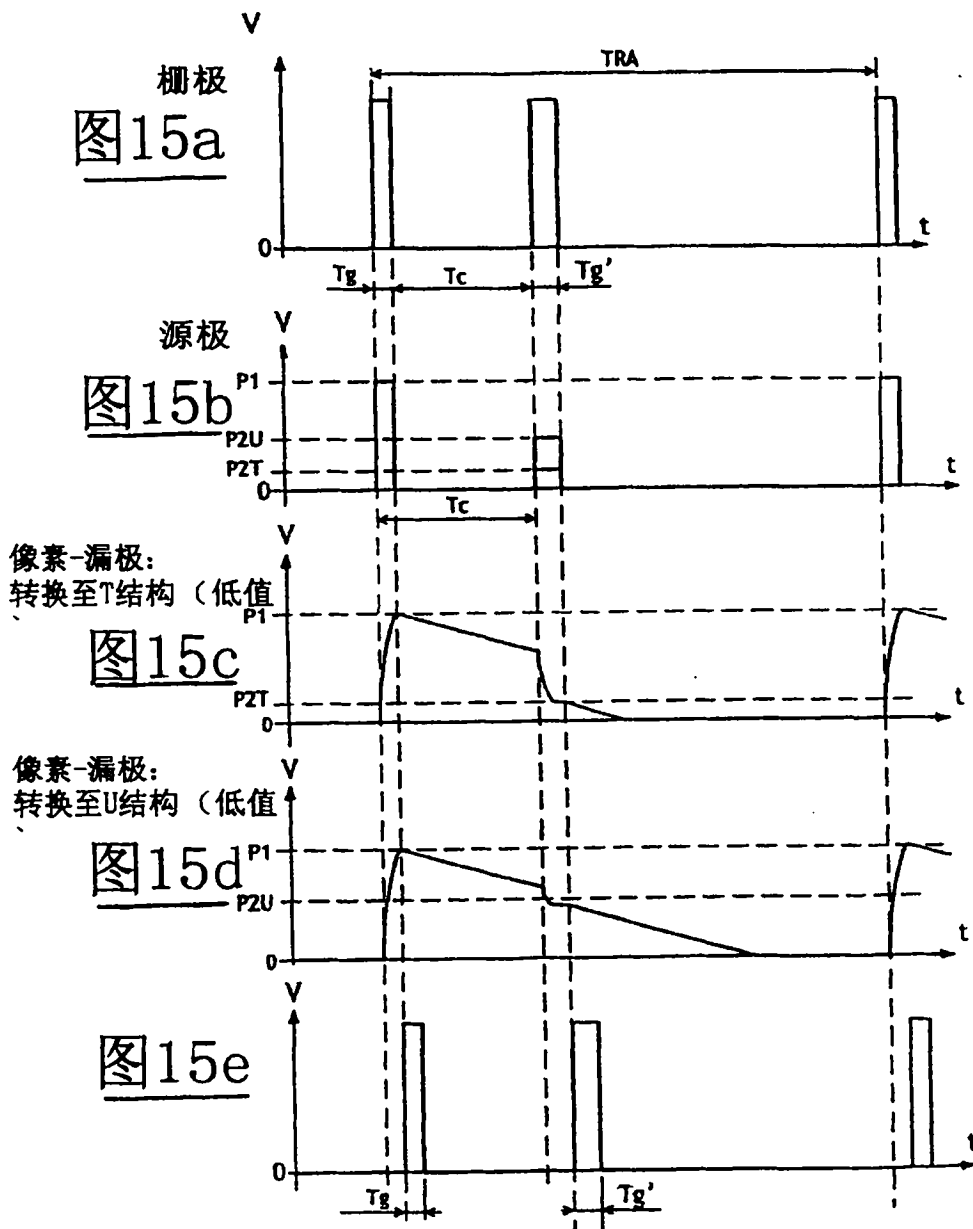


图 14



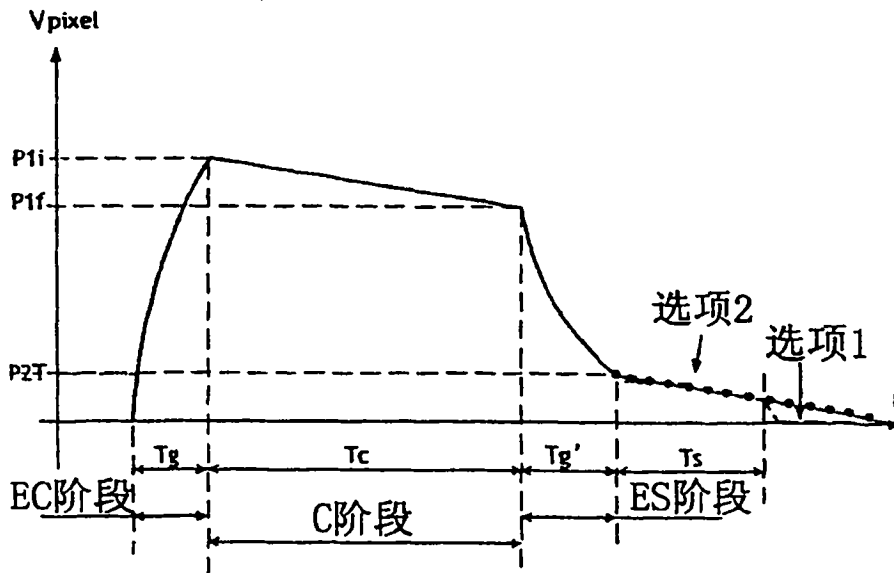


图 16

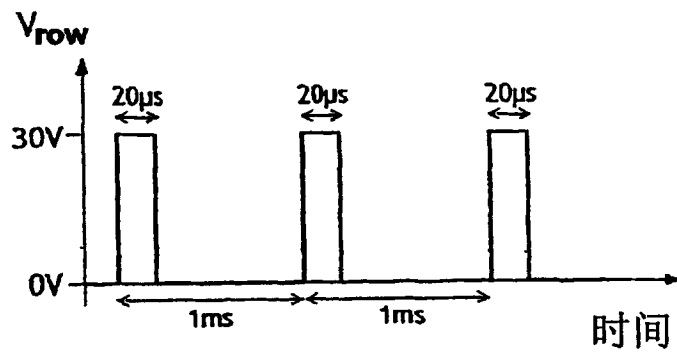


图 17

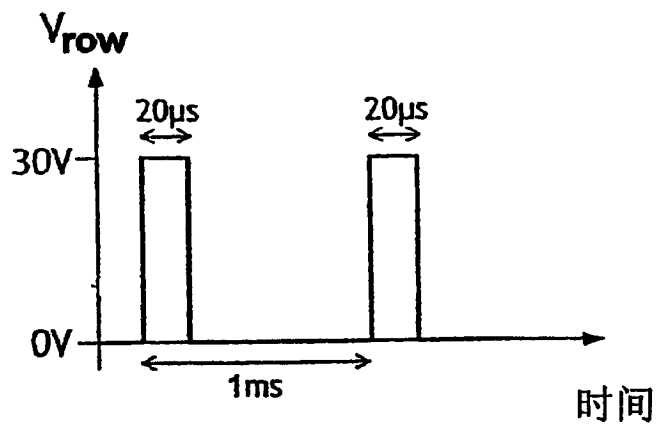


图 18

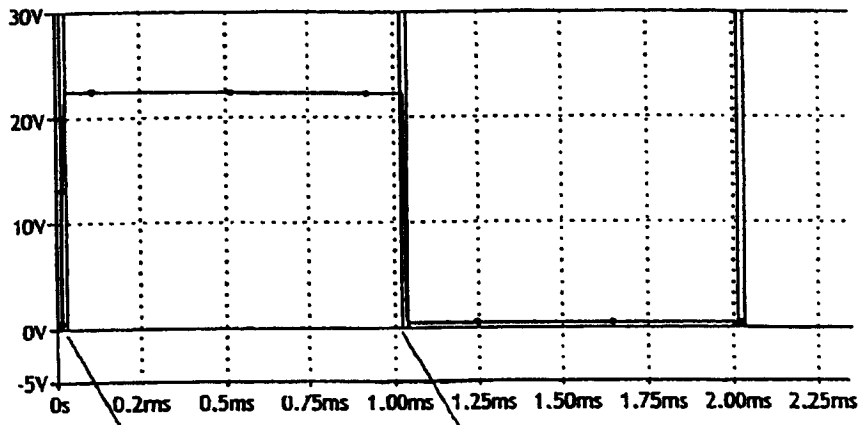


图 19a

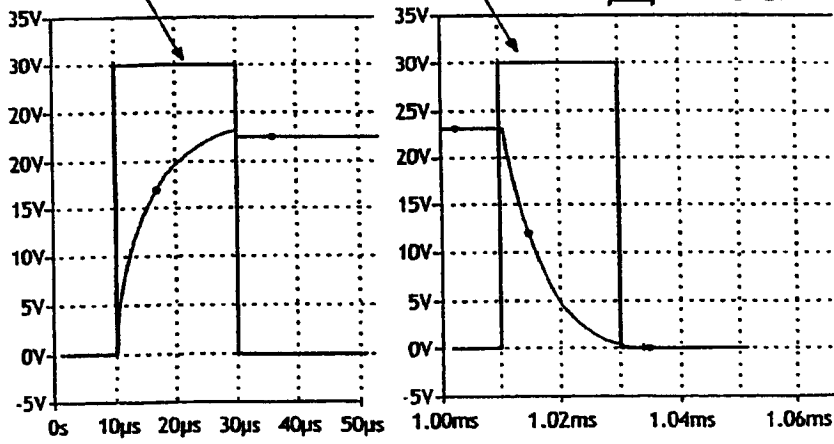


图 19b

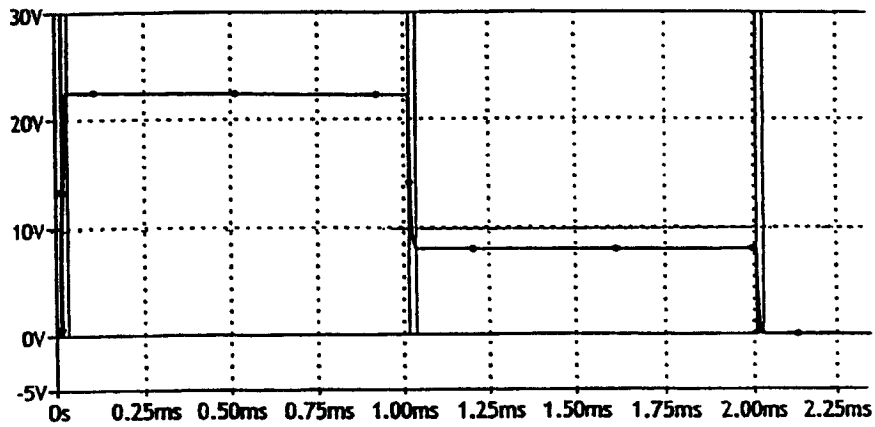


图 20

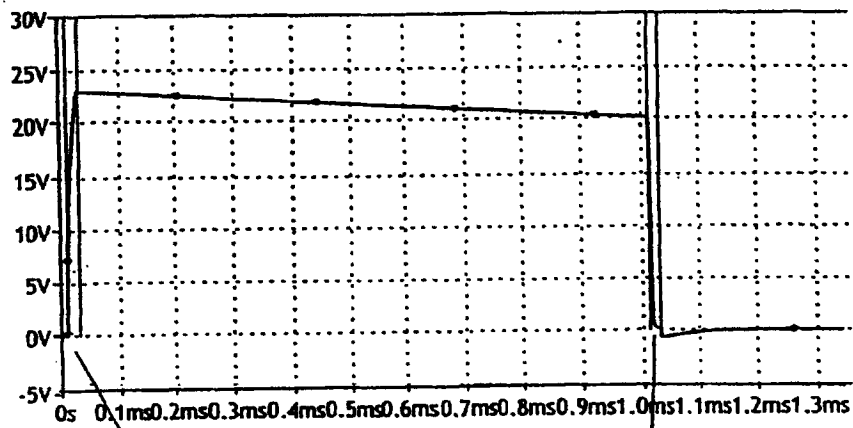


图 21a

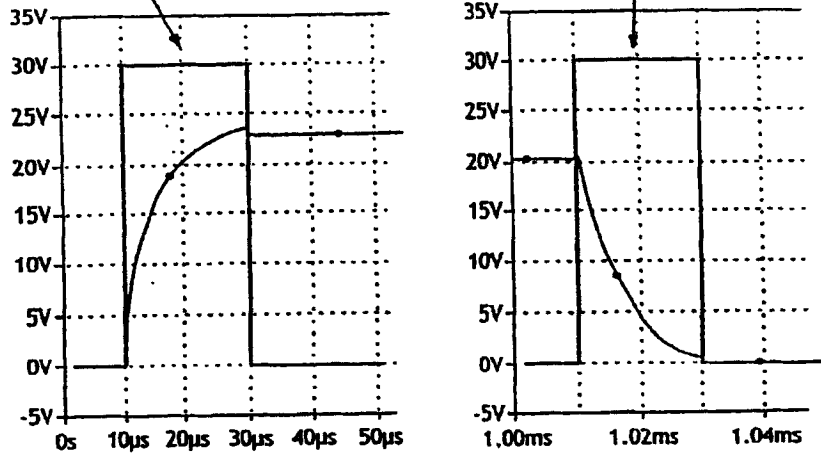


图 21b

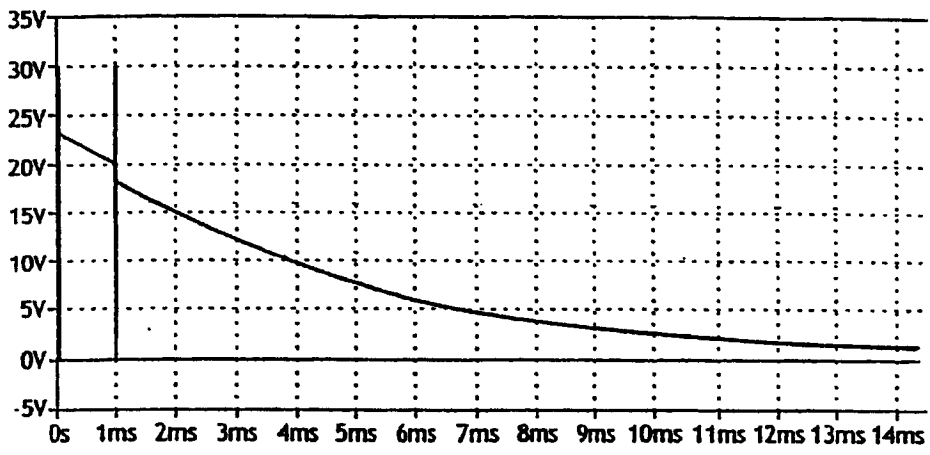


图 22

图 23

图 24

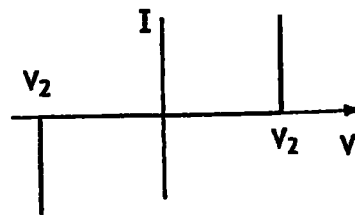
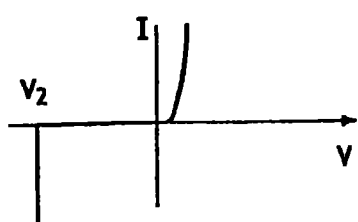
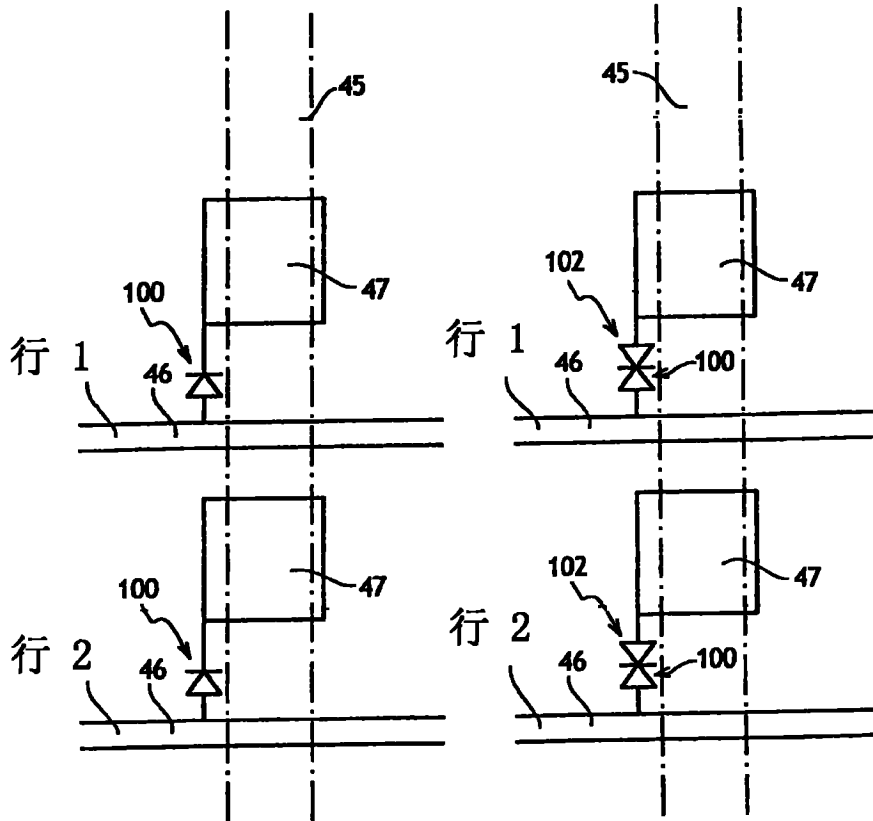


图 25

图 26

专利名称(译)	双稳态向列液晶显示器件以及控制该器件的方法		
公开(公告)号	<a href="#">CN1717619B</a>	公开(公告)日	2011-03-30
申请号	CN200380104299.5	申请日	2003-11-24
[标]申请(专利权)人(译)	内莫普蒂克公司		
申请(专利权)人(译)	内莫普蒂克公司		
当前申请(专利权)人(译)	内莫普蒂克公司		
[标]发明人	P马蒂诺 拉加德 A布瓦西耶 J安热勒 F勒布朗		
发明人	P· 马蒂诺-拉加德 A· 布瓦西耶 J· 安热勒 F· 勒布朗		
IPC分类号	G02F1/139		
CPC分类号	G02F1/1391		
代理人(译)	程伟		
优先权	2002014806 2002-11-26 FR		
其他公开文献	CN1717619A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明涉及一种显示器件，其包括具有锁定破坏的双稳态向列液晶点阵显示屏，其特征在于包括：能够在关闭状态和开启状态之间转换的元件(40)，这些元件分别设置在与每个像素相关的驱动电极(47)和显示状态控制连线(45；46)之间；和能够经过状态控制连线(45；46)将输入信号施加到各个前述元件(40)的输入端的装置，输入信号包括至少由控制的时间间隔分开的两个阶段，即，第一阶段，在第一阶段期间，输入信号具有足够让相关像素的液晶锁定破坏的幅度，和第二阶段，在第二阶段期间，控制输入信号的幅度，以便选择液晶的两个双稳态之一，改变两个阶段之间的时间间隔，以便在施加第二输入信号阶段之前破坏所述相关像素的液晶锁定。

