



[12] 发明专利申请公开说明书

[21] 申请号 200410093867.2

[43] 公开日 2005 年 6 月 29 日

[11] 公开号 CN 1632849A

[22] 申请日 2004. 12. 8

[21] 申请号 200410093867.2

[71] 申请人 南开大学

地址 300071 天津市卫津路 94 号

[72] 发明人 耿卫东 代永平 孙钟林 刘艳艳

[74] 专利代理机构 天津市学苑有限责任专利代理事
务所

代理人 解松凡

权利要求书 4 页 说明书 7 页 附图 2 页

[54] 发明名称 通用型平板显示控制器及其控制方法

[57] 摘要

本发明涉及一种平板显示器的结构和控制，特别是具有 PWM 波形发生器和可配置寄存器，可用于 LCD、FED、PDP 等各种显示器的控制，属于平板显示技术领域。目前平板显示器的外围控制电路都是采用可编程逻辑器件或专用电路 ASIC 来设计，虽然显示器的扫描控制原理相同，但不能通用，不能标准化。本发明的控制器包括数字变频器、I²C 接口控制器、PWM 波形发生器等 7 大部分，将它们集成在一起，采用可配置寄存器输出不同显示分辨率、不同场频率和不同数据写入方式的各种显示控制信号和时钟信号；采用 PWM 波形发生器产生脉宽调制驱动信号来满足 FED、PDP 等需要的高电压激励信号；通过列扫描控制器产生满足液晶显示的反转控制信号。可优化显示系统电路，降低成本，实现标准化。

1. 一种通用型平板显示控制器, 它包括数字变频器、I²C 接口控制器、状态寄存器、PWM 波形发生器、列扫描控制器、行扫描控制器、存储器控制器, 其特征在于: 将它们集成在一起:

数字变频器(1): 由数据锁存器(12)、延时电路(11)和逻辑运算电路(10)三部分组成; 数据锁存器(12)的数据输入端与配置寄存器(13)相连, 接收并锁存配置寄存器(13)的数据, 延时电路和逻辑运算电路的时钟输入端直接连到外部时钟输入, 逻辑运算电路把外部输入的时钟信号和延时后的信号经过异或运算后在输出端输出 DCLK 信号; 外部时钟信号 CLK 输入给逻辑运算电路和延时电路, 延时电路根据数据锁存器的控制码 D0-D7, 把经过延时的频率信号 f1-f8 送到逻辑运算电路, 再由逻辑运算电路输出经过变频处理的时钟信号 DCLK;

I²C 接口控制器(2): I²C 接口控制器内部由串并转换器、时序控制器、地址发生器电路组成; I²C 接口控制器通过串行总线与外部 CPU 接口相连, 通过 3 位地址线和 8 位数据线分别与配置寄存器(13)、配置寄存器(14)、配置寄存器(15)、PWM 波形发生器(4)、状态寄存器(3)相连; I²C 接口控制器接收外部 CPU 的 I²C 协议信号, 在内部地址发生器的控制下, 顺序的写入各配置寄存器, 地址与内部寄存器的关系是: 000 为配置寄存器 13; 001 和 010 为 PWM 寄存器; 011 和 100 为配置寄存器 14; 101 和 110 为配置寄存器 15; 111 为状态寄存器;

状态寄存器(3): 由一个 8 位数据寄存器组成; 8 位数据输入线与 I²C 接口控制器数据总线相连, 8 位数据输出线连到 I²C 接口控制器的数据输出缓冲器; 由 I²C 接口控制器装入 8 位数据;

PWM 波形发生器(4): 由一个分频器(8)和一个可预置初值的可预置串入/并入串出移位寄存器(9)组成; 分频器的时钟输入端连到外部时钟 CLK, 内部移位寄存器的并行数据输入端连到 I²C 接口控制器的数据总线, PWM 输出端直接输出 PWM 信号; 接收外部的时钟信号, 根据内部寄存器的预置初值, 输出可调脉宽信号;

列扫描控制器(5): 由可预置循环计数器(16)、多路选择器(17)、分频器(18)组成; 循环计数器的数据预置端与配置寄存器(14)相连, 计数器的时钟输入与数字变频器的输出相连, 多路选择器的输入与行同步 Hs、场同步 Vs、像素时钟 DCLK 相连; 循环计数器通过配置寄存器(14)置初值, 然后对时钟 DCLK 减计数, 计数器全零时输出 VCK 和 OE 信号。多路选择器选择 Hs、Vs 和 DCLK 之一进行二分频后输出 POL 信号;

行扫描控制器(6): 由可预置循环计数器(19)、延时计数器(20)、延时计数器(21)、延时计数器(22)和或门(23)组成; 循环计数器的数据预置端与配置寄存器(15)相连, 计数时钟与列扫描控制器相连, 延时计数器分别与列扫描控制器、输入信号 Vsy、输入信

号 Hsy 相连；循环计数器通过配置寄存器（15）置初值，然后对列扫描控制器的输出信号 VCK 进行减计数，计数器全零时经或门输出 Vs 信号，或门的另一个输入来自 Vsy 的延时计数器；列扫描控制器输出的 VCK 信号经延时后输出 Hs 信号，Hsy 信号经延时后输出到存储器控制器用来产生 HF 信号；

存储器控制器（7）：由脉冲整形电路和单脉冲发生器组成；输入端接到行扫描控制器接收到的 Vsy 和 Hsy 信号，CS、VF 和 HF 信号直接对外输出；脉冲整形电路对 Vsy 信号进行整形后在经过分频输出 CS 信号。Vsy 信号延时后经单脉冲发生器输出 VF 信号，Hsy 信号延时后经单脉冲发生器输出 HF 信号；

2. 根据权利要求 1 所述的通用型平板显示控制器，其特征在于：PWM 波形发生器，其分频器（8）由 D 触发器组成；时钟端接外部输入时钟，反向输出端接到本身 D 数据输入端，正向输出端接到移位寄存器的时钟端；外部时钟接在 D 触发器的时钟，在正向数据输出端输出二分频后的时钟信号，作为移位寄存器的移位时钟；并行数据输入端接 I²C 接口控制器数据总线，串行输入端接末位串行输出端，构成移位计数器（9）；在移位时钟的控制下，由串行数据输出端输出方波信号；

移位寄存器（9）由 16 个 D 触发器构成可预置、可并行输入数据、可串行输入数据，且串行输出的循环移位寄存器。

3. 根据权利要求 1 所述的通用型平板显示控制器，其特征在于：数字变频器，其逻辑运算电路（10）：由异或电路和基本门电路组成，时钟输入端接外部时钟电路和延时电路，输出端接时钟信号外输出端；时钟信号 CLK 和延时的频率信号 f1-f8 进行异或等逻辑运算后，输出变频后的时钟信号；

其延时电路（11）由串联在一起的 8 个基本延时单元构成，每一个延时单元由两级反向器组成，并通过一个电子开关控制该延时单元是否工作；8 个延时单元的控制端接数据锁存器（12），时钟输入端接外部时钟输入，输出端接到逻辑运算电路；当锁存器（12）的控制码确定后，输入时钟信号 f0 经延时后输出频率信号 f1-f8 中的一个或几个给逻辑运算电路；

其数据锁存器（12）由 8 个 D 型触发器组成数据锁存器；数据输入端接到配置寄存器（13）的数据线，数据输出端接延时电路；根据数据锁存器的预置值产生延时电路的控制码。

4. 根据权利要求 1 所述的通用型平板显示控制器，其特征在于：配置寄存器（13）由 8 单元数据寄存器构成，数据输入端接 I²C 接口控制器数据总线，输出端接数字变频器的数据锁存器（12），从 I²C 接口控制器把配置数据写入数字变频器的数据锁存器（12）。

5. 根据权利要求 1 所述的通用型平板显示控制器，其特征在于：配置寄存器（14）由 16 单元数据寄存器构成；数据输入端接 I²C 接口控制器数据总线，输出端接列扫描控制器配置数据输入端；从 I²C 接口控制器把配置数据写入列扫描控制器配置数据输入端。

6. 根据权利要求 1 所述的通用型平板显示控制器, 其特征在于: 配置寄存器(15)由 16 单元数据寄存器构成; 数据输入端接 I²C 接口控制器数据总线, 输出端接行扫描控制器配置数据输入端; 从 I²C 接口控制器把配置数据写入行扫描控制器配置数据输入端。

7. 一种通用型平板显示控制器的控制方法, 其特征在于要依次经过下述步骤:

(1) 工作状态设定: 系统工作前通过 I²C 接口控制器由用户配置数据 Data, 包括显示器的分辨率, 场刷新频率, 显示数据通道总线宽度, PWM 信号占空比和液晶显示器反转方式等信息, 来设置配置寄存器(13)、配置寄存器(14)和配置寄存器(15), 从而设定系统的工作状态。

(2) 像素时钟信号的产生: 配置寄存器(13)根据所要控制的平板显示器的分辨率, 场刷新频率和显示数据通道总线宽度设定数字变频器的变频比例, 将外接的时钟信号 CLK 变成所需要的像素时钟频率 DCLK 输出, 作为平板显示器的像素时钟信号。同时 DCLK 还作为列扫描控制器的工作计数时钟。

(3) 行扫描控制信号的产生: 行扫描控制信号包括场同步信号 Vs 和行同步信号 Hs。Vs 决定每一场图像信号与信号源图像信息的同步和第一行扫描过程的开始。在两种情况下输出 Vs 信号, 当图像源的场同步信号 Vsy 到来, 经过确定的延时后, 输出 Vs 信号; 行扫描控制器始终对 VCK 信号减计数, 计数周期根据配置寄存器(15)的内容确定, 计数器全零时, 输出 Vs 信号。行同步信号 Hs 决定每一行中列扫描过程的开始, 在行扫描移位信号 VCK 到来后, 经过确定的延时后 Hs 为高电平, 在 VCK 的上升沿变为低电平。

(4) 列扫描控制信号的产生: 列扫描控制信号包括行扫描移位信号 VCK 和写屏使能信号 OE。VCK 信号由像素时钟计数器产生, 在 Vs 信号到来后计数器写入初值, 然后进行减计数, 其计数周期由配置寄存器(14)的设定状态决定, 计数器到零时, 产生一个 VCK 信号输出, 表明一行数据扫描结束。OE 信号是液晶显示器等平板显示器需要的向屏幕写入数据的使能信号, 可以根据需要由配置寄存器(14)设定选择逐点写入、逐行写入或者逐场写入。

(5) PWM 信号的产生: PWM 信号由 PWM 波形发生器产生, 通过 I²C 控制器把预置数据装入串入/并入/串出移位寄存器, 其输出端与串行输入端连在一起, 在时钟分频器的驱动下, 移位寄存器输出的脉冲占空比由预置数据决定。

(6) 存储器控制信号的产生: 存储器控制信号包括一个开关信号 CS 和两个同步参考信号 VF, HF。多数平板显示器控制器都设置了两组存储器, 一组处于写状态, 另一组处于读状态。处于写状态的存储器要根据信号源场同步参考信号 VF 和行同步参考信号 HF 产生地址信号, 经过对视频数据的适当编码将数据写入存储器。处于读状态的存储器的地址信号由 Vs、Hs 和 DCLK 来产生, 将顺序的读出数据送到显示屏数据总线。两个存储器的读写状态由 CS 信号控制切换。

(7) 液晶显示器视频极性反转控制信号 POL 的产生: POL 信号由列扫描控制器产

生,用于控制液晶显示器视频信号的交流驱动,列扫描控制器对驱动信号二分频获得 POL 信号,由像素时钟驱动时,为列反转方式;由行同步信号驱动时,为行反转方式;由场同步信号驱动时,为场反转方式;由像素时钟和行同步信号共同驱动时,为点反转方式。

8. 根据权利要求 7 所述的通用型平板显示控制器的控制方法,其特征在于:工作时序:控制器上电或复位后, I^2C 接口控制器首先由外部 MCU 把数据写入各配置寄存器;数字变频器根据配置寄存器(13)的值,由显示分辨率、场刷新频率和数据总线宽度三个参数计算出像素时钟的频率输出 DCLK 信号;列扫描控制器读取配置寄存器(14)的数据,计算像素时钟计数周期,并给计数器赋初值,计数器开始计数,输出 VCK、OE、POL 信号;行扫描控制器读取配置寄存器(15)的数据,计算 VCK 计数周期,并给计数器赋初值,计数器开始计数,计数器到零或 V_{sy} 信号到来,都会输出 V_s ,任何时刻, V_s 到来所有计数器置初值,VCK 延时后输出 H_s ;存储器控制器等待信号源的 V_{sy} 和 H_{sy} 信号,经过整形后输出 VF 和 HF 信号,可作为对存储器写操作的寻址标记信号,VF 信号的二分频作为 CS 信号输出;PWM 波形发生器在系统参考时钟的驱动下,输出可调占空比的方波信号。

通用型平板显示控制器及其控制方法

技术领域

本发明涉及平板显示器的驱动和控制技术，特别是具有 PWM 波形发生器和可配置寄存器，可以用于 LCD、FED、PDP 等各种平板显示器的显示控制器，属于平板显示技术领域。

背景技术

现在平板显示器已经成为信息显示技术发展的主流，各种不同类型的平板显示器件如 LCD、PDP、FED、OLED 等竞相发展，图像显示质量越来越好，应用领域越来越广。从系统方面讲任何平板显示系统都有三部分组成：视频信号处理电路、显示模块和接口控制电路。其中视频信号处理电路对任何平板显示器都是相同的，已有许多通用电路可供设计者选择；而显示模块由显示矩阵和驱动电路组成，不同类型的显示器件，其显示机理、显示屏结构和驱动电路有很大的区别，但都通过各自的驱动电路来实现；对于接口控制电路，目前各研发单位和生产厂家都是根据各自的情况，采用 FPGA 等可编程器件或开发专用电路 ASIC。不同厂家的产品或同一厂家不同类型的产品其接口控制电路都不一样。不仅使得显示系统的成本居高不下，而且难于实现规范化产品的形成。经过分析，各种类型的平板显示器有一个共同的特点，即都是采用矩阵结构，其驱动原理是一致的，对像素扫描寻址的方法和过程都是按行、按列逐点扫描进行显示。因此发明一种通用型平板显示控制器，能够实现对不同平板显示器件的控制，不但具有很大的设计灵活性，而且容易实现平板显示技术的标准化，便于规模化生产，提高互换性、可维护性、降低系统成本。但是目前国内尚没有这种通用的平板显示器控制方法。

发明内容

本发明的目的是开发一种对于各种有源寻址的平板显示器通用的显示控制器，内置扫描控制器和脉宽调制控制器（PWM），能够为平板显示器提供所需要的像素时钟信号和行、场扫描控制时序信号。

本发明的技术方案：

采用全集成设计方法，把数字变频器、列扫描控制器、行扫描控制器、PWM 波形发生器、存储器控制器等单元电路集成在一起，设计成 IP 核。

- 1、采用三组可配置数据寄存器，表征平板显示器的类型、分辨率和扫描方式。
- 2、数字变频器用来根据所设定的显示分辨率和扫描方式产生指定的时钟频率信号。
- 3、列扫描控制器和行扫描控制器用来产生从存储器读出数据的控制信号
- 4、PWM 波形发生器用来产生和输出脉宽调制信号。可用来激励平板显示器系统中的高压发生器。

本发明具体的技术方案如下：

这种通用型平板显示控制器，它包括数字变频器、I²C 接口控制器、状态寄存器、PWM 波形发生器、列扫描控制器、行扫描控制器、存储器控制器，其特点是将它们集成在一起；

数字变频器 1: 由数据锁存器 12、延时电路 11 和逻辑运算电路 10 三部分组成; 数据锁存器 12 的数据输入端与配置寄存器 13 相连, 接收并锁存配置寄存器 13 的数据, 延时电路和逻辑运算电路的时钟输入端直接连到外部时钟输入, 逻辑运算电路把外部输入的时钟信号和延时后的信号经过异或运算后在输出端输出 DCLK 信号; 外部时钟信号 CLK 输入给逻辑运算电路和延时电路, 延时电路根据数据锁存器的控制码 D0-D7, 把经过延时的频率信号 f1-f8 送到逻辑运算电路, 再由逻辑运算电路输出经过变频处理的时钟信号 DCLK;

I²C 接口控制器 2: I²C 接口控制器内部由串并转换器、时序控制器、地址发生器电路组成; I²C 接口控制器通过串行总线与外部 CPU 接口相连, 通过 3 位地址线和 8 位数据线分别与配置寄存器 13、配置寄存器 14、配置寄存器 15、PWM 波形发生器 4、状态寄存器 3 相连; I²C 接口控制器接收外部 CPU 的 I²C 协议信号, 在内部地址发生器的控制下, 顺序的写入各配置寄存器, 地址与内部寄存器的关系是: 000 为配置寄存器 13; 001 和 010 为 PWM 寄存器; 011 和 100 为配置寄存器 14; 101 和 110 为配置寄存器 15; 111 为状态寄存器;

状态寄存器 3: 由一个 8 位数据寄存器组成; 8 位数据输入线与 I²C 接口控制器数据总线相连, 8 位数据输出线连到 I²C 接口控制器的数据输出缓冲器; 由 I²C 接口控制器装入 8 位数据;

PWM 波形发生器 4: 由一个分频器 8 和一个可预置初值的可预置串入/并入串出移位寄存器 9 组成; 分频器的时钟输入端连到外部时钟 CLK, 内部移位寄存器的并行数据输入端连到 I²C 接口控制器的数据总线, PWM 输出端直接输出 PWM 信号; 接收外部的时钟信号, 根据内部寄存器的预置初值, 输出可调脉宽信号;

列扫描控制器 5: 由可预置循环计数器 16、多路选择器 17、分频器 18 组成; 循环计数器的数据预置端与配置寄存器 14 相连, 计数器的时钟输入与数字变频器的输出相连, 多路选择器的输入与行同步 Hs、场同步 Vs、像素时钟 DCLK 相连; 循环计数器通过配置寄存器 14 置初值, 然后对时钟 DCLK 减计数, 计数器全零时输出 VCK 和 OE 信号。多路选择器选择 Hs、Vs 和 DCLK 之一进行二分频后输出 POL 信号;

行扫描控制器 6: 由可预置循环计数器 19、延时计数器 20、延时计数器 21、延时计数器 22 和或门 23 组成; 循环计数器的数据预置端与配置寄存器 15 相连, 计数时钟与列扫描控制器相连, 延时计数器分别与列扫描控制器、输入信号 Vsy、输入信号 Hsy 相连; 循环计数器通过配置寄存器 15 置初值, 然后对列扫描控制器的输出信号 VCK 进行减计数, 计数器全零时经或门输出 Vs 信号, 或门的另一个输入来自 Vsy 的延时计数器; 列扫描控制器输出的 VCK 信号经延时后输出 Hs 信号, Hsy 信号经延时后输出到存储器控制器用来产生 HF 信号;

存储器控制器 7: 由脉冲整形电路和单脉冲发生器组成; 输入端接到行扫描控制器接收到的 Vsy 和 Hsy 信号, CS、VF 和 HF 信号直接对外输出; 脉冲整形电路对 Vsy 信号进行整形后在经过分频输出 CS 信号。Vsy 信号延时后经单脉冲发生器输出 VF 信号, Hsy 信号延

时后经单脉冲发生器输出 HF 信号；

本发明的有益效果：通用型平板显示控制器可以根据使用者的需要，灵活的配置显示分辨率和扫描方式；具有通用性，可以控制 LCD、PDP、FED、OLED 等多种点阵寻址的平板显示器。可以实现平板显示系统的标准化设计，降低显示系统成本。

附图说明：

图 1：平板显示器通用控制器结构框图

图 2：PWM 波形发生器结构框图

图 3：数字变频器结构框图

图 4：列扫描控制器结构框图

图 5：行扫描控制器结构框图

图中

1. 数字变频器 2. I²C 接口控制器 3. 状态寄存器 4. PWM 波形发生器 5. 列扫描控制器 6. 行扫描控制器 7. 存储器控制器 8. 分频器 9. 串入/并入/串出移位寄存器 10. 逻辑运算电路 11. 延时电路 12. 数据锁存器 13. 8 位配置寄存器 14. 16 位配置寄存器 15. 16 位配置寄存器 17. 多路器 18. 分频器 19. 可预置循环计数器 20. 延时计数器 21. 延时计数器 22. 延时计数器 23. 或门

具体实施方式

这种通用型平板显示控制器，它包括数字变频器、I²C 接口控制器、状态寄存器、PWM 波形发生器、列扫描控制器、行扫描控制器、存储器控制器，其特征在于：将它们集成在一起：

数字变频器 1：由数据锁存器 12、延时电路 11 和逻辑运算电路 10 三部分组成；数据锁存器 12 的数据输入端与配置寄存器 13 相连，接收并锁存配置寄存器 13 的数据，延时电路和逻辑运算电路的时钟输入端直接连到外部时钟输入，逻辑运算电路把外部输入的时钟信号和延时后的信号经过异或运算后在输出端输出 DCLK 信号；外部时钟信号 CLK 输入给逻辑运算电路和延时电路，延时电路根据数据锁存器的控制码 D0-D7，把经过延时的频率信号 f1-f8 送到逻辑运算电路，再由逻辑运算电路输出经过变频处理的时钟信号 DCLK；

I²C 接口控制器 2：I²C 接口控制器内部由串并转换器、时序控制器、地址发生器电路组成；I²C 接口控制器通过串行总线与外部 CPU 接口相连，通过 3 位地址线和 8 位数据线分别与配置寄存器 13、配置寄存器 14、配置寄存器 15、PWM 波形发生器 4、状态寄存器 3 相连；I²C 接口控制器接收外部 CPU 的 I²C 协议信号，在内部地址发生器的控制下，顺序的写入各配置寄存器，地址与内部寄存器的关系是：000 为配置寄存器 13；001 和 010 为 PWM 寄存器；011 和 100 为配置寄存器 14；101 和 110 为配置寄存器 15；111 为状态寄存器；

状态寄存器 3：由一个 8 位数据寄存器组成；8 位数据输入线与 I²C 接口控制器数据总线相连，8 位数据输出线连到 I²C 接口控制器的数据输出缓冲器；由 I²C 接口控制器装入 8

位数据;

PWM 波形发生器 4: 由一个分频器 8 和一个可预置初值的可预置串入/并入串出移位寄存器 9 组成; 分频器的时钟输入端连到外部时钟 CLK, 内部移位寄存器的并行数据输入端连到 I²C 接口控制器的数据总线, PWM 输出端直接输出 PWM 信号; 接收外部的时钟信号, 根据内部寄存器的预置初值, 输出可调脉宽信号;

列扫描控制器 5: 由可预置循环计数器 16、多路选择器 17、分频器 18 组成; 循环计数器的数据预置端与配置寄存器 14 相连, 计数器的时钟输入与数字变频器的输出相连, 多路选择器的输入与行同步 Hs、场同步 Vs、像素时钟 DCLK 相连; 循环计数器通过配置寄存器 14 置初值, 然后对时钟 DCLK 减计数, 计数器全零时输出 VCK 和 OE 信号。多路选择器选择 Hs、Vs 和 DCLK 之一进行二分频后输出 POL 信号;

行扫描控制器 6: 由可预置循环计数器 19、延时计数器 20、延时计数器 21、延时计数器 22 和或门 23 组成; 循环计数器的数据预置端与配置寄存器 15 相连, 计数时钟与列扫描控制器相连, 延时计数器分别与列扫描控制器、输入信号 Vsy、输入信号 Hsy 相连; 循环计数器通过配置寄存器 15 置初值, 然后对列扫描控制器的输出信号 VCK 进行减计数, 计数器全零时经或门输出 Vs 信号, 或门的另一个输入来自 Vsy 的延时计数器; 列扫描控制器输出的 VCK 信号经延时后输出 Hs 信号, Hsy 信号经延时后输出到存储器控制器用来产生 HF 信号;

存储器控制器 7: 由脉冲整形电路和单脉冲发生器组成; 输入端接到行扫描控制器接收到的 Vsy 和 Hsy 信号, CS、VF 和 HF 信号直接对外输出; 脉冲整形电路对 Vsy 信号进行整形后在经过分频输出 CS 信号。Vsy 信号延时后经单脉冲发生器输出 VF 信号, Hsy 信号延时后经单脉冲发生器输出 HF 信号;

PWM 波形发生器, 其分频器 8 由 D 触发器组成; 时钟端接外部输入时钟, 反向输出端接到本身 D 数据输入端, 正向输出端接到移位寄存器的时钟端; 外部时钟接在 D 触发器的时钟, 在正向数据输出端输出二分频后的时钟信号, 作为移位寄存器的移位时钟; 并行数据输入端接 I²C 接口控制器数据总线, 串行输入端接末位串行输出端, 构成移位计数器 9; 在移位时钟的控制下, 由串行数据输出端输出方波信号;

移位寄存器 9 由 16 个 D 触发器构成可预置、可并行输入数据、可串行输入数据, 且串行输出的循环移位寄存器。

数字变频器, 其逻辑运算电路 10: 由异或电路和基本门电路组成, 时钟输入端接外部时钟电路和延时电路, 输出端接时钟信号外输出端; 时钟信号 CLK 和延时的频率信号 f1-f8 进行异或等逻辑运算后, 输出变频后的时钟信号;

其延时电路 11 由串联在一起的 8 个基本延时单元构成, 每一个延时单元由两级反向器组成, 并通过一个电子开关控制该延时单元是否工作; 8 个延时单元的控制端接数据锁存器 12, 时钟输入端接外部时钟输入, 输出端接到逻辑运算电路; 当锁存器 12 的控制码确

定后,输入时钟信号 f_0 经延时后输出频率信号 f_1 - f_8 中的一个或几个给逻辑运算电路;

其数据锁存器 12 由 8 个 D 型触发器组成数据锁存器;数据输入端接到配置寄存器 13 的数据线,数据输出端接延时电路;根据数据锁存器的预置值产生延时电路的控制码。

配置寄存器 13 由 8 单元数据寄存器构成,数据输入端接 I^2C 接口控制器数据总线,输出端接数字变频器的数据锁存器 12,从 I^2C 接口控制器把配置数据写入数字变频器的数据锁存器 12。

配置寄存器 14 由 16 单元数据寄存器构成;数据输入端接 I^2C 接口控制器数据总线,输出端接列扫描控制器配置数据输入端;从 I^2C 接口控制器把配置数据写入列扫描控制器配置数据输入端。

配置寄存器 15 由 16 单元数据寄存器构成;数据输入端接 I^2C 接口控制器数据总线,输出端接行扫描控制器配置数据输入端;从 I^2C 接口控制器把配置数据写入行扫描控制器配置数据输入端。

这种通用型平板显示控制器的控制方法,要依次经过下述步骤:

(1) 工作状态设定:系统工作前通过 I^2C 接口控制器读入用户配置数据 Data,包括显示器的分辨率,场刷新频率,显示数据通道总线宽度,PWM 信号占空比和液晶显示器反转方式等信息,来设置配置寄存器 13、配置寄存器 14 和配置寄存器 15,从而设定系统的工作状态。

(2) 像素时钟信号的产生:配置寄存器 13 根据所要控制的平板显示器的分辨率,场刷新频率和显示数据通道总线宽度设定数字变频器的变频比例,将外接的时钟信号 CLK 变成所需要的像素时钟频率 DCLK 输出,作为平板显示器的像素时钟信号。同时 DCLK 还作为列扫描控制器的工作计数时钟。

(3) 行扫描控制信号的产生:行扫描控制信号包括场同步信号 V_s 和行同步信号 H_s 。 V_s 决定每一场图像信号与信号源图像信息的同步和第一行扫描过程的开始。在两种情况下输出 V_s 信号,当图像源的场同步信号 V_{sy} 到来,经过确定的延时后,输出 V_s 信号;行扫描控制器始终对 VCK 信号减计数,计数周期根据配置寄存器 15 的内容确定,计数器全零时,输出 V_s 信号。行同步信号 H_s 决定每一行中列扫描过程的开始,在行扫描移位信号 VCK 到来后,经过确定的延时后 H_s 为高电平,在 VCK 的上升沿变为低电平。

(4) 列扫描控制信号的产生:列扫描控制信号包括行扫描移位信号 VCK 和写屏使能信号 OE。VCK 信号由像素时钟计数器产生,在 V_s 信号到来后计数器写入初值,然后进行减计数,其计数周期由配置寄存器 14 的设定状态决定,计数器到零时,产生一个 VCK 信号输出,表明一行数据扫描结束。OE 信号是液晶显示器等平板显示器需要的向屏幕写入数据的使能信号,可以根据需要由配置寄存器(14)设定选择逐点写入、逐行写入或者逐场写入。

(5) PWM 信号的产生:PWM 信号由 PWM 波形发生器产生,通过 I^2C 控制器把预

置数据装入串入/并入/串出移位寄存器，其输出端与串行输入端连在一起，在时钟分频器的驱动下，移位寄存器输出的脉冲占空比由预置数据决定。

(6) 存储器控制信号的产生：存储器控制信号包括一个开关信号 CS 和两个同步参考信号 VF, HF。多数平板显示器控制器都设置了两组存储器，一组处于写状态，另一组处于读状态。处于写状态的存储器要根据信号源场同步参考信号 VF 和行同步参考信号 HF 产生地址信号，经过对视频数据的适当编码将数据写入存储器。处于读状态的存储器的地址信号由 Vs、Hs 和 DCLK 来产生，将顺序的读出数据送到显示屏数据总线。两个存储器的读写状态由 CS 信号控制切换。

(7) 液晶显示器视频极性反转控制信号 POL 的产生：POL 信号由列扫描控制器产生，用于控制液晶显示器视频信号的交流驱动，列扫描控制器对驱动信号二分频获得 POL 信号，由像素时钟驱动时，为列反转方式；由行同步信号驱动时，为行反转方式；由场同步信号驱动时，为场反转方式；由像素时钟和行同步信号共同驱动时，为点反转方式。

8. 根据权利要求 7 所述的通用型平板显示控制器的控制方法，其特征在于：工作时序：控制器上电或复位后，I²C 接口控制器首先由外部 MCU 把数据写入各配置寄存器；数字变频器根据配置寄存器 13 的值，由显示分辨率、场刷新频率和数据总线宽度三个参数计算出像素时钟的频率输出 DCLK 信号；列扫描控制器读取配置寄存器 14 的数据，计算像素时钟计数周期，并给计数器赋初值，计数器开始计数，输出 VCK、OE、POL 信号；行扫描控制器读取配置寄存器 15 的数据，计算 VCK 计数周期，并给计数器赋初值，计数器开始计数，计数器到零或 Vsy 信号到来，都会输出 Vs，任何时刻，Vs 到来所有计数器置初值，VCK 延时后输出 Hs；存储器控制器等待信号源的 Vsy 和 Hsy 信号，经过整形后输出 VF 和 HF 信号，可作为对存储器写操作的寻址标记信号，VF 信号的二分频作为 CS 信号输出；PWM 波形发生器在系统参考时钟的驱动下，输出可调占空比的方波信号。

状态寄存器(3)：是一个 8 位数据寄存器，可以由使用者读出显示控制器的控制状态，读出的状态信息用来作为设计其他电路模块的依据。

D0—D2 的状态表明平板显示器的显示分辨率，共有 8 种情况，000 表明当前输出分辨率为 640*480，001 代表 800*600，010 代表 1024*768，011 代表 1280*1024，100 代表 1600*1200，101 代表 1024*720，111 代表 1920*1080。

D3—D5 的状态表明平板显示器的场刷新频率，共有 8 种情况，000 表明当前输出场刷新频率为 60Hz，001 代表 70Hz，010 代表 75Hz，011 代表 85Hz，100 代表 90Hz，101 代表 100Hz，110 代表 120Hz，111 代表 125Hz。

D6—D7 的状态表明平板显示器的数据通道总线宽度，共有 4 种情况，00 表明当前采用单通道（8 位）数据写到显示屏，01 代表 2 通道（16 位）数据写到显示屏，10 代表 4 通道（32 位）数据写到显示屏，11 代表 8 通道（64 位）数据写到显示屏。

上述技术方案用 VHDL 硬件描述语言设计，通过软件仿真，可以行成 IP 核，利用可编程逻辑器件（FPGA）来验证；利用 Cadence 软件，采用 0.35u 及以下多层金属 CMOS 集成电路工艺条件来设计电路版图，完成前端设计和后端仿真，以标准版图（GDSII）文件形成该发明产品的 IP 核。

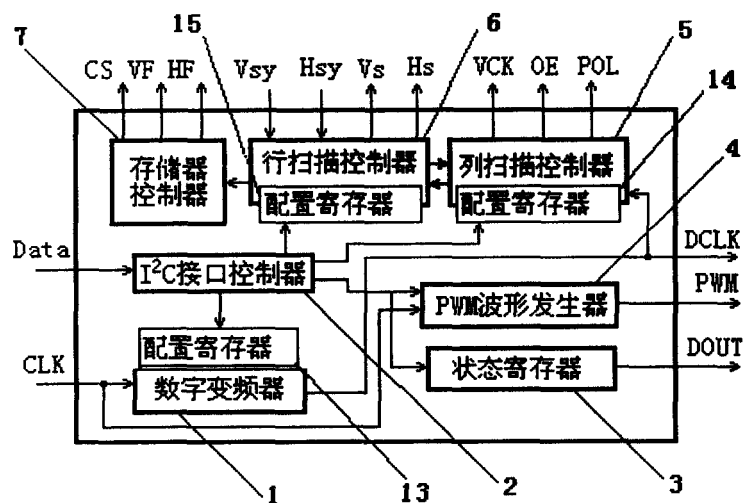


图 1

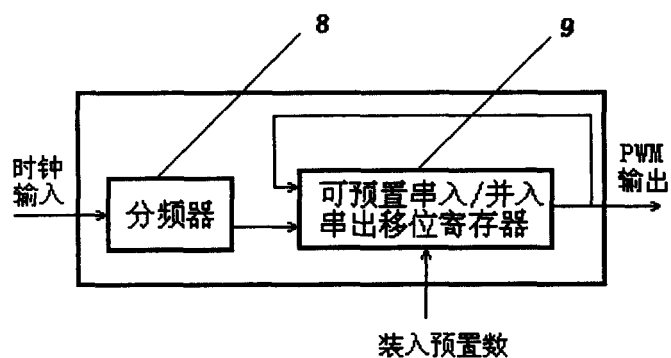


图 2

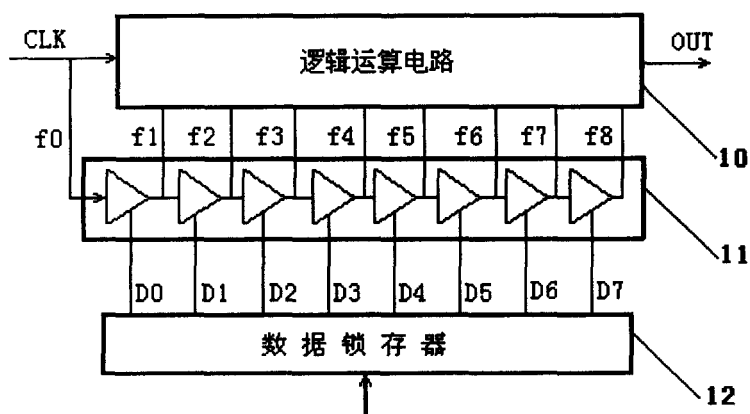


图 3

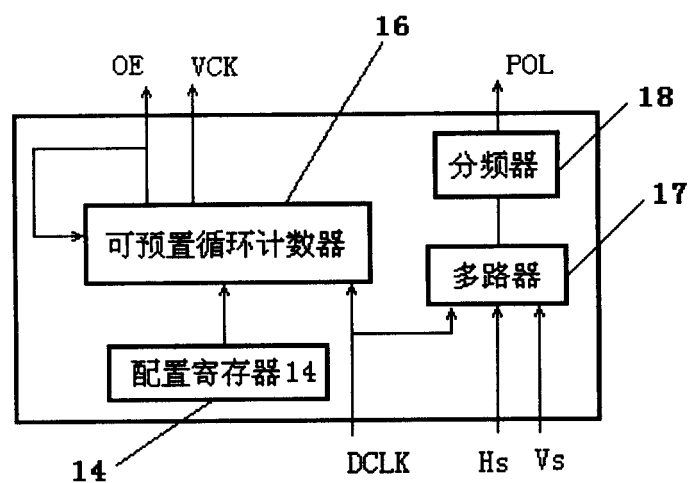


图 4

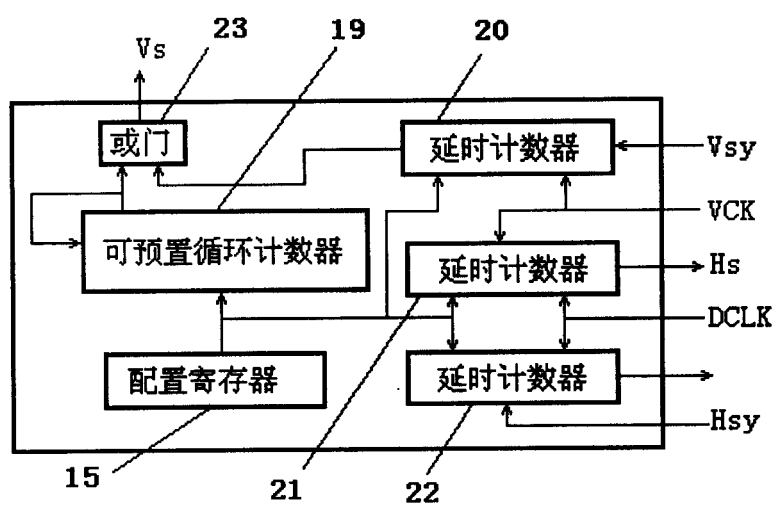


图 5

专利名称(译)	通用型平板显示控制器及其控制方法		
公开(公告)号	CN1632849A	公开(公告)日	2005-06-29
申请号	CN200410093867.2	申请日	2004-12-08
[标]申请(专利权)人(译)	南开大学		
申请(专利权)人(译)	南开大学		
当前申请(专利权)人(译)	南开大学		
[标]发明人	耿卫东 代永平 孙钟林 刘艳艳		
发明人	耿卫东 代永平 孙钟林 刘艳艳		
IPC分类号	G09G3/20		
其他公开文献	CN100356418C		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种平板显示器的结构和控制，特别是具有PWM波形发生器和可配置寄存器，可用于LCD、FED、PDP等各种显示器的控制，属于平板显示技术领域。目前平板显示器的外围控制电路都是采用可编程逻辑器件或专用电路ASIC来设计，虽然显示器的扫描控制原理相同，但不能通用，不能标准化。本发明的控制器包括数字变频器、I2C接口控制器、PWM波形发生器等7大部分，将它们集成在一起，采用可配置寄存器输出不同显示分辨率、不同场频率和不同数据写入方式的各种显示控制信号和时钟信号；采用PWM波形发生器产生脉宽调制驱动信号来满足FED、PDP等需要的高电压激励信号；通过列扫描控制器产生满足液晶显示的反转控制信号。可优化显示系统电路，降低成本，实现标准化。

