

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G02F 1/133 (2006.01)
G09G 3/36 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610142924.0

[43] 公开日 2007 年 5 月 9 日

[11] 公开号 CN 1959479A

[22] 申请日 2006.10.31

[21] 申请号 200610142924.0

[30] 优先权

[32] 2005.10.31 [33] JP [31] 2005-315616

[71] 申请人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 高桥幸雄

[74] 专利代理机构 中原信达知识产权代理有限责任公司

代理人 关兆辉 陆锦华

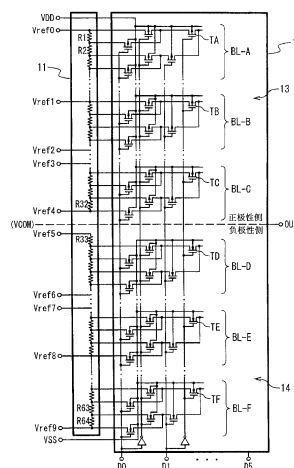
权利要求书 5 页 说明书 19 页 附图 12 页

[54] 发明名称

液晶显示器驱动器及使用该驱动器的液晶显示装置

[57] 摘要

本发明涉及一种液晶显示器驱动器及使用它的液晶显示装置。该液晶显示器驱动器包括：第一选择电路，其配置成基于数字信号从第一电压范围选择电压；和第二选择电路，其配置成基于数字信号从第二电压范围选择电压。施加在所述第一选择电路中包含的第一 MOS 晶体管的扩散层与背栅极之间的电压小于施加在所述第二选择电路中包含的第二 MOS 晶体管的扩散层与背栅极之间的电压。此外，所述第一 MOS 晶体管的偏移长度比所述第二 MOS 晶体管的偏移长度短。该液晶显示器驱动器可以进一步包括电压产生电路，其配置成向所述第一和第二选择电路提供所述第一电压范围和所述第二电压范围的灰度电压。所述第一和第二选择电路中的一个基于所述数字信号输出其中一个灰度电压。



1. 一种液晶显示器驱动器，包括：

第一选择电路，其配置成基于数字信号从第一电压范围选择电压；

和

第二选择电路，其配置成基于所述数字信号从第二电压范围选择电压，

其中施加在所述第一选择电路中包含的第一 MOS 晶体管的扩散层与背栅极之间的电压小于施加在所述第二选择电路中包含的第二 MOS 晶体管的扩散层与背栅极之间的电压，且

所述第一 MOS 晶体管的偏移长度比所述第二 MOS 晶体管的偏移长度短。

2. 根据权利要求 1 所述的液晶显示器驱动器，进一步包括：

电压产生电路，其配置成向所述第一和第二选择电路提供所述第一电压范围和所述第二电压范围的灰度电压，

其中所述第一和第二选择电路中的一个基于所述数字信号输出其中一个灰度电压。

3. 根据权利要求 1 或 2 所述的液晶显示器驱动器，其中向所述第一 MOS 晶体管的所述背栅极和所述第二 MOS 晶体管的背栅极施加相同的电压，且

所述第一电压范围与所述相同电压之间的差小于所述第二电压范围与所述相同电压之间的差。

4. 根据权利要求 1 或 2 所述的液晶显示器驱动器，其中所述第二 MOS 晶体管的栅极长度比所述第一 MOS 晶体管的栅极长度短。

5. 根据权利要求 1 或 2 所述的液晶显示器驱动器，其中所述第一 MOS 晶体管的栅极宽度小于所述第二 MOS 晶体管的栅极宽度。

6. 根据权利要求 1 或 2 所述的液晶显示器驱动器，其中所述第一 MOS 晶体管和所述第二 MOS 晶体管中的每个都包括：

用于漂移区域的低浓度扩散层；和

用于向所述背栅极施加固定电压的接触扩散层，且

在所述第一 MOS 晶体管中的所述低浓度扩散层与所述接触扩散层之间的最短距离比在所述第二 MOS 晶体管中的所述低浓度扩散层与所述接触扩散层之间的最短距离短。

7. 根据权利要求 1 或 2 所述的液晶显示器驱动器，其中向所述第一 MOS 晶体管的所述背栅极和所述第二 MOS 晶体管的背栅极施加电源电压，

所述第一电压范围的所述电压小于所述电源电压，且

所述第二电压范围的所述电压小于所述第一电压范围的所述电压。

8. 根据权利要求 7 所述的液晶显示器驱动器，其中每个所述第一选择电路和每个所述第二选择电路包括：

端子，向该端子提供所述第一电压范围和所述第二电压范围中相应的一个；和

源极/漏极之一与所述端子相连的第一级 MOS 晶体管，

向所述第一级 MOS 晶体管的背栅极施加所述电源电压，且

与所述端子连接的源极和漏极中的一个的偏移长度比所述第一级 MOS 晶体管中另一个的偏移长度长。

9. 根据权利要求 8 所述的液晶显示器驱动器，其中在所述第一选择电路和所述第二选择电路中另一侧上的偏移长度分别等于所述第一 MOS 晶体管的所述偏移长度和所述第二 MOS 晶体管的所述偏移长度。

10. 一种液晶显示器驱动器，包括：

第一选择电路，其配置成基于数字信号从第一电压范围选择电压；
和

第二选择电路，其配置成基于所述数字信号从第二电压范围选择电压，

其中施加在所述第一选择电路中的第一 MOS 晶体管的扩散层与背栅极之间的电压小于施加在所述第二选择电路中的第二 MOS 晶体管的扩散层与背栅极之间的电压，且

所述第一 MOS 晶体管的栅极宽度小于所述第二 MOS 晶体管的栅极宽度。

11. 根据权利要求 10 所述的液晶显示器驱动器，进一步包括：
电压产生电路，其配置成向所述第一和第二选择电路提供所述第一电压范围和所述第二电压范围的灰度电压，

其中所述第一和第二选择电路中的一个基于所述数字信号输出其中一个灰度电压。

12. 根据权利要求 10 或 11 所述的液晶显示器驱动器，其中在所述第一 MOS 晶体管中出现了窄沟道效应。

13. 一种液晶显示器驱动器，包括：
第一选择电路，其配置成基于数字信号从第一电压范围选择电压；
和

第二选择电路，其配置成基于所述数字信号从第二电压范围选择电压，

其中施加在所述第一选择电路中的第一 MOS 晶体管的扩散层与背栅极之间的电压小于施加在所述第二选择电路中的第二 MOS 晶体管的扩散层与背栅极之间的电压，

所述第一 MOS 晶体管和所述第二 MOS 晶体管中的每个都包括：

用于漂移区域的低浓度扩散层；和

配置成向所述背栅极施加固定电压的接触扩散层，且

在所述第一 MOS 晶体管中的所述低浓度扩散层与所述接触扩散层之间的最短距离比在所述第二 MOS 晶体管中的所述低浓度扩散层与所述接触扩散层之间的最短距离短。

14. 根据权利要求 13 所述的液晶显示器驱动器，进一步包括：
电压产生电路，其配置成向所述第一和第二选择电路提供所述第一电压范围和所述第二电压范围的灰度电压，
其中所述第一和第二选择电路中的一个基于所述数字信号输出其中一个灰度电压。

15. 根据权利要求 13 或 14 所述的液晶显示器驱动器，进一步包括：

第三选择电路，其配置成基于所述数字信号从第三电压范围选择电压；和

第四选择电路，其配置成基于所述数字信号从第四电压范围选择电压，

其中施加在所述第三选择电路中的第三 MOS 晶体管的扩散层与背栅极之间的电压小于施加在所述第四选择电路中的第四 MOS 晶体管的扩散层与背栅极之间的电压，且

所述第三 MOS 晶体管的偏移长度比所述第四 MOS 晶体管的偏移长度短。

16. 根据权利要求 13 或 14 所述的液晶显示器驱动器，其中所述第一 MOS 晶体管和所述第二 MOS 晶体管都是 P 沟道 MOS 晶体管，且

所述第三 MOS 晶体管和所述第四 MOS 晶体管都是 N 沟道 MOS 晶体管。

17. 根据权利要求 16 所述的液晶显示器驱动器，其中所述第一电压范围的所述电压和所述第二电压范围的所述电压都大于预定的公共

电压，且

所述第三电压范围的所述电压和所述第四电压范围的所述电压都小于所述预定的公共电压。

18. 一种液晶显示装置，包括：

液晶显示器驱动器；和

具有多个像素的液晶显示面板，

其中所述液晶显示器驱动器包括：

第一选择电路，其配置成基于数字信号从第一电压范围选择电压；

第二选择电路，其配置成基于所述数字信号从第二电压范围选择电压；以及

电压产生电路，其配置成向所述第一和第二选择电路提供所述第一电压范围和所述第二电压范围的灰度电压，

所述第一和第二选择电路中的一个基于所述数字信号输出其中一个灰度电压，

所述液晶显示器驱动器向所述多个像素的每一个施加所述灰度电压，

施加在所述第一选择电路中包含的第一 MOS 晶体管的扩散层与背栅极之间的电压小于施加在所述第二选择电路中包含的第二 MOS 晶体管的扩散层与背栅极之间的电压，且

所述第一 MOS 晶体管的偏移长度比所述第二 MOS 晶体管的偏移长度短。

液晶显示器驱动器及使用该驱动器的液晶显示装置

技术领域。

本发明涉及一种电压选择电路，用于输出对应于输入数字信号的电压。

背景技术

近些年来，液晶电视和液晶 PC 监视器已经快速发展。此外，与便携式电话的高级功能有关，对于大尺寸和高清晰度的液晶显示面板的需求增加了。在这种背景下，用于驱动液晶显示面板的驱动器市场急剧增加，越来越希望降低液晶显示器驱动器的制造成本。

在液晶显示器驱动器中安装有数字/模拟 (D/A) 转换电路。该 D/A 转换电路用于将数字形式的图像数据转换为施加到像素的模拟灰度电压。因而，该 D/A 转换电路可称作“灰度电压确定电路”，用于确定与图像数据对应的灰度电压。

图 1 示出了一般灰度电压确定电路 50 的结构。例如，该灰度电压确定电路 50 可根据 6 位数字图像信号 D0 到 D5 输出 64 个灰度输出电压（灰度电压）V0 到 V63。具体地说，灰度电压确定电路 50 具有灰度电压产生电路 51 和灰度电压选择电路 52。从外部电源向灰度电压产生电路 51 提供参考电压 Vref0 到 Vref9。该灰度电压产生电路 51 具有由 64 个电阻器 R1 到 R64 组成的电阻器阵列。通过该电阻器阵列适当地对输入参考电压 Vref0 到 Vref9 进行划分。因而，产生了 64 个级别的灰度电压 V0 到 V63。

另一方面，灰度电压选择电路 52 接收数字图像信号 D0 到 D5 和灰度电压 V0 到 V63，并根据该数字图像信号从灰度电压 V0 到 V63 中

选择一个灰度电压。简而言之，灰度电压选择电路 52 执行用于解码数字图像信号 D0 到 D5 的任务。一般液晶显示器驱动器需要 12 到 18 伏或更大的击穿电压。用作解码器的灰度电压选择电路 52 由大量高击穿电压的 MOS 晶体管组成，该多个 MOS 晶体管具有矩阵形的布局。由灰度电压选择电路 52 选择的一个灰度电压从输出端 OUT 输出并施加给像素。

图 2 示出了输出电压（灰度电压）V 与液晶的光透射率 T 之间理想的关系（称作[V-T 特性]）。如图 2 中所示，理想的 V-T 特性由非线性曲线表示。通过对提供给灰度电压产生电路 51 的参考电压 Vref0 到 Vref9 进行调整，可以补偿输出电压并使 V-T 特性接近于理想形状。

作为与液晶显示器驱动器相关的常规技术，在日本特开专利申请（JP-P2001-36407A）中公开了一种参考电压切换电路。该参考电压切换电路具有与灰度电压选择电路 52 对应的数字数据电压解码电路。如图 1 中所示，该解码电路分成多个块 52-1 到 52-I。然后，对于每个块来说，对包含在每个块中的 MOS 晶体管的阱电压进行不同的设置。就是说，施加给 MOS 晶体管的背栅极的电压对于每个块来说都不同。

此外，日本特开专利申请（JP-A-Heisei, 8-279564）公开了一种与灰度电压选择电路 52 对应的电压选择器电路。如图 1 中所示，该电压选择器电路设置有助于输出选择电压的多个 MIS 晶体管，并分为多个块。然后，MIS 晶体管的沟道长度对于每个块来说都设计为不同。具体地说，将通过选择中间选择电压而向其施加了衬底偏压效应的 MIS 晶体管的沟道长度设计为比通过选择最高或最低选择电压而没有向其施加衬底偏压效应的 MIS 晶体管的沟道长度短。

本发明人关注于下面的要点。就是说，如图 1 中所示，在灰度选择电路 52 中使用的具有偏移栅极结构的大量高击穿电压的 MOS 晶体管。该高击穿电压 MOS 晶体管的尺寸较大，且需要大量高击穿电压

MOS 晶体管的灰度电压选择电路 52 的面积变得非常大。这就导致液晶显示器驱动器成本的增加。特别是，在用于 TV 的液晶显示器中，为了获得较大的屏幕尺寸和高图像质量的显示，需要能显示 1,000,000,000 色的液晶显示器驱动器。由于该原因，需要能处理 1024 个灰度（10 位）输出电压的灰度电压选择电路 52。因而，由元件数的增加而导致的电路面积的增加变得更加严重。这进一步导致了液晶显示器驱动器成本的增加。

发明内容

因此，本发明的一个目的是提供一种能大大缩小其面积的液晶驱动器。

本发明的另一个目的是，无需任何专门的制造工序，提供了一种可大大缩小其面积的液晶驱动器。

在本发明的一个方面中，液晶显示器驱动器包括第一选择电路，其配置成基于数字信号从第一电压范围选择电压；和第二选择电路，其配置成基于所述数字信号从第二电压范围选择电压。施加在包含于所述第一选择电路中的第一 MOS 晶体管的扩散层与背栅极之间的电压小于施加在包含于所述第二选择电路中的第二 MOS 晶体管的扩散层与背栅极之间的电压。此外，所述第一 MOS 晶体管的偏移长度（offset length）比所述第二 MOS 晶体管的偏移长度短。

这里，液晶显示器驱动器可以进一步包括电压产生电路，其配置成向所述第一和第二选择电路提供所述第一电压范围和所述第二电压范围的灰度电压。所述第一和第二选择电路中的一个基于所述数字信号输出其中一个灰度电压。

此外，可以向所述第一 MOS 晶体管的背栅极和所述第二 MOS 晶体管的背栅极施加相同的电压，且所述第一电压范围与所述相同电压

的差可以小于所述第二电压范围与所述相同电压之间的差。

此外，所述第二 MOS 晶体管的栅极长度可以比所述第一 MOS 晶体管的栅极长度短。

此外，所述第一 MOS 晶体管的栅极宽度可以比所述第二 MOS 晶体管的栅极宽度小。

此外，所述第一 MOS 晶体管和所述第二 MOS 晶体管的每一个都包括用于漂移区域的低浓度扩散层；和用于向所述背栅极施加固定电压的接触扩散层。在所述第一 MOS 晶体管中的所述低浓度扩散层与所述接触扩散层之间的最短距离可以短于所述第二 MOS 晶体管中的所述低浓度扩散层与所述接触扩散层之间的最短距离。

此外，可以向所述第一 MOS 晶体管的所述背栅极和所述第二 MOS 晶体管的背栅极施加电源电压。所述第一电压范围的电压可以小于所述电源电压，且所述第二电压范围的电压可以小于所述第一电压范围的电压。

在该情形下，每个所述第一选择电路和所述第二选择电路可以包括端子，向该端子提供所述第一电压范围和所述第二电压范围中相应的一个；以及第一级 MOS 晶体管，其源极/漏极之一与所述端子连接。可以向所述第一级 MOS 晶体管的背栅极施加所述电源电压，且与所述端子连接的源极和漏极中一个的偏移长度可以比所述第一级 MOS 晶体管中另一个的偏移长度长。

此外，在所述第一选择电路和所述第二选择电路中另一侧上的偏移长度可以分别等于所述第一 MOS 晶体管的所述偏移长度和所述第二 MOS 晶体管的所述偏移长度。

在本发明的另一个方面中，液晶显示器驱动器包括第一选择电路，其配置成基于数字信号从第一电压范围选择电压；和第二选择电路，其配置成基于所述数字信号从第二电压范围选择电压。施加在所述第一选择电路中的第一 MOS 晶体管的扩散层与背栅极之间的电压小于施加在所述第二选择电路中的第二 MOS 晶体管的扩散层与背栅极之间的电压，且所述第一 MOS 晶体管的栅极宽度小于所述第二 MOS 晶体管的栅极宽度。

这里，该液晶显示器驱动器可以进一步包括电压产生电路，其配置成向所述第一和第二选择电路提供第一电压范围和第二电压范围的灰度电压。所述第一和第二选择电路的其中之一可以基于所述数字信号输出其中一个灰度电压。

此外，在所述第一 MOS 晶体管中出现了窄沟道效应。

在本发明的另一个方面中，液晶显示器驱动器包括第一选择电路，其配置成基于数字信号从第一电压范围选择电压；和第二选择电路，其配置成基于该数字信号从第二电压范围选择电压。施加在所述第一选择电路中的第一 MOS 晶体管的扩散层与背栅极之间的电压小于施加在所述第二选择电路中的第二 MOS 晶体管的扩散层与背栅极之间的电压。所述第一 MOS 晶体管和所述第二 MOS 晶体管的每一个都包括用于漂移区域的低浓度扩散层；和配置成向所述背栅极施加固定电压的接触扩散层，并且，在所述第一 MOS 晶体管中的低浓度扩散层与接触扩散层之间的最短距离短于在所述第二 MOS 晶体管中的低浓度扩散层与接触扩散层之间的最短距离。

此外，液晶显示器驱动器可以进一步包括电压产生电路，其配置成向所述第一和第二选择电路提供所述第一电压范围和所述第二电压范围的灰度电压。所述第一和第二选择电路的其中之一基于所述数字信号输出其中一个灰度电压。

此外，该液晶显示器驱动器可以进一步包括第三选择电路，其配置成基于所述数字信号从第三电压范围选择电压；和第四选择电路，其配置成基于所述数字信号从第四电压范围选择电压。施加在所述第三选择电路中的第三 MOS 晶体管的扩散层与背栅极之间的电压小于施加在所述第四选择电路中的第四 MOS 晶体管的扩散层与背栅极之间的电压，且所述第三 MOS 晶体管的偏移长度短于所述第四 MOS 晶体管的偏移长度。

这里，所述第一 MOS 晶体管和所述第二 MOS 晶体管可以是 P 沟道 MOS 晶体管，且所述第三 MOS 晶体管和所述第四 MOS 晶体管可以是 N 沟道 MOS 晶体管。

此外，所述第一电压范围的电压和所述第二电压范围的电压可以大于预定的公共电压，而所述第三电压范围的电压和所述第四电压范围的电压可以小于所述预定的公共电压。

在本发明的另一个方面中，液晶显示装置包括：液晶显示器驱动器；和具有多个像素的液晶显示面板。所述液晶显示器驱动器包括：第一选择电路，其配置成基于数字信号从第一电压范围选择电压；第二选择电路，其配置成基于数字信号从第二电压范围选择电压；和电压产生电路，其配置成向所述第一和第二选择电路提供所述第一电压范围和所述第二电压范围的灰度电压。所述第一和第二选择电路的其中之一基于所述数字信号输出其中一个灰度电压，所述液晶显示器驱动器向所述多个像素的每一个施加灰度电压。施加在包含于所述第一选择电路中的第一 MOS 晶体管的扩散层与背栅极之间的电压小于施加在包含于所述第二选择电路中的第二 MOS 晶体管的扩散层与背栅极之间的电压，且所述第一 MOS 晶体管的偏移长度比所述第二 MOS 晶体管的偏移长度短。

附图说明

- 图 1 示出了常规灰度电压确定电路结构的电路框图；
- 图 2 示出了液晶的透射率与输出电压 T 之间的关系图；
- 图 3 示出了依照本发明实施例的液晶显示装置的结构框图；
- 图 4 示出了依照本发明实施例的数据线驱动电路的结构的框图；
- 图 5 示出了依照第一实施例的灰度电压确定电路的结构的电路图；
- 图 6 示出了电压关系的设计图；
- 图 7 示出了选择电路块 BL-D 中的 MOS 晶体管 TD 结构的截面图；
- 图 8 示出了选择电路块 BL-E 中的 MOS 晶体管 TE 的结构的截面图；
- 图 9 示出了选择电路块 BL-F 中的 MOS 晶体管 TF 的结构的截面图；
- 图 10 示出了 MOS 晶体管的偏移长度（offset length）与击穿电压之间的关系图；
- 图 11 示出了 MOS 晶体管的栅极长度与阈值电压之间的关系图；
- 图 12 示出了 MOS 晶体管的栅极长度与阈值电压之间的关系图；
- 图 13 示出了 MOS 晶体管的漏极-背栅极间隔与击穿电压之间的关系图；
- 图 14 示出了电源开启顺序的总体图；
- 图 15 示出了依照第二实施例的灰度电压确定电路结构的电路图；
- 和
- 图 16 示出了第二实施例中第一级 MOS 晶体管的结构的截面图。

具体实施方式

之后，将参照附图详细描述依照本发明实施例的电压选择电路。该电压选择电路是在液晶显示装置中使用的灰度电压选择电路。

图 3 示出了依照本发明实施例的液晶显示装置 1 的结构框图。液晶显示装置 1 设置有液晶显示面板 2，该液晶显示面板具有以矩阵形式

布置的多个像素 5。在液晶显示面板 2 上，彼此交叉形成多条数据线 3 和多条扫描线 4，在每个交叉点处形成像素 5。像素 5 具有 TFT（薄膜晶体管）、液晶和公共电极。TFT 的栅极端与扫描线 4 相连，TFT 的源极端或漏极端与数据线 3 相连。液晶的一端与 TFT 的源极端或漏极端相连，其另一端与公共电极相连，该公共电极施加有一定的公共电压 VCOM。

此外，液晶显示装置 1 包含控制电路 6、数据线驱动电路 7 和扫描线驱动电路 8。数据线驱动电路 7 是用于驱动多条数据线 3 的驱动器（源极驱动器）。扫描线驱动电路 8 是用于驱动多条扫描线 4 的驱动器（栅极驱动器）。控制电路 6 向扫描线驱动电路 8 输出扫描线控制信号，以及基于所要显示的图像，向数据线驱动电路 7 输出数据线控制信号和数字图像信号。扫描线驱动电路 8 根据扫描线控制信号驱动多条扫描线 4。此外，基于数字图像信号，数据线驱动电路 7 根据数据线控制信号向多条数据线 3 输出模拟灰度电压。因而，将基于图像的灰度电压（像素电压）施加给与选定的一条扫描线 4 连接的多个像素 5 的每一个。因为连续驱动多条扫描线 4，因此在液晶显示面板 2 上显示了图像。

此外，液晶显示装置 1 设置有电源电路 9。电源电路 9 向每个电路提供预定的电压。例如，电源电路 9 向数据线驱动电路 7 提供第一电压 VDD、第二电压 VSS 和参考电压 V_{γ} 等，将在后面描述。此外，电源电路 9 向像素 5 的公共电极提供公共电压 VCOM。

图 4 示出了数据线驱动电路 7 的结构框图。根据图像信号，数据线驱动电路 7 可以接收 n 位的数字图像信号 D_0 到 $D_{(n-1)}$ 并输出 2^n 种输出电压 V_0 到 $V_{(2^n-1)}$ 。例如，数据线驱动电路 7 根据 6 位的数字图像信号 D_0 到 D_5 输出 64 个灰度的输出电压（灰度电压） V_0 到 V_{63} 。

具体地说,数据线驱动电路 7 设置有灰度电压产生电路 11 和灰度电压选择电路 12。将参考电压 V_γ 从电源电路 9 提供到灰度电压产生电路 11。参考电压 V_γ 包括多个参考电压 V_{ref0} 到 V_{refM} 。灰度电压产生电路 11 根据参考电压 V_γ 产生灰度电压 V_0 到 $V(2^n-1)$ 并将它们提供给灰度电压选择电路 12。灰度电压选择电路 12 接收数字图像信号 D_0 到 $D(n-1)$ 以及灰度电压 V_0 到 $V(2^n-1)$ 。然后,灰度电压选择电路 12 根据接收到的数字图像信号 D_0 到 $D(n-1)$ 选择电压 V_0 到 $V(2^n-1)$ 中的一个。简而言之,灰度电压选择电路 12 是用于解码数字图像信号 D_0 到 $D(n-1)$ 的解码器,在数据线驱动电路 7 中它也是 D/A 转换电路。所选择的一个灰度电压从输出端 OUT 输出并施加给其中一个像素 5。

下面将详细描述依照本发明的灰度电压产生电路 11 和灰度电压选择电路 12。作为例子,将描述其中数字图像信号的位数为 6 且进行 64 个灰度显示的情形。还有一种情形,即灰度电压产生电路 11 和灰度电压选择电路 12 被整体称作“灰度电压确定电路”。

[第一个实施例]

图 5 示出了依照第一实施例的灰度电压确定电路的结构电路图。如图 5 中所示,灰度电压产生电路 11 包含电阻器阵列,该电阻器阵列由具有相同电阻值的 64 个电阻器 R_1 到 R_{64} 所组成。电阻器 R_1 到 R_{32} 串连连接,从电源电路 9 提供参考电压 V_{ref0} 和 V_{ref4} 并分别施加在其两端。参考电压 V_{ref1} 到 V_{ref3} 被施加到各电阻器之间连接点(节点)中的适当位置。类似地,电阻器 R_{33} 到 R_{64} 串连连接,从电源电路 9 提供的参考电压 V_{ref5} 和 V_{ref9} 并分别施加在其两端。参考电压 V_{ref6} 到 V_{ref8} 被施加到各电阻器之间连接点(节点)中的适当位置。

这些参考电压 V_{ref0} 到 V_{ref9} 被设定为满足下列关系,即[第一电压 $V_{DD} \geq V_{ref0} > V_{ref1} > \dots > V_{ref9} \geq$ 第二电压 V_{SS}]。参考电压 V_{ref0} 到 V_{ref9} 之间的部分由 64 个电阻器 R_1 到 R_{64} 划分。因而,在相应的 64

个节点处产生了 64 种电压。就是说，灰度电压产生电路 11 根据参考电压 V_{ref0} 到 V_{ref9} 可产生 64 个灰度的灰度电压 V_0 到 V_{63} 。此外，通过适当地对这些参考电压 V_{ref0} 到 V_{ref9} 进行调整，可以设定灰度电压 V_0 到 V_{63} 以获得理想的特性（参照图 2）。灰度电压 V_0 到 V_{63} 被提供给灰度电压选择电路 12。

灰度电压选择电路 12 是解码器，其用于根据数字图像信号 D_0 到 D_5 选择灰度电压 V_0 到 V_{63} 中的一个。由于该原因，如图 5 中所示，灰度电压选择电路 12 由多级连接的多个 MOS 晶体管组成。第一级 MOS 晶体管的源极或漏极与灰度电压产生电路 11 中的任意节点相连。此外，数字图像信号 D_0 到 D_5 的任意一个或通过反相器获得的任意一个反相信号被提供给每个 MOS 晶体管的栅极。使用该结构，基于数字图像信号 D_0 到 D_5 选择了一个灰度电压。例如，在图 5 中所示的结构中，通过信号 D_0 将 64 种灰度电压限制为 32 种，通过信号 D_1 将 32 种灰度电压限制为 16 种，并最终指定了一个灰度电压。所选择和指定的一个灰度电压从输出端 OUT 输出。

在该实施例中，灰度电压选择电路 12 根据所要处理的电压范围而被分为多个[选择电路块 BL]。例如，如图 5 中所示，块 BL-A 中包含的 MOS 晶体管 TA 处理 V_{ref0} 与 V_{ref1} 之间的电压范围，而块 BL-A 根据数字图像信号 D_0 到 D_5 从 V_{ref0} 与 V_{ref1} 之间的电压范围选择电压。此外，块 BL-B 中包含的 MOS 晶体管 TB 处理 V_{ref1} 与 V_{ref2} 之间的电压范围，块 BL-B 根据数字图像信号 D_0 到 D_5 从 V_{ref1} 与 V_{ref2} 之间的电压范围选择电压。类似地，在各个块 BL-C 到 BL-F 中包含的 MOS 晶体管 TC 到 TF 分别处理 V_{ref3} 与 V_{ref4} 之间、 V_{ref5} 与 V_{ref6} 之间， V_{ref7} 与 V_{ref8} 以及 V_{ref8} 与 V_{ref9} 之间的电压范围。

此外，在一般的液晶显示装置中，经常向像素 5 施加这样的灰度电压，所述灰度电压相对于施加给公共电极的公共电压 VCOM 来说具有正和负极性。所以，公共电压 VCOM 例如设在参考电压 V_{ref4} 与 V_{ref5}

之间。在该情形下，处理参考电压 Vref0 到 Vref4 的块 BL-A 到 BL-C 被称为组成了[正侧]上的块组 13。另一方面，处理参考电压 Vref5 到 Vref9 的块 BL-D 到 BL-F 被称为组成了[负侧]上的块组 14。

正侧块组 13 中包含的 MOS 晶体管 TA 到 TC 是 P 沟道 MOS 晶体管。另一方面，负侧块组 14 中包含的 MOS 晶体管 TD 到 TF 是 N 沟道 MOS 晶体管。依照该实施例，如图 5 中所示，第一电压 VDD 被均匀地施加到 P 沟道 MOS 晶体管 TA 到 TC 的背栅极。另一方面，第二电压 VSS 被均匀地施加到 N 沟道 MOS 晶体管 TD 到 TF 的背栅极。

图 6 中总结出了如上所述的各个电压之间的关系。参考电压 Vref0 到 Vref9 被设为满足下列关系，即[第一电压 $VDD \geq Vref0 > Vref1 > \dots > Vref9 \geq$ 第二电压 VSS]。第一电压 VDD 一般是电源电压 VDD。第二电压 VSS 一般是地电压 GND。公共电极的公共电压 VCOM 一般是 $VDD/2$ 。Vref0 与 Vref1 之间电压范围中的电压低于电源电压 VDD，Vref1 与 Vref2 之间电压范围中的电压低于 Vref0 与 Vref1 之间电压范围中的电压。Vref8 与 Vref9 之间电压范围中的电压高于地电压 VSS，Vref7 与 Vref8 之间电压范围中的电压高于 Vref8 与 Vref9 之间电压范围中的电压。Vref3 与 Vref4 之间电压范围中的电压高于公共电压 VCOM，Vref5 与 Vref6 之间电压范围中的电压低于公共电压 VCOM。

此外，在正极性侧上，向包含在块 BL-A 到 BL-C 中的 P 沟道 MOS 晶体管 TA 到 TC 的背栅极施加电源电压 VDD。因为在正常工作时由各个块处理的电压范围不同，所以在扩散层（源极，漏极）与 MOS 晶体管的背栅极之间施加的“最大电压”对于各个块来说都不同。例如，如果各个电压范围的值相等，如图 6 中所示，则相对于块 BL-A 的最大电压是 $[VDD/8]$ 。此外，对于块 BL-B 的最大电压是 $[VDD/4]$ ，对于块 BL-C 的最大电压是 $[VDD/2]$ 。

另一方面，在负极性侧上，向包含在块 BL-D 到 BL-F 中的 N 沟道

MOS 晶体管 TD 到 TF 的背栅极施加地电压 GSS。类似地,对于块 BL-D 的最大电压是 $[VDD/2]$ 。此外,对于块 BL-E 的最大电压是 $[VDD/4]$,对于块 BL-F 的最大电压是 $[VDD/8]$ 。

该最大电压是与施加在 MOS 晶体管的衬底和源极之间的[衬底偏压]对应的值。依照该实施例的灰度电压选择电路 12 可以被视为根据衬底偏压被分为多个块 BL。此外,已知 MOS 晶体管的阈值电压 V_t 用作衬底偏压,且衬底偏压变大时,阈值电压 V_t 增加。这称作[衬底偏压效应(背栅极效应)]。如从图 6 中可以清楚看出的,正侧的衬底偏压效应在块 BL-C 中最大,在块 BL-A 中最小。另一方面,负侧的衬底偏压效应在块 BL-D 中最大,在块 BL-F 中最小。

如后面所述的,根据前面的最大电压(衬底偏压)、衬底偏压效应和阈值电压等,依照该实施例的每个 MOS 晶体管 TA 到 TF 都设计成具有优化结构(偏移长度,栅极长度,栅极宽度等)和尺寸。将在下面详细描述每个 MOS 晶体管的优化结构和尺寸的设计。

图 7 到 9 分别示出了在负侧块组 14 中的 N 沟道 MOS 晶体管 TD 到 TF 的截面结构。与下面的讨论相类似的讨论也适用于正侧块组 13 的 P 沟道 MOS 晶体管 TA 到 TC 的截面结构。因而,将省略它们的描述。通过使用高击穿电压的 CMOS 半导体工艺形成 N 沟道 MOS 晶体管 TD 到 TF,且它们的基本结构是类似的。就是说,在 P 型半导体衬底 100 的主表面侧上形成了高电压 P 阱 101。在高电压 P 阱 101 的表面上,通过高电压栅极氧化膜 102 选择性地形成栅极电极 103。通过使用栅极电极 103 作为掩模的公知的扩散自对准技术,在高电压 P 阱 101 中形成低浓度的 N⁻型扩散层 104 和 N⁻型扩散层 105。此外,在 N⁻型扩散层 104 内部形成作为漏极的 N⁺型漏极扩散层 106,在 N⁻型扩散层 105 内部形成作为源极的 N⁺型源极扩散层 107。此外,在高电压 P 阱 101 中形成背栅极接触扩散层 108,以向高电压 P 阱 101 施加背栅极电压。在 N⁻型扩散层 104, 105 和背栅极接触扩散层 108 的外围区域中形成元

件隔离结构 109，以隔离各个 N 沟道 MOS 晶体管和背栅极接触扩散层 108。作为元件隔离结构 109，例如可以使用场氧化膜和 STI（浅槽隔离结构）。

栅极电极 103 不与 N^+ 型漏极扩散层 106 和 N^+ 型源极扩散层 107 交迭。这样，栅极电极不与源极/漏极相交迭的 MOS 晶体管被称作偏移栅极 MOS 晶体管。偏移栅极 MOS 晶体管的栅极电极 103 与源极或漏极之间的长度被称作[偏移长度]。在栅极电极 103 与 N^+ 型漏极扩散层 106 或 N^+ 型源极扩散层 107 之间保留具有一定偏移长度 L_o 的偏移区域。低浓度的 N 型扩散层 104 和 N 型扩散层 105 组成了漂移区域，其将施加在漏极与背栅极之间以及施加在源极与背栅极之间的电场释放。电场的释放可以使得 MOS 晶体管具有较高的击穿电压。一般高击穿电压 MOS 晶体管具有这种偏移栅极结构。

图 10 示出了偏移长度 L_o 与晶体管击穿电压（漏极与背栅极以及源极与背栅极之间的击穿电压）之间的关系。从图 10 可以理解，存在一种趋势，即当偏移长度 L_o 变长时，晶体管的击穿电压变高。因而，如果需要高击穿电压的 MOS 晶体管，则就将偏移长度 L_o 设计得较长。相反，如果不需要那么高的击穿电压，则就将偏移长度 L_o 设计得较短。

如上所述，施加在块 BL-D 中包含的 N 沟道 MOS 晶体管 TD 的源极/漏极与背栅极之间的最大电压为 $V_{DD}/2$ 。N 沟道 MOS 晶体管 TD 的偏移长度 L_{oD} 设计成具有较长的尺寸，例如几个 μm 。该偏移长度 L_{oD} 的值与栅极长度 L_D 等同。此外，如图 7 中所示，不仅在栅极电极 103 与源极/漏极之间设置偏移区域，而且还在源极/漏极与元件隔离结构 109 之间设置偏移区域。由于该原因，偏移区域占据了 N 沟道 MOS 晶体管 TD 面积的 $2/3$ 或更多。

对于包含在块 BL-E 中的 N 沟道 MOS 晶体管 TE 来说最大电压为 $V_{DD}/4$ 。因而，从图 7 和图 8 的对比可以理解，N 沟道 MOS 晶体管 TE

的偏移长度 LoE 可以被设计为比偏移长度 LoD 短。结果，除去了 N 沟道 MOS 晶体管 TE 的无用部分，由此减小了块 BL-E 的面积。应当注意，偏移区域占据了 N 沟道 MOS 晶体管 TE 面积的大约 1/2。

对于包含在块 BL-F 中的 N 沟道 MOS 晶体管 TF 来说最大电压为 $VDD/8$ 。因而，从图 8 和图 9 的对比可以理解，N 沟道 MOS 晶体管 TF 的偏移长度 LoF 被设计为比偏移长度 LoE 短。例如，可获得其中偏移长度 LoF 近似为零的结构。结果，除去了 N 沟道 MOS 晶体管 TF 的无用部分，这大大减小了块 BL-F 的面积。

如上所述，依照该实施例，根据施加在扩散层与背栅极之间的最大电压而将 MOS 晶体管的偏移长度 Lo 设计成具有优化值。在前面的例子中，N 沟道 MOS 晶体管 TD、TE 和 TF 被设计成获得 $[LoD > LoE > LoF]$ 的关系。因而，尽可能减小了每个块 BL 的尺寸。

图 11 示出了 MOS 晶体管的栅极长度 L 与阈值电压 V_t 之间的关系。如果栅极长度（沟道长度）足够长，则阈值电压 V_t 是与栅极长度 L 无关的常数。然而，公知的是，如果栅极长度非常短，则由此栅极长度 L 的降低将会使阈值电压 V_t 降低。该现象称作[短沟道效应]。阈值电压 V_t 的降低导致了穿通现象，在该现象时电流总是在源极与漏极之间流动。因而，栅极长度 L 一般不能做得太短。

另一方面，如上所述，对于 N 沟道 MOS 晶体管 TD 到 TF 来说的最大电压，即衬底偏压 V_{sub} 彼此不同，由于衬底偏压效应导致的阈值电压 V_t 的“自下而上（bottom-up）”也彼此不同。如图 11 中所示，衬底偏压效应在 N 沟道 MOS 晶体管 TD 中最大，在 N 沟道 MOS 晶体管 TF 中最小。N 沟道 MOS 晶体管 TD 的阈值电压 V_t 相对较高。因而，即使其栅极长度 LD 较短时，也很难发生穿通现象。就是说，通过由短沟道效应导致的阈值电压 V_t 的降低，可以消除由衬底偏压效应引起的阈值电压 V_t 的增加。

依照该实施例，N 沟道 MOS 晶体管 TD 的栅极长度 LD 被设计为最短，N 沟道 MOS 晶体管 TF 的栅极长度 LF 被设计为最长。N 沟道 MOS 晶体管 TE 的栅极长度 LE 被设计为比栅极长度 LD 长且比栅极长度 LF 短（参照图 7 到 9）。因而，除去了无用的栅极长度 L，由此使每个 MOS 晶体管的尺寸适当。

图 12 示出了 MOS 晶体管的栅极宽度 W 与阈值电压 V_t 之间的关系。如图 12 中所示，如果栅极宽度（沟道宽度）W 较小，则由此栅极宽度 W 的降低会使阈值电压 V_t 升高。该现象称作[窄沟道效应]。在通常的 MOS 晶体管中，栅极宽度 W 被设计为不会出现窄沟道效应（ $W = W_{\min}$ ）。

在该实施例中，施加给各个 N 沟道 MOS 晶体管栅极的数字图像数据 D0 到 D5 具有全幅值的电压 VDD。因而，阈值电压 V_t 的稍微增加在电路工作时是允许的。尤其是，由于衬底偏压效应所导致的阈值电压 V_t 的增加相对较小，因此阈值电压 V_t 的稍微增加是允许的。因而，N 沟道 MOS 晶体管 TE、TF 的栅极宽度 WE、WF 被设计为小于 $W_{\min}$ 。在该情形下，在 N 沟道 MOS 晶体管 TE、TF 中出现了窄沟道效应。N 沟道 MOS 晶体管 TD 的栅极宽度 WD 被设计为大致等于 $W_{\min}$ 。这样，除去了无用的栅极宽度 W，由此使每个 MOS 晶体管的尺寸适当。

接下来，将描述低浓度的 N 型扩散层 104 与背栅极接触扩散层 108 之间的间隔（最短长度）Lpn。图 13 示出了该间隔 Lpn 与晶体管击穿电压（PN 结击穿电压）之间的关系。从图 13 可以理解，存在一种趋势，即当间隔 Lpn 变长时，晶体管击穿电压变高。相反地说，如果不需要高击穿电压，就将间隔 Lpn 设计得较短。在低击穿电压条件下，从 N 型扩散层 104 延伸进 P 阱 101 中的耗尽层的扩展较短，由此使穿透（reach-through）现象（耗尽层达到高浓度层并被击穿的现象）变得困难。由此，间隔 Lpn 可以被设计得较短。

依照该实施例，块 BL-F 的 N 沟道 MOS 晶体管 TF 中的间隔 L_{pnF} 被设计为比块 BL-E 的 N 沟道 MOS 晶体管 TE 中的间隔 L_{pnE} 短。此外，块 BL-E 的 N 沟道 MOS 晶体管 TE 中的间隔 L_{pnE} 被设计为比块 BL-D 的 N 沟道 MOS 晶体管 TD 中的间隔 L_{pnD} 短。因而，使每个 MOS 晶体管的尺寸适当。

如上所述，根据最大电压、衬底偏压效应、阈值电压等，对依照该实施例的 MOS 晶体管的结构（偏移长度 L_o 、栅极长度 L 、栅极宽度 W 和间隔 L_p ）进行了优化。通过该优化，各个 MOS 晶体管的尺寸和它们之间的间隔距离具有最小的尺寸。结果，大大减小了灰度电压选择电路 12 的面积。此外，大大减小了半导体芯片的尺寸。因而，以较低的成本提供了液晶显示器驱动器。

此外，依照该实施例，为了减小 MOS 晶体管的击穿电压，对于每个块 BL 来说不需要控制施加到背栅极的电压。向正侧的 P 沟道 MOS 晶体管 TA 到 TC 的背栅极均匀地施加相同的电压 V_{DD} ，向负侧的 N 沟道 MOS 晶体管 TD 到 TF 的背栅极均匀地施加相同的电压 V_{SS} 。不需要控制背栅极电压。因而，当制造灰度电压选择电路 12 时，不需要增加特殊的扩散工艺。通过恰当地安排现有的布图设计，从而很容易获得本发明。

[第二个实施例]

图 14 示出了在液晶显示装置中电源开启顺序的一个例子。在该例子中，在电源电压 V_{DD} 开启之后产生参考电压 V_γ (V_{ref0} 到 V_{ref9})。简而言之，在紧随电源电压 V_{DD} 开启之后，参考电压 V_γ 仍为零。如图 5 已经示出的，向正侧的 P 沟道 MOS 晶体管 TA 到 TC 的背栅极施加电源电压 V_{DD} 。因而，在紧随电源电压 V_{DD} 开启之后，接近满值 (full state) 的电源电压 V_{DD} 被施加给第一级处的 P 沟道 MOS 晶体管，该第一级直接与灰度电压产生电路 11 连接。然而，P 沟道 MOS 晶体管

TA 到 TC 的击穿电压为 $VDD/2$ 或更小。因此，这些 P 沟道 MOS 晶体管被击穿，灰度电压选择电路 12 被击穿。

第二个实施例提供了一种即使使用图 14 中所示的开启顺序也可避免前面问题的技术。

图 15 示出了电路图，其示出了依照第二实施例的灰度电压确定电路的结构。灰度电压确定电路具有灰度电压产生电路 21 和灰度电压选择电路 22。灰度电压产生电路 21 的结构类似于第一实施例中的灰度电压产生电路 11 的结构。在灰度电压选择电路 22 中的 MOS 晶体管的连接结构也类似于第一实施例中的灰度电压选择电路 12 的 MOS 晶体管的连接结构。此外，与第一个实施例类似，灰度电压选择电路 22 分为多个选择电路块 BL。块 BL-A 到 BL-C 组成了正侧块组 23。块 BL-D 到 BL-F 组成了负侧块组 24。

块 BL-A 到 BL-F 中包含的 MOS 晶体管 TA 到 TF 的结构基本上分别与第一个实施例中的结构相同。向正侧的 P 沟道 MOS 晶体管 TA 到 TC 的背栅极施加电源电压 VDD ，且向负侧的 N 沟道 MOS 晶体管 TD 到 TF 的背栅极施加地电压 VSS 。然而，依照该实施例，在正侧的 P 沟道 MOS 晶体管 TA 到 TC 中，与灰度电压产生电路 21 连接的第一级处的 P 沟道 MOS 晶体管（以下称作[第一级 MOS 晶体管]）的结构与其他的不同。

块 BL-A 包括 P 沟道 MOS 晶体管 TA 和具有与晶体管 TA 不同结构的第一级 MOS 晶体管组 TG-A。块 BL-B 包括 P 沟道 MOS 晶体管 TB 和具有与晶体管 TB 不同结构的第一级 MOS 晶体管组 TG-B。块 BL-C 包括 P 沟道 MOS 晶体管 TC 和具有与晶体管 TC 不同结构的第一级 MOS 晶体管组 TG-C。这些第一级 MOS 晶体管组 TG-A 到 TG-C 被认为组成了与其他的块不同的块。

第一级 MOS 晶体管组 TG 中每个晶体管的源极或漏极与提供相应灰度电压的输入端相连。在紧随电源电压 VDD 开启之后，参考电压 V_{γ} ，即灰度电压 V0 到 V63 为零。因而，在紧随电源电压 VDD 开启之后，向第一级 MOS 晶体管 TG 的背栅极施加电源电压 VDD，其源极或漏极变为大约施加 0V 的状态。

图 16 示出了依照该实施例的第一级 MOS 晶体管 TG 的截面结构。在 P 型半导体衬底 200 的主表面侧上形成有高电压 N 阱 201。在高电压 N 阱 201 的表面上通过高电压栅极氧化膜 202 形成栅极电极 203。此外，在高电压 N 阱 201 内形成低浓度的 P⁻型漏极扩散层 204 和 P⁻型扩散层 205。此外，在 P⁻型漏极扩散层 204 内部形成作为漏极的 P⁺型漏极扩散层 206。此外，在 P⁻型扩散层 205 内部形成作为源极的 P⁺型源极扩散层 207。此外，在高电压 N 阱 201 内形成背栅极接触扩散层 208，以向高电压 N 阱 201 施加背栅极电压。在 P⁻型扩散层 204，205 和背栅极接触扩散层 208 的外围区域中形成元件隔离结构 209，用以隔离各个 P 沟道 MOS 晶体管和背栅极接触扩散层 208。

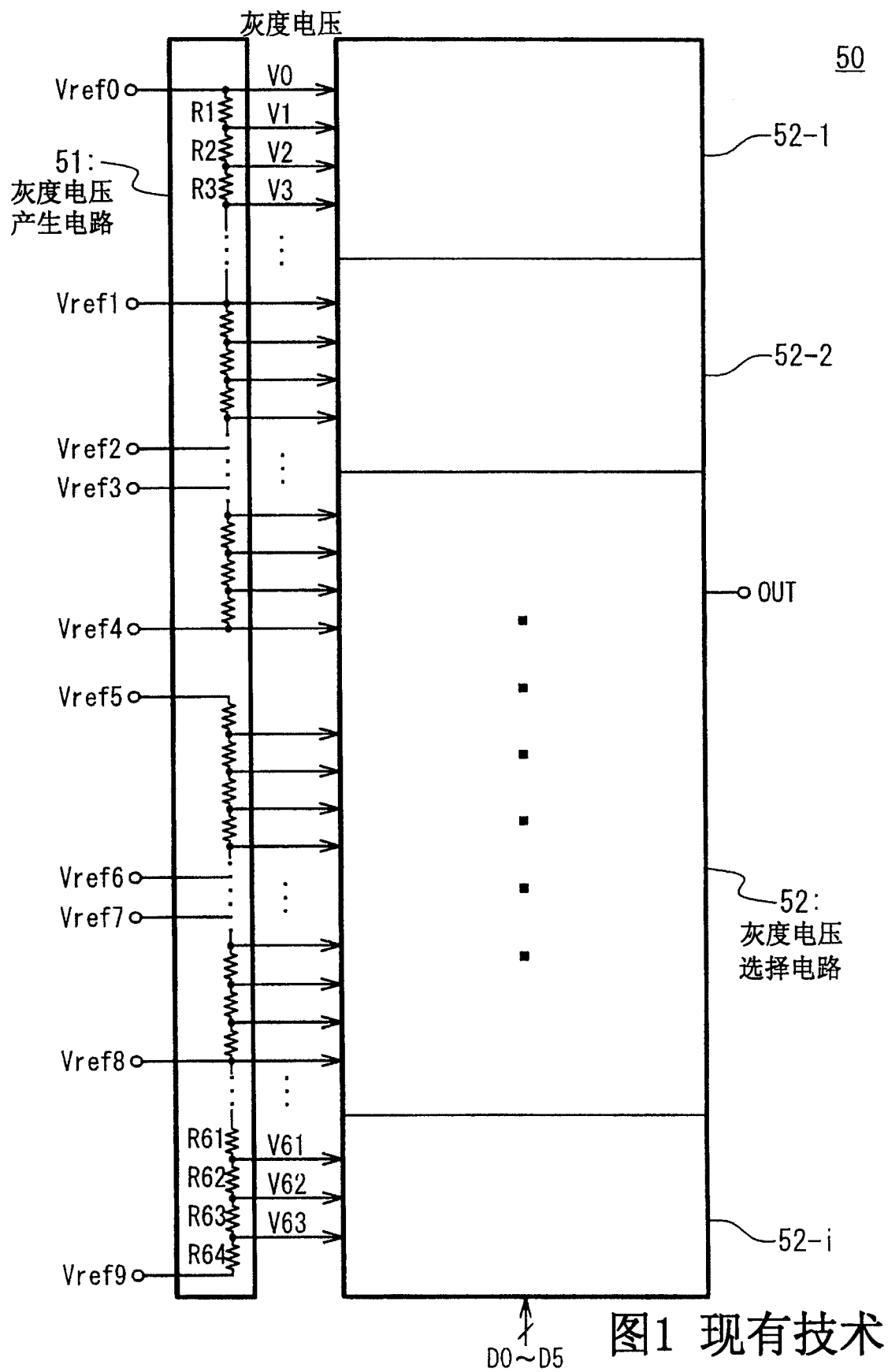
在图 16 中，向其提供灰度电压的灰度电压选择电路 22 的输入端 IN 与 P⁺型漏极扩散层 206 相连。P⁺型漏极扩散层 206 侧上的偏移长度称作 LoG (D)。另一方面，P⁺型源极扩散层 207 侧上的偏移长度称作 LoG (S)。如上所述，当电源开启时，向输入端 IN 侧上的 P⁺型漏极扩散层 206 施加高电压。出于该原因，依照该实施例，偏移长度 LoG (D) 被设计为比偏移长度 LoG (S) 长。结果，只有与灰度电压产生电路 21 连接的部分才具有“高击穿电压结构”。因此，保护了当电源开启时的击穿。

对于与输入端 IN 相对侧上的偏移长度 LoG (S)，其可以设计成等于包含在相同块 BL 中的其他 P 沟道 MOS 晶体管的偏移长度 Lo。简而言之，第一级 MOS 晶体管 TG-A 的偏移长度 LoG (S) 可以等于 P 沟道 MOS 晶体管 TA 的偏移长度。第一级 MOS 晶体管 TG-B 的偏移长

度 $LoG(S)$ 可以等于 P 沟道 MOS 晶体管 TB 的偏移长度。第一级 MOS 晶体管 TG-C 的偏移长度 $LoG(S)$ 可以等于 P 沟道 MOS 晶体管 TC 的偏移长度。因而减小了晶体管的尺寸。

依照该实施例的 MOS 晶体管的结构基本上与第一个实施例中类似并根据最大电压、衬底偏压效应、阈值电压等而进行了优化。因而，获得了与第一个实施例类似的效果。然而，只有与正侧的 P 沟道晶体管组中的灰度电压产生电路 21 连接的部分重新采用通常的“高击穿电压结构”。因而，即使使用图 14 中所示的开启顺序，也可获得防止灰度电压选择电路 22 被破坏的额外效果。

依照本发明，大大降低了电压选择电路的面积，还大大降低了半导体芯片的尺寸。因而降低了成本。此外，不需要专门的制造工艺。因此，通过适当地安排现有的布图设计，很容易获得本发明。



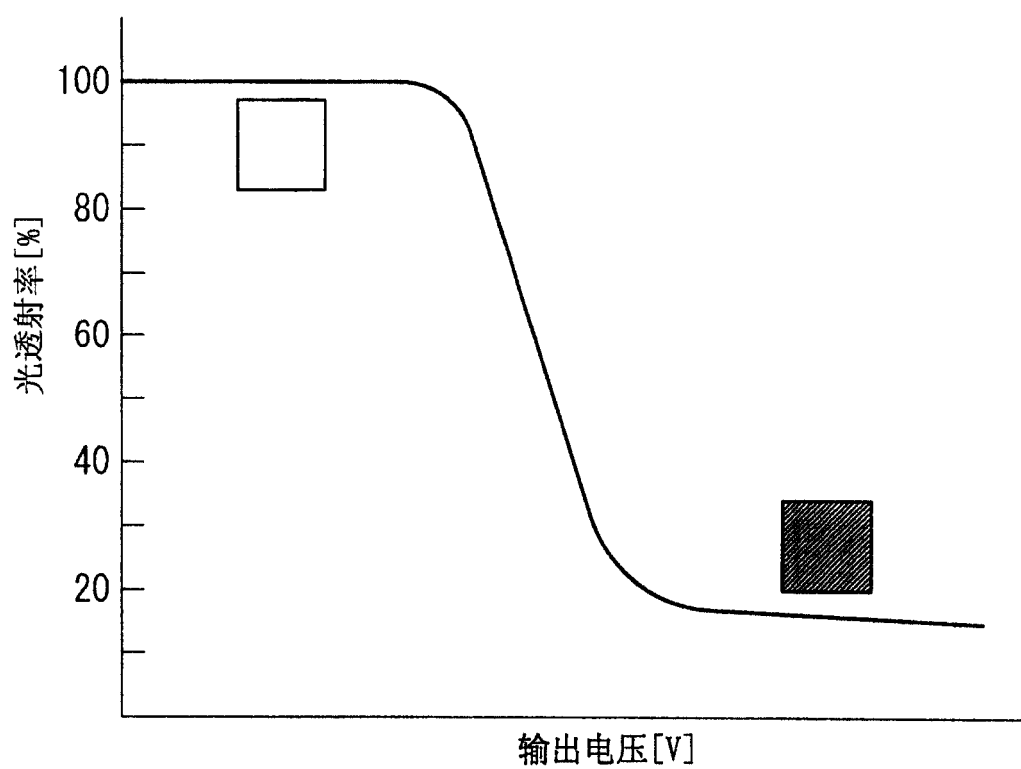


图2 现有技术

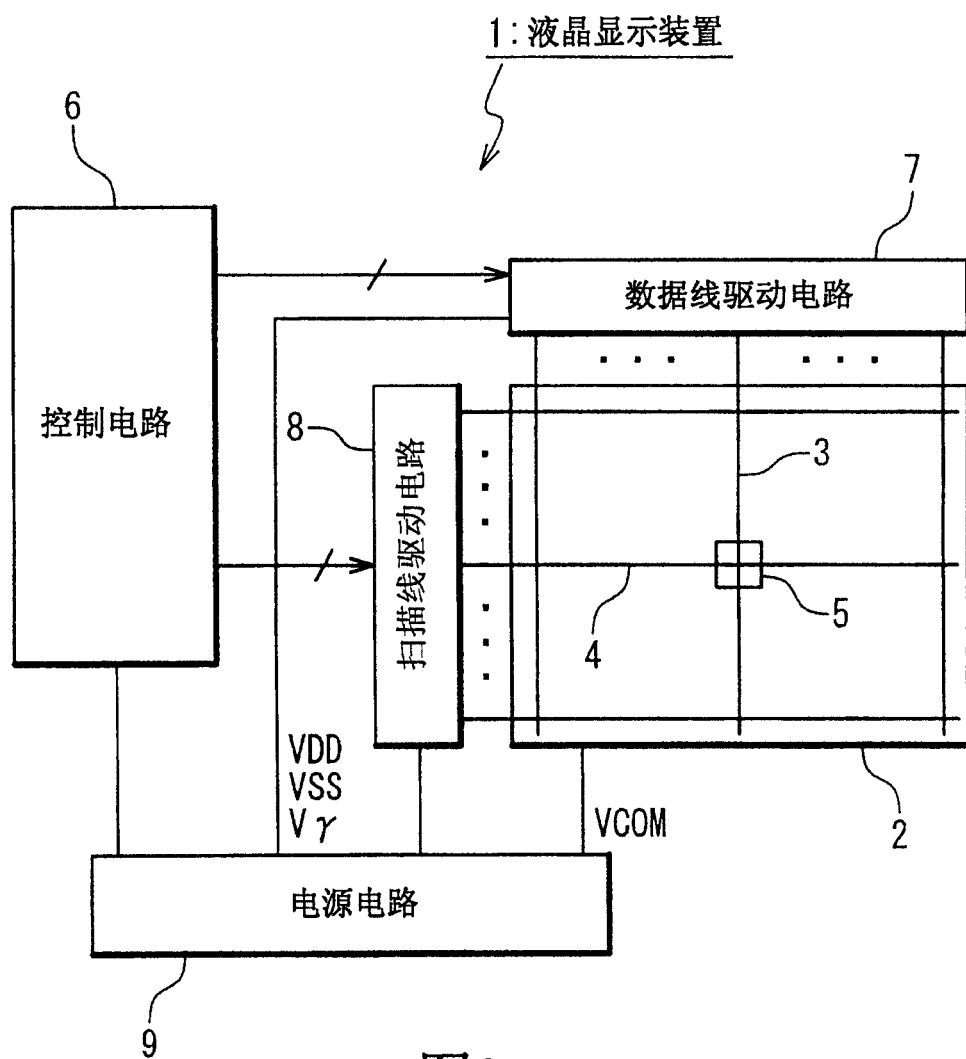


图3

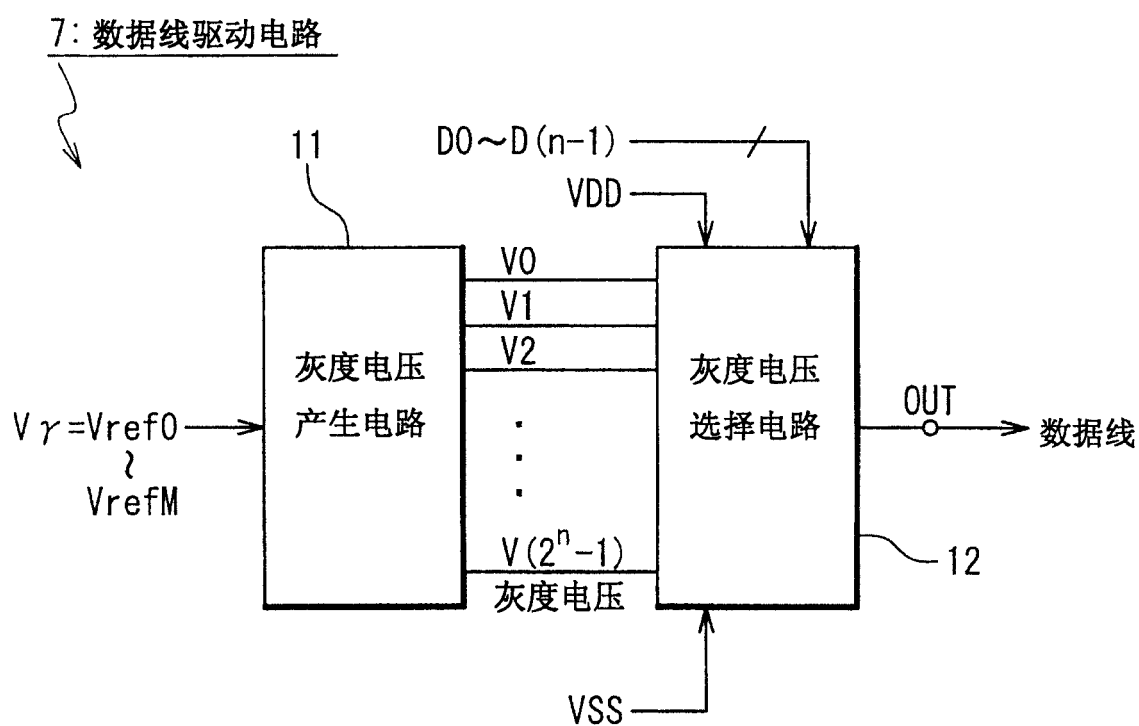


图4

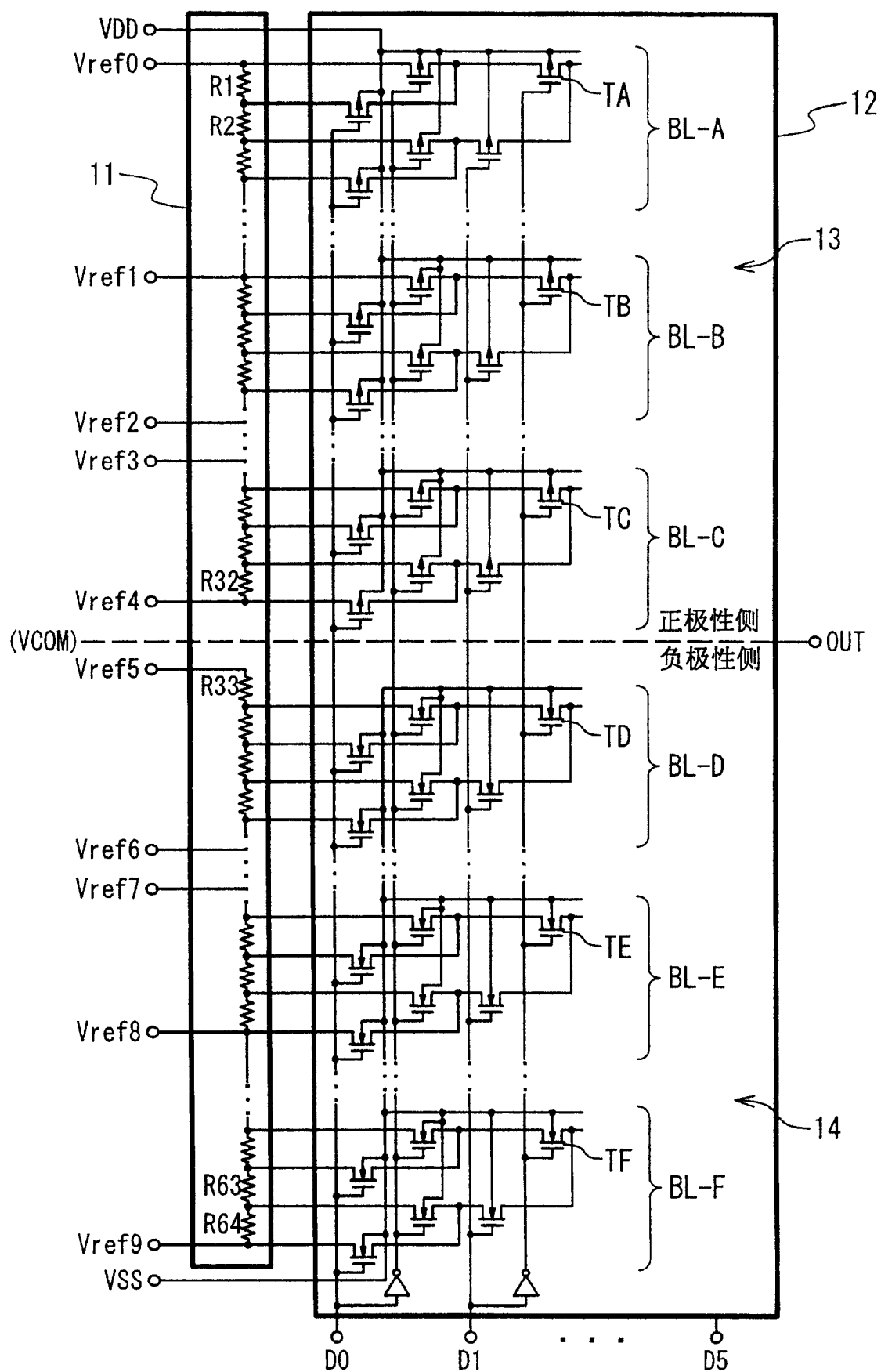


图5

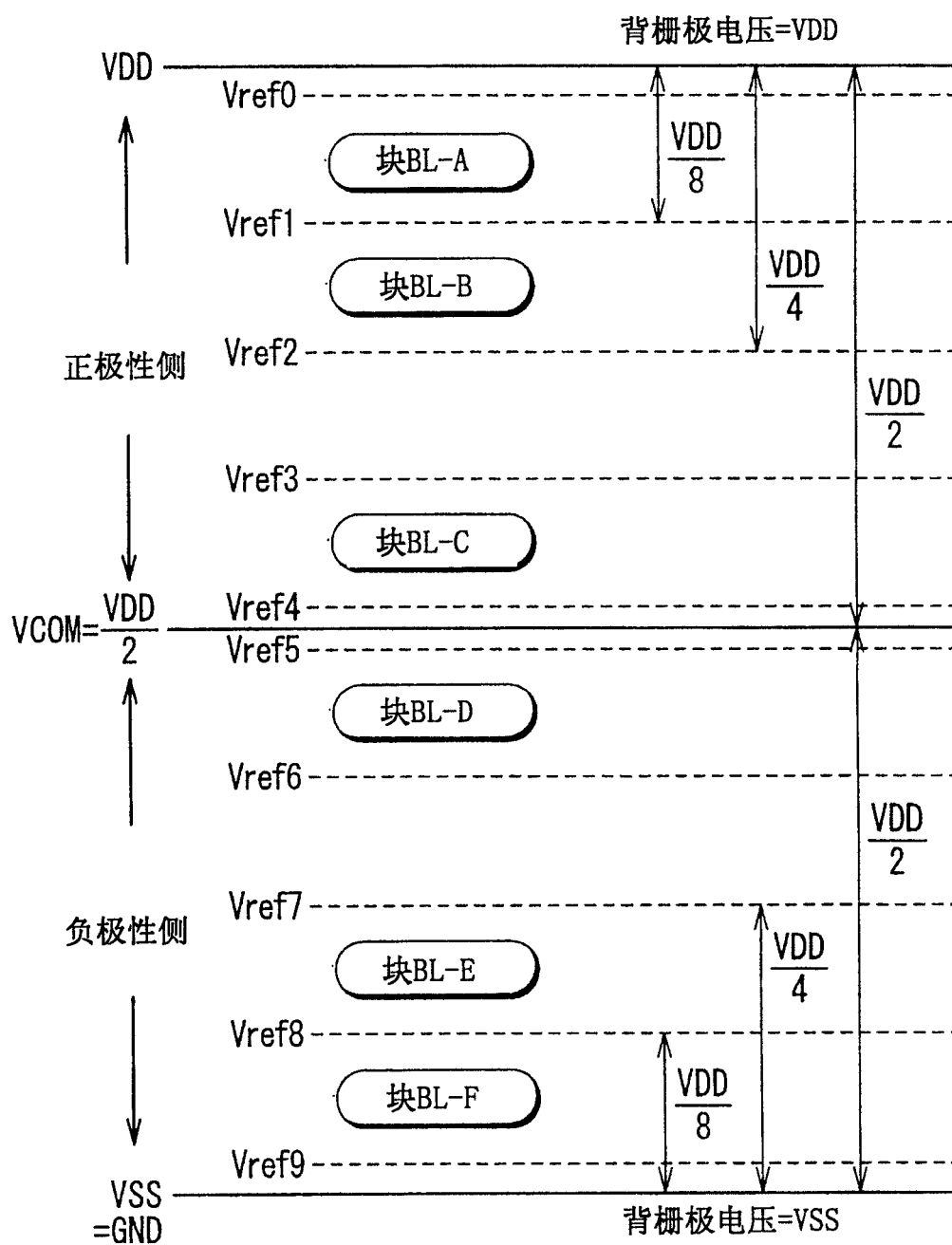
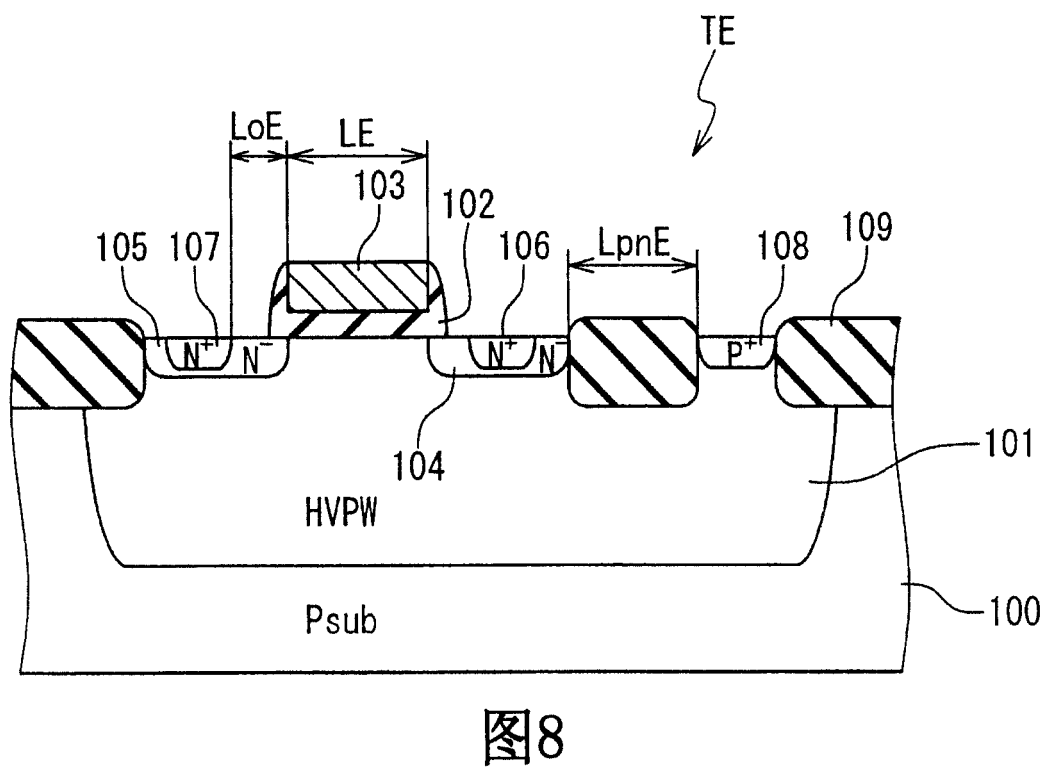
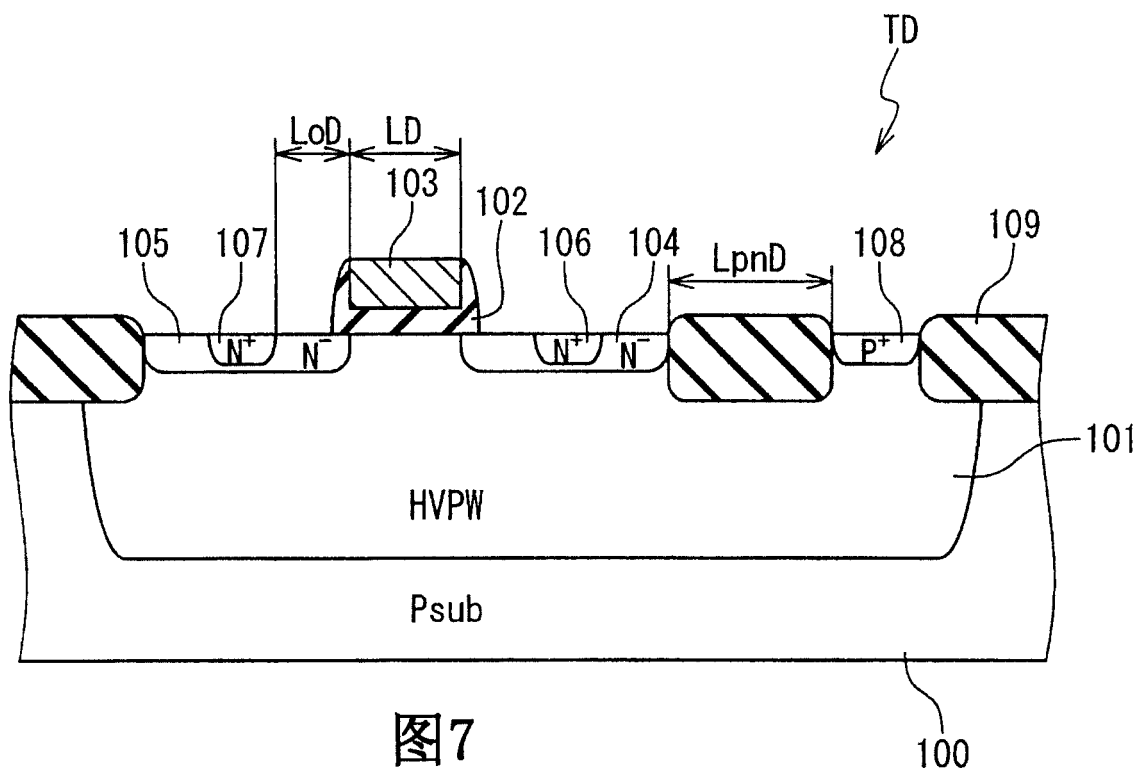


图6



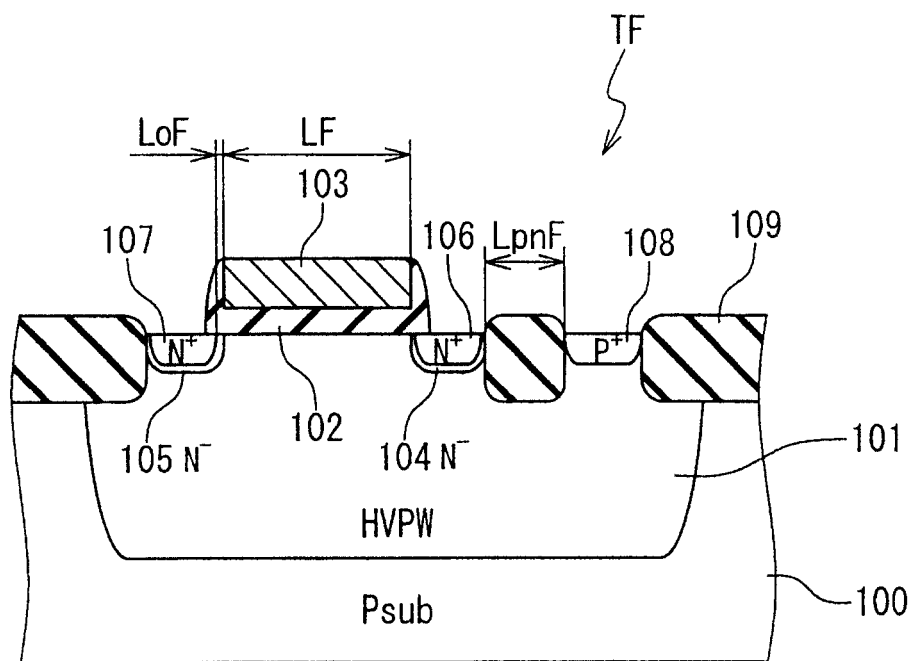


图9

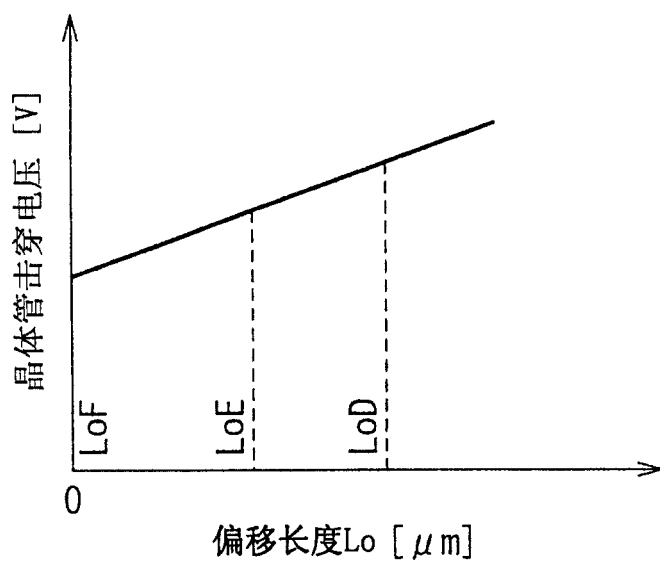


图10

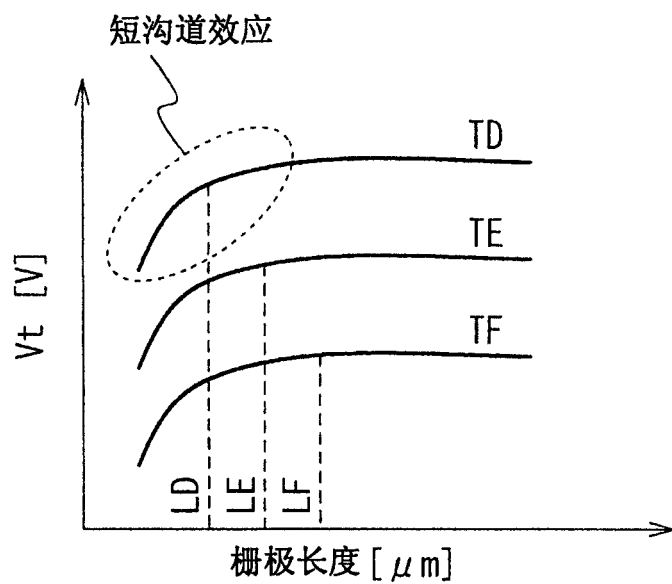


图11

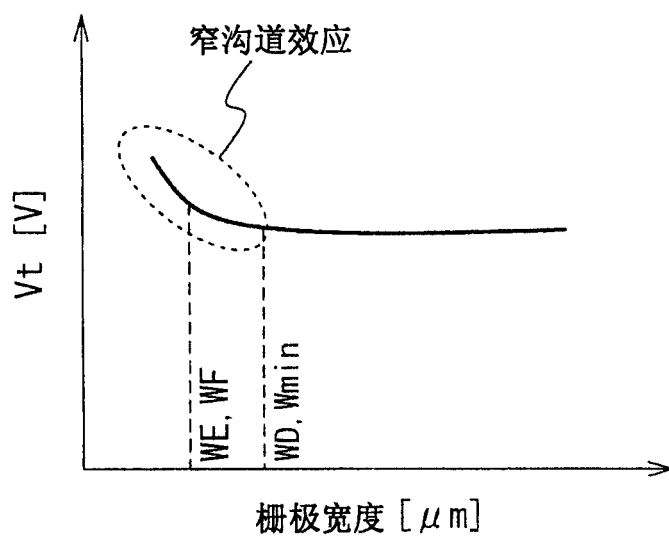


图12

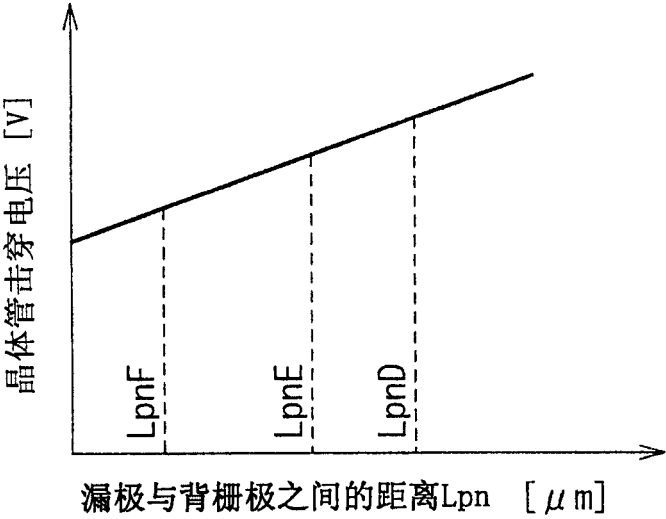


图13

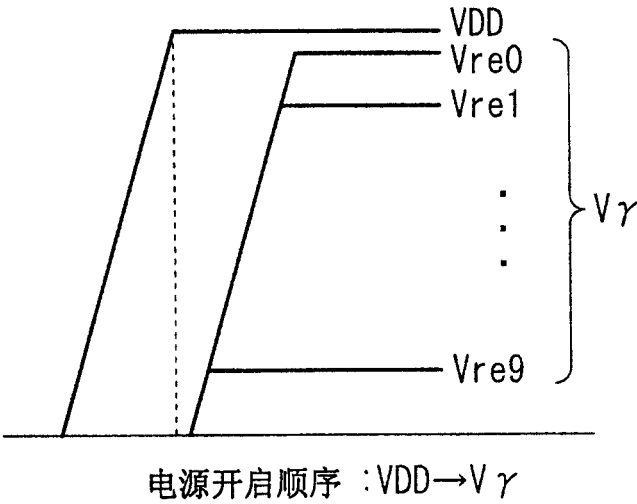


图14

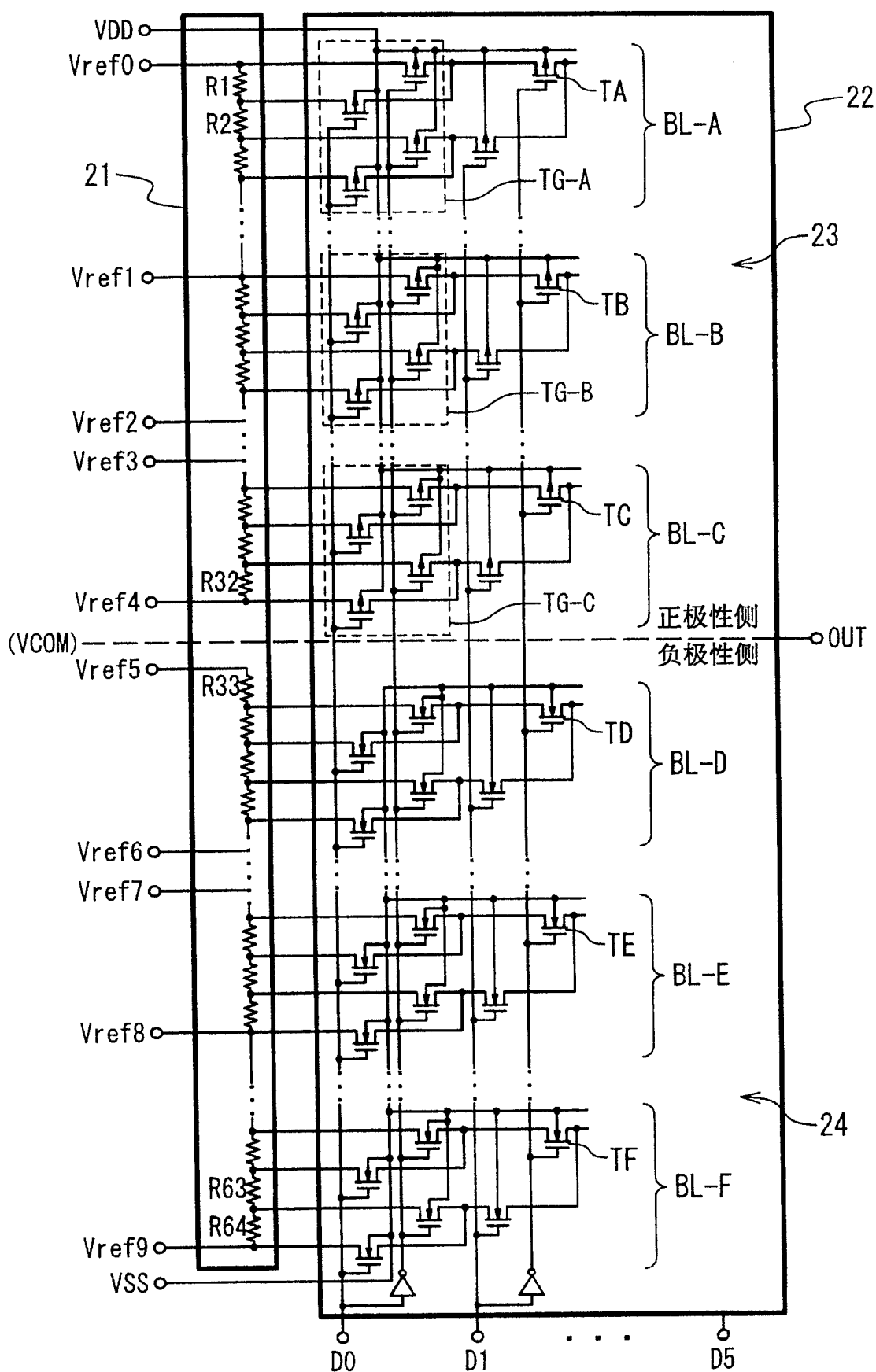


图15

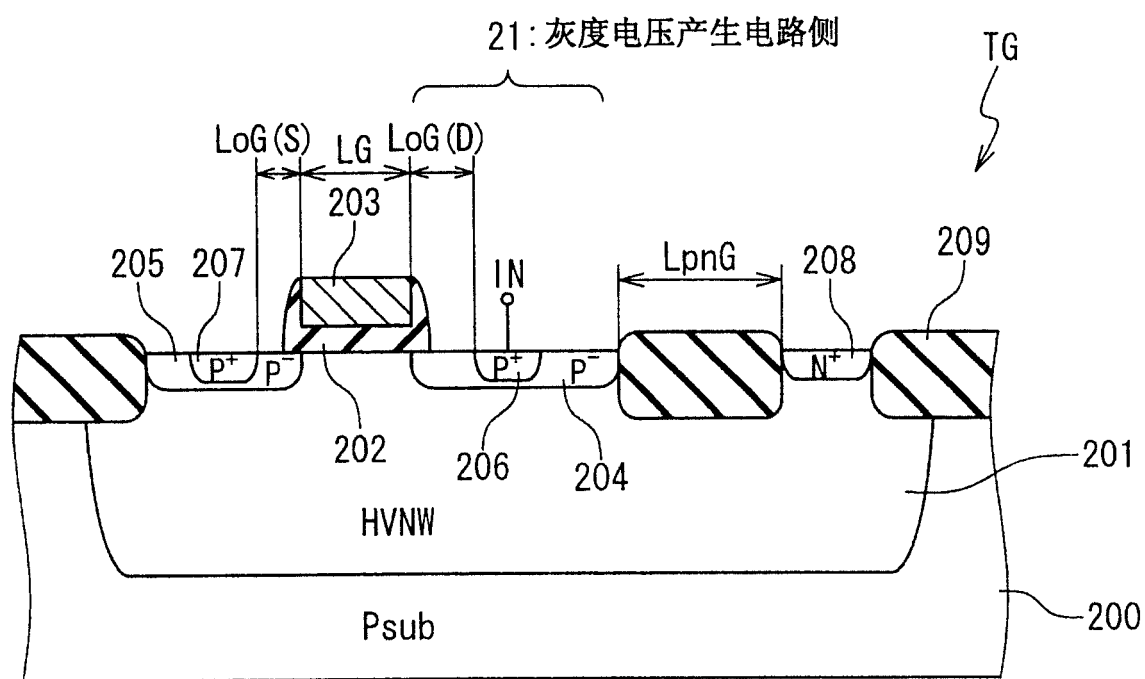


图16

专利名称(译)	液晶显示器驱动器及使用该驱动器的液晶显示装置		
公开(公告)号	CN1959479A	公开(公告)日	2007-05-09
申请号	CN200610142924.0	申请日	2006-10-31
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	恩益禧电子股份有限公司		
当前申请(专利权)人(译)	恩益禧电子股份有限公司		
[标]发明人	高桥幸雄		
发明人	高桥幸雄		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G2310/027 G09G3/3696 G09G3/3614		
代理人(译)	陆锦华		
优先权	2005315616 2005-10-31 JP		
其他公开文献	CN100520508C		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种液晶显示器驱动器及使用它的液晶显示装置。该液晶显示器驱动器包括：第一选择电路，其配置成基于数字信号从第一电压范围选择电压；和第二选择电路，其配置成基于数字信号从第二电压范围选择电压。施加在所述第一选择电路中包含的第一MOS晶体管的扩散层与背栅极之间的电压小于施加在所述第二选择电路中包含的第二MOS晶体管的扩散层与背栅极之间的电压。此外，所述第一MOS晶体管的偏移长度比所述第二MOS晶体管的偏移长度短。该液晶显示器驱动器可以进一步包括电压产生电路，其配置成向所述第一和第二选择电路提供所述第一电压范围和所述第二电压范围的灰度电压。所述第一和第二选择电路中的一个基于所述数字信号输出其中一个灰度电压。

