



[12] 发明专利申请公开说明书

[21] 申请号 03158508.6

[43] 公开日 2004 年 4 月 21 日

[11] 公开号 CN 1490877A

[22] 申请日 2003.9.17 [21] 申请号 03158508.6

[30] 优先权

[32] 2002. 9. 17 [33] JP [31] 270665/2002

[71] 申请人 株式会社液晶先端技术开发中心

地址 日本神奈川县

[72] 发明人 松村正清 是成贵弘

[74] 专利代理机构 永新专利商标代理有限公司

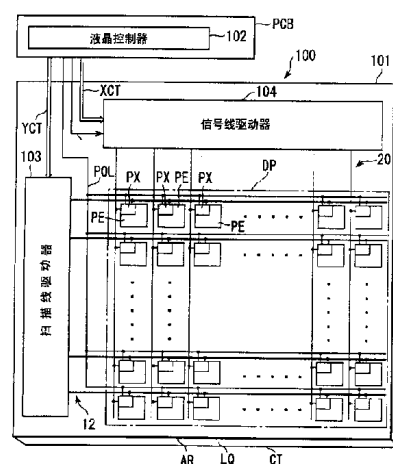
代理人 韩 宏

权利要求书 7 页 说明书 12 页 附图 5 页

[54] 发明名称 存储电路、显示电路，以及显示装置

[57] 摘要

一种液晶显示器包括在多行和多列的一矩阵中排列的像素(P)、沿像素(P)的行延伸的扫描线(11+、11-、12+、12-)、沿像素(P)的列延伸的信号线(20)，以及像素驱动部分(PX)，该像素驱动部分位于扫描线(11+、11-、12+、12-)和信号线(20)交叉处附近，且每一像素驱动部分通过一扫描线(11+、11-、12+、12-)被控制以捕获一信号线(20)上的数据信号并向一像素(P)输出该数据信号。具体的，每一像素驱动部分(PX)包括一存储电路，该存储电路具有一栅极连接至所述信号线(20)的晶体管(T1)，以及第一和第二存储电容(C1、C2)，第一和第二存储电容分别被充电至正电源电压和负电源电压，并分别连接至所述晶体管(T1)的源极和漏极，以将所述数据信号分别存储为正极性和负极性的模拟驱动电压。



1. 一种存储电路，其特征在于该存储电路包括：
一晶体管（T1），其栅极被连接以输入一数据信号；以及
第一和第二存储电容（C1、C2），分别被充电至正电源电压和负电源电压，并分别连接至所述晶体管（T1）的源极和漏极，以将所述数据信号分别存储为正极性和负极性的模拟驱动电压。
2. 根据权利要求 1 的存储电路，其特征在于进一步包括一切换电路（T2-T5、T10、30），该切换电路先将所述第一和第二存储电容（C1、C2）分别连接至提供正电源电压和负电源电压的正极性和负极性电源线（14+、14-），然后将所述第一和第二存储电容（C1、C2）分别连接至所述晶体管（T1）的源极和漏极。
3. 根据权利要求 2 的存储电路，其特征在于进一步包括一输出电路（T6-T9、T11、T12），该输出电路输出由所述第一和第二存储电容（C1、C2）保持的正极性和负极性的模拟驱动电压。
4. 根据权利要求 1 的存储电路，其特征在于所述晶体管（T1）为 P 沟道晶体管和 N 沟道晶体管之一。
5. 根据权利要求 3 的存储电路，其特征在于所述切换电路（T2-T5、T10、30）包括连接在所述正极性电源线（14+）和所述第一存储电容（C1）之间的第二晶体管（T2）、连接在所述负极性电源线（14-）和所述第二存储电容（C2）之间的第三晶体管（T3）、连接在所述第一晶体管（T1）的源极和所述第一存储电容（C1）之间的第四晶体管（T4）、连接在所述第一晶体管（T1）的漏极和所述第

二存储电容（C2）之间的第五晶体管（T5），所述第二和第三晶体管（T2、T3）被控制以临时接通用于设定所述第一和第二存储电容（C1、C2）分别为正电源电压和负电源电压，且所述第四和第五晶体管（T4、T5）被控制以临时接通，代替所述第二和第三晶体管（T2、T3），用于使所述第一和第二存储电容（C1、C2）分别将数据信号存储为正极性和负极性的模拟驱动电压。

6. 根据权利要求 5 的存储电路，其特征在于所述输出电路（T6-T9、T11、T12）包括栅极分别连接至所述第一和第二存储电容（C1、C2）的第六和第七晶体管（T6、T7）、一端通过所述第六晶体管（T6）连接至所述正极性电源线（14+）而另一端连接至第一负载（P）的第八晶体管（T8），以及一端通过所述第七晶体管（T7）连接至所述负极性电源线（14-）而另一端连接至第二负载（P）的第九晶体管（T9），并且所述第八和第九晶体管（T8、T9）的传导性被控制。

7. 根据权利要求 6 的存储电路，其特征在于所述第一、第三、第五、第七和第九晶体管（T1、T3、T5、T7、T9）为 P 沟道晶体管，而所述第二、第四、第六和第八晶体管（T2、T4、T6、T8）为 N 沟道晶体管。

8. 根据权利要求 7 的存储电路，其特征在于所述 P 沟道晶体管和 N 沟道晶体管的阈值电压的绝对值彼此不同，所述切换电路（T2-T5、T10、30）进一步包括连接在所述第一存储电容（C1）和所述第四晶体管（T4）之间的第十晶体管（T10），所述输出电路（T6-T9、T11、T12）包括连接在所述第六和第八晶体管（T6、T8）之间的第十一晶体管（T11）以及连接在所述第七和第九晶体管（T7、T9）之间的第十二晶体管（T12），所述第十、第十一、第十二晶体

管 (T10、T11、T12) 分别为 N 沟道、P 沟道和 N 沟道晶体管, 用作压降元件, 来补偿阈值电压的差异以提供绝对值相等的正极性和负极性驱动电压。

9. 根据权利要求 6 的存储电路, 其特征在于所述第一和第二负载由普通液晶显示单元 (P) 形成, 该普通液晶显示单元具有液晶材料保持在一对电极 (PE、CE) 之间的结构。

10. 一种显示电路, 该显示电路包括:

一液晶显示单元 (P), 其具有液晶材料保持在一对电极 (PE、CE) 之间的结构;

一存储电路 (T1-T5、C1、C2、T10、30), 其具有一栅极被连接以输入一数据信号的晶体管 (T1), 以及第一和第二存储电容 (C1、C2), 该第一和第二存储电容 (C1、C2) 分别被充电至正电源电压和负电源电压, 并分别连接至所述晶体管 (T1) 的源极和漏极, 以将所述数据信号分别存储为正极性和负极性的模拟驱动电压; 以及

一输出电路 (T6-T9、T11、T12), 将由所述第一和第二存储电容 (C1、C2) 保持的正极性和负极性模拟驱动电压交替施加至所述液晶显示单元 (P)。

11. 根据权利要求 10 的显示电路, 其特征在于所述存储电路 (T1-T5、C1、C2、T10、30) 包括一切换电路 (T2-T5、T10、30), 该切换电路先将所述第一和第二存储电容 (C1、C2) 分别连接至提供正电源电压和负电源电压的正极性和负极性电源线 (14+、14-), 然后将所述第一和第二存储电容 (C1、C2) 分别连接至所述晶体管 (T1) 的源极和漏极。

12. 一种显示装置，其特征在于该显示装置包括：

在一多行和多列的矩阵中排列的多个像素（P）；

沿所述像素（P）的行延伸的多条扫描线（12）；

沿所述像素（P）的列延伸的多条信号线（20）；

多个像素驱动部分（PX），其位于所述扫描线和信号线（12、20）交叉处附近，且每一像素驱动部分通过一扫描线（12）被控制以捕获一信号线（20）上的数据信号并向一像素（P）输出该数据信号，每一像素驱动部分（PX）包括一存储电路（T1-T12、C1、C2、30），该存储电路具有一栅极连接至一信号线（20）的晶体管（T1），以及第一和第二存储电容（C1、C2），该第一和第二存储电容分别被充电至正电源电压和负电源电压，并分别连接至所述晶体管（T1）的源极和漏极，以将所述数据信号分别存储为正极性和负极性的模拟驱动电压。

13. 根据权利要求 12 的显示装置，其特征在于所述存储电路包括一切换电路（T2-T5、T10、30），该切换电路先将所述第一和第二存储电容（C1、C2）分别连接至提供正电源电压和负电源电压的正极性和负极性电源线（14+、14-），然后将所述第一和第二存储电容（C1、C2）分别连接至所述晶体管（T1）的源极和漏极。

14. 根据权利要求 13 的显示装置，其特征在于所述存储电路（T1-T12、C1、C2、30）进一步包括一输出电路（T6-T9、T11、T12），该输出电路输出由所述第一和第二存储电容（C1、C2）保持的正极性和负极性模拟驱动电压。

15. 根据权利要求 14 的显示装置，其特征在于所述切换电路（T2-T5、T10、30）包括连接在所述正极性电源线（14+）和所述

第一存储电容（C1）之间的第二晶体管（T2）、连接在所述负极性电源线（14-）和所述第二存储电容（C2）之间的第三晶体管（T3）、连接在所述第一晶体管（T1）的源极和所述第一存储电容（C1）之间的第四晶体管（T4）、连接在所述第一晶体管（T1）的漏极和所述第二存储电容（C2）之间的第五晶体管（T5），所述第二和第三晶体管（T2、T3）被控制以临时接通用于设定所述第一和第二存储电容（C1、C2）分别为正电源电压和负电源电压，且所述第四和第五晶体管（T4、T5）被控制以临时接通，代替所述第二和第三晶体管（T2、T3），用于使所述第一和第二存储电容（C1、C2）分别将数据信号存储为正极性和负极性的模拟驱动电压。

16. 根据权利要求 15 的显示装置，其特征在于每一所述扫描线（12）包括正极性和负极性的第一子扫描线（11+、11-），第一子扫描线（11+、11-）在一个水平扫描周期中提供正脉冲和负脉冲作为扫描信号来接通所述第二和第三晶体管（T2、T3），还包括正极性和负极性的第二子扫描线（12+、12-），第二子扫描线（12+、12-）在所述水平扫描周期的下一个水平扫描周期中提供正脉冲和负脉冲作为扫描信号来接通所述第四和第五晶体管（T4、T5）。

17. 根据权利要求 16 的显示装置，其特征在于所述正极性和负极性的第二子扫描线（12+、12-）被用于下一行中像素（P）的所述正极性和负极性的第一子扫描线（11+、11-）所共用。

18. 根据权利要求 16 的显示装置，其特征在于所述正极性和负极性的第一子扫描线（11+、11-）作为地线连接至用于下一行中像素（P）的每一存储电路（T1-T12、C1、C2、30）的所述第一和第二存储电容（C1、C2）。

19. 根据权利要求 13 的显示装置，其特征在于所述切换电路（T2-T5、T10、30）包括一脉冲整形电路（30），该脉冲整形电路将施加至所述第二和第三晶体管（T2、T3）的栅极之一的栅极脉冲反转，并将该反转的栅极脉冲提供给所述第二和第三晶体管（T2、T3）的栅极中的另外一个。

20. 根据权利要求 15 的显示装置，其特征在于所述输出电路（T6-T9、T11、T12）包括栅极连接至所述第一和第二存储电容（C1、C2）的第六和第七晶体管（T6、T7）、一端通过所述第六晶体管（T6）连接至所述正极性电源线（14+）而另一端连接至第一负载（P）的第八晶体管（T8），以及一端通过所述第七晶体管（T7）连接至所述负极性电源线（14-）而另一端连接至第二负载（P）的第九晶体管（T9），并且所述第八和第九晶体管（T8、T9）的传导性被控制。

21. 根据权利要求 20 的显示装置，其特征在于所述第一、第三、第五、第七和第九晶体管（T1、T3、T5、T7、T9）为 P 沟道晶体管，而所述第二、第四、第六和第八晶体管（T2、T4、T6、T8）为 N 沟道晶体管。

22. 根据权利要求 21 的显示装置，其特征在于所述 P 沟道晶体管和 N 沟道晶体管的阈值电压的绝对值彼此不同，所述切换电路（T2-T5、T10、30）进一步包括连接在所述第一存储电容（C1）和所述第四晶体管（T4）之间的第十晶体管（T10），所述输出电路（T6-T9、T11、T12）包括连接在所述第六和第八晶体管（T6、T8）之间的第十一晶体管（T11）以及连接在所述第七和第九晶体管（T7、T9）之间的第十二晶体管（T12），所述第十、第十一、第十二晶体

管 (T10、T11、T12) 为 N 沟道、P 沟道和 N 沟道晶体管, 用作降压元件, 来补偿阈值电压的差异以提供绝对值相等的正极性和负极性驱动电压。

23. 根据权利要求 20 的显示装置, 其特征在于每一所述像素 (P) 具有液晶材料被保持在一对电极 (PE、CE) 之间的结构, 且所述第一和第二负载由所述像素 (P) 中普通的一个形成。

存储电路、显示电路，以及显示装置

技术领域

本发明一般涉及一种显示装置，例如液晶显示装置或 EL（电致发光）显示装置，更具体地，本发明涉及例如用于存储像素数据信号的存储电路、显示电路、和显示装置。

背景技术

在液晶显示装置中，大量的像素被排列在多行和多列的矩阵中，以便显示与从外部信号源（例如个人计算机）输入的视频信号的一帧相对应的一幅图像。视频信号被串并行地转换成数据信号，数据信号作为模拟驱动电压被施加至每一行中的像素上。当视频信号为数字形式时，使用一数模转换器（DAC）来获得数据信号。这些数据信号通过信号线被施加于每一行中的像素。每一像素的电容被数据信号的模拟驱动电压充电或放电，并在数据信号被更新前将驱动电压保持为电荷。

数据信号通常在每一帧周期被更新，然后通过信号线被传送至像素。数据信号如此频繁的传送使保持较低的功率耗散变得很难。并非所有的数据信号在每个帧周期都需要被传送至像素，比如在静态图像显示中，或者甚至在相邻帧之间所有像素的亮度被保持的动态画面显示的情况下。因此，为了降低传送数据信号的频度，提出了一种技术，其中为像素增加了像素存储器（pixel memory），用于在较长时间周期内存储驱动电压，这样可以只在出现改变亮度的需要或者出现反转驱动电压极性而不改变亮度的需要时才更新数据信号。然而，传统的像素存储器通常为一个比特。这样，就不能获得

中间灰度来显示全色图像。

如果像素存储器与下列配置联系在一起，则可以获得上述中间灰度：

(1) 配置每一像素的像素存储器，以存储两个或更多比特的数据，并为像素存储器附加一模数转换器（ADC）及一 DAC。

(2) 形成每一像素，使其具有两个或更多子像素（subpixel），并改变白显示区域的比例。

(3) 在每一像素上执行时分调制，并改变白显示周期的速度（rate）。

在较小的像素尺寸内实现配置（1）和（2）比较困难。对于配置（3），在增加灰度方面可能面临很多问题。比如说，容易发生闪变（flicker）。为了解决这些问题，可将像素存储器简单地配置为可保持模拟驱动电压。

通常，通过使用电容保持任意的模拟驱动电压是可能的。在将该电容引入像素的过程中，需要这样一个电路配置，其输出一模拟驱动电压而并不消去电容中的电荷。对于液晶显示装置，长时间周期内向液晶层施加一个极性的电压可能导致液晶材料品质劣化。例如，液晶材料的电阻率可能下降。因此，从液晶的使用寿命角度来看，需要极性反转的驱动。因而，额外保持一与来自信号线的数据信号的电压（+Vdata）极性相反的电压（-Vdata），并在连续的帧上向像素电极交替施加这样的电压是比较理想的。

发明内容

本发明的目的是提供一种存储电路、显示电路和显示装置，其可以将数据信号存储为正极性和负极性的模拟驱动电压。

根据本发明的第一方面，提供了一种存储电路，包括：一晶体管，其栅极被连接以输入数据信号；以及第一和第二存储电容，分别被

充电至正电源电压和负电源电压，并分别连接至该晶体管的源极和漏极，以将数据信号存储为正极性和负极性的模拟驱动电压。

根据本发明的第二方面，提供了一种显示电路，包括：一液晶显示单元，具有液晶材料保持在一对电极之间的结构；一存储电路，具有一晶体管，其栅极被连接以输入数据信号，以及第一和第二存储电容，分别被充电至正电源电压和负电源电压，并分别连接至该晶体管的源极和漏极，以将数据信号存储为正极性和负极性的模拟驱动电压；以及一输出电路，向液晶显示单元交替施加第一和第二存储电容保持的正极性和负极性的模拟驱动电压。

根据本发明的第三方面，提供了一种显示装置，包括：多个像素，排列在多行和多列的矩阵中；沿像素行延伸的多条扫描线；沿像素列延伸的多条信号线；以及多个像素驱动部分，其位于扫描线和信号线的交叉处附近，且每一像素驱动部分通过一条扫描线控制以捕获一条信号线上的数据信号并将该数据信号输出至一个像素，每个像素驱动部分包括一存储电路，该存储电路具有一晶体管，其栅极被连接至该一条信号线，以及第一和第二存储电容，分别被充电至正电源电压和负电源电压，并分别连接至该晶体管的源极和漏极，以将数据信号存储为正极性和负极性的模拟驱动电压；

通过上述存储电路、显示电路，以及显示装置，当晶体管的源极和漏极连接至第一和第二存储电容时，第一和第二存储电容中的电荷被重新分布，以提供数据信号作为正极性和负极性的模拟驱动电压。第一及第二存储电容连续不断地保持这些模拟驱动电压，同时数据信号不需要被更新。这样，即使暂停数据信号的更新以减少功率耗散时，也可在显示中获得中间层次（gradation）。另外，当所述像素为液晶像素时，跨越该像素的电压的极性可通过交替输出由第一和第二存储电容保持的正极性和负极性模拟驱动电压很容易地转换。相应地，可以防止液晶材料的劣化。

附图说明

并入本说明书并构成本说明书一部分的这些附图，描绘了本发明的实施例，并与前文中的概述和下文中的实施例详细说明一起，用于解释本发明的原理。

图 1 是显示根据本发明的一个实施例的液晶显示装置的示意性电路配置的图；

图 2 是显示图 1 中所示的液晶显示装置的示意剖视结构的图；

图 3 是显示图 1 中所示的像素显示部分的等效电路的图；

图 4 是用于解释图 3 中所示的像素驱动部分操作的时序图；

图 5 是显示图 3 的像素驱动部分的第一变型的图，其中加入了降压晶体管；

图 6 是显示图 3 的像素驱动部分的第二变型的图，其中取消了第二子扫描线；

图 7 是显示图 3 的像素驱动部分的第三变型的图，其中取消了地线；

图 8 是显示图 3 的像素驱动部分的第四变型的图，其中取消了负极性的第一子扫描线；

图 9 是显示从一电路模拟器获得的驱动电压波形的图，其中该电路模拟器模拟图 3 中所示的电路配置；

具体实施方式

现在参照附图说明根据本发明实施例的液晶显示装置。

图 1 显示了液晶显示装置 100 的示意性电路配置，而图 2 显示了该液晶显示装置 100 的示意性的剖视结构。

液晶显示装置 100 包括液晶显示面板 101 和用于控制液晶显示面板 101 的液晶控制器 102。在液晶显示面板 101 的结构中，液晶层 LQ

被保持在阵列衬底 AR 和副(counter)衬底 CT 之间。液晶控制器 102 位于独立于液晶显示面板 101 的驱动电路板 PCB 上。

阵列衬底 AR 包括排列在玻璃板 GL 上的显示区域 DP 内的多行和多列矩阵中的多个像素电极 PE, 沿像素电极 PE 的行延伸的多条扫描线 12、沿像素电极 PE 的列延伸的多条信号线 20、分别位于扫描线 12 和信号线 20 的交叉处附近的多个像素驱动部分 PX, 且每个像素驱动部分 PX 可响应于来自相应扫描线 12 的扫描信号, 捕获来自相应信号线 20 的数据信号的电压 Vdata, 并将该数据信号电压 Vdata 输出至一相应的像素电极 PE, 一用于驱动扫描线 12 的扫描线驱动器 103, 以及一用于驱动信号线 20 的信号线驱动器 104。

副衬底 CT 包括一单独的副电极 CE, 其位于上述像素电极 PE 的对面并被设置为地电势 GND, 以及未示出的滤色器, 和其它部件。

液晶控制器 102 从外部接收数字视频信号 VIDEO 和同步信号, 以生成垂直扫描控制信号 YCT、水平扫描控制信号 XCT、极性控制信号 POL 等。垂直扫描控制信号 YCT 被提供给扫描线驱动器 103。水平扫描控制信号 XCT 连同视频信号 VIDEO 一起被提供给信号线驱动器 104。极性控制信号 POL 被提供给每一像素驱动部分 PX。

扫描线驱动器 103 通过垂直扫描控制信号 YCT 被控制, 在例如每一垂直扫描(帧)周期内顺序地向扫描线 12 提供正极性和负极性的扫描信号。这些正极性和负极性的扫描信号只在一个水平线周期(1H)期间被提供给每一扫描线 12。

信号线驱动器 14 通过水平扫描控制信号 XCT 被控制, 对在每一水平扫描周期(在该周期内一条扫描线被驱动)内输入的视频信号 VIDEO 执行串-并行转换及数模转换, 并向信号线 20 提供用于一行内的像素的数据信号 Vdata。

图 3 显示了图 1 中所示的每一像素驱动部分 PX 的等效电路。在图 3 中, P 代表由一个像素电极 PE、副电极 CE, 及保持在电极 PE

和 CE 之间的液晶层 LQ 中的液晶材料形成的像素。每个像素驱动部分 PX 包括一存储电路，用于将一个像素 (P) 的数据信号存储为正极性和负极性的模拟驱动电压。在阵列衬底 AR 上，每一扫描线 12 包括正极性和负极性的第一子扫描线 11+ 及 11-，以及正极性和负极性的第二子扫描线 12+ 和 12-，它们并行排列并在行的方向上延伸。另外，极性控制线 13、正极性和负极性的电源线 14+ 和 14-，以及地线 15 并行排列并沿行的方向延伸。

存储电路包括两个正极性和负极性的电源、晶体管 T1 至 T9，以及第一和第二存储电容 C1 及 C2 彼此关联，并被连接至充当负载的像素电极 PE。在图 3 中，T1、T3、T5、T7 和 T9 为 P 沟道晶体管，而 T2、T4、T6 和 T8 为 N 沟道晶体管。在该存储电路中，晶体管 T2 至 T5 用于形成一切换电路，其将第一和第二存储电容 C1 和 C2 分别连接至正极性和负极性的电源线 14+ 和 14-，以提供正极性和负极性的电源电压，并且随后将第一和第二存储电容 C1 和 C2 分别连接至晶体管 T1 的源极和漏极。此外，晶体管 T6 至 T9 用于形成一输出电路，输出由第一存储电容 C1 保持的正极性的模拟驱动电压和由第二存储电容 C2 保持的负极性的模拟驱动电压。

晶体管 T1 至 T5 的栅极分别连接至信号线 20、第一子扫描线 11+、第一子扫描线 11-、第二子扫描线 12+、第二子扫描线 12-。晶体管 T2 的源极连接至电源线 14+，晶体管 T2 的漏极连接至第一存储电容 C1 和晶体管 T4 的源极。晶体管 T3 的漏极连接至电源线 14-，晶体管 T3 的源极连接至存储电容 C2 和晶体管 T5 的漏极。存储电容 C1 和 C2 的接地端分别连接至地线 15 和下一行中的地线。晶体管 T1 的源极和漏极分别连接至晶体管 T4 的漏极和晶体管 T5 的源极。晶体管 T6 和 T7 的栅极分别连接至第一存储电容 C1 和第二存储电容 C2。晶体管 T8 和 T9 的栅极一起连接至极性控制线 13。晶体管 T6 的源极和漏极分别连接至电源线 14+ 和晶体管 T8 的源极。晶体管 T8

的漏极连接至像素电极 PE。晶体管 T7 的源极和漏极分别连接至电源线 14+和晶体管 T9 的漏极。晶体管 T9 的源极连接至像素电极 PE。

下面将参照图 4 中所示的时序图说明上述结构的像素驱动部分 PX 的操作。在显示面板 101 中, 在前一行的水平扫描周期期间, 正脉冲和负脉冲 P1+和 P1-先分别通过第一子扫描线 11+和 11-被施加至晶体管 T2 和 T3 的栅极, 使得晶体管 T2 和 T3 均接通。借此, 第一和第二存储电容 C1 和 C2 被分别连接至电源线 14+和 14-, 结果是 C1 和 C2 分别被充电至正的和负的初始电压 $+V_{pi}$ 和 $-V_{mi}$ 。

当被施加至晶体管 T2 和 T3 的电压分别与电源电压 $+V_{DD}$ 和 $-V_{DD}$ 一致时, 它们的栅极-源极电压变为 0V, 导致饱和电流在它们的漏极流动。其结果是, 第一和第二存储电容 C1 和 C2 的初始电压 $+V_{pi}$ 和 $-V_{mi}$ 分别减小 T2 和 T3 的阈值电压, 因此 $+V_{pi} = +V_{DD} - V_{Tn}$ 以及 $-V_{mi} = -V_{DD} + V_{Tp}$ 。为了分别保持存储电容 C1 和 C2 的初始电压 $+V_{pi} = +V_{DD}$ 以及 $-V_{mi} = -V_{DD}$, 施加至 T2 和 T3 栅极的电压需分别不小于 $+V_{DD} + V_{Tn}$ 以及 $-V_{DD} - V_{Tp}$ 。这里, V_{Tn} 为 N 沟道晶体管的阈值电压而 V_{Tp} 为 P 沟道晶体管的阈值电压。在 N 沟道晶体管的情况下, 通过设定其栅电势高于其源电势而将该晶体管接通。另一方面, P 沟道晶体管则在设定其栅电势低于其源电势时被接通。因为这个原因, 晶体管 T2 和 T3 可通过分别设定其栅电压不小于 $+V_{DD} + V_{Tn}$ 及 $-V_{DD} - V_{Tp}$ 而接通。但是, 由于此时两个晶体管的栅电势分别高于和低于其源电势, 因此两个晶体管的源电势将分别变为高于和低于其栅电势。然而, 由于栅电势将不会超过电源电压, 所以此时初始电压将为 $+V_{pi} = +V_{DD}$ 以及 $-V_{mi} = -V_{DD}$ 。当脉冲 P1+和 P1-被复位为 0 伏时, 晶体管 T2 和 T3 被断开, 这样第一和第二存储电容 C1 和 C2 中的电荷不能逸出。因此, 第一和第二存储电容 C1 和 C2 保持脉冲 P1+和 P1-被复位时刻的初始电压 $+V_{pi}$ 和 $-V_{mi}$ 。在实际情况下, C1 和 C2 的初始电压将因为晶体管 T2 和 T3 以及第

一和第二存储电容 C1 和 C2 中的漏泄电流而逐渐变化。

接着，在一指定行的水平扫描周期期间，正脉冲 P2+和负脉冲 P2-分别通过第二子扫描线 12+和 12-被施加至晶体管 T4 和 T5 的栅极，以接通晶体管 T4 和 T5。这时，数据信号电压+Vdata 被同时通过信号线 20 施加至晶体管 T1 的栅极。结果，第一和第二存储电容 C1 和 C2 被连接至晶体管 T1 的源极和漏极，以提供初始电压+Vpi 和-Vmi。此时，第一和第二存储电容 C1 和 C2 分别保持正电压+Vp 和负电压-Vm。

当数据信号电压+Vdata 被施加于晶体管 T1 的栅极（T1 的源极和漏极分别被设定为初始电压+Vpi 和-Vmi）时，源电势变得比栅电势高 VTp，VTp 为晶体管 T1 的阈值电压。由于漏电势在相位上与源电势相反，因此此时的驱动电压变为 $+Vp = +Vdata + VTp$ 和 $-Vm = -Vdata - VTp + Vpi - Vmi$ 。当脉冲 P2+和 P2-被复位为 0 伏时，晶体管 T4 和 T5 被断开。这样，第一和第二存储电容 C1 和 C2 保持脉冲 P2+和 P2-被复位时刻的驱动电压+Vp 和-Vm。同时，晶体管 T1 被隔离出来，以中断自信号线 20 的随后的数据进入。

当初始电压低于电源电压，即， $+Vpi = +VDD - VTn$ 和 $-Vmi = -VDD + VTp$ 时，驱动电压+Vp 和-Vm 变为 $+Vp = +Vdata + VTp$ 以及 $-Vm = -Vdata - VTp + Vpi - Vmi = -Vdata - VTp + VDD - VTn - VDD + VTp = -Vdata - VTn$ 。

当初始电压等于电源电压，即， $+Vpi = +VDD$ 和 $-Vmi = -VDD$ 时，驱动电压+Vp 和-Vm 变为 $+Vp = +Vdata + VTp$ 以及 $-Vm = -Vdata - VTp + Vpi - Vmi = -Vdata - VTp + VDD - VDD = -Vdata - VTp$ 。

因此，驱动电压+Vp 和-Vm 随初始电压+Vpi 和-Vmi 而变化。当 N 沟道和 P 沟道晶体管的阈值电压 VTn 和 VTp 彼此绝对值相等时，将不会出现问题。如果这两个阈值电压彼此不同，则需要补偿该差异的相应对策。为了使第一和第二存储电容 C1 和 C2 保持的驱动电

压与数据电压大小相等（即， $+V_p = +V_{data}$ 且 $-V_m = -V_{data}$ ），简单地将一比 $+V_{data}$ 小 V_{Tp} （阈值电压）的电压，即， $+V_{data}-V_{Tp}$ 施加至晶体管 T1 的栅极。当使用 N 沟道晶体管作为晶体管 T1 时，向其栅极施加负数据电压 $-V_{data}$ 将产生与使用 P 沟道晶体管时相同的效果。

第一和第二存储电容 C1 和 C2 保持的驱动电压 $+V_p$ 和 $-V_m$ 被分别施加于晶体管 T6 和 T7 的栅极，然后被无损地传送至或读出至晶体管 T8 的源极和晶体管 T9 的漏极。晶体管 T6 和 T7 可各自充当一电压增益为 1 的放大器。源电势随栅电势变化而变化，保持它们之间一固定的差值。

如上所述，当 $+V_{pi} = +V_{DD}$ 以及 $-V_{mi} = -V_{DD}$ 时，第一和第二存储电容 C1 和 C2 保持的驱动电压 $+V_p$ 和 $-V_m$ 变为 $+V_p = +V_{data}+V_{Tp}$ 和 $-V_m = -V_{data}-V_{Tp}$ 。这些驱动电压分别降低 V_{Tn} 和 V_{Tp} ，即晶体管 T6 和 T7 各自的阈值电压，使得 $+V_p = +V_{data}+V_{Tp}-V_{Tn}$ 以及 $-V_m = -V_{data}-V_{Tp}+V_{Tp} = -V_{data}$ 。因此，设计 N 沟道和 P 沟道晶体管，使 $V_{Tn} = V_{Tp}$ ，将得到 $+V_p = +V_{data}$ 以及 $-V_m = -V_{data}$ 的结果。也就是说，获得了与数据信号绝对值相等的正驱动电压和负驱动电压。

然后，将正脉冲 P3+和负脉冲 P3-通过极性控制线 13 交替施加于晶体管 T8 和 T9 的栅极，每一帧内一个脉冲。当正脉冲 P3+被施加于晶体管 T8 和 T9 的栅极时，晶体管 T8 接通，同时晶体管 T9 被断开。借此，第一存储电容 C1 和晶体管 T6 的电路被连接至像素电极 PE，使得由第一存储电容 C1 保持的正的驱动电压 $+V_p$ 通过晶体管 T6 被读出至像素电极 PE 之上。另一方面，当负脉冲 P3-被施加于晶体管 T8 和 T9 的栅极时，晶体管 T8 被断开，同时晶体管 T9 接通。借此，第二存储电容 C2 和晶体管 T7 的电路被连接至像素电极 PE，使得由第二存储电容 C2 保持的负的驱动电压通过晶体管 T7 被读出至像素电极 PE 之上。这样，正驱动电压 $+V_p$ 和负驱动电压 $-V_m$ 交

替施加于像素电极 PE，如同其极性在每一帧反转的电压，实现了像素电极 PE 和副电极 CE 之间电压的反转驱动。

如上所述，当设计 N 沟道和 P 沟道晶体管，使它们的阈值电压彼此相等，即 $V_{Tn} = V_{Tp}$ 时，可获得与数据信号电压绝对值相等的正驱动电压和负驱动电压，即， $+V_p = +V_{data}$ 以及 $-V_m = -V_{data}$ 。

图 5 显示了图 3 中所示的像素驱动部分 PX 的第一个变型的等效电路。与图 3 中相似的部件使用相同的参考标记，并为简单起见略去多余的解释。当 N 沟道和 P 沟道晶体管的阈值电压 V_{Tn} 和 V_{Tp} 彼此不同时，如图 5 所示，N 沟道晶体管 T10 和 T12 的电路及 P 沟道晶体管 T11 的电路被附加地连接至图 3 所示配置的电路，以便获得与阈值电压彼此相等时相同的效果。晶体管 T10 的源极连接至晶体管 T4 的漏极，晶体管 T10 的栅极和漏极连接至晶体管 T2 的漏极。晶体管 T12 的源极连接至晶体管 T7 的漏极，且晶体管 T12 的栅极和漏极连接至晶体管 T9 的漏极。晶体管 T11 的源极连接至晶体管 T6 的源极，而晶体管 T11 的栅极和漏极连接至晶体管 T8 的源极。

也就是说，在初始电压 $+V_{pi} = +V_{DD}$ 以及 $-V_{mi} = -V_{DD}$ 被第一和第二存储电容 C1 和 C2 保持的状态下，将比电源电压高过阈值电压或更多的电压施加至晶体管 T2 和 T3 的栅极以接通和断开晶体管 T4 和 T5，在 N 沟道晶体管 T10 的随后阶段该电势增加了阈值电压 V_{Tn} ，使得存储电容 C1 和 C2 保持驱动电压 $+V_p = +V_{data} + V_{Tp} + V_{Tn}$ 以及 $-V_m = -V_{data} - V_{Tp} - V_{Tn}$ 。

接下来，在 N 沟道和 P 沟道晶体管 T6 和 T7 的随后阶段的驱动电压 $+V_p$ 和 $-V_m$ 分别下降阈值电压 V_{Tn} 和 V_{Tp} ，结果是 $+V_p = +V_{data} + V_{Tp}$ 以及 $-V_m = -V_{data} - V_{Tn}$ 。

然后，在 N 沟道和 P 沟道晶体管 T11 和 T12 的随后阶段的驱动电压 $+V_p$ 和 $-V_m$ 分别下降阈值电压 V_{Tn} 和 V_{Tp} ，结果是 $+V_p = +V_{data}$ 以及 $-V_m = -V_{data}$ 。这样，可获得与数据电压绝对值相等的正驱动电

压和负驱动电压。

显示面板 101 需要大量沿水平扫描方向延伸的连线，其中包括第一子扫描线 11+和 11-、第二子扫描线 12+和 12-、极性控制线 13、电源线 14+和 14-，以及地线 15。当提供这些连线比较困难时，可通过下列变型减少连线的数量：

第二变型

图 6 显示了图 3 中所示的像素驱动部分的第二个变型。与图 3 中相似的部件使用相同的参考标记，并为简单起见略去多余的解释。脉冲 P2+和 P2-可以被施加至多条线用于在一时序扫描一指定行，其中该时序与施加至这些线的脉冲 P1+和 P1-用于扫描下一行的时序相同。因此，如图 6 所示，用于下一行的第一子扫描线 11+和 11-取代了连接至晶体管 T4 和 T5 的第二子扫描线 12+和 12-，因此可以取消该第二子扫描线 12+和 12-。

第三变型

图 7 显示了图 3 中所示的像素驱动部分的第三个变型。与图 3 中相似的部件使用相同的参考标记，并为简单起见略去多余的解释。在下一个像素的数据信号到达之前，用于前一行的第一子扫描线 11+和 11-保持不用。因此，如图 7 所示，用于前一行的第一子扫描线 11+和 11-替代了将第一和第二存储电容 C1 和 C2 接地的地线 15，所以该地线 15 可以被取消。

第四变型

图 8 显示了图 3 中所示的像素驱动部分的第四个变型。与图 3 中相似的部件使用相同的参考标记，并为简单起见略去多余的解释。如图 8 所示，提供了一脉冲整形电路 30，该脉冲整形电路 30 由将

正脉冲 P1+反转为负脉冲 P1-的反转电路和一箝位电路组合而成。因此，脉冲整形电路 30 的输出线 11'-取代了连接至晶体管 T3 的栅极的第一子扫描线 11-，使得该第一子扫描线 11-可以被取消。

从模拟图 3 电路配置的一电路模拟器可以获得如图 9 中所示的驱动电压波形。如图 9 中所示，即使在 N 沟道和 P 沟道晶体管的阈值电压 V_{Tn} 和 V_{Tp} 彼此不同，即 $V_{Tn} = 1.0\text{ V}$ 和 $V_{Tp} = -2.0\text{ V}$ 的情况下，正驱动电压和负驱动电压仍为 $+V_p = +V_{data}$ 和 $-V_m = -V_{data}$ ，与提供给晶体管 T1 的栅极的数据信号电压 $+V_{data}$ 绝对值相等，并在连续的帧上交替地输出（也就是说，在奇数帧输出正驱动电压 $+V_p$ 而在偶数帧输出负驱动电压 $-V_m$ ）。

其它优势和变型对于本领域的技术人员来说将是显而易见的。因此，本发明在其更宽的范畴内并不局限于这里描述和显示的具体细节及代表性的实施例。相应地，在不背离如权利要求所限定的本发明总体概念的精神或者范围的情况下可以做出各种变型。

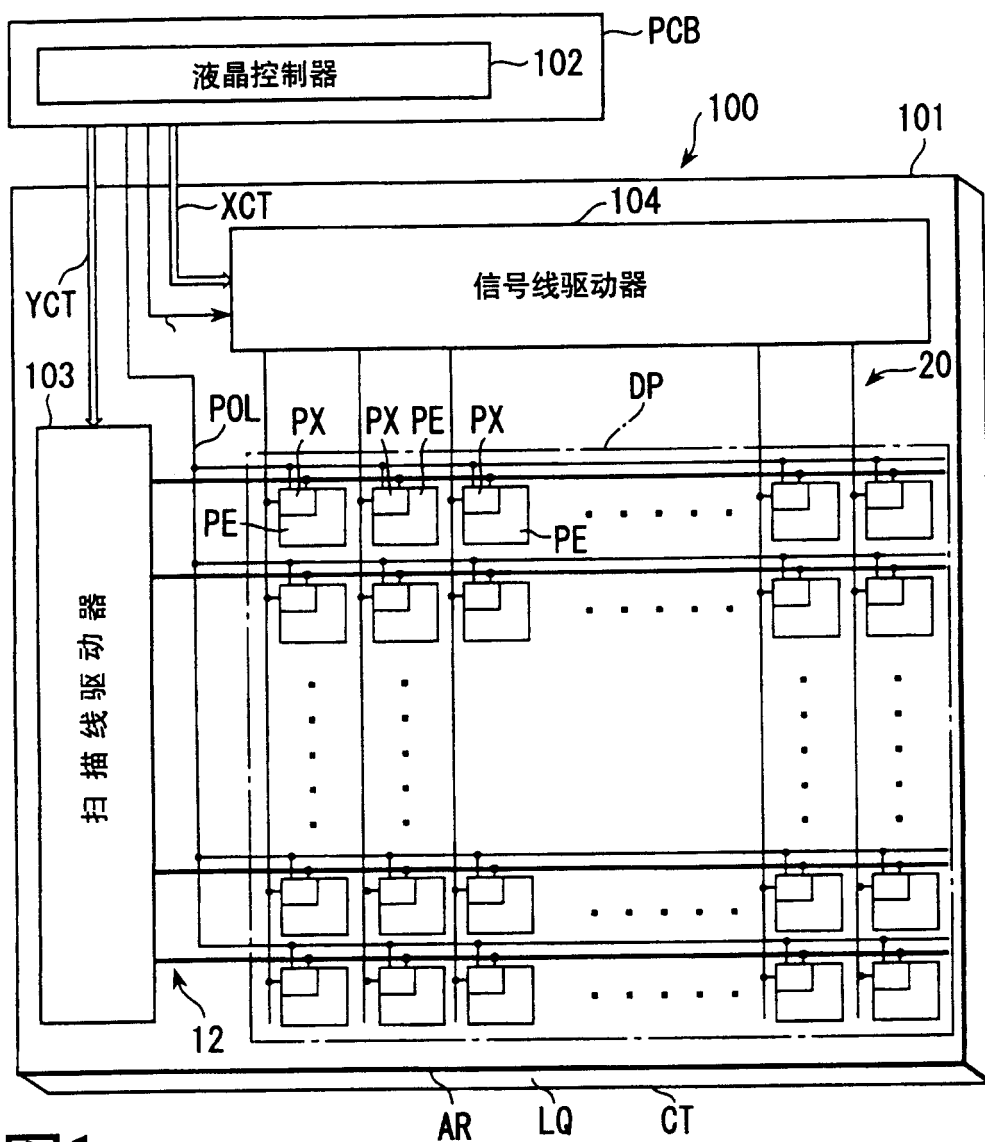


图1

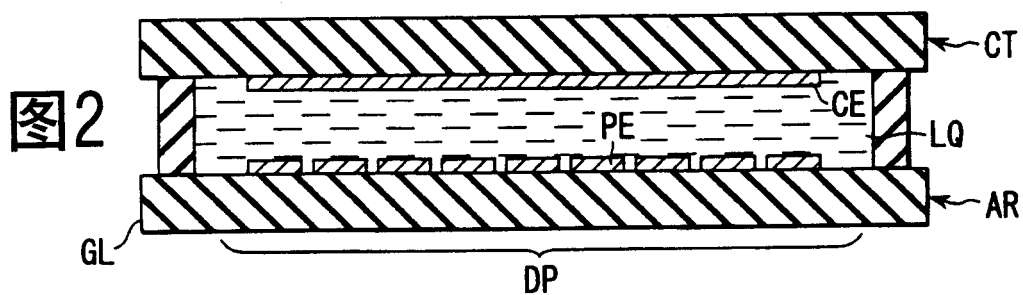


图2

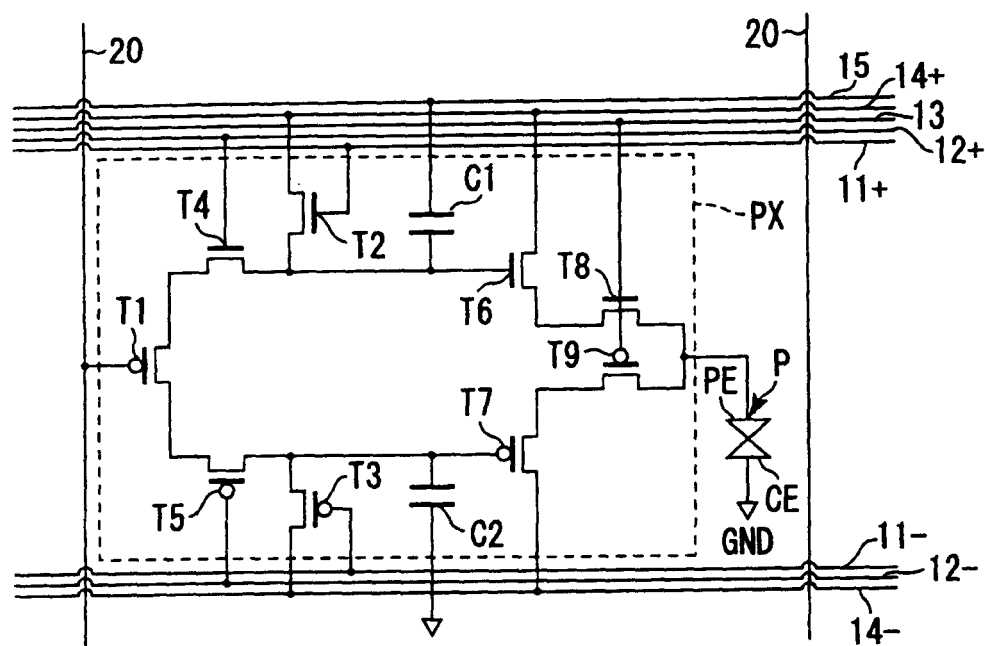


图3

下一行中的15

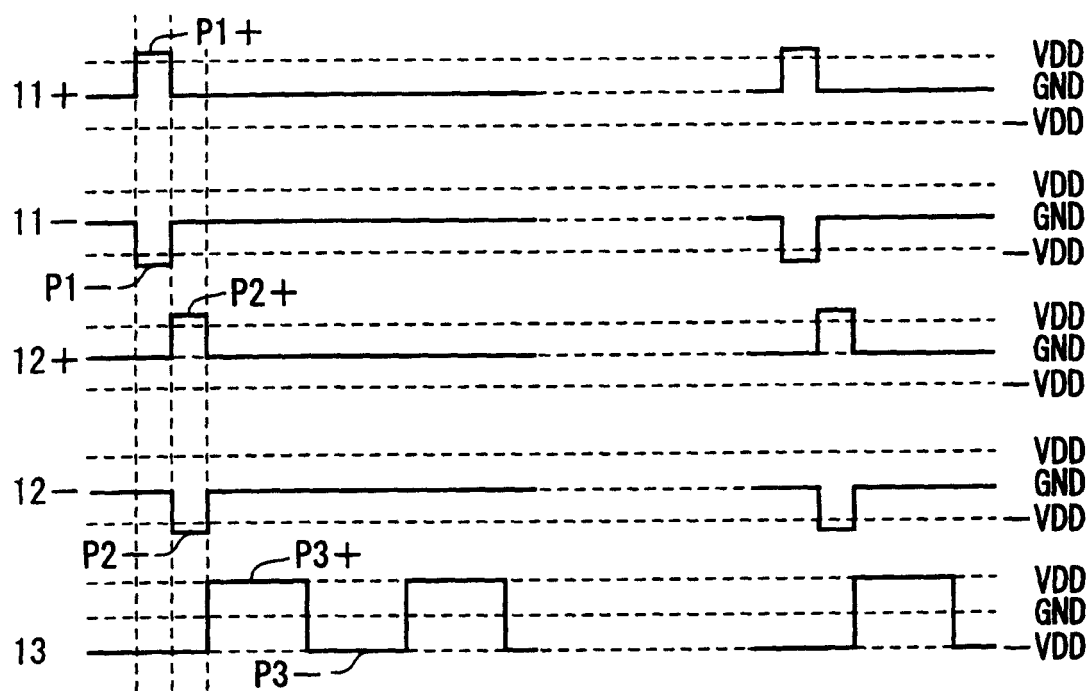
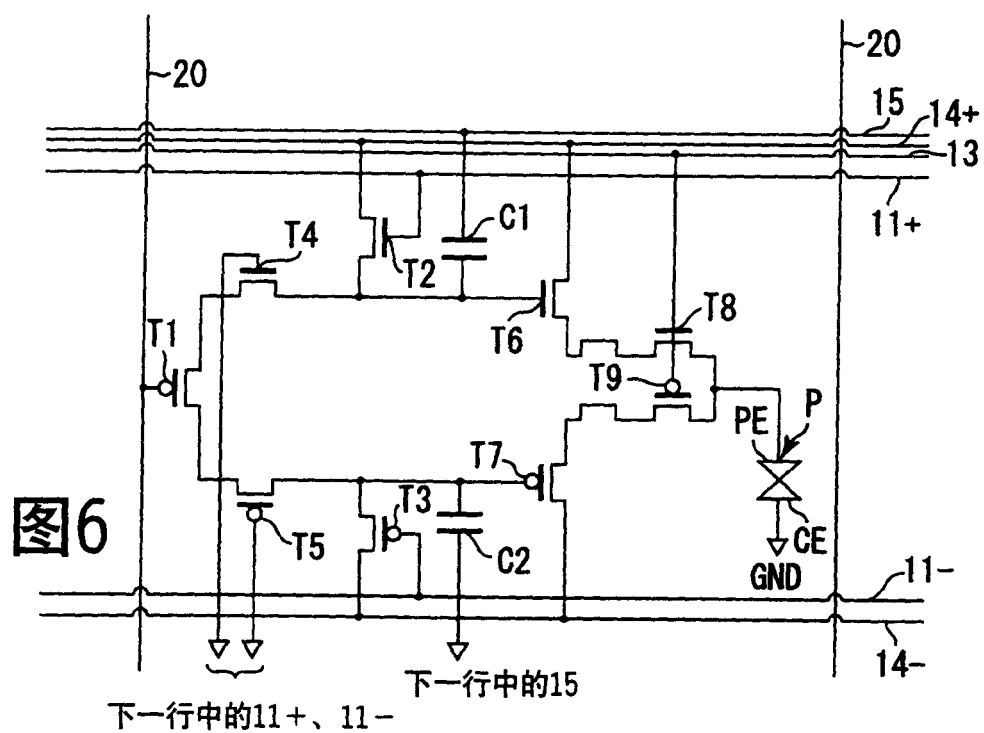
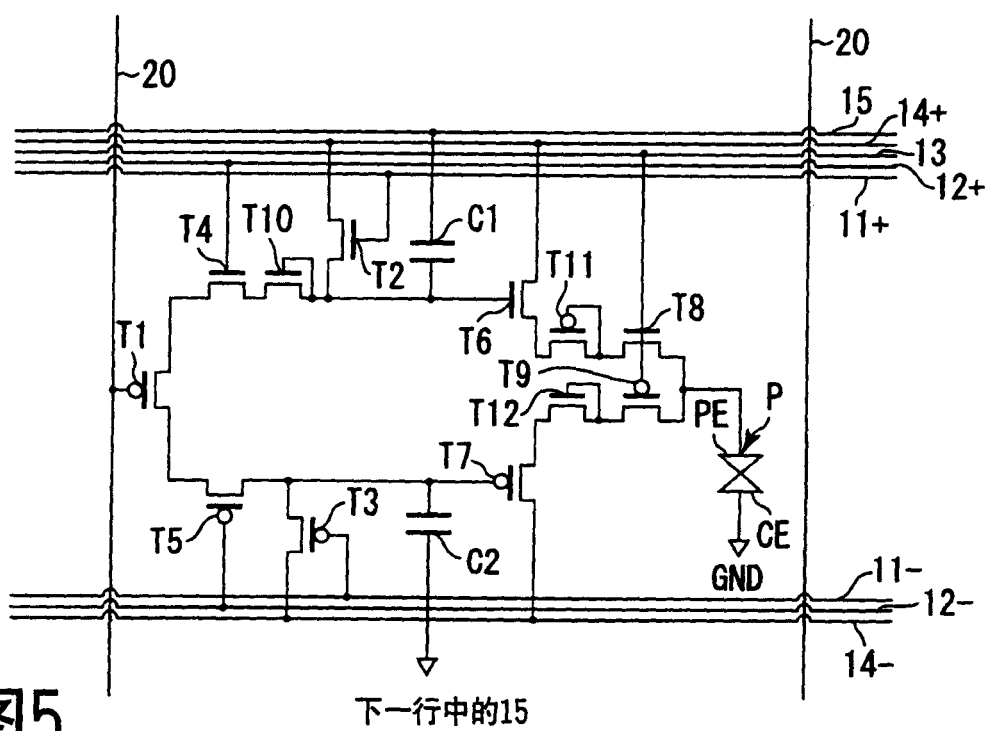


图4



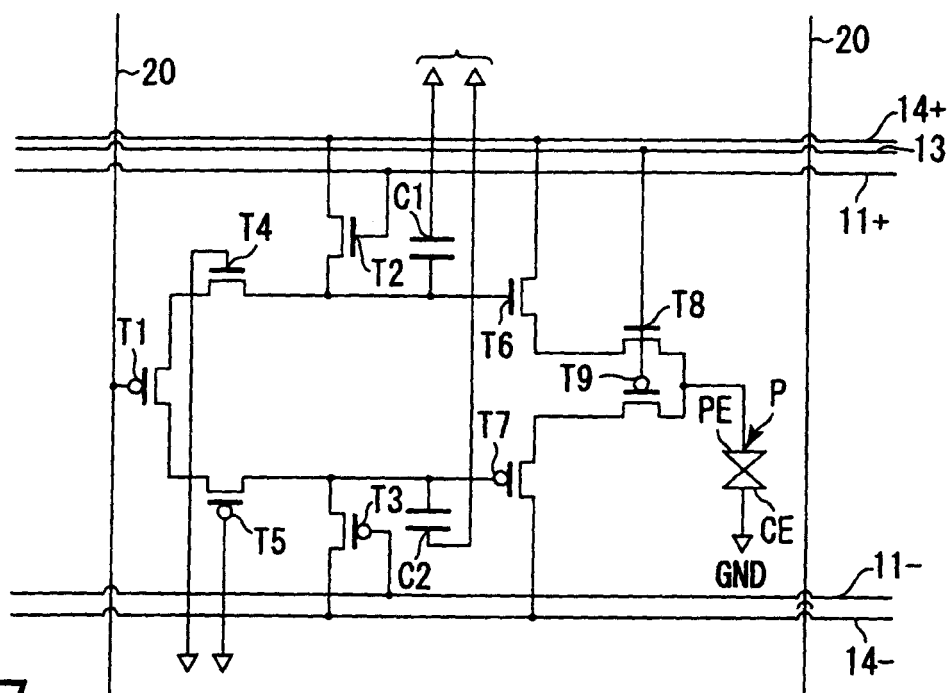


图7

下一行中的11+、11-

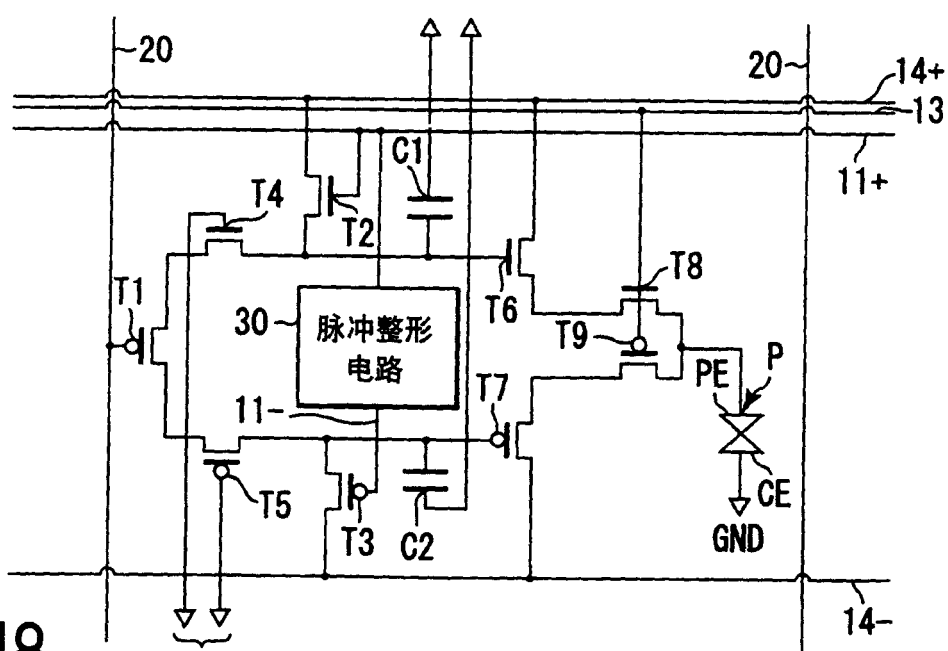


图8

下一行中的11+、11-

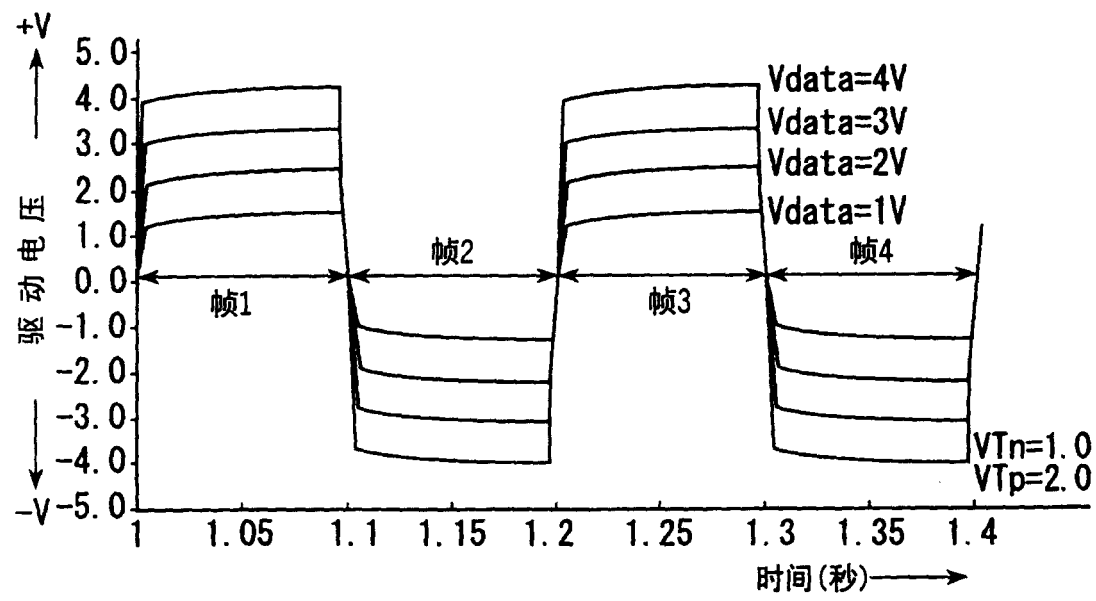


图9

专利名称(译)	存储电路、显示电路，以及显示装置		
公开(公告)号	CN1490877A	公开(公告)日	2004-04-21
申请号	CN03158508.6	申请日	2003-09-17
[标]申请(专利权)人(译)	株式会社液晶先端技术开发中心		
申请(专利权)人(译)	株式会社液晶先端技术开发中心		
当前申请(专利权)人(译)	株式会社液晶先端技术开发中心		
[标]发明人	松村正清 是成贵弘		
发明人	松村正清 是成贵弘		
IPC分类号	G02F1/133 G09G3/36 H01L27/12 G02F1/136 G09G3/30		
CPC分类号	G09G2300/0842 G09G3/3648 G09G2300/0809 G09G3/3614		
代理人(译)	韩宏		
优先权	2002270665 2002-09-17 JP		
其他公开文献	CN1316627C		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示器包括在多行和多列的一矩阵中排列的像素(P)、沿像素(P)的行延伸的扫描线(11+、11-、12+、12-)、沿像素(P)的列延伸的信号线(20)，以及像素驱动部分(PX)，该像素驱动部分位于扫描线(11+、11-、12+、12-)和信号线(20)交叉处附近，且每一像素驱动部分通过一扫描线(11+、11-、12+、12-)被控制以捕获一信号线(20)上的数据信号并向一像素(P)输出该数据信号。具体的，每一像素驱动部分(PX)包括一存储电路，该存储电路具有一栅极连接至所述信号线(20)的晶体管(T1)，以及第一和第二存储电容(C1、C2)，第一和第二存储电容分别被充电至正电源电压和负电源电压，并分别连接至所述晶体管(T1)的源极和漏极，以将所述数据信号分别存储为正极性和负极性的模拟驱动电压。

